



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0051478
(43) 공개일자 2019년05월15일

(51) 국제특허분류(Int. Cl.)
H03M 1/40 (2006.01) H03M 1/00 (2006.01)
(52) CPC특허분류
H03M 1/403 (2013.01)
H03M 1/002 (2019.01)
(21) 출원번호 10-2017-0147191
(22) 출원일자 2017년11월07일
심사청구일자 2017년11월07일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호
송재근
서울특별시 동대문구 회기로19길 7, 16-27
(74) 대리인
심경식, 홍성욱

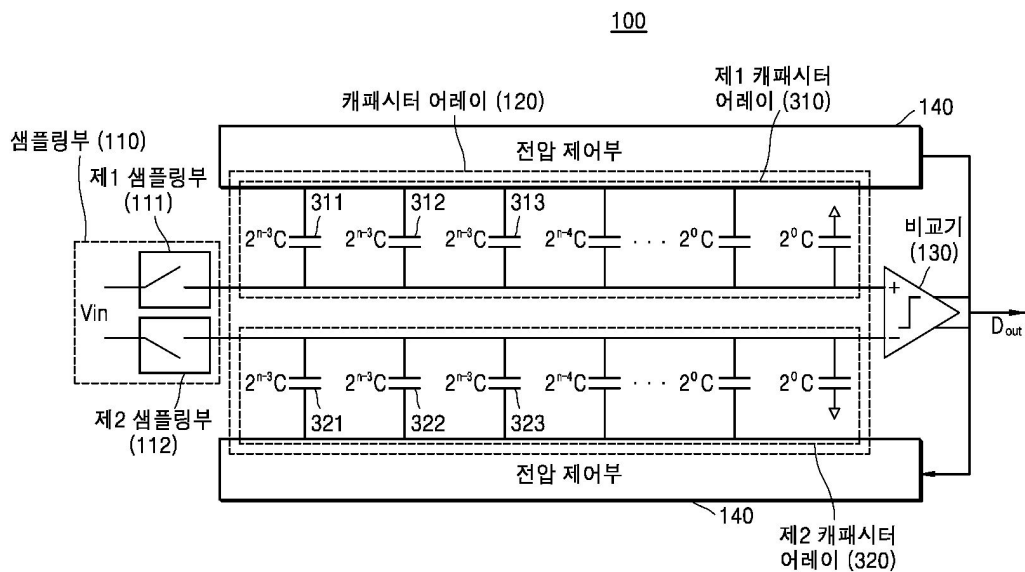
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 아날로그-디지털 신호 변환 장치 및 신호 변환 방법

(57) 요약

디지털 신호의 최 상위 비트에 대응하는 제 1 캐패시터 및 제 2 캐패시터와 디지털 신호의 차 상위 비트에 대응하는 제 3 캐패시터가 포함된 제 1 캐패시터 어레이, 아날로그 신호를 샘플링하여 제 1 캐패시터 어레이의 상부-노드에 선택적으로 연결하는 제 1 샘플링부, 상부-노드의 신호와 기준 신호를 비교하는 비교기를 포함하고, 제 1 캐패시터, 제 2 캐패시터 및 제 3 캐패시터의 캐패시턴스가 동일한 신호 변환 장치.

대표도



이 발명을 지원한 국가연구개발사업

과제고유번호 G01201606010328

부처명 과학기술정보통신부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업핵심기술개발사업

연구과제명 [RCMS]스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2017.06.01 ~ 2018.03.31

명세서

청구범위

청구항 1

아날로그 신호를 디지털 신호로 변환하는 장치에 있어서,

상기 디지털 신호의 최 상위 비트에 대응하는 제 1 캐패시터 및 제 2 캐패시터와 상기 디지털 신호의 차 상위 비트에 대응하는 제 3 캐패시터가 포함된 제 1 캐패시터 어레이;

상기 아날로그 신호를 샘플링하여 상기 제 1 캐패시터 어레이의 상부-노드에 선택적으로 연결하는 제 1 샘플링부; 및

상기 상부-노드의 신호와 기준 신호를 비교하는 비교기를 포함하고,

상기 제1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3 캐패시터의 캐패시턴스가 동일한 것을 특징으로 하는 신호 변환 장치.

청구항 2

제 1 항에 있어서, 상기 신호 변환 장치는,

상기 비교기의 출력에 기초하여, 상기 제 1 캐패시터 어레이 각각에 대하여 하부-노드에 인가되는 기준 전압을 제어하는 전압 제어부를 더 포함하는 것을 특징으로 하는 신호 변환 장치.

청구항 3

제 2 항에 있어서, 상기 전압 제어부는,

상기 비교기의 출력에 기초하여, 제 1 기준 전압, 상기 제 1 기준 전압보다 작은 제 2 기준 전압 및 상기 제 1 기준 전압과 상기 제 2 기준 전압의 중간값인 제 3 기준 전압 중 하나를 상기 제 1 캐패시터 어레이에 포함된 캐패시터의 하부-노드에 인가하는 것을 특징으로 하는 신호 변환 장치.

청구항 4

제 3 항에 있어서,

상기 신호 변환 장치는, 상기 디지털 신호의 최 상위 비트에 대응하는 제 4 캐패시터 및 제 5 캐패시터와 상기 디지털 신호의 차 상위 비트에 대응하는 제 6 캐패시터가 포함된 제 2 캐패시터 어레이; 및

상기 샘플링된 입력 신호와 상기 제 1 기준 전압간의 차이를 상기 제 2 캐패시터 어레이의 상부-노드에 선택적으로 인가하는 제 2 샘플링부를 더 포함하고,

상기 비교기는, 상기 제 1 캐패시터 어레이의 상부-노드와 상기 제 2 캐패시터 어레이의 상부-노드의 신호를 비교하며,

상기 제4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터의 캐패시턴스가 동일한 것을 특징으로 하는 신호 변환 장치.

청구항 5

제 4 항에 있어서, 상기 전압 제어부는,

상기 최 상위 비트를 획득하는 동안, 상기 제 1 캐패시터 어레이의 하부-노드 및 상기 제 2 캐패시터 어레이의 하부-노드에 제 3 기준 전압(V_{cm})을 인가하는 것을 특징으로 하는 신호 변환 장치.

청구항 6

제 4 항에 있어서, 상기 전압 제어부는,

상기 최 상위 비트가 "1"인 경우 상기 제 1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3 캐패시터 중 두 개의

하부-노드의 전압을 소정 값 만큼 감소시키고 상기 제 4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터 중 두 개의 하부-노드의 전압을 상기 소정 값 만큼 증가시키는 것을 특징으로 하는 신호 변환 장치.

청구항 7

제 4 항에 있어서, 상기 전압 제어부는,

상기 최 상위 비트가 "0"인 경우 상기 제 1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3 캐패시터 중 두 개의 하부-노드의 전압을 소정 값 만큼 증가시키고 상기 제 4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터 중 두 개의 하부-노드의 전압을 상기 소정 값 만큼 감소시키는 것을 특징으로 하는 신호 변환 장치.

청구항 8

제 4 항에 있어서, 상기 전압 제어부는,

상기 차 상위 비트가 "1"인 경우 상기 제 1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3 캐패시터 중 하나의 하부-노드의 전압을 소정 값 만큼 감소시키고 상기 제 4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터 중 하나의 하부-노드의 전압을 상기 소정 값 만큼 증가시키는 것을 특징으로 하는 신호 변환 장치.

청구항 9

제 4 항에 있어서, 상기 전압 제어부는,

상기 차 상위 비트가 "0"인 경우 상기 제 1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3 캐패시터 중 하나의 하부-노드의 전압을 소정 값 만큼 증가시키고상기 제 4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터 중 하나의 하부-노드의 전압을 상기 소정 값 만큼 감소시키는 것을 특징으로 하는 신호 변환 장치.

청구항 10

제 1항에 있어서, 상기 신호 변환 장치는,

상기 비교기의 결과를 상기 디지털 신호의 비트값에 대응하여 저장하는 레지스터를 더 포함하는 것을 특징으로 하는 신호 변환 장치.

청구항 11

제 1항에 있어서, 상기 제 1 캐패시터 어레이는,

이진-가중치(Binary-Weighted) 캐패시터로 구성되는 것을 특징으로 하는 신호 변환 장치.

청구항 12

제 4 항에 있어서, 상기 전압 제어부는,

상기 최 상위 비트와 상기 차 상위 비트의 값이 동일하면, 상기 신호 변환 장치의 초기화를 수행함에 있어서 상기 제 1 캐패시터 어레이의 하부-노드와 상기 제 2 캐패시터 어레이의 하부-노드에 상기 제 3 기준 전압을 인가하는 것을 특징으로 하는 신호 변환 장치.

청구항 13

제 4 항에 있어서, 상기 전압 제어부는,

상기 최 상위 비트와 상기 차 상위 비트의 값이 상이하면, 상기 신호 변환 장치의 초기화를 수행함에 있어서 상기 제 1 캐패시터, 상기 제 2 캐패시터, 상기 제 4 캐패시터 및 상기 제 5 캐패시터의 하부-노드의 전압을 변경하지 않는 것을 특징으로 하는 신호 변환 장치.

발명의 설명

기술 분야

[0001] 본 발명은 아날로그-디지털 신호 변환 장치 및 신호 변환 방법에 관한 것으로, 특히 SAR(Successive Approximation Register) ADC를 이용한 아날로그-디지털 신호 변환 장치 및 신호 변환 방법에 관한 것이다.

배경 기술

- [0002] 최근 휴대 가능한 IoT 디바이스 또는 몸에 이식할 수 있는 메디컬 디바이스 등이 각광을 받고 있으며, 동시에 IoT용 센서들에 대한 연구가 활발히 진행되고 있다. 이러한 IoT 디바이스들은 다수의 센서를 포함하는데, 여기에 사용되는 센서들은 전력을 에너지 하베스팅 디바이스로부터 공급받기 때문에 저전력으로 동작하여야 하며 에너지 효율성이 높아야 한다.
- [0003] 센서를 구성하는 많은 블록들 중 ADC(Analog-Digital Converter)는 센서의 성능에 직접적으로 영향을 미치며, 전력 소모가 큰 블록 중 하나이다. 따라서, 센서의 전력 소모를 줄이기 위해서는 성능을 감소시키지 않으면서 전력 소모가 적은 ADC를 설계하는 것이 필요하다.
- [0004] 많은 종류의 ADC 중 IoT 센서에 주로 사용되는 것은 SAR(Successive Approximation Register) ADC이다. SAR ADC는 전력 소모가 적음과 동시에 적당한 해상도(6~12비트)를 가지기 때문이다. 또한, 정적 전류가 흐르지 않아 에너지 효율성 측면에서도 좋다. 이러한, ADC SAR은 CDAC(Capacitor Digital Analog Converter)을 포함하며, 입력된 신호에 따라 Capacitor에 인가되는 전압을 변화시켜 디지털 신호의 비트별 정보를 획득하게 된다. 그러나, Capacitor에 인가되는 전압이 변하면 해당 캐패시터에서 전력을 소모하게 되므로 캐패시터에서 소모되는 전력을 줄이기 위한 노력이 지속되어 왔다.

발명의 내용

해결하려는 과제

- [0005] 상기의 문제점을 극복하기 위한 본 발명의 일 실시예가 갖는 목적은 특정 비트의 캐패시터를 두 개로 분할하고, 이를 각각 컨트롤함으로서 전력 소모를 감소시키는 신호 변환 장치 및 방법을 제공하는 것이다.
- [0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제(들)로 제한되지 않으며, 언급되지 않은 또 다른 과제(들)는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기의 목적을 달성하기 위한 본 발명의 일 실시예에 따른 신호 변환 장치는, 상기 디지털 신호의 최 상위 비트에 대응하는 제 1 캐패시터 및 제 2 캐패시터와 상기 디지털 신호의 차 상위 비트에 대응하는 제 3 캐패시터가 포함된 제 1 캐패시터 어레이; 상기 아날로그 신호를 샘플링하여 상기 제 1 캐패시터 어레이의 상부-노드에 선택적으로 연결하는 제 1 샘플링부; 및 상기 상부-노드의 신호와 기준 신호를 비교하는 비교기를 포함하고, 상기 제1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3 캐패시터의 캐패시턴스가 동일한 것이다.
- [0008] 상기 신호 변환 장치는, 상기 비교기의 출력에 기초하여, 상기 제 1 캐패시터 어레이 각각에 대하여 하부-노드에 인가되는 기준 전압을 제어하는 전압 제어부를 더 포함할 수 있다.
- [0009] 상기 전압 제어부는, 상기 비교기의 출력에 기초하여, 제 1 기준 전압 상기 제 1 기준 전압보다 작은 제 2 기준 전압 및 상기 제 1 기준 전압과 상기 제 2 기준 전압의 중간값인 제 3 기준 전압 중 하나를 상기 제 1 캐패시터 어레이에 포함된 캐패시터의 하부-노드에 인가할 수 있다.
- [0010] 상기 신호 변환 장치는, 상기 디지털 신호의 최 상위 비트에 대응하는 제 4 캐패시터 및 제 5 캐패시터와 상기 디지털 신호의 차 상위 비트에 대응하는 제 6 캐패시터가 포함된 제 2 캐패시터 어레이; 및 상기 샘플링된 입력 신호와 상기 제 1 기준 전압간의 차이를 상기 제 2 캐패시터 어레이의 상부-노드에 선택적으로 인가하는 제 2 샘플링부를 더 포함하고, 상기 비교기는, 상기 제 1 캐패시터 어레이의 상부-노드와 상기 제 2 캐패시터 어레이의 상부-노드의 신호를 비교하며, 상기 제4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터의 캐패시턴스가 동일할 수 있다.
- [0011] 상기 전압 제어부는, 상기 최 상위 비트를 획득하는 동안, 상기 제 1 캐패시터 어레이의 하부-노드 및 상기 제 2 캐패시터 어레이의 하부-노드에 제 3 기준 전압(V_{cm})을 인가할 수 있다.
- [0012] 상기 전압 제어부는, 상기 최 상위 비트가 "1"인 경우 상기 제 1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3 캐패시터 중 두 개의 하부-노드의 전압을 소정 값 만큼 감소시키고 상기 제 4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터 중 두 개의 하부-노드의 전압을 상기 소정 값 만큼 증가시킬 수 있다.
- [0013] 상기 전압 제어부는, 상기 최 상위 비트가 "0"인 경우 상기 제 1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3

캐패시터 중 두 개의 하부-노드의 전압을 소정 값 만큼 증가시키고 상기 제 4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터 중 두 개의 하부-노드의 전압을 상기 소정 값 만큼 감소시킬 수 있다.

[0014] 상기 전압 제어부는, 상기 차 상위 비트가 "1"인 경우 상기 제 1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3 캐패시터 중 하나의 하부-노드의 전압을 소정 값 만큼 감소시키고 상기 제 4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터 중 하나의 하부-노드의 전압을 상기 소정 값 만큼 증가시킬 수 있다.

[0015] 상기 전압 제어부는, 상기 차 상위 비트가 "0"인 경우 상기 제 1 캐패시터, 상기 제 2 캐패시터 및 상기 제 3 캐패시터 중 하나의 하부-노드의 전압을 소정 값 만큼 증가시키고 상기 제 4 캐패시터, 상기 제 5 캐패시터 및 상기 제 6 캐패시터 중 하나의 하부-노드의 전압을 상기 소정 값 만큼 감소시킬 수 있다.

[0016] 상기 신호 변환 장치는, 상기 비교기의 결과를 상기 디지털 신호의 비트값에 대응하여 저장하는 레지스터를 더 포함할 수 있다.

[0017] 상기 제 1 캐패시터 어레이는, 이진-가중치(Binary-Weighted) 캐패시터 구성될 수 있다.

[0018] 상기 전압 제어부는, 상기 최 상위 비트와 상기 차 상위 비트의 값이 동일하면, 상기 신호 변환 장치의 초기화를 수행함에 있어서 상기 제 1 캐패시터 어레이의 하부-노드와 상기 제 2 캐패시터 어레이의 하부-노드에 상기 제 3 기준 전압을 인가할 수 있다.

[0019] 상기 전압 제어부는, 상기 최 상위 비트와 상기 차 상위 비트의 값이 상이하면, 상기 신호 변환 장치의 초기화를 수행함에 있어서 상기 제 1 캐패시터, 상기 제 2 캐패시터, 상기 제 3 캐패시터 및 상기 제 4 캐패시터의 하부-노드의 전압을 변경하지 않을 수 있다.

발명의 효과

[0020] 본 발명의 일 실시예에 따른 신호 변환 장치는 최상위 캐패시터를 둘로 분할하여 병렬로 연결한 SAR DAC를 사용하고, 최 상위 비트 값에 따라 최상위 캐패시터 및 차상위 캐패시터 중 두개의 하부 노드의 전압을 변경함으로써, 최상위 비트에 따라 캐패시터의 전압을 변경할 때 소모되는 에너지를 절약할 수 있다.

[0021] 또한, 본 발명의 일 실시예에 따른 신호 변환 장치는 최상위 비트와 차 상위 비트의 값에 따라 초기화 과정을 달리함으로써, 초기화시에 소모되는 에너지를 절약할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 신호 변환 장치(100)에 관한 블록도를 나타낸다.

도 2는 본 발명의 일 실시예에 따른 신호 변환 장치(100)의 동작에 관한 일 예를 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 전압 제어부(140)의 동작을 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 신호 변환 장치(100)의 리셋 과정을 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 신호 변환 장치(100)에서 샘플링된 아날로그 신호를 디지털 신호로 변환하는 과정을 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0024] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.

[0025] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이

해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0026] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0028] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0029] 도 1은 본 발명의 일 실시예에 따른 신호 변환 장치(100)에 관한 블록도를 나타낸다.

[0030] 본 발명의 일 실시예에 따른 신호 변환 장치(100)는 샘플링부(110), 캐패시터 어레이(120), 비교기(130) 및 전압 제어부(140)를 포함한다.

[0031] 샘플링부(110)는 아날로그 입력 신호를 샘플링하여 후술할 캐패시터 어레이(120)의 상부-노드에 선택적으로 연결한다. 신호 변환 장치(100)를 통한 디지털 신호의 변환은 i)충전 단계, ii)변환 단계, iii)초기화 단계로 구분할 수 있다. 샘플링부(110)는 i)충전 단계에서 샘플링된 신호를 캐패시터 어레이(120)의 상부-노드에 연결하여 전하를 충전하고, ii)변환 단계 및 iii)초기화 단계에서는 캐패시터 어레이(120)와 샘플링된 입력 신호와의 연결을 차단한다.

[0032] 샘플링부(110)는 제 1 샘플링부(111) 및 제 2 샘플링부(112)를 포함할 수 있다.

[0033] 제 1 샘플링부(111)는 아날로그 입력 신호를 샘플링하여 후술할 제 1 캐패시터 어레이(310)에 선택적으로 연결한다.

[0034] 제 2 샘플링부(112)는 샘플링된 입력 신호와 소정의 기준 전압과의 차이를 후술할 제 2 캐패시터 어레이(320)에 선택적으로 연결한다.

[0035] 캐패시터 어레이(120)는 복수의 캐패시터를 포함한다. 복수의 캐패시터는 이진-가중(binary-weighted) 캐패시터로 구성될 수 있다. 이진-가중치 캐패시터는 디지털 신호의 상위 비트에 대응하는 캐패시터와 하위 비트에 대응하는 캐패시터가 2의 n제곱의 관계를 갖는 경우를 의미한다. 일 예로, 디지털 신호의 최상위 비트에 대응하는 캐패시터가 "C"의 캐패시턴스를 갖는다고 가정하면, 차상위 비트에 대응하는 캐패시터는 "1/2C"의 캐패시턴스를 갖는다.

[0036] 캐패시터 어레이(120)는 제 1 캐패시터 어레이(310) 및 제 2 캐패시터 어레이(320)를 포함할 수 있다.

[0037] 제 1 캐패시터 어레이(310)는 디지털 신호의 최 상위 비트에 대응하는 제 1 캐패시터 및 제 2 캐패시터를 포함한다. 일반적인 SAR DAC에서 최 상위 비트에 대응하는 캐패시터는 가장 큰 캐패시턴스를 가지며, 차 상위 캐패시터는 최 상위 캐패시터의 절반에 해당하는 캐패시턴스를 가진다. 그러나, 본 발명의 일 실시예에서는 최 상위 캐패시턴스를 둘로 나누어 병렬로 연결하여 사용하므로, 입력단과 가까이 위치하는 2개의 캐패시터인 제 1 캐패시터(311) 및 제 2 캐패시터(312)가 최 상위 캐패시터가 된다. 또한, 차 상위 비트에 대응하는 캐패시터는 입력단으로부터 3번째에 위치하는 제 3 캐패시터(313)이다.

[0038] 제 1 캐패시터 어레이(310)는 차 상위 비트에 대응하는 제 3 캐패시터를 포함한다. 상술한 바와 같이 본 발명의 일 실시예에 따른 신호 변환 장치(100)에서는 복수의 최 상위 캐패시터를 사용하여 이진-가중 캐패시터를 구성하므로, 제 1 캐패시터(311), 제 2 캐패시터(312) 및 제 3 캐패시터(313)는 동일한 캐패시턴스(예를 들면, $2^{-3}C$)를 갖는다.

[0039] 유사하게, 제 2 캐패시터 어레이(320)는 디지털 신호의 최 상위 비트에 대응하는 제 4 캐패시터(321) 및 제 5 캐패시터(322)와 차 상위 비트에 대응하는 제 6 캐패시터(323)을 포함한다. 제 4 캐패시터(321), 제 5 캐패시터

(322) 및 제 6 캐패시터(323)은 모두 동일한 캐패시턴스(예를 들면, $2^{n-3}C$)를 갖는다.

- [0040] 비교기(130)는 제 1 캐패시터 어레이(310)의 상부-노드의 신호와 기준 신호를 비교하여 디지털 신호의 비트를 결정한다. 이 때, 기준 신호는 0V와 같은 고정된 신호일 수도 있으나, 실시예에 따라서는 제 2 캐패시터 어레이(320)의 상부-노드의 신호일 수 있다.
- [0041] 비교 결과는 레지스터(미도시)와 같은 모듈을 이용하여 디지털 신호의 각각의 비트값에 대응하여 저장되며, 후술할 전압 제어부(140)로 전달된다.
- [0042] 전압 제어부(140)는 비교기(130)의 비교 결과에 기초하여 캐패시터 어레이(120)의 하부-노드에 인가되는 기준 전압을 제어한다. 본 명세서에서는 설명의 편의를 위하여 전압 제어부(140)는 제 1 기준 전압(예를 들면, V_{ref}), 제 2 기준 전압(예를 들면, 0V) 및 제 3 기준 전압(예를 들면, V_{cm}) 중 하나를 각각의 캐패시터의 하부-노드에 인가하는 것으로 가정한다. 이 때, 제 3 기준 전압인 V_{cm} 은 제 1 기준 전압 및 제 2 기준 전압의 평균값일 수 있다. 전압 제어부(140)가 하부-노드에 인가하는 기준 전압의 종류는 일 예에 불과하며 실시예에 따라서 다양하게 설정할 수 있다.
- [0043] 이하에서는, 신호 변환 장치(100)가 아날로그 신호를 변환하는 과정을 i)충전 단계, ii)변환 단계, iii)초기화 단계로 구분하여 각 모듈의 동작을 설명한다.
- [0044] i) 충전 단계
- [0045] 제 1 샘플링부(111)는 입력 신호를 샘플링하여 제 1 캐패시터 어레이(310)의 상부-노드에 인가한다. 이 때, 전압 제어부(140)는 제 1 캐패시터 어레이(310)의 하부-노드에 제 3 기준 전압(V_{cm})을 인가하며, 제 1 캐패시터 어레이(310)내의 캐패시터에 전하를 충전한다.
- [0046] 유사하게, 제 2 샘플링부(112)는 샘플링된 입력 신호와 제 1 기준 전압간의 차이를 제 2 캐패시터 어레이(320)의 상부-노드에 인가한다. 이 때, 전압 제어부(140)는 제 2 캐패시터 어레이(320)의 하부-노드에 제 3 기준 전압(V_{cm})을 인가하며, 제 2 캐패시터 어레이(320)내의 캐패시터에 전하를 충전한다.
- [0048] ii)변환 단계
- [0049] 샘플링부(110)는 입력 신호와 캐패시터 어레이(120)간의 연결을 차단한다. 따라서, 캐패시터 어레이(120)내의 전하는 보존된다.
- [0050] a)최상위비트의 결정
- [0051] 제 1 캐패시터 어레이(310)의 상부-노드와 제 2 캐패시터 어레이(320)의 상부-노드는 각각 비교기(130)로 입력된다. 비교기(130)는 비교 결과에 기초하여 디지털 신호의 최 상위 비트를 결정한다.
- [0052] 전압 제어부(140)는 최 상위 비트의 값에 기초하여 캐패시터 어레이(120)의 하부-노드의 전압을 변경한다. 구체적으로, 최 상위 비트가 "1"인 경우 제 1 캐패시터(311), 제 2 캐패시터(312) 및 제 3 캐패시터(313) 중 두 개의 하부-노드의 전압을 소정 값 만큼(예를 들면, V_{cm}) 감소시킨다. 본 명세서에서는, 설명의 편의를 위하여 제 1 캐패시터(311)와 제 3 캐패시터(313)의 하부-노드의 전압을 소정 값 만큼 감소시키는 것으로 가정한다. 또한, 제 4 캐패시터(321), 제 5 캐패시터(322) 및 제 6 캐패시터(323) 중 두 개의 하부-노드의 전압을 소정 값 만큼(예를 들면, V_{cm}) 증가시킨다. 마찬가지로, 설명의 편의를 위하여 제 4 캐패시터(321) 및 제 6 캐패시터(323)의 전압을 소정 값 만큼 증가시키는 것으로 가정한다. 반면, 최 상위 비트가 "0"인 경우 제 1 캐패시터(311) 및 제 3 캐패시터(313)의 전압을 소정 값 만큼(예를 들면, V_{cm}) 증가시키고, 제 4 캐패시터(321) 및 제 6 캐패시터(323)의 전압을 소정 값 만큼(예를 들면, V_{cm}) 감소시킨다.
- [0053] b)차상위비트의 결정
- [0054] 캐패시터 어레이(120)에 충전된 전하의 양이 보존되므로, 캐패시터 어레이(120)의 하부-노드의 전압이 변경되면 상부-노드의 전압이 변경된다.
- [0055] 비교기(130)는 제 1 캐패시터 어레이(310)의 상부 노드와 제 2 캐패시터 어레이(320)의 상부 노드의 신호를 비교하여 차상위 비트의 값을 결정한다.
- [0056] 전압 제어부(140)는 차 상위 비트의 값에 기초하여 캐패시터 어레이(120)의 하부-노드의 전압을 변경한다. 구체

적으로, 차 상위 비트가 "1"인 경우 제 1 캐패시터(311), 제 2 캐패시터(312) 및 제 3 캐패시터(313) 중 하나의 하부-노드의 전압을 소정 값 만큼 증가시킨다. 또한, 제 4 캐패시터(321), 제 5 캐패시터(322) 및 제 6 캐패시터(323) 중 하나의 하부-노드의 전압을 소정 값 만큼 감소시킨다. 일 예로, 제 2 캐패시터(312)의 전압을 소정 값 만큼(예를 들면, V_{cm}) 감소시키고, 제 5(322)의 전압을 소정 값 만큼(예를 들면, V_{cm}) 증가시킨다. 반면, 차 상위 비트가 "0"인 경우 제 2 캐패시터(312)의 전압을 소정 값 만큼(예를 들면, V_{cm}) 증가시키고, 제 5 캐패시터(322)의 전압을 소정 값 만큼(예를 들면, V_{cm}) 감소시킨다.

[0057] c)다음 비트의 결정

[0058] 비교기(130)는 제 1 캐패시터 어레이(310)의 상부 노드와 제 2 캐패시터 어레이(320)의 상부 노드의 신호를 비교하여 다음 비트의 값을 결정한다.

[0059] 전압 제어부(140)는 다음 비트의 값에 기초하여 캐패시터 어레이(120)의 하부-노드의 전압을 변경한다. 구체적으로, 해당 비트가 "1"인 경우, 제 1 캐패시터 어레이(310)내에서 해당 비트에 대응하는 캐패시터의 하부-노드의 전압을 소정 값 만큼(예를 들면, V_{cm}) 감소시키고, 제 2 캐패시터 어레이(320)내에서 해당 비트에 대응하는 캐패시터의 하부-노드의 전압을 소정 값 만큼(예를 들면, V_{cm}) 증가시킨다. 반면, 해당 비트가 "0"인 경우 제 1 캐패시터 어레이(310)내에서 해당 비트에 대응하는 캐패시터의 하부-노드의 전압을 소정 값 만큼(예를 들면, V_{cm}) 증가시키고, 제 2 캐패시터 어레이(320)내에서 해당 비트에 대응하는 캐패시터의 하부-노드의 전압을 소정 값 만큼(예를 들면, V_{cm}) 감소시킨다.

[0061] iii)초기화 단계

[0062] 상술한 과정을 통하여 샘플링된 입력 신호를 디지털 신호로 모두 변환하면, 신호 변환 장치(100)를 초기화 하여 다음 신호의 입력을 기다려야한다.

[0063] 전압 제어부(140)는 디지털 신호의 비트 값에 기초하여 캐패시터 어레이(120)의 하부-노드의 전압을 변경함으로써 신호 변환 장치(100)를 초기화한다.

[0064] 만일, 최 상위 비트와 차 상위 비트가 동일한 값을 가지면, 제 1 캐패시터 어레이(310) 및 제 2 캐패시터 어레이(320)의 하부-노드의 값을 제 3 기준 전압으로 변경한다.

[0065] 그러나, 최 상위 비트와 차 상위 비트가 상이한 값을 가지면, 차 상위 캐패시터 이하의 모든 캐패시터의 하부-노드의 값을 제 3 기준 전압으로 변경한다. 다만, 최 상위 캐패시터의 하부-노드의 전압은 변경하지 않는다.

[0067] 도 2는 본 발명의 일 실시예에 따른 신호 변환 장치(100)의 동작에 관한 일 예를 나타내는 도면이다.

[0068] 도 2에서는 비교기(130)의 "+" 단자로 입력되는 신호는 제 1 캐패시터 어레이(310)의 상부-노드이며, "-"단자로 입력되는 신호는 제 2 캐패시터 어레이(320)의 상부-노드이다. 또한, 제 1 캐패시터 어레이(310)는 상부-노드에 샘플링된 입력 신호(이하, V_{in})이 인가되고, 제 2 캐패시터 어레이(320)의 상부-노드에는 제 1 기준 전압(이하, V_{ref})과 샘플링된 입력 신호의 차이(즉, $V_{ref}-V_{in}$)에 해당하는 신호가 인가되어 캐패시터가 각각 충전된다.

[0069] 설명의 편의를 위하여, $V_{in} = 9V$, $V_{ref} = 16V$ 로 가정한다. 이 경우, V_{in} 은 다음의 표 1과 같이 디지털 신호로 변환된다. 따라서, V_{in} 은 1001로 변환될 것이다.

표 1

[0070]

$V_{in}(V)$	디지털 신호
15	1111
14	1110
13	1101
12	1100
11	1011
10	1010
9	1001
8	1000
7	0111
6	0110

5	0101
4	0100
3	0011
2	0010
1	0001
0	0000

- [0072] 도 2(a)는 디지털 신호의 첫번째 비트를 결정하는 과정이다.
- [0073] 비교기(130)의 "+"단자에는 $V_{in} = 9V$ 가 인가되고, "-"단자에는 $V_{ref} - V_{in} = 7V$ 가 인가된다. "+"단자에 인가된 전압이 "-"단자에 인가된 전압보다 크기 때문에 디지털 신호의 첫번째 비트는 "1"로 결정된다.
- [0074] 첫번째 비트가 "1"이므로, 전압 제어부(140)는 비교기(130)의 "+"단자에 입력되는 전압을 감소시키고 "-"단자에 인가되는 전압을 증가시킨다. 도 2a에서 전압 제어부(140)는 이전 비트의 값에 따라 $1/4V_{ref}$ 만큼 "+"단자와 "-"단자의 전압을 각각 증감시킨다고 가정한다.
- [0076] 도 2(b)는 디지털 신호의 두번째 비트를 결정하는 과정이다.
- [0077] 비교기(130)의 "+"단자에는 이전 전압 값에서 $1/4V_{ref}$ 만큼 감소한 $5V$ 가 인가되고, "-"단자에는 이전 전압 값에서 $1/4V_{ref}$ 만큼 증가한 $11V$ 가 인가된다. "+"단자에 인가된 전압이 "-"단자에 인가된 전압보다 작기 때문에 디지털 신호의 두번째 비트는 "0"로 결정된다.
- [0078] 두번째 비트가 "0"이므로, 전압 제어부(140)는 비교기(130)의 "+"단자에 입력되는 전압을 증가시키고 "-"단자에 인가되는 전압을 감소시킨다. 전압 제어부(140)는 첫번째 비트에 대응하여 전압을 제어하는 경우와 비교하여 절반의 전압만을 변경한다. 따라서, $1/8V_{ref}$ 만큼 "-"단자와 "+"단자의 전압을 각각 증감시킨다.
- [0080] 도 2(c)는 디지털 신호의 세번째 비트를 결정하는 과정이다.
- [0081] 비교기(130)의 "+"단자에는 이전 전압 값에서 $1/8V_{ref}$ 만큼 증가한 $7V$ 가 인가되고, "-"단자에는 이전 전압 값에서 $1/8V_{ref}$ 만큼 감소한 $9V$ 가 인가된다. "+"단자에 인가된 전압이 "-"단자에 인가된 전압보다 작기 때문에 디지털 신호의 세번째 비트는 "0"로 결정된다.
- [0082] 세번째 비트가 "0"이므로, 전압 제어부(140)는 비교기(130)의 "+"단자에 입력되는 전압을 증가시키고 "-"단자에 인가되는 전압을 감소시킨다. 전압 제어부(140)는 두번째 비트에 대응하여 전압을 제어하는 경우와 비교하여 절반의 전압만을 변경한다. 따라서, $1/16V_{ref}$ 만큼 "-"단자와 "+"단자의 전압을 각각 증감시킨다.
- [0084] 도 2(d)는 디지털 신호의 세번째 비트를 결정하는 과정이다.
- [0085] 비교기(130)의 "+"단자에는 이전 전압 값에서 $1/16V_{ref}$ 만큼 증가한 $8V$ 가 인가되고, "-"단자에는 이전 전압 값에서 $1/16V_{ref}$ 만큼 감소한 $8V$ 가 인가된다. "+"단자에 인가된 전압이 "-"단자에 인가된 전압과 동일하므로, 디지털 신호의 네번째 비트는 "1"로 결정된다.
- [0086] 이상으로, 샘플링된 입력 신호(V_{in})은 디지털 신호(1001)로 변환되었다. 전압 제어부(140)는 캐패시터 어레이(130)의 하부-노드에 인가되는 전압을 초기화함으로써 다음 입력 신호를 변화시키기 위한 준비를 한다.
- [0088] 도 3은 본 발명의 일 실시예에 따른 전압 제어부(140)의 동작을 나타내는 도면이다.
- [0089] 도 3에서 제 1 캐패시터 어레이(310)와 제 2 캐패시터 어레이(320)는 이진-가중치를 갖도록 구성되며, 변환되는 디지털 신호의 개수는 n 개이다. 다만, 제 1 캐패시터 어레이(310)내에서 디지털 신호의 첫번째 비트에 대응하는 캐패시터는 제 1 캐패시터(311)와 제 2 캐패시터(312)로 구성되며 제 3 캐패시터(313)와 동일한 캐패시턴스를 갖는다. 유사하게, 제 2 캐패시터 어레이(320)내에서 디지털 신호의 첫번째 비트에 대응하는 제 4 캐패시터

(321)와 제 5 캐패시터(322)로 구성되며, 제 5 캐패시터(323)와 동일한 캐패시턴스를 갖는다. 따라서, 제 1 캐패시터(311) 내지 제 6 캐패시터(323)은 2^{n-3} C의 캐패시턴스를 가지며, 제 7 캐패시터(314) 및 제 8 캐패시터(324)는 2^{n-4} C의 캐패시턴스를 갖는다.

- [0091] 도 3a는 디지털 신호의 첫번째 비트를 결정하기 위하여 캐패시터 어레이(130)에 인가된 전압을 나타낸다.
- [0092] 먼저, 전압 제어부(140)는 도 3a와 같이 캐패시터 어레이(130)의 하부-노드에 전압을 인가한다. 전압 제어부(140)는 모든 캐패시터의 하부-노드에 제 2 기준 전압(이하, V_{cm})을 인가한다. 제 2 기준 전압(V_{cm})은 제 1 기준 전압(V_{ref})의 절반에 해당하는 전압이다. 도 3에서, 전압 제어부(140)는 초기 상태일 때 모든 캐패시터의 하부-노드에 동일한 전압을 인가하였으나, 실시예에 따라서는 제 1 캐패시터(311), 제 2 캐패시터(312), 제 3 캐패시터(313), 제 4 캐패시터(314)의 하부-노드에 다른 전압을 인가할 수 있다. 예를 들어, 전압 제어부(140)는 제 1 캐패시터(311)와 제 2 캐패시터(312)중 하나에는 제 1 기준 전압(V_{ref})을 인가하고, 나머지 하나에는 제 3 기준 전압(0V)을 인가하며, 제 4 캐패시터(321)와 제 5 캐패시터(322)중 하나에는 제 1 기준 전압(V_{ref})을 인가하고 나머지 하나에는 제 3 기준 전압(0V)을 인가하여도 동일한 결과를 얻을 수 있다. 즉, 제 1 캐패시터(311), 제 2 캐패시터(312) 및 제 3 캐패시터(313)의 하부-노드의 평균 전압이 제 3 기준 전압(V_{cm})이면 된다.
- [0093] 또한, 제 1 캐패시터 어레이(310)의 상부-노드에는 샘플링된 입력 신호(V_{in})이 인가되어 비교기(130)의 "+" 단자에 연결되고, 제 2 캐패시터 어레이(320)의 상부-노드에는 제 1 기준 전압과 입력 신호와의 차이($V_{ref}-V_{in}$)가 인가되어 비교기(130)의 "-" 단자에 연결된다.
- [0094] 비교기(130)는 "+" 단자와 "-" 단자의 전압을 비교한다. "+" 단자의 전압이 "-" 단자의 전압보다 큰 경우 전압 제어부(130)는 도 3b와 같이 전압을 변경하고, "-" 단자의 전압이 "+" 단자의 전압보다 큰 경우 전압 제어부(130)는 도 3c와 같이 전압을 변경한다.
- [0096] 도 3b는 디지털 신호의 첫번째 비트가 "1"일 경우 두번째 비트를 결정하기 위하여 캐패시터 어레이(130)에 인가된 전압을 나타낸다.
- [0097] 첫번째 비트가 "1"일 경우 전압 제어부(140)는 제 1 캐패시터(311)와 제 3 캐패시터(313)의 전압을 소정 값 만큼 감소시킨다. 또한, 제 4 캐패시터(321)와 제 6 캐패시터(323)의 전압을 소정 값 만큼 증가시킨다. 도 3b에서는 전압 제어부(140)가 제 1 캐패시터(311)와 제 3 캐패시터(313), 제 4 캐패시터(321)와 제 6 캐패시터(323)의 전압을 각각 $1/2V_{ref}$ 만큼 증가 또는 감소시킨다.
- [0098] 캐패시터 어레이(130)의 상단에 연결된 입력 전압이 차단되었으므로 캐패시터에 충전된 전하는 그대로 보존된다. 이 때, 상술한 바와 같이 전압 제어부(140)가 전압을 변경할 경우 제 1 캐패시터 어레이(310)의 상부-단자의 전압은 $1/4V_{ref}$ 만큼 감소하고, 제 2 캐패시터 어레이(320)의 상부-단자의 전압은 $1/4V_{ref}$ 만큼 증가한다.
- [0099] 비교기(130)는 "+" 단자와 "-" 단자의 전압을 비교한다. "+" 단자의 전압이 "-" 단자의 전압보다 큰 경우 전압 제어부(130)는 도 3c와 같이 전압을 변경하고, "-" 단자의 전압이 "+" 단자의 전압보다 큰 경우 전압 제어부(130)는 도 3d와 같이 전압을 변경한다.
- [0101] 도 3c는 디지털 신호의 첫번째 비트와 두번째 비트가 "1"일 경우 세번째 비트를 결정하기 위하여 캐패시터 어레이(130)에 인가된 전압을 나타낸다.
- [0102] 두번째 비트가 "1"일 경우 전압 제어부(140)는 제 2 캐패시터(312)의 전압을 소정 값 만큼 감소시킨다. 또한, 제 5 캐패시터(322)의 전압을 소정 값 만큼 증가시킨다. 도 3c에서는 전압 제어부(140)는 제 2 캐패시터(312)와 제 5 캐패시터(322)의 전압을 각각 $1/2V_{ref}$ 만큼 증가 또는 감소시킨다.
- [0103] 이 때, 제 1 캐패시터 어레이(310)의 상부-단자의 전압은 $1/8V_{ref}$ 만큼 감소하고, 제 2 캐패시터 어레이(320)의 상부-단자의 전압은 $1/8V_{ref}$ 만큼 증가한다.

- [0104] 비교기(130)는 "+"단자와 "-"단자의 전압을 비교하여 세번째 비트를 결정한다.
- [0106] 도 3d는 디지털 신호의 첫번째 비트가 "1" 두번째 비트가 "0"일 경우 세번째 비트를 결정하기 위하여 캐패시터 어레이(130)에 인가된 전압을 나타낸다.
- [0107] 두번째 비트가 "0"일 경우 전압 제어부(140)는 제 2 캐패시터(312)의 전압을 소정 값 만큼 증가시킨다. 또한, 제 5 캐패시터(322)의 전압을 소정 값 만큼 감소시킨다. 도 3d에서는 전압 제어부(140)는 제 2 캐패시터(312)와 제 5 캐패시터(322)의 전압을 각각 $1/2V_{ref}$ 만큼 증가 또는 감소시킨다.
- [0108] 이 때, 제 1 캐패시터 어레이(310)의 상부-단자의 전압은 $1/8V_{ref}$ 만큼 증가하고, 제 2 캐패시터 어레이(320)의 상부-단자의 전압은 $1/8V_{ref}$ 만큼 감소한다.
- [0109] 비교기(130)는 "+"단자와 "-"단자의 전압을 비교하여 세번째 비트를 결정한다.
- [0111] 도 4는 본 발명의 일 실시예에 따른 신호 변환 장치(100)의 리셋 과정을 나타내는 도면이다.
- [0112] 신호 변환 장치(100)는 하나의 하나의 샘플링된 입력 신호에 대하여 디지털 정보를 획득하면, 신호 변환 장치(100)의 초기화를 진행한다. 이 때, 획득된 디지털 신호의 최 상위 비트와 차 상위 비트의 값을 비교하고, 비교 결과에 따라 초기화 방법을 달리한다.
- [0113] 도 4a는 최 상위 비트와 차 상위 비트가 "1"인 경우 본 발명의 일 실시예에 따른 신호 변환 장치(100)의 리셋 과정을 나타낸다.
- [0114] 도 4a를 참고하면, 최 상위 비트와 차 상위 비트가 모두 "1"이므로, 디지털 정보를 획득한 후, 제 1 캐패시터(311), 제 2 캐패시터(312) 및 제 3 캐패시터(313)의 하부-노드는 모두 제 2 기준 전압(도 4에서는 0V로 가정한다.)가 인가된다. 유사하게, 제 4 캐패시터(321), 제 5 캐패시터(322) 및 제 6 캐패시터(323)의 하부-노드는 모두 제 1 기준 전압(도 4에서는 V_{ref} 로 가정한다.)가 인가된다. 전압 제어부(140)는 제 1 캐패시터 어레이(410) 및 제 2 캐패시터 어레이(420)의 하부-노드의 전압을 제 2 기준 전압(도 4에서는 V_{cm} 로 가정한다.)으로 초기화한다.
- [0116] 도 4b는 최 상위 비트와 차 상위 비트가 "0"인 경우 본 발명의 일 실시예에 따른 신호 변환 장치(100)의 리셋 과정을 나타낸다.
- [0117] 도 4b를 참고하면, 최 상위 비트와 차 상위 비트가 모두 "0"이므로, 디지털 정보를 획득한 후, 제 1 캐패시터(311), 제 2 캐패시터(312) 및 제 3 캐패시터(313)의 하부-노드는 모두 V_{ref} 가 인가된다. 유사하게, 제 4 캐패시터(321), 제 5 캐패시터(322) 및 제 6 캐패시터(323)의 하부-노드는 모두 0V가 인가된다. 전압 제어부(140)는 제 1 캐패시터 어레이(310) 및 제 2 캐패시터 어레이(320)의 하부-노드의 전압을 V_{cm} 으로 리셋한다.
- [0119] 도 4c는 최 상위 비트는 '1' 차 상위 비트는 "0"인 경우 본 발명의 일 실시예에 따른 신호 변환 장치(100)의 리셋 과정을 나타낸다.
- [0120] 도 4c를 참고하면, 최 상위 비트가 '1'이고, 차 상위 비트가 "0"이므로, 디지털 정보를 획득한 후, 제 1 캐패시터(311) 및 제 2 캐패시터(312)의 하부-노드에는 V_{cm} 이 인가되고, 제 3 캐패시터(313)의 하부-노드는 0V가 인가된다.
- [0121] 유사하게, 제 4 캐패시터(421) 및 제 5 캐패시터(422) 중 하나의 하부-노드는 V_{ref} 가 인가되고, 다른 하나의 하부-노드에는 0V가 인가된다. 또한, 제 6 캐패시터(423)의 하부-노드는 V_{ref} 가 인가된다.
- [0122] 전압 제어부(140)는 제 1 캐패시터(311), 제 2 캐패시터(312), 제 4 캐패시터(321) 및 제 5 캐패시터(322)의 하부-노드의 전압을 리셋하지 않는다. 즉, 최 상위 비트에 대응하는 캐패시터의 하부 노드는 리셋하지 않는다. $V_{cm}=V_{ref}/2$ 로 설계하고 제 1 캐패시터(311)와 제 2 캐패시터(312)의 캐패시턴스가 동일하다면, 제 1 캐패시터(311)와 제 2 캐패시터(312)의 하부-노드에 V_{cm} 을 인가하는 것과, 제 1 캐패시터(311) 및 제 2 캐패시터(312) 중 하나의 하부-노드에는 V_{ref} 를 인가하고 나머지 하나의 하부-노드에는 0V를 인가하는 것과 동일한 효과를 가

지기 때문이다.

- [0123] 다만, 전압 제어부(140)는 최 상위 캐패시터(311,312,321,322)를 제외한 나머지 캐패시터들의 하부-노드의 전압은 V_{cm} 으로 리셋한다.
- [0124] 신호 변환 장치를 리셋하는 경우 최 상위 비트의 전압을 변경하는 과정이 가장 많은 에너지를 소비하는 과정이다. 이는, 리셋에 필요한 에너지 $E_{sw} = -V_{source} \cdot C \cdot (V_{tp} - V_{bp})$ 로 계산되며, 이진-가중 캐패시터의 경우 최상위 비트와 차상위 비트간의 캐패시턴스 차이가 2배에 해당하므로 최상위 비트의 리셋에 필요한 에너지가 가장 크다. 본 발명의 일 실시예에 따른 신호 변환 장치(100)에서는 최 상위 비트와 차 상위 비트가 동일하지 않은 경우 최 상위 캐패시터의 하부-노드의 전압을 리셋하지 않음으로서 리셋 에너지를 절약할 수 있다.
- [0126] 도 5는 본 발명의 일 실시예에 따른 신호 변환 장치(100)에서 샘플링된 아날로그 신호를 디지털 신호로 변환하는 과정을 나타내는 흐름도이다. 본 발명의 일 실시예에 따른 신호 변환 장치(100)는 이진-가중 캐패시턴스를 갖는 제 1 캐패시터 어레이와 제 2 캐패시터 어레이를 포함한다. 이 때, 제 1 캐패시터 어레이에서 최 상위 비트에 대응하는 캐패시터(이하에서는, 최 상위 캐패시터로 명명한다.)제 2 캐패시터 어레이의 최 상위 캐패시터는 둘로 분할된다. 예를 들어, 이진-가중 캐패시턴스를 갖도록 캐패시터 어레이를 구성할 때, 최 상위 캐패시터가 C의 캐패시턴스를 갖는다면, 본 발명의 일 실시예에 따른 신호 변환 장치(100)에서는 $1/2C$ 의 캐패시턴스를 갖는 두 개의 캐패시터를 병렬로 연결하여 최 상위 캐패시터를 구성한다. 따라서, 최 상위 캐패시터와 차 상위 캐패시터의 캐패시턴스는 동일한 값을 갖는다.
- [0127] 단계 s510에서, 아날로그 신호를 샘플링한다.
- [0128] 단계 s520에서, 샘플링된 아날로그 신호를 이용하여 캐패시터 어레이를 충전한다. 일 예로, 캐패시터 어레이의 상부-노드에는 샘플링된 아날로그 신호를 인가하고, 하부-노드에는 기준 전압(예를 들면, 0V, V_{ref} , V_{cm} 중 하나)을 인가하여 캐패시터를 충전한다.
- [0129] 단계 s530에서, 입력 신호와 캐패시터 어레이의 상부-노드간의 연결을 차단한 후, 제 1 캐패시터 어레이의 상부-노드와 제 2 캐패시터 어레이의 상부-노드의 전압 값을 비교하여 비트 값을 결정한다.
- [0130] 단계 s540에서, 디지털 신호의 획득이 완료되었는지를 판단한다. 디지털 신호가 모두 획득된 경우 단계 s592을 수행하여 신호 변환 장치를 리셋하고, 디지털 신호가 모두 획득되지 않은 경우 단계 s550를 수행하여 디지털 신호의 다음 비트 값을 획득한다.
- [0131] 단계 s550에서는, 단계 s530에서 결정된 비트가 몇번째 비트인지를 확인한다. 단계 s530에서 결정된 비트가 최 상위 비트라면, 단계 s562을 수행하고, 차 상위 비트라면 단계 s572을 수행하고, 그렇지 않으면 단계 s582을 수행한다.
- [0132] 단계 s562에서는, 최 상위 비트가 "1"인지 "0"인지를 판단한다. 최 상위 비트가 "1"인 경우, 단계 s564를 수행하고, 최 상위 비트가 "0"인 경우 단계 s566을 수행한다.
- [0133] 단계 s564에서는, 제 1 캐패시터 어레이의 최 상위 캐패시터들 중 하나의 하부-노드의 전압을 소정 값 만큼 감소시키고, 차 상위 캐패시터의 하부-노드의 전압을 소정 값 만큼 감소시킨다. 또한, 제 2 캐패시터 어레이의 최 상위 캐패시터들 중 하나의 하부-노드의 전압을 소정 값 만큼 증가시키고, 차 상위 캐패시터의 하부-노드의 전압을 소정 값 만큼 증가시킨다.
- [0134] 단계 s566에서는, 제 1 캐패시터 어레이의 최 상위 캐패시터들 중 하나의 하부-노드의 전압을 소정 값 만큼 증가시키고, 차 상위 캐패시터의 하부-노드의 전압을 소정 값 만큼 증가시킨다. 또한, 제 2 캐패시터 어레이의 최 상위 캐패시터들 중 하나의 하부-노드의 전압을 소정 값 만큼 감소시키고, 차 상위 캐패시터의 하부-노드의 전압을 소정 값 만큼 감소시킨다.
- [0135] 단계 s572에서는, 차 상위 비트가 "1"인지 "0"인지를 판단한다. 차 상위 비트가 "1"인 경우, 단계 s574를 수행하고, 최 상위 비트가 "0"인 경우 단계 s576을 수행한다.
- [0136] 단계 s574에서는, 제 1 캐패시터 어레이의 최 상위 캐패시터들 중 하나의 하부-노드의 전압을 소정 값 만큼 감소시킨다. 이 때, 차 상위 캐패시터의 하부-노드의 전압은 변경하지 않는다. 또한, 제 2 캐패시터 어레이의 최 상위 캐패시터들 중 하나의 하부-노드의 전압을 소정 값 만큼 증가시킨다. 이 때, 차 상위 캐패시터의 하부-노드의 전압은 변경하지 않는다.

- [0137] 단계 s576에서는, 제 1 캐패시터 어레이의 최 상위 캐패시터들 중 하나의 하부-노드의 전압을 소정 값 만큼 증가시킨다. 이 때, 차 상위 캐패시터의 하부-노드의 전압은 변경하지 않는다. 또한, 제 2 캐패시터 어레이의 최 상위 캐패시터들 중 하나의 하부-노드의 전압을 소정 값 만큼 감소시킨다. 이 때, 차 상위 캐패시터의 하부-노드의 전압은 변경하지 않는다.
- [0138] 단계 s582에서는, 이전 비트가 "1"인지 "0"인지를 판단한다. 이전 비트가 "1"인 경우, 단계 s584를 수행하고, 최 상위 비트가 "0"인 경우 단계 s586을 수행한다.
- [0139] 단계 s584에서는, 제 1 캐패시터 어레이내의 캐패시터 중, 이전 비트에 대응하는 캐패시터의 하부-노드의 전압을 소정 값 만큼 감소시킨다. 또한, 제 2 캐패시터 어레이내의 캐패시터 중, 이전 비트에 대응하는 캐패시터의 하부-노드의 전압을 소정 값 만큼 증가시킨다.
- [0140] 단계 s586에서는, 제 1 캐패시터 어레이내의 캐패시터 중, 이전 비트에 대응하는 캐패시터의 하부-노드의 전압을 소정 값 만큼 증가시킨다. 또한, 제 2 캐패시터 어레이내의 캐패시터 중, 이전 비트에 대응하는 캐패시터의 하부-노드의 전압을 소정 값 만큼 감소시킨다.
- [0141] 단계 s592에서는, 최 상위 비트와 차 상위 비트를 비교한다. 최 상위 비트와 차 상위 비트가 동일한 값을 갖는 경우 단계 s594를 수행하고, 그렇지 않은 경우 단계 s596을 수행한다.
- [0142] 단계 s594에서는, 최 상위 캐패시터를 포함하여 모든 캐패시터의 하부-노드의 전압을 초기화한다. 이 때, 모든 캐패시터의 하부-노드의 전압을 제 2 기준 전압으로 초기화할 수도 있으나, 실시예에 따르는 최 상위 캐패시터 중 하나의 하부-노드의 전압은 제 1 기준 전압으로 초기화하고 다른 하나의 하부-노드의 전압은 제 3 기준 전압으로 초기화할 수도 있다.
- [0143] 단계 s596에서는, 최 상위 캐패시터를 제외한 캐패시터의 하부-노드의 전압을 초기화한다. 다만, 최 상위 캐패시터의 하부-노드의 전압은 변경하지 않는다.
- [0145] 본 발명의 이점 및/또는 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.
- [0146] 지금까지 본 발명에 따른 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허 청구의 범위뿐 아니라 이 특허 청구의 범위와 균등한 것들에 의해 정해져야 한다.
- [0147] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 이는 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명 사상은 아래에 기재된 특허청구범위에 의해서만 파악되어야 하고, 이의 균등 또는 등가적 변형 모두는 본 발명 사상의 범주에 속한다고 할 것이다.

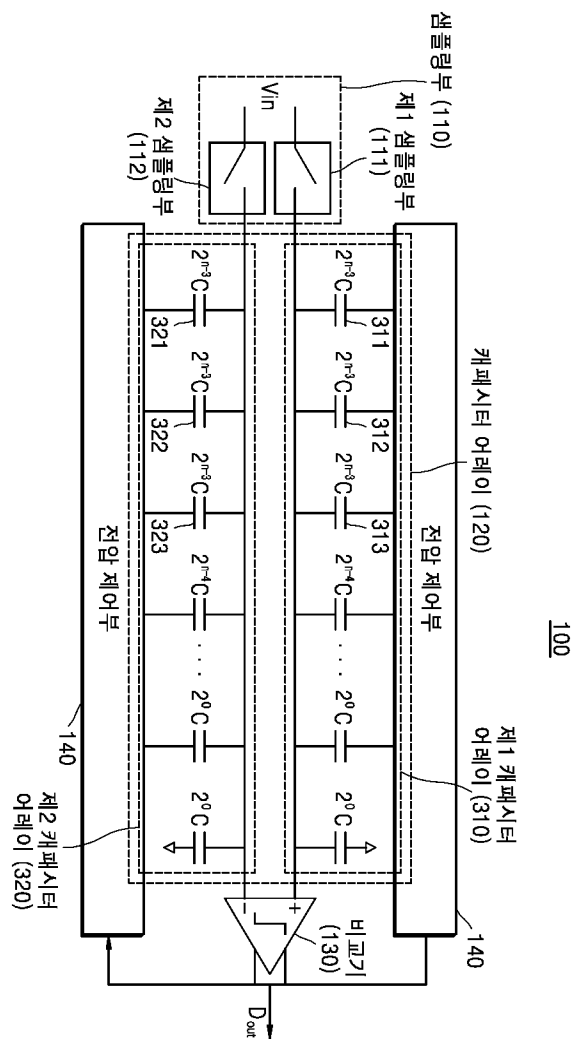
부호의 설명

- [0148] 100: 신호 변환 장치
- 110: 샘플링부
- 111: 제 1 샘플링부
- 112: 제 2 샘플링 부
- 120: 캐패시터 어레이
- 310: 제 1 캐패시터 어레이
- 320: 제 2 캐패시터 어레이

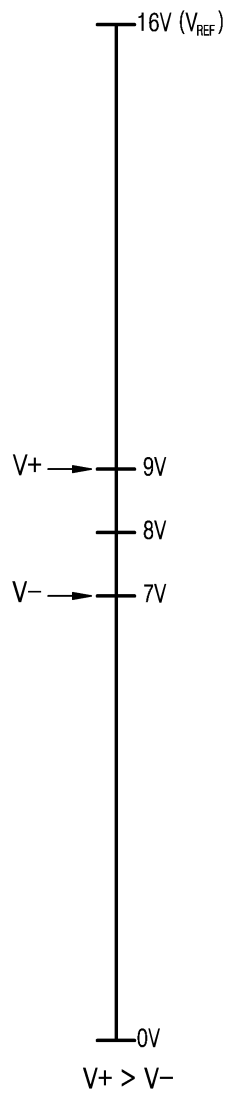
- 311: 제 1 캐패시터
- 312: 제 2 캐패시터
- 313: 제 3 캐패시터
- 321: 제 4 캐패시터
- 322: 제 5 캐패시터
- 323: 제 6 캐패시터
- 130: 비교기
- 140: 전압 제어부

도면

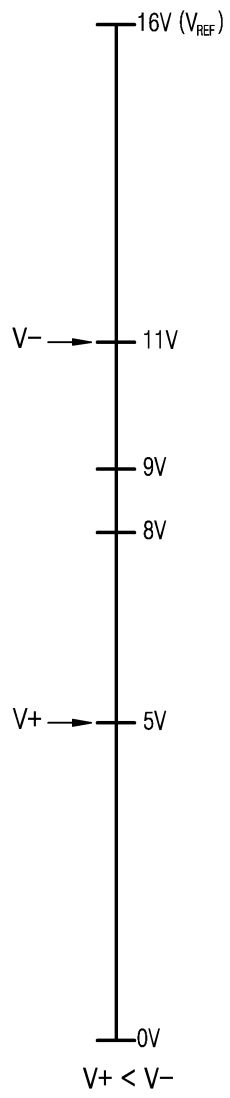
도면1



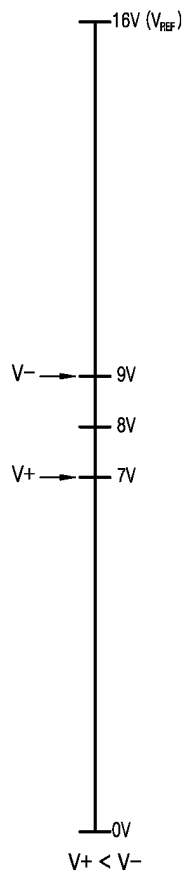
도면2a



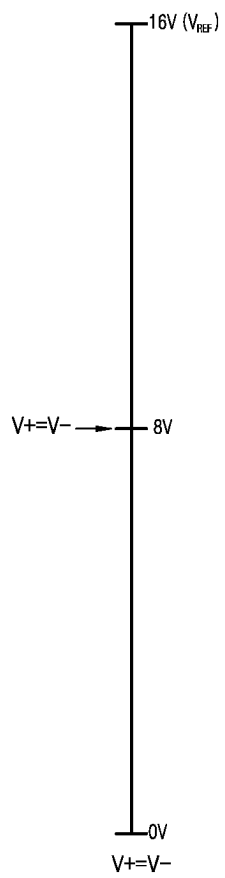
도면2b



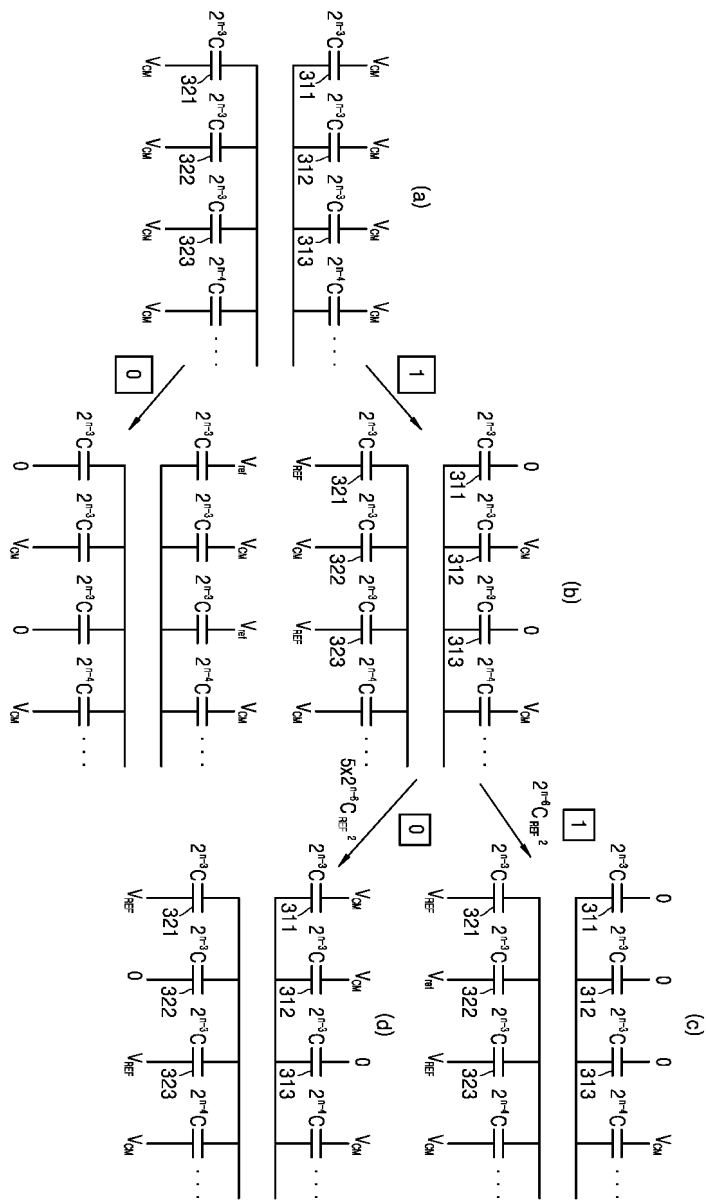
도면2c



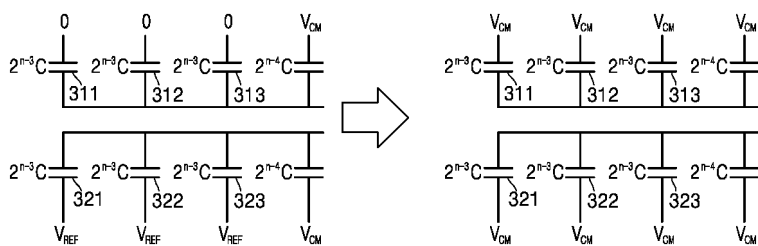
도면2d



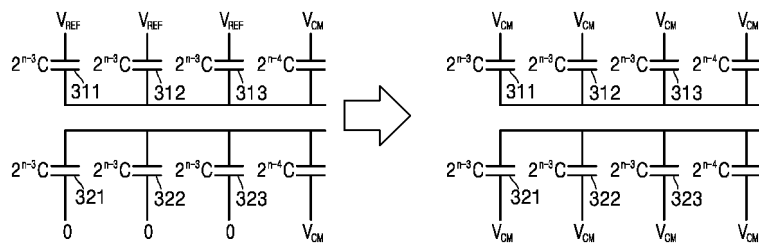
도면3



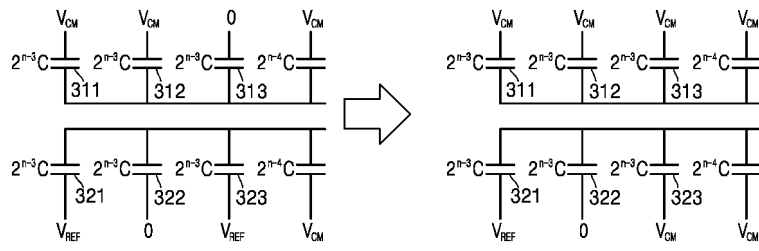
도면4a



도면4b



도면4c



도면5

