



(12)发明专利申请

(10)申请公布号 CN 108959158 A

(43)申请公布日 2018. 12. 07

(21)申请号 201810717608.4

(22)申请日 2018.07.03

(71)申请人 郑州云海信息技术有限公司
地址 450018 河南省郑州市郑东新区心怡路278号16层1601室

(72)发明人 刘东洋

(74)专利代理机构 济南诚智商标专利事务有限公司 37105

代理人 李修杰

(51) Int. Cl.

G06F 13/42(2006.01)

G06F 15/163(2006.01)

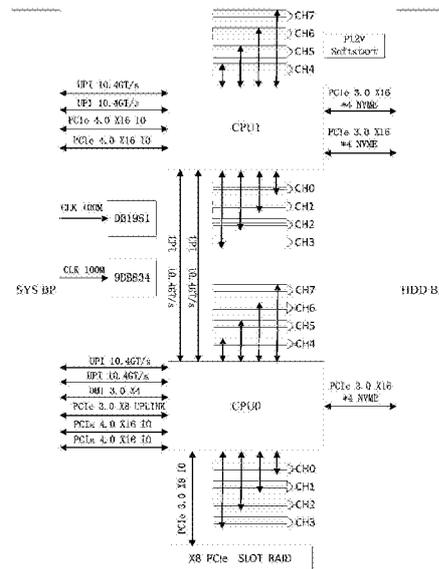
权利要求书1页 说明书4页 附图1页

(54)发明名称

一种基于Whitley平台的处理器板

(57)摘要

本申请公开了一种基于Whitley平台的处理器板,该处理器板主要包括CPU0和CPU1两个CPU,两个CPU之间通过UPI信号互联,且两个CPU分别通过UPI信号与系统背板连接;CPU0通过X4的DMI信号以及X8的UPLINK PCIE信号经由系统背板与PCH互联;两个CPU分别通过X16的PCIE信号经由系统背板与IO板连接;两个CPU还分别通过X16的PCIE信号与硬盘背板互联;CPU0通过X16的PCIE信号连接管理板的OCP3.0连接器,管理板用于带外管理和带内管理;CPU0还通过X8的PCIE信号与RAID卡连接。通过本申请中的处理器板能够实现处理器设计的模块化,有利于适应灵活的项目需求,降低研发成本,节省产品开发时间。



CN 108959158 A

1. 一种基于Whitley平台的处理器板,应用于服务器中,其特征在于,所述处理器板包括:CPU0和CPU1两个CPU,两个CPU之间通过UPI信号互联,且两个CPU分别通过UPI信号与系统背板连接;

CPU0通过X4的DMI信号以及X8的UPLINK PCIE信号经由系统背板与PCH互联;

两个CPU分别通过X16的PCIE信号经由系统背板与IO板连接;

两个CPU还分别通过X16的PCIE信号与硬盘背板互联;

所述CPU0通过X16的PCIE信号连接管理板的OCP3.0连接器,所述管理板用于带外管理和带内管理;

所述CPU0还通过X8的PCIE信号与RAID卡连接。

2. 根据权利要求1所述的一种基于Whitley平台的处理器板,其特征在于,所述PCIE信号与其连接的终端相匹配。

3. 根据权利要求2所述的一种基于Whitley平台的处理器板,其特征在于,与所述IO板连接的PCIE信号符合PCIE 4.0标准。

4. 根据权利要求1所述的一种基于Whitley平台的处理器板,其特征在于,所述服务器包括基于Whitley平台的两路服务器或四路服务器。

5. 根据权利要求4所述的一种基于Whitley平台的处理器板,其特征在于,当所述服务器为基于Whitley平台的两路服务器时,所述服务器中包括有一个所述处理器板。

6. 根据权利要求5所述的一种基于Whitley平台的处理器板,其特征在于,当所述服务器为基于Whitley平台的两路服务器时,CPU0和CPU1共有三组X16的PCIE信号与硬盘背板互联。

7. 根据权利要求4所述的一种基于Whitley平台的处理器板,其特征在于,当所述服务器为基于Whitley平台的四路服务器时,所述服务器中包括有两个所述处理器板,两个所述处理器板之间通过系统背板连接。

8. 根据权利要求7所述的一种基于Whitley平台的处理器板,其特征在于,当所述服务器为基于Whitley平台的四路服务器时,四个CPU共有六组X16的PCIE信号与硬盘背板互联。

9. 根据权利要求1-8中任一所述的一种基于Whitley平台的处理器板,其特征在于,所述处理器板中每个CPU最大支持8个通道的16根DIMM。

10. 根据权利要求9所述的一种基于Whitley平台的处理器板,其特征在于,每个CPU中的内存槽为SMT内存槽。

一种基于Whitley平台的处理器板

技术领域

[0001] 本申请涉及服务器系统设计技术领域,特别是涉及一种基于Whitley平台的处理器板。

背景技术

[0002] 随着计算机技术的发展,Intel推出了新的服务器平台Whitley,Whitley平台需要CPU架构的升级,CPU架构的升级通常包括内存方面和IO方面的升级。随着Whitley平台中CPU架构的升级,如何在服务器系统中合理设计处理器主板的结构,从而提升服务器的内存能力和IO传输能力,是个重要问题。

[0003] 目前的处理器主板结构中,一个处理器主板内通常包括计算模块、PCH(Platform Controller Hub,平台控制)、CPLD(Complex Programmable Logic Device,复杂可编程逻辑器件)、BMC(Baseboard Management Controller,基本管理控制器)以及网络等多个模块。根据特定的项目需求,通过对整个处理器主板的结构设计,使各个模块之间协调运作,从而实现信号的稳定传输、数据运算、各部件的监控等多种功能。

[0004] 然而,目前的处理器主板结构中,由于将计算模块、PCH、CPLD、BMC以及网络等多个模块组合设计在一块处理器主板中,当项目需求发生改变时,需要更改整个处理器主板的设计,具体地,需要重新评估板内信号的SI(Signal Integrity,信号完整性)、电源以及硬件设计等方案,投入人力和物力重新进行原理图设计、PCB(Printed Circuit Board,印制电路板)设计、物料采购以及板卡打板验证测试等流程。因此,目前处理器主板的共用性比较差,不便于服务器系统的升级和产品的更新。

发明内容

[0005] 本申请提供了一种基于Whitley平台的处理器板,以解决现有技术中的处理器主板共用性差的问题。

[0006] 为了解决上述技术问题,本申请实施例公开了如下技术方案:

[0007] 一种基于Whitley平台的处理器板,应用于服务器中,所述处理器板包括:CPU0和CPU1两个CPU,两个CPU之间通过UPI信号互联,且两个CPU分别通过UPI信号与系统背板连接;

[0008] CPU0通过X4的DMI信号以及X8的UPLINK PCIE(peripheral component interconnect express,高速串行计算机扩展总线标准)信号经由系统背板与PCH互联;

[0009] 两个CPU分别通过X16的PCIE信号经由系统背板与IO板连接;

[0010] 两个CPU还分别通过X16的PCIE信号与硬盘背板互联;

[0011] 所述CPU0通过X16的PCIE信号连接管理板的OCP(Open Compute Project,开放计算项目)3.0连接器,所述管理板用于带外管理和带内管理;

[0012] 所述CPU0还通过X8的PCIE信号与RAID卡连接。

[0013] 可选地,所述PCIE信号与其连接的终端相匹配。

- [0014] 可选地,与所述IO板连接的PCIE信号符合PCIE 4.0标准。
- [0015] 可选地,所述服务器包括基于Whitley平台的两路服务器或四路服务器。
- [0016] 可选地,当所述服务器为基于Whitley平台的两路服务器时,所述服务器中包括有一个所述处理器板。
- [0017] 可选地,当所述服务器为基于Whitley平台的两路服务器时,CPU0和CPU1共有三组X16的PCIE信号与硬盘背板互联。
- [0018] 可选地,当所述服务器为基于Whitley平台的四路服务器时,所述服务器中包括有两个所述处理器板,两个所述处理器板之间通过系统背板连接。
- [0019] 可选地,当所述服务器为基于Whitley平台的四路服务器时,四个CPU共有六组X16的PCIE信号与硬盘背板互联。
- [0020] 可选地,所述处理器板中每个CPU最大支持8个通道的16根DIMM (Dual-Inline-Memory-Modules,双列直插式存储模块,一种内存条)。
- [0021] 可选地,每个CPU中的内存槽为SMT内存槽。
- [0022] 本申请的实施例提供的技术方案可以包括以下有益效果:
- [0023] 本申请提供一种基于Whitley平台的处理器板,该处理器板可用于两路服务器和四路服务器中。该处理器板主要包括两个CPU,两个CPU之间通过UPI信号互联,且两个CPU分别通过UPI信号与系统背板连接。该处理器板分别通过PCIE信号和DMI信号与外部板卡互联,还通过PCIE信号连接管理板的OCP3.0连接器,因此能够插入不同的OCP卡,从而实现系统网络的灵活配置。该处理器中的CPU0还通过X8的PCIE信号与RAID卡连接,通过RAID卡连接硬盘从而实现存储功能。本申请将计算模块从原有的综合多个模块功能的处理器主板中分离出来,设置专门的基于Whitley平台的处理器板,实现处理器设计的模块化,并在该处理器板上设置与其他板卡的信号连接装置,使得该处理器板主要负责计算功能,当项目需求发生改变时,能够及时对处理器板进行相应升级,且能够将该处理器板与其他板卡灵活组合,因此,目前的处理器板共用性较强,有利于服务器系统的升级和产品的更新。
- [0024] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本申请。

附图说明

- [0025] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,对于本领域普通技术人员而言,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。
- [0026] 图1为本申请实施例所提供的一种基于Whitley平台的处理器板的结构示意图。

具体实施方式

- [0027] 为了使本技术领域的人员更好地理解本申请中的技术方案,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都应当属于本申请保护的范围。

[0028] 为了更好地理解本申请,下面结合附图来详细解释本申请的实施方式。

[0029] 参见图1,图1为本申请实施例所提供的一种基于Whitley平台的处理器板的结构示意图。由图1可知,本实施例所提供的处理器板主要包括两个CPU:CPU0和CPU1,其中CPU0为主CPU,两个CPU之间通过UPI信号互联,且两个CPU分别通过UPI信号与系统背板连接。本实施例中系统背板即图1中的SYS BP,系统背板上不设置任何芯片,用于实现服务器系统内各个板卡之间的信号连接。

[0030] 继续参见图1可知,CPU0通过X4的DMI信号以及X8的UPLINK PCIE信号经由系统背板与PCH互联。两个CPU分别通过X16的PCIE信号经由系统背板与IO板连接;两个CPU还分别通过X16的PCIE信号与硬盘背板互联,图1中的HDD(Hard Disk Drive,硬盘驱动器)BP为硬盘背板,硬盘背板上设置有硬盘连接器、硬盘的电源调节器VR、逻辑控制芯片等,用于连接硬盘。

[0031] CPU0通过X16的PCIE信号连接管理板的OCP3.0连接器,管理板用于带外管理和带内管理,本实施例中的管理板用于对整个服务器系统中所有IO的管理,包括BMC、CPLD等。本实施例中CPU0通过X16的PCIE信号连接管理板的OCP3.0连接器,通过在OCP3.0连接器插入不同的OCP卡能够实现系统网络的灵活配置,也就是通过CPU0的这种连接关系设置,能够使处理器板连接到网卡,从而通过网络与外部实现信息交互。

[0032] 本实施例中CPU0还通过X8的PCIE信号与RAID卡连接,通过RAID连接硬盘能够实现处理器板的存储功能。而且,通过CPU0与RAID卡的连接,利用RAID卡连线到硬盘背板,能够实现NVME硬盘和SAS硬盘兼容,有利于提高处理器板的共用性和配置的灵活性。

[0033] 综上所述,该处理器板能够通过PCIE信号和DMI信号实现与外部板卡的互联。其中,为确保处理器板与外部的高速通信互联,PCIE信号与其连接的终端相匹配,也就是PCIE信号的标准级别由其所连接的终端来决定。

[0034] 具体地,与IO板连接的PCIE信号符合PCIE 4.0标准,两个CPU分别通过X16的PCIE信号经由系统背板连接到IO板,该走线遵循PCIE4.0的原则,能够使IO板的槽位最大速率支持PCIE4.0的信号,同时还能够向下兼容PCIE3.0/2.0/1.0等标准。与硬盘背板互联的PCIE信号为PCIE 3.0信号,与OCP3.0连接器连接的X16的PCIE信号为PCIE4.0信号,与RAID卡连接的X8的PCIE信号为PCIE 3.0信号。

[0035] 本申请中的处理器板可用于基于Whitley平台的两路服务器或四路服务器。当处理器板应用于两路服务器时,两路服务器中包括一个处理器板,即:两路服务器的处理器器板上包括两个CPU:CPU0和CPU1,两个CPU之间通过UPI信号互联。当处理器板应用于四路服务器时,四路服务器中包括上下两个处理器板,两个处理器板之间通过系统背板连接。此时四路服务器中共4个CPU:CPU0、CPU1、CPU2和CPU3,每两个CPU构成一组且每两个CPU设置于一个处理器板上。两组CPU之间通过系统背板连接,每组内的两个CPU之间通过UPI信号互联。

[0036] 当处理器板应用于两路服务器中时,CPU0和CPU1共有三组X16的PCIE信号与硬盘背板互联,每个PCIE 3.0*16的信号可连接4个NVMe硬盘,因此,在两路服务器中,通过本申请中的处理器板,可连接12个NVMe硬盘,也就是在在2U高度内可支持12个NVMe硬盘。当处理器板应用于四路服务器中时,四个CPU共有六组X16的PCIE信号与硬盘背板互联,在四路服务器中,通过设置两个处理器板,可连接24个NVMe硬盘,也就是在4U高度内可支持24个NVMe

硬盘。本实施例中处理器板的这种结构设计,能够充分利用CPU内部PCIE的分布特点,大大减少PCIE信号的走线长度,有利于提升信号的质量。

[0037] 本实施例中处理器板内每个CPU最大支持8个通道的16根DIMM,能够将内存速率从2933MT/s提升到3200MT/s,相比于上一代平台Purley平台能够提升30%的存储速率。

[0038] 为实现8个通道的16根DIMM的结构设计,本实施例在处理器板的板宽不变的情况下,将内存槽之间的间距以及内存槽到CPU的间距都进行缩小。内存槽的间距以及内存槽到CPU的距离设置,只要能够符合Intel内存的走线规范,并能够容纳8个通道的16根DIMM即可。例如:内存槽之间的间距从370mil缩减到310mil,内存槽到CPU的最小间距从880mil减小至580mil。

[0039] 进一步地,本实施例处理器板中的CPU,其内存槽为SMT内存槽,内存槽即内存连接器。也就是说,本实施例中CPU中的内存槽采用SMT工艺制作,能够大大提升信号传输的质量。

[0040] 综上所述,本申请中基于Whitley平台的处理器板,通过两个CPU构成单独的处理器模块,将计算模块从原有的综合多个模块功能的处理器主板中分离出来,实现处理器设计的模块化,使得该处理器板主要负责计算功能。并通过PCIE信号和DMI信号实现处理器板与外部板卡互联,还通过PCIE信号连接管理板的OCP3.0连接器实现处理器板与外部网络的连接。这种模块化的结构设计,当项目需求发生改变时,能够及时对处理器板进行相应升级,且能够将该处理器板与其他板卡灵活组合,因此,目前的处理器板共用性较强,有利于服务器系统的升级和产品的更新。而且这种模块化的结构设计,由于能够灵活适应不同的项目需求,有利于降低研发成本,节省产品开发时间。

[0041] 以上所述仅是本申请的具体实施方式,使本领域技术人员能够理解或实现本申请。对这些实施例的多种修改对本领域的技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本申请的精神或范围的情况下,在其它实施例中实现。因此,本申请将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

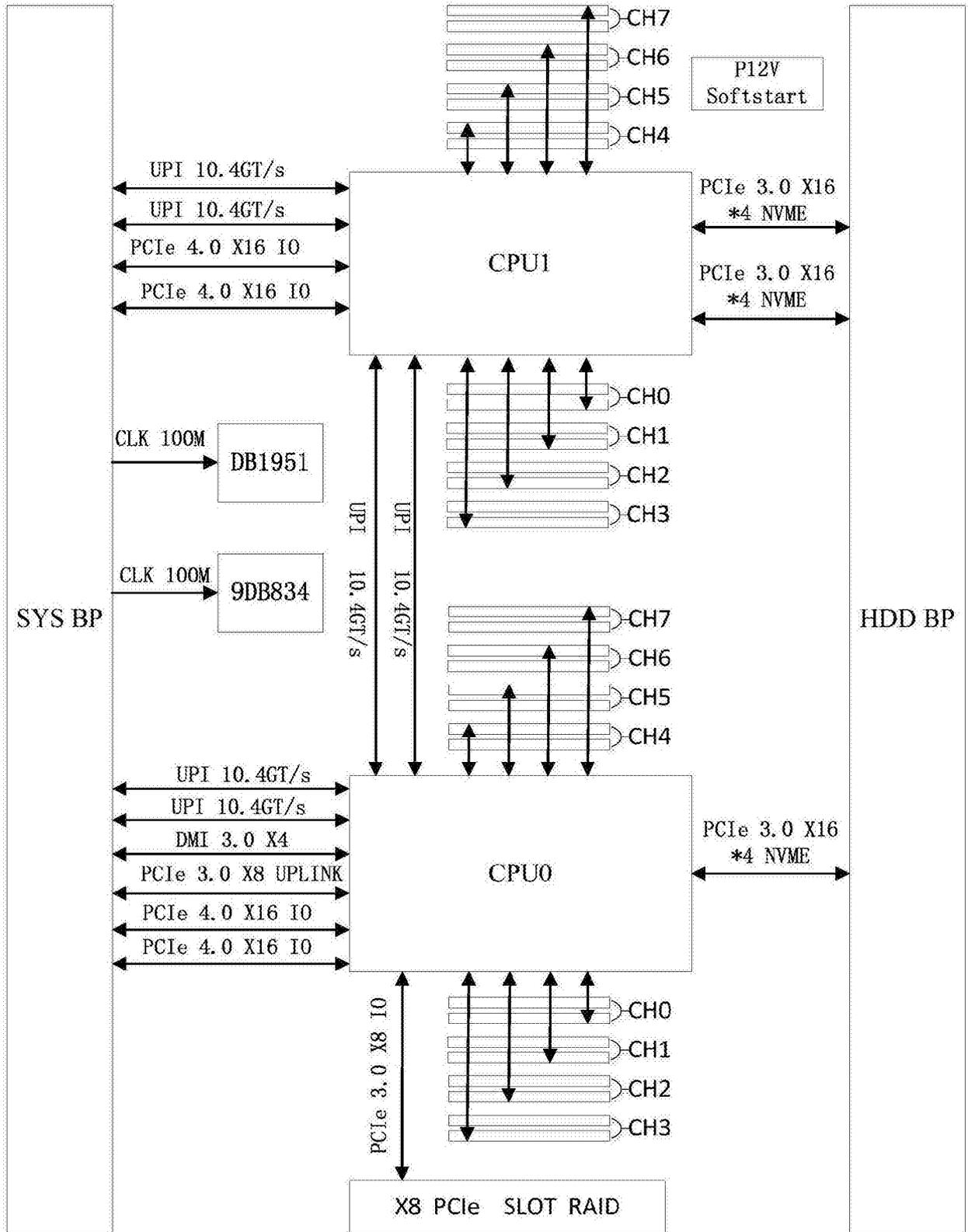


图1