



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 348 760**

51 Int. Cl.:
H04L 5/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **08172467 .6**

96 Fecha de presentación : **19.12.2008**

97 Número de publicación de la solicitud: **2086155**

97 Fecha de publicación de la solicitud: **05.08.2009**

54 Título: **Aparato para la transmisión y recepción de una señal y método para la transmisión y recepción de una señal.**

30 Prioridad: **04.02.2008 US 25823 P**
15.12.2008 KR 20080127315

45 Fecha de publicación de la mención BOPI:
13.12.2010

45 Fecha de la publicación del folleto de la patente:
13.12.2010

73 Titular/es: **LG ELECTRONICS Inc.**
20, Yeouido-dong, Yeongdeungpo-gu
Seoul 150-721, KR

72 Inventor/es: **Moon, Sang Chul y**
Ko, Woo Suk

74 Agente: **Durán Moya, Carlos**

ES 2 348 760 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

Descripción

La presente invención se refiere a un método para la transmisión y recepción de una señal y a un aparato para la transmisión y recepción de una señal y, más particularmente, a un método para la transmisión y recepción de una señal y a un aparato para la transmisión y recepción de una señal, que pueden mejorar la eficiencia en la transmisión de datos.

A medida que se ha desarrollado la tecnología de difusión digital, los usuarios han recibido una imagen en movimiento de alta definición (HD). Con el continuo desarrollo de un algoritmo de compresión y el elevado rendimiento de hardware, en el futuro se proporcionará un mejor entorno a los usuarios. Un sistema de televisión digital (DTV) puede recibir una señal de difusión digital y proporcionar una variedad de servicios suplementarios a los usuarios, así como una señal de vídeo y una señal de audio.

Con el desarrollo de la tecnología de difusión digital, aumenta el requisito de servicios tal como una señal de vídeo y una señal de audio y del tamaño de datos deseado por el usuario, o el número de canales de difusión aumenta gradualmente.

El estándar ETSI EN 301 192 v1.4.1 (2004-11) "Difusión de vídeo digital (DVB); especificación DVB para la difusión de datos" se refiere a las áreas de aplicación con diferentes requisitos para el transporte de datos. El perfil de especificación de la difusión de datos para canales de datos soporta servicios de difusión de datos que requieren un envío de extremo a extremo de datos asíncrono simple, a través de las redes de difusión que cumplen con la DVB. Los canales de datos se utilizan para difusión en tiempo real.

En consecuencia, la presente invención se dirige a un método para la transmisión y recepción de una señal y a un aparato para la transmisión y recepción de una señal que obvia sustancialmente uno o más problemas debido a las limitaciones y desventajas de la técnica relacionada.

Un objeto de la presente invención es proporcionar un método para la transmisión y recepción de una señal y un aparato para la transmisión y recepción de una señal, que pueden mejorar la eficiencia de la transmisión de datos.

Otro objeto de la presente invención es proporcionar un método para la transmisión y recepción de una señal y un aparato

para la transmisión y recepción de una señal, que pueden mejorar la capacidad de corrección de errores de los bits que configuran un servicio.

Las ventajas, objetivos y características adicionales de la invención se expondrán en parte en la descripción que sigue y en parte serán evidentes para los técnicos ordinarios en la materia al examinar lo siguiente o se pueden adquirir por práctica de la invención. Los objetivos y otras ventajas de la invención se pueden realizar y alcanzar mediante la estructura particularmente señalada en la descripción escrita y en las reivindicaciones de la misma, así como en los dibujos adjuntos.

La invención se refiere a un método para la transmisión de una señal tal como se reivindica en la reivindicación 1 y un aparato correspondiente tal como se reivindica en la reivindicación 10. La invención también se refiere a un método para la recepción de una señal tal como se reivindica en la reivindicación 5 y un aparato correspondiente tal como se reivindica en la reivindicación 12.

Los dibujos adjuntos, que se incluyen para ofrecer una mejor comprensión de la invención y se incorporan y constituyen una parte de esta aplicación, muestran una realización o realizaciones de la invención y, conjuntamente con la descripción, sirven para explicar el principio de la invención. En los dibujos:

la figura 1 es una vista que muestra una trama de la señal para la transmisión de un servicio;

la figura 2 es una vista que muestra la estructura de una primera señal piloto -P1- de la trama de la señal;

la figura 3 es una vista que muestra una ventana de transmisión de señales;

la figura 4 es una vista esquemática que muestra una realización de un aparato para la transmisión de una señal;

la figura 5 es una vista que muestra un ejemplo de un procesador de entrada -110-;

la figura 6 es una vista que muestra un ejemplo de una unidad de codificación y modulación;

la figura 7 es una vista que muestra un ejemplo de un constructor de tramas;

la figura 8 es una vista que muestra un primer ejemplo de una tasa de símbolos cuando los mapeadores -131a- y -131b- realizan un mapeado de símbolos híbrido;

la figura 9 es una vista que muestra un segundo ejemplo de una tasa de símbolos cuando los mapeadores -131a- y -131b- realizan un mapeado de símbolos híbrido;

la figura 10 es una vista que muestra el número de símbolos y el número de bits por palabra de celda según un esquema de mapeado de símbolos en un modo LDPC normal;

la figura 11 es una vista que muestra otro ejemplo del número de símbolos según un esquema de mapeado de símbolos en un modo LDPC normal;

la figura 12 es una vista que muestra otro ejemplo del número de símbolos según un esquema de mapeado de símbolos en un modo LDPC normal;

la figura 13 es una vista que muestra el número de símbolos según un esquema de mapeado de símbolos en un modo LDPC corto;

la figura 14 es una vista que muestra un ejemplo del número de símbolos según un esquema de mapeado de símbolos en un modo LDPC corto;

la figura 15 es una vista que muestra otro ejemplo del número de símbolos según un esquema de mapeado de símbolos en un modo LDPC corto;

la figura 16 es una vista que muestra un ejemplo de cada uno de los mapeadores de símbolos -131a- y -131b- mostrados en la figura 7;

la figura 17 es una vista que muestra otro ejemplo de cada uno de los mapeadores de símbolos -131a- y -131b-;

la figura 18 es una vista que muestra otro ejemplo del mapeador de símbolos;

la figura 19 es una vista que muestra otro ejemplo de cada uno de los mapeadores de símbolos -131a- y -131b-;

la figura 20 es una vista que muestra el concepto de entrelazado de bits mediante los dispositivos de entrelazado de bits -1312a- y -1312b-;

la figura 21 muestra otro ejemplo de los dispositivos de entrelazado de bits que realizan el entrelazado;

la figura 22 muestra el desfase utilizado en el entrelazado de bits según un método de mapeado de símbolos;

la figura 23 es una vista que muestra un primer ejemplo del número de filas y columnas de las memorias de los dispositivos de entrelazado de bits -1312a- y -1312b- según los tipos de

mapeadores de símbolos -1315a- y -1315b-;

la figura 24 es una vista que muestra un segundo ejemplo del número de filas y columnas de las memorias de los dispositivos de entrelazado de bits -1312a- y -1312b- según los tipos de los mapeadores de símbolos -1315a- y -1315b-;

la figura 25 es un diagrama que muestra el concepto de otro ejemplo de entrelazado de un dispositivo de entrelazado de bits;

la figura 26 es una vista que muestra otro ejemplo de entrelazado de bits;

la figura 27 es una vista que muestra otro ejemplo de entrelazado de bits;

la figura 28 es una vista que muestra otro ejemplo de entrelazado de bits;

la figura 29 es una vista que muestra el concepto de demultiplexación de los bits de entrada de los demultiplexores -1313a- y -1313b-;

la figura 30 es una vista que muestra un ejemplo de la demultiplexación de un flujo de entrada mediante el demultiplexor;

la figura 31 es una vista que muestra un ejemplo de un tipo de demultiplexación según un método de mapeado de símbolos;

la figura 32 es una vista que muestra un ejemplo de demultiplexación de un flujo de bits de entrada según un tipo de demultiplexación;

la figura 33 es una vista que muestra un tipo de demultiplexación que se determina según una tasa de código de una codificación de corrección de error y un método de mapeado de símbolos;

la figura 34 es una vista que muestra un ejemplo de la expresión del método de demultiplexación mediante una ecuación;

la figura 35 es una vista que muestra un ejemplo de mapeado de un símbolo mediante un mapeador de símbolos;

la figura 36 es una vista que muestra un ejemplo de un codificador de señales de rutas múltiples;

la figura 37 es una vista que muestra un ejemplo de un modulador;

la figura 38 es una vista que muestra un ejemplo de un procesador analógico -160-;

la figura 39 es una vista que muestra una realización de un aparato receptor de señales que puede recibir una trama de la

señal;

la figura 40 es una vista que muestra un ejemplo de un receptor de señales;

la figura 41 es una vista que muestra un ejemplo de un demodulador;

la figura 42 es una vista que muestra un decodificador de señales de múltiples rutas;

la figura 43 es una vista que muestra un ejemplo de un analizador sintáctico de tramas;

la figura 44 es una vista que muestra un ejemplo de cada uno de los demapeadores de símbolos -247a- y -247p-;

la figura 45 es una vista que muestra otro ejemplo de cada uno de los demapeadores de símbolos -247a- y -247p-;

la figura 46 es una vista que muestra otro ejemplo de cada uno de los demapeadores de símbolos -247a- y -247p-;

la figura 47 es una vista que muestra otro ejemplo de cada uno de los demapeadores de símbolos -247a- y -247p-;

la figura 48 es una vista que muestra un ejemplo de multiplexación de un subflujo demultiplexado;

la figura 49 es una vista que muestra un ejemplo de una unidad de decodificación y demodulación;

la figura 50 es una vista que muestra un ejemplo de un procesador de salida;

la figura 51 es una vista que muestra otro ejemplo de una aparato para la transmisión de señales para transmitir una trama de la señal;

la figura 52 es una vista que muestra otro ejemplo de un aparato receptor de señales para recibir una trama de la señal;

la figura 53 es una vista que muestra un ejemplo de la estructura de una primera señal piloto;

la figura 54 es una vista que muestra un ejemplo de la detección de una señal preámbulo mostrada en la figura 53 y de la estimación de un desfase en la sincronización y un desfase en la frecuencia;

la figura 55 es una vista que muestra otro ejemplo de la estructura de la primera señal piloto;

la figura 56 es una vista que muestra un ejemplo de la detección de la primera señal piloto mostrada en la figura 55 y de la medición de un desfase en la sincronización y de un desfase en la frecuencia;

la figura 57 es una vista que muestra un ejemplo de la detección de la primera señal piloto y de la medición de un desfase en la sincronización y de un desfase en la frecuencia utilizando el resultado detectado;

la figura 58 es una vista que muestra un ejemplo de un método para la transmisión de una señal;

la figura 59 es una vista que muestra un ejemplo de un método para la recepción de una señal; y

la figura 60 es un diagrama de flujo que muestra un ejemplo de identificación de una primera señal piloto y de estimación de un desfase en un proceso de demodulación.

La figura 61 muestra otro ejemplo de un método para la transmisión y recepción de señales.

La figura 62 es una vista que muestra una realización de un aparato para la transmisión de una señal;

la figura 63 es una vista que muestra un ejemplo de un codificador de información -1303-;

la figura 64 es una vista que muestra una realización de un aparato para la recepción de una señal;

la figura 65 es una vista que muestra un ejemplo detallado de la decodificación de la información de la capa 1 y de la información de la capa 2; y

la figura 66 es un diagrama de flujo que muestra un método para la transmisión y recepción de una señal.

la figura 67 es una vista que muestra una estructura de un preámbulo de una trama de la señal;

la figura 68 es una vista que muestra otra estructura de un preámbulo de una trama de la señal; y

la figura 69 es un diagrama de flujo que muestra una realización de un método para la transmisión y recepción de una señal.

A continuación se hará referencia en detalle a las realizaciones preferentes de la presente invención, ejemplos de las cuales se muestran en los dibujos adjuntos. Siempre que sea posible, se utilizarán los mismos números de referencia en todos los dibujos para referirse a las mismas partes o partes similares.

En la siguiente descripción, el término "servicio" es indicativo tanto de los contenidos de difusión que se pueden transmitir o recibir mediante el aparato para la transmisión o recepción, o la provisión de contenidos.

Antes de describir un aparato para la transmisión y recepción de una señal según un ejemplo, se describirá una trama de la señal que se transmite y recibe mediante el aparato para la transmisión y recepción de señales según un ejemplo.

La figura 1 muestra una trama de la señal para transmitir un servicio según un ejemplo.

La trama de la señal mostrada en la figura 1 muestra una trama de la señal de ejemplo para la transmisión de un servicio de difusión que comprende flujos de audio/vídeo (AN). En este caso, un único servicio se multiplexa en los canales de tiempo y frecuencia y se transmite el servicio multiplexado. El esquema de transmisión de señales mencionado anteriormente se denomina esquema de segmentación en tiempo-frecuencia (TFS). En comparación con el caso en el que se transmite un único servicio a una sola banda de radiofrecuencia (RF), el aparato para la transmisión de señales según un ejemplo transmite el servicio de señal a través, como mínimo, de una banda de RF (posiblemente varias bandas de RF), de manera que puede adquirir una ganancia de multiplexado estadística capaz de transmitir muchos más servicios. El aparato para la transmisión/recepción de señales transmite/recibe un único servicio sobre los diversos canales de RF, de manera que puede adquirir una ganancia de diversidad en frecuencia.

Los servicios primero a tercero (servicios 1-3) se transmiten a cuatro bandas de RF (RF1-RF4). No obstante, este número de bandas de RF y este número de servicios se han descrito únicamente para propósito de ejemplo, de manera que también se pueden utilizar otros números cuando sea necesario. Las dos señales de referencia (es decir, una primera señal piloto (P1) y una segunda señal piloto (P2)) se ubican en la parte inicial de la trama de la señal. Por ejemplo, en el caso de la banda RF1, la primera señal piloto (P1) y la segunda señal piloto (P2) se ubican en la parte inicial de la trama de la señal. La banda RF1 incluye tres ranuras asociadas al servicio 1, dos ranuras asociadas al servicio 2 y una única ranura asociada al servicio 3. Las ranuras asociadas a otros servicios también se pueden ubicar en otras ranuras (ranuras 4-17) situadas tras la única ranura asociada al servicio 3.

La banda RF2 incluye una primera señal piloto (P1), una segunda señal piloto (P2) y otras ranuras 13-17. Además, la banda RF2 incluye tres ranuras asociadas al servicio 1, dos ranuras

asociadas al servicio 2 y una única ranura asociada al servicio 3.

Los servicios 1-3 se multiplexan y, posteriormente, se transmiten a las bandas RF3 y RF4 según el esquema de segmentación en tiempo y frecuencia (TFS). El esquema de modulación para la transmisión de señales se puede basar en un esquema de multiplexación de división de frecuencias ortogonal (OFDM).

En la trama de la señal, los servicios individuales se desplazan a las bandas de RF (en el caso en que existan diversas bandas de RF en la trama de la señal) y en un eje de tiempo.

Si las tramas de señal iguales a la trama de la señal anterior se disponen de manera sucesiva en el tiempo, se puede componer una supertrama con diversas tramas de las señales. También se puede ubicar una trama de ampliación futura entre las diversas tramas de las señales. Si la trama de ampliación futura se ubica entre las diversas tramas de las señales, la supertrama puede terminar en la trama de ampliación futura.

La figura 2 muestra una primera señal piloto (P1) contenida en la trama de la señal de la figura 1, según un ejemplo.

La primera señal piloto P1 y la segunda señal piloto P2 se ubican en la parte inicial de la trama de la señal. La primera señal piloto P1 se modula mediante un modo 2K FFT y se puede transmitir de manera simultánea incluyendo un intervalo de guarda de 1/4. En la figura 2, una banda de 7,61 MHz de la primera señal piloto P1 incluye una banda de 6,82992 MHz. La primera señal piloto utiliza 256 portadores de entre 1.705 portadores activos. Se utiliza un único portador activo por cada 6 portadores por término medio. Los intervalos datos-portador se pueden disponer de manera irregular en el orden de 3, 6 y 9. En la figura 2, una línea continua indica la ubicación de un portador utilizado, una línea de puntos fina indica la ubicación de un portador no utilizado, y una línea de trazos indica una ubicación central del portador no utilizado. En la primera señal piloto, el portador utilizado se puede mapear en símbolos mediante una modulación por desplazamiento de fase binaria (BPSK) y se puede modular una secuencia de bits pseudoaleatorios (PRBS). Se puede indicar el tamaño de un FFT utilizado por la segunda señal piloto mediante varios PRBS.

El aparato receptor de señales detecta una estructura de una señal piloto y reconoce una segmentación en tiempo y frecuencia (TFS) utilizando la estructura detectada. El aparato receptor de señales adquiere el tamaño del FFT de la segunda señal piloto,

compensa un gran desfase de frecuencia de una señal de recepción y adquiere la sincronización de tiempo.

En la primera señal piloto, se pueden fijar un tipo de transmisión de señal y un parámetro de transmisión.

La segunda señal piloto P2 se puede transmitir con un tamaño de FFT y un intervalo de guarda igual a los del símbolo de datos. En la segunda señal piloto, se utiliza un único portador como portador piloto a intervalos de tres portadores. El aparato receptor de señales compensa un ligero desfase de sincronización de frecuencia utilizando la segunda señal piloto y realiza una sincronización de tiempo precisa. La segunda señal piloto transmite la información de una primera capa (L1) de entre las capas de interconexión de sistemas abiertos (OSI). Por ejemplo, la segunda señal piloto puede incluir un parámetro físico e información de la construcción de tramas. La segunda señal piloto transmite un valor de parámetro mediante el cual un receptor puede acceder a un flujo de servicios de canal de capas físico (PLP).

La información L1 (capa 1) contenida en la segunda señal piloto P2 es como sigue.

La información de la capa 1 (L1) incluye un indicador de longitud que indica la longitud de los datos incluyendo la información L1, de manera que se pueden utilizar fácilmente los canales para transmisión de señales de las capas 1 y 2 (L1 y L2). La información de la capa 1 (L1) incluye un indicador de frecuencia, una longitud del intervalo de guarda, un número máximo de bloques de FEC (corrección de errores hacia adelante) para cada trama en asociación con canales físicos individuales y el número de bloques FEC reales a contener en el bloque FEC tampón asociado a la trama actual/anterior en cada canal físico. En este caso, el indicador de frecuencia indica la información de frecuencia correspondiente al canal de RF.

La información de la capa 1 (L1) puede incluir una variedad de información en relación a las ranuras individuales. Por ejemplo, la información de la capa 1 (L1) incluye el número de tramas asociadas a un servicio, una dirección de inicio de una ranura que tiene la precisión de un portador OFDM contenido en un símbolo OFDM, una longitud de la ranura, ranuras correspondientes al portador OFDM, el número de bits de relleno en el último portador OFDM, la información de modulación del servicio, la información de la tasa de modo de servicio y la información de

esquema de múltiples entradas múltiples salidas (MIMO).

La información de la capa 1 (L1) puede incluir un identificador de celda, un indicador de servicio como un servicio de mensajes de notificación (por ejemplo, un mensaje de emergencia), el número de tramas actuales y el número de bits adicionales para uso futuro. En este caso, el indicador de celda indica un área de difusión transmitida por el transmisor de difusión.

La segunda señal piloto P2 se adapta para realizar una estimación del canal para decodificar un símbolo contenido en la señal P2. La segunda señal piloto P2 se puede utilizar como valor inicial para la estimación de canal para el siguiente símbolo de datos. La segunda señal piloto P2 también puede transmitir información de la capa 2 (L2). Por ejemplo, la segunda señal piloto también puede describir información en relación al servicio de transmisión en la información de la capa 2 (L2). El aparato para la transmisión de señales decodifica la segunda señal piloto, de manera que puede adquirir información de servicio contenida en la trama de segmentación de tiempo y frecuencia (TFS) y puede realizar de manera efectiva el escaneado de canales. Mientras tanto, esta información de la capa 2 (L2) también se puede incluir en un PLP específico de la trama TFS. Según otro ejemplo, la información L2 se puede incluir en un PLP específico, y la información de descripción del servicio también se puede transmitir en el PLP específico.

Por ejemplo, la segunda señal piloto puede incluir dos símbolos OFDM del modo 8k FFT. Generalmente, la segunda señal piloto puede ser cualquiera de un único símbolo OFDM del modo 32K FFT, un único símbolo OFDM del modo 16k FFT, dos símbolos OFDM del modo 8k FFT, cuatro símbolos OFDM del modo 4k FFT y ocho símbolos OFDM del modo 2k FFT.

En otras palabras, un único símbolo OFDM que tiene el tamaño de un gran FFT o diversos símbolos OFDM, cada uno de los cuales tiene el tamaño de un FFT pequeño, puede estar contenido en la segunda señal piloto P2, de manera que se puede mantener la capacidad de ser transmitida a la señal piloto.

Si la información que se va a transmitir a la segunda señal piloto excede la capacidad del símbolo OFDM de la segunda señal piloto, se pueden utilizar además los símbolos OFDM tras la segunda señal piloto. La información L1 (capa 1) y L2 (capa 2)

contenida en la segunda señal piloto es codificada con corrección de errores y posteriormente se entrelaza, de manera que se lleva a cabo la recuperación de datos aunque tenga lugar un ruido de impulso.

Tal como se ha descrito anteriormente, la información L2 también se puede incluir en un PLP específico que transporta la información de descripción del servicio.

La figura 3 muestra una ventana de transmisión de señales según la presente invención. La trama de segmentación en tiempo y frecuencia (TFS) muestra un concepto de desfase de la información de transmisión de señales. La información de la capa 1 (L1) contenida en la segunda señal piloto incluye una información de construcción de trama y una información de la capa física requerida por el aparato receptor de señales que decodifica el símbolo de datos. Por tanto, si la información de los siguientes símbolos de datos ubicada tras la segunda señal piloto está contenida en la segunda señal piloto y se transmite la segunda señal piloto resultante, el aparato receptor de señales puede ser incapaz de decodificar inmediatamente los siguientes símbolos de datos anteriores debido a un tiempo de decodificación de la segunda señal piloto.

Por tanto, tal como se muestra en la figura 3, la información L1 contenida en la segunda señal piloto (P2) incluye información de un único tamaño de trama de segmentación en tiempo y en frecuencia (TFS) e incluye la información contenida en la ventana de transmisión de señales en una ubicación separada de la segunda señal piloto mediante el desfase de la ventana de transmisión de señales.

Mientras tanto, a efectos de realizar una estimación del canal de un símbolo de datos que construye el servicio, el símbolo de datos puede incluir una señal piloto de dispersión y una señal piloto continua.

El sistema de transmisión/recepción de señales capaz de transmitir/recibir tramas de las señales mostrado en las figuras 1-3 se describirá a continuación. Los servicios individuales se pueden transmitir y recibir en varios canales de RF. Una ruta para la transmisión de cada uno de los servicios o un flujo transmitido a través de esta ruta se denomina un PLP. El PLP puede estar distribuido entre las ranuras divididas en tiempo en varios canales de RF o en una única banda de RF. Esta trama de la señal puede

transportar el PLP dividido en tiempo en, como mínimo, un canal de RF. En otras palabras, un único PLP puede ser transferido a través de, como mínimo, un canal de RF con regiones divididas en tiempo. A continuación se describirán los sistemas de transmisión y recepción de señales que transmiten y reciben una trama de la señal a través de, como mínimo, una banda de RF.

La figura 4 es un diagrama de bloques que muestra un aparato para la transmisión de una señal según un ejemplo. Haciendo referencia a la figura 4, el aparato para la transmisión de señales incluye un procesador de entrada -110-, una unidad de codificación y modulación -120-, un constructor de tramas -130-, un codificador MIMO/MISO -140-, varios moduladores (-150a-, -150r-) del codificador MIMO/MISO -140- y diversos procesadores analógicos (-160a, ..., -160r).

El procesador de entrada -110- recibe flujos equipados con diversos servicios, genera un número P de tramas de banda base (P es un número natural) que incluyen información de modulación y codificación correspondiente a las rutas de transmisión de los servicios individuales, y genera el número P de tramas de banda base.

La unidad de codificación y de modulación -120- recibe las tramas de banda base desde el procesador de entrada -110-, realiza la codificación y entrelazado del canal en cada una de las tramas de banda base, y genera el resultado de codificación y entrelazado del canal.

El constructor de trama -130- forma tramas que transmiten tramas de banda base contenidas en un número P de PLP a un número R de canales de RF (donde R es un número natural), divide las tramas formadas y emite las tramas divididas a las rutas correspondientes al número R de canales de RF. Diversos servicios se pueden multiplexar en un único canal de RF a su vez. Las tramas de las señales generadas por el constructor de tramas -140- pueden incluir una estructura de segmentación en tiempo y en frecuencia (TFS) en la que el servicio se multiplexa en los dominios del tiempo y la frecuencia.

El codificador MIMO/MISO -140- codifica las señales que se van a transmitir al número R de canales de RF, y emite las señales codificadas a las rutas correspondientes al número A de antenas (donde A es un número natural). El codificador MIMO/MISO -140- emite la señal codificada en la que una única señal a

transmitir a un único canal de RF se codifica al número A de antenas, de manera que una señal se transmite a una estructura MIMO (múltiples entradas múltiples salidas) o MISO (múltiples entradas única salida) y se reciben hacia/desde las mismas.

Los moduladores (-150a-, ..., -150r-) modulan las señales en el dominio de la frecuencia introducidas a través de la ruta correspondiente a cada canal de RF en las señales en el dominio del tiempo. Los moduladores (-150a-, ..., -150r-) modulan las señales de entrada según un esquema de multiplexación por división de frecuencias ortogonales (OFDM), y emite las señales moduladas.

Los procesadores analógicos (-160a-, ..., -160r-) convierten las señales de entrada en señales de RF, de manera que las señales de RF pueden ser emitidas a los canales de RF.

El aparato para la transmisión de señales según esta realización puede incluir un número predeterminado de moduladores (-150a-, ..., -150r-) correspondiente al número de canales de RF y a un número predeterminado de procesadores analógicos (-160a-, ..., -160r-) correspondiente al número de canales de RF. No obstante, en el caso de utilizar el esquema MIMO, el número de procesadores analógicos debe ser igual al producto de R (es decir, el número de canales de RF) y A (es decir, el número de antenas).

La figura 5 es un diagrama de bloques que muestra un procesador de entrada -110- según un ejemplo. Haciendo referencia a la figura 5, el procesador de entrada -110- incluye el primer multiplexor de flujo -111a-, el primer separador de servicios -113a- y una serie de primeros constructores de trama de banda base (BB) (-115a-, ..., -115m-). El procesador de entrada -110- comprende un segundo multiplexor de flujo -111b-, un segundo separador de servicios -113b- y una serie de segundos constructores de trama de banda base (BB) (-115n-, ..., -115p-).

Por ejemplo, el primer multiplexor de flujo -111a- recibe diversos flujos de transporte de MPEG-2 (TS), multiplexa los flujos MPEG-2 TS recibidos y emite los flujos MPEG-2 TS multiplexados. El primer separador de servicios -113a- recibe los flujos multiplexados, separa los flujos de entrada de los servicios individuales, y emite los flujos separados. Tal como se ha descrito anteriormente, suponiendo que el servicio transmitido a través de la ruta de canal físico se denomina un PLP, el primer separador de servicios -113a- separa el servicio que se va a transmitir a cada

PLP y emite el servicio separado.

Los primeros constructores de trama BB (-115a-, ..., -115m-) construyen los datos contenidos en un servicio que se va a transmitir a cada PLP en la forma de una trama específica, y emiten los datos en forma de trama específica. Los primeros constructores de trama BB (-115a-, ..., -115m-) construyen una trama que incluye una cabecera y una carga útil equipada con los datos de servicio. La cabecera de cada trama puede incluir información del modo basada en la modulación y codificación de los datos de servicio y un valor de contador basado en un valor de reloj del modulador para sincronizar los flujos de entrada.

El segundo flujo multiplexado -111b- recibe diversos flujos, multiplexa los flujos de entrada y emite los flujos multiplexados. Por ejemplo, el segundo multiplexor de flujo -111b- puede multiplexar flujos de protocolo de internet (IP) en lugar de los flujos MPEG-2 TS. Estos flujos pueden ser encapsulados mediante un esquema de encapsulamiento de flujo genérico (GSE). Los flujos multiplexados por el segundo multiplexor de flujo -111b- pueden ser cualquier tipo de flujos. Por tanto, los flujos anteriormente mencionados diferentes de los flujos MPEG-2 TS se denominan flujos genéricos (flujos GS).

El segundo separador de servicios -113b- recibe los flujos genéricos multiplexados, separa los flujos genéricos recibidos según los servicios individuales (es decir, tipos de PLP) y emite los flujos GS separados.

Los segundos constructores de trama BB (-115n-, ..., -115p-) construyen los datos de servicio que se van a transmitir a los PLP individuales en la forma de una trama específica utilizada como una unidad de procesamiento de señales, y emite los datos de servicio resultantes. El formato de trama construido por los segundos constructores de trama BB (-115n-, ..., -115p-) también pueden ser iguales a los de los primeros constructores de trama BB (-115a-, ..., -115m-) cuando sea necesario. Si se necesita, también se puede proponer otra realización. En otra realización, el formato de trama construido por los segundos constructores de trama BB (-115n-, ..., -115p-) puede ser diferente al de los primeros constructores de trama BB (-115a-, ..., -115p-). La cabecera MPEG-2 TS incluye, además, un preámbulo de paquetes que no está contenido en el flujo GS, dando como resultado diferentes cabeceras.

La figura 6 es un diagrama de bloques que muestra una

unidad de codificación y modulación según un ejemplo. La unidad de codificación y modulación incluye un primer dispositivo de entrelazado -123-, un segundo decodificador -125- y un segundo dispositivo de entrelazado -127-.

El primer codificador -121- actúa como un codificador externo de la trama de banda base de entrada y es capaz de realizar la codificación de corrección de errores. El primer codificador -121- realiza la codificación de corrección de errores de la trama de banda base de entrada utilizando un esquema de Bose-Chaudhuri-Hocquenghem (BCH). El primer dispositivo de entrelazado -123- realiza el entrelazado de los datos codificados, de manera que evita que se genere un error de trama en una señal de transmisión. El primer dispositivo de entrelazado -123- puede no estar contenido en el ejemplo mencionado anteriormente.

El segundo codificador -125- actúa como un codificador interno tanto de los datos generados por el primer codificador -121- como de los datos generados por el primer dispositivo de entrelazado -123-, y puede realizar la codificación de corrección de error. Se puede utilizar un esquema de bit de paridad de baja densidad (LDPC) como un esquema de codificación de corrección de errores. El segundo dispositivo de entrelazado -127- mezcla los datos codificados de corrección de errores generados por el segundo codificador -125- y emite los datos mezclados. El primer dispositivo de entrelazado -123- y el segundo dispositivo de entrelazado -127- pueden realizar el entrelazado de datos en unidades de bit.

La unidad de codificación y modulación -120- se refiere a un único flujo PLP. El flujo PLP se codifica con corrección de errores y se modula mediante la unidad de codificación y modulación -120- y, posteriormente, se transmite al constructor de trama -130-.

La figura 7 es un diagrama de bloques que muestra un constructor de trama según un ejemplo. Haciendo referencia a la figura 7, el constructor de trama -130- recibe flujos de varias rutas de la unidad de codificación y modulación -120- y dispone los flujos recibidos en una única trama de la señal. Por ejemplo, el constructor de trama puede incluir un primer mapeador -131a- y un primer dispositivo de entrelazado en tiempo -132a- en una primera ruta, y puede incluir un segundo mapeador -131b- y un segundo dispositivo de entrelazado en tiempo -132b- en una segunda ruta. El

número de rutas de entrada es igual al número de PLP para la transmisión de servicios o al número de flujos transmitidos a través de cada PLP.

El primer mapeador -131a- realiza el mapeado de datos contenidos en el flujo de entrada según el primer esquema de mapeado de símbolos. Por ejemplo, el primer mapeador -131a- puede realizar el mapeado de los datos de entrada utilizando un esquema QAM (por ejemplo, 16 QAM, 64 QAM y 256 QAM).

Si el primer mapeador -131a- realiza el mapeado del símbolo, los datos de entrada se pueden mapear en diversos tipos de símbolos según diversos esquemas de mapeado de símbolos. Por ejemplo, el primer mapeador -131a- clasifica los datos de entrada en una unidad de trama de banda base y una subunidad de trama de banda base. Los datos clasificados individuales pueden ser mapeados con símbolos híbridos mediante, como mínimo, dos esquemas QAM (por ejemplo, 16 QAM y 64 QAM). Por tanto, los datos contenidos en un único servicio pueden ser mapeados a símbolos en base a diferentes esquemas de mapeado de símbolos en intervalos individuales.

El primer dispositivo de entrelazado -132a- recibe una secuencia de símbolos mapeados por el primer mapeador -131a- y puede realizar el entrelazado en el dominio del tiempo. El primer mapeador -131a- mapea datos, que están contenidos en la unidad de trama con corrección de errores recibida de la unidad de codificación y modulación -120-, en símbolos. El primer dispositivo de entrelazado en tiempo -132a- recibe la secuencia de símbolos mapeada por el primer mapeador -131a- y entrelaza la secuencia de símbolos recibida en unidades de la trama con corrección de errores.

De esta manera, el mapeador p-ésimo -131p- o el dispositivo de entrelazado en tiempo p-ésimo -132p- reciben los datos de servicio que se van a transmitir al PLP p-ésimo, mapean los datos de servicio en símbolos según el esquema de mapeado de símbolos p-ésimo. Los símbolos mapeados se pueden entrelazar en un dominio del tiempo. Se debe observar que este esquema de mapeado de símbolos y este esquema de entrelazado son iguales a los del primer dispositivo de entrelazado en tiempo -132a- y el primer mapeador -131a-.

El esquema de mapeado de símbolos del primer mapeador -131a- puede ser igual o diferente del mapeador p-ésimo -131p-. El primer mapeador -131a- y el mapeador p-ésimo -131p- pueden mapear

datos de entrada a símbolos individuales utilizando el mismo o diferentes esquemas de mapeado de símbolos híbridos.

Los datos de los dispositivos de entrelazado en tiempo ubicados en las rutas individuales (es decir, los datos de servicios entrelazados por el primer dispositivo de entrelazado en tiempo -132a- y los datos de servicio que se van a transmitir al número R de canales de RF por el dispositivo de entrelazado en tiempo p-ésimo -132p-) se entrelazan, de manera que el canal físico permite que los datos anteriores se entrelacen sobre varios canales de RF.

En asociación con los flujos recibidos en tantas rutas como número de PLP, el constructor de trama TFS -133- construye la trama de la señal TFS tal como la trama de la señal mencionada anteriormente, de manera que el servicio se desplaza en el tiempo según los canales de RF. El constructor de trama TFS -133- separa los datos de servicio recibidos en cualquiera de las rutas y emite los datos de servicio separados en datos del número R de bandas de RF según un esquema de programación de señales.

El constructor de trama TFS -133- recibe la primera señal piloto y la segunda señal piloto de la unidad de información de transmisión de señales (indicada por la señal Ref/PL) -135-, dispone las señales piloto primera y segunda en la trama de la señal e inserta la señal de transmisión de señales (L1 y L2) de la capa física mencionada anteriormente en la segunda señal piloto. En este caso, las señales piloto primera y segunda se utilizan como señales de inicio de la trama de la señal contenida en cada canal de RF de entre las tramas de la señal TFS recibidas de la unidad de información de transmisión de señales (señal Ref/PL) -135-. Tal como se muestra en la figura 2, la primera señal piloto puede incluir un tipo de transmisión y unos parámetros de transmisión básicos, y la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. Además, la segunda señal de piloto incluye una señal de transmisión de señales L1 (capa 1) y una señal de transmisión de señales L2 (capa 2).

El número R de los dispositivos de entrelazado en frecuencia (-137a-, ..., -137r-) entrelazan los datos de servicio que se van a transmitir a los canales de RF correspondientes de la trama de la señal TFS, en un dominio de frecuencia. Los dispositivos de entrelazado en frecuencia (-137a-, ..., -137r-) pueden entrelazar los datos de servicio a un nivel de celdas de

datos contenidas en un símbolo OFDM.

Por tanto, los datos de servicios que se van a transmitir a cada canal de RF en la trama de la señal TFS son procesados con desvanecimiento selectivo de frecuencia, de manera que no se pueden perder en un dominio de frecuencia específico.

La figura 8 es una vista que muestra un primer ejemplo de una tasa de símbolos cuando los mapeadores -131a- y -131b- realizan un mapeado de símbolos híbrido. Esta figura muestra el número de bits transmitido por un subportador (celda) si se realiza la codificación de corrección de errores mediante la unidad de codificación y modulación en un modo normal (la longitud del código codificado con corrección de errores es de 64.800 bits) del modo de codificación de corrección de errores LDPC.

Por ejemplo, si los mapeadores -131a- y -131b- realizan el mapeado de símbolos utilizando 256QAM, se mapean 64.800 bits en 8.100 símbolos. Si los mapeadores -131a- y -131b- realizan el mapeado de símbolos híbrido (Hyb 128-QAM) utilizando 256QAM y 64QAM con una tasa de 3:2, el número de símbolos mapeados por 256QAM es 4.860 y el número de símbolos mapeados por 64QAM es 4.320. El número de bits transmitidos por subportador (celda) es 7,0588.

Si se utiliza un método de mapeado de símbolos de 64QAM, los datos de entrada se pueden mapear a 10.800 símbolos y se pueden transmitir seis bits por celda. Si los datos se mapean a los símbolos mediante un método de mapeado de símbolos híbrido de 64QAM y 16QAM (64QAM:16QAM=3:2, Hyb32-QAM), se pueden transmitir cinco bits mediante un subportador (celda).

Si los datos se mapean a símbolos mediante el método 16QAM, los datos se mapean a 16.200 símbolos, cada uno de los cuales se utiliza para transmitir cuatro bits.

De manera similar, si los datos se mapean a símbolos mediante un método de mapeado de símbolos híbrido de 16QAM y QPSK (16QAM:QPSK=2:3, Hyb8-QAM), se pueden transmitir tres bits mediante un subportador (celda).

Si los datos se mapean a símbolos mediante un método QPSK, los datos se pueden mapear a 32.400 símbolos, cada uno de los cuales se utiliza para transmitir dos bits.

La figura 9 muestra métodos de mapeado de símbolos de datos con corrección de error mediante el método de codificación de corrección de errores LDPC de un modo corto (la longitud del código de codificación de corrección de errores es de 16.200 bits), que es

igual a los métodos de mapeado de símbolos de la figura 8, y los números de bits por subportador según los métodos de mapeado de símbolos.

Los números de bits transmitidos por el subportador es igual a los del modo normal (64.800 bits) según los métodos de mapeado de símbolos tal como 256QAM, Hyb 128-QAM, 64-QAM, Hyb 32-QAM, 16QAM, Hyb8-QAM y QPSK, pero los números totales de símbolos transmitidos son diferentes de los del modo normal. Por ejemplo, se transmiten 16.200 bits mediante 2.025 símbolos en 256QAM, se transmiten 16.200 bits mediante 1.215 símbolos según 256QAM y 1.080 símbolos según 64QAM (2.295 símbolos en total) en Hyb 128-QAM.

En consecuencia, se puede ajustar una tasa de transmisión de datos por subportador (celda) para cada PLP según un método de mapeado de símbolos híbrido o un método de mapeado de un único símbolo.

La figura 10 es una vista que muestra el número de símbolos y el número de bits por palabra de celda según un método de mapeado de símbolos en un modo normal LDPC. Si una trama de la señal TFS incluye, como mínimo, un canal de RF, los símbolos que configuran un PLP específico se pueden asignar de manera uniforme a los canales de RF. Las ubicaciones de los símbolos PLP asignadas a los canales de RF se pueden direccionar de manera más eficiente. En consecuencia, cuando el aparato receptor de señales selecciona los canales de RF, se pueden reducir los bits utilizados para direccionar el PLP específico.

En este dibujo, un método de mapeado de símbolos representado por 256-QAM indica un método de mapeado de bits que configura un único bloque con codificación de corrección de errores en símbolos con una proporción de 256QAM:64QAM=8:1. Según este método de mapeado de símbolos, el número de bits en un único bloque con codificación de corrección de errores mediante el método 256-QAM es de 57.600, el número de bits en un único bloque con codificación de corrección de errores mediante el método 256-QAM es de 1.200, el número total de símbolos en el bloque es de 8.400 y el número de bits por palabra de celda es de 7,714285714.

Un método de mapeado de símbolos representado por Hyb 128-QAM indica un método de mapeado de bits que configura un único bloque codificado con corrección de errores en símbolos con una proporción de 256QAM:64QAM=8:7. Según el método de mapeado de

símbolos Hyb 128-QAM, el número total de símbolos en un único bloque codificado con corrección de errores es 9.600 y el número de bits por palabra de celda es 6,75.

Según un método de mapeado de símbolos representado por 64QAM, el número total de símbolos en un único bloque codificado con corrección de errores es 10.800 y el número de bits por palabra de celda es 6.

Un método de mapeado de símbolos representado por Hyb 32-QAM indica un método de mapeado de bits configurando un único bloque codificado con corrección de errores en símbolos con una proporción de 64QAM:32QAM=5:4. Según el método de mapeado de símbolos Hyb 32-QAM, el número total de símbolos en el bloque codificado con corrección de errores es 13.200, y el número de bits por palabra de celda es 4,9090909.

Un método de mapeado de símbolos representado por 16QAM indica un método de mapeado de bits que configura un único bloque codificado con corrección de errores en símbolos con una proporción de 16QAM:QPSK= 1:8. Según el método de mapeado de símbolos 16 QAM, el número total de símbolos en un bloque codificado con corrección de errores es 15.600 y el número de bits por palabra de celda es 4,153846154.

Un método de mapeado de símbolos representado por Hyb 8-QAM indica un método de mapeado de bits que configura un único bloque codificado con corrección de errores en símbolos con una proporción de 16QAM:QPSK=2:1. Según el método de mapeado de símbolos Hyb 8-QAM, el número total de símbolos en un bloque codificado con corrección de errores es 21.600 y el número de bits por palabra de celda es 3.

Según un método de mapeado de símbolos representado por QPSK, el número total de símbolos en un bloque codificado con corrección de errores es 32.400 y el número de bits por palabra de celda es 2.

Cuando los símbolos que configuran el PLP se asignan a los canales de RF, la ganancia de diversidad del dominio de la frecuencia se puede maximizar cuando los números de los símbolos asignados a los respectivos canales de RF son iguales. Si se considera un máximo de seis canales de RF, el menor múltiplo común de 1 a 6 es 60 y el mayor común divisor de los números de símbolos mapeados a un bloque codificado con corrección de errores es 1.200. En consecuencia, si el múltiplo integral de $1.200/60=20$ símbolos se

asigna a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran 20 símbolos como un grupo y se direcciona el grupo, el encabezado de direccionamiento de $\log_2(20) \approx 4,32$ bits se puede reducir en comparación con el caso en el que los símbolos son direccionados uno a uno.

La figura 11 es una vista que muestra otro ejemplo del número de símbolos según un método de mapeado de símbolos en un modo normal LDPC. En el ejemplo de este dibujo, un método 256-QAM que utiliza símbolos 256QAM y 64QAM (256QAM:64QAM=4:1), un método Hyb 128-QAM que utiliza símbolos 256QAM y 64QAM (256QAM:64QAM=8:7), un método 64QAM, un método Hyb 32-QAM que utiliza símbolos 64QAM y 8QAM (64QAM:8QAM=3:2), un método 16 QAM que utiliza símbolos 16QAM y QPSK (16QAM:QPSK=1:14), un método Hyb 8-QAM que utiliza 16QAM:APSK=2:1 y un método QSPK se utilizaron como el método de mapeado de símbolos. El mayor común divisor (GDC) de los números del total de símbolos de un bloque codificado con corrección de errores (modo normal) según los métodos de mapeado de símbolos es 720. En consecuencia, si el múltiplo integral de 12(=720/60) símbolos se asigna a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran los 12 símbolos como un grupo y se direcciona el grupo, se puede reducir la cabecera de direccionamiento de $\log_2(12)=3,58$ en comparación con el caso en que los símbolos se direccionan uno a uno. El aparato receptor de señales puede reunir los símbolos PLP asignados mediante el esquema de direccionamiento y obtener un flujo de servicio PLP.

La figura 12 es una vista que muestra otro ejemplo del número de símbolos según un método de mapeado de símbolos en un modo normal LDPC. En el ejemplo de este dibujo, un esquema 256-QAM, un esquema Hyb 128-QAM, un esquema 64QAM, un esquema Hyb 32-QAM, un esquema 16-QAM, un esquema Hyb 8-QAM y un esquema QPSK se utilizaron como el método de mapeado de símbolos. El método de mapeado de símbolos 256QAM utiliza símbolos 256QAM y 64QAM (256QAM:64QAM=44:1) y el método de mapeado de símbolos Hyb 128QAM utiliza símbolos 256QAM y 64QAM (256QAM:64QAM=28:17). El método Hyb 32-QAM utiliza símbolos 64QAM y 8QAM (64QAM:8QAM=3:2), el método de mapeado de símbolos 16QAM utiliza símbolos 16QAM y QPSK (16QAM:QPSK=1:14) y el método de mapeado de símbolos Hyb 8QAM utiliza símbolos 16QAM y QPSK (16QMA:QPSK=2:1). El GDC de los

números del total de símbolos de un bloque codificado con corrección de errores (modo normal) según los métodos de mapeado de símbolos es 240. En consecuencia, si el múltiplo integral de $240/60=4$ símbolos se asigna a cada uno de los canales de RF, se pueden asignar los símbolos de manera uniforme a todos los canales de RF. En este momento, si se consideran cuatro símbolos como un grupo y se direcciona el grupo, la cabecera de direccionamiento de $\log_2(4)=2$ bits se puede reducir en comparación con el caso en que los símbolos se direccionan uno a uno. En consecuencia, incluso cuando el número de canales de RF es cualquiera de los 1 a 6 en la trama de la señal, los símbolos PLP se pueden asignar de manera uniforme a los canales de RF.

La figura 13 es una vista que muestra el número de símbolos según un método de mapeado de símbolos en un modo de LDPC corto. Tal como se ha descrito anteriormente, si el mapeado de símbolos se realiza según este ejemplo, los símbolos PLP se pueden asignar de manera uniforme a los canales de RF y la cabecera del direccionamiento del símbolo PLP se puede reducir. Los métodos de mapeado de símbolos mostrados en este dibujo son iguales a los mostrados en la figura 10. No obstante, dado que el número de bits del modo LDPC corto es diferente del modo normal, el GCD de los números del total de símbolos de un bloque codificado con corrección de errores (modo corto) según los métodos de mapeado de símbolos es 300, a diferencia de la figura 10. En consecuencia, si el múltiplo integral de $300/60=5$ símbolos se asigna a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran cinco símbolos como un grupo y se direcciona el grupo, la cabecera de direccionamiento de $\log_2(5)$ bits se puede reducir en comparación con el caso en que los símbolos se direccionan uno a uno. En consecuencia, en esta realización, los bits de direccionamiento se guardan mediante $\log_2(5)$ bits cuando se direccionan los símbolos PLP divididos.

La figura 14 es una vista que muestra un ejemplo del número de símbolos según un método de mapeado de símbolos en un modo de LDPC corto. Los métodos de mapeado de símbolos de este dibujo son iguales a los mostrados en la figura 11. En este ejemplo, el GCD de los números del total de símbolos de un bloque codificado con corrección de errores (modo corto) según los métodos de mapeado de símbolos es 180, que puede ser utilizado para la

asignación de símbolos PLP de un canal de RF y para el direccionamiento de los símbolos asignados. En este ejemplo, los bits de direccionamiento se guardan mediante $\log_2(3)$ bits.

La figura 15 es una vista que muestra otro ejemplo del número de símbolos según un método de mapeado de símbolos en un modo de LDPC corto. Los métodos de mapeado de símbolos de este dibujo son iguales a los mostrados en la figura 12. En este ejemplo, el GCD de los números del total de símbolos de un bloque codificado con corrección de errores (modo corto) según los métodos de mapeado de símbolos es 60. En este ejemplo los bits de direccionamiento se guardan mediante $\log_2(1)$ bits (es decir, el bit de direccionamiento no se guarda).

La figura 16 es una vista que muestra un ejemplo de cada uno de los mapeadores de símbolos -131a- y -131b- mostrados en la figura 7. Cada uno de los mapeadores de símbolos -131a- y -131b- incluye un mapeador de primer orden -1315a-, un mapeador de segundo orden -131b-, un fusionador de símbolos -1317- y un fusionador -1318- de bloques con corrección de errores.

El analizador sintáctico -1311- de flujo de bits recibe el flujo de servicios PLP desde la unidad de codificación y modulación y separa el flujo de servicios recibido.

El mapeador de símbolos -1315a- de primer orden mapea los bits del flujo de servicios separado mediante un método de mapeado de símbolos de mayor orden a símbolos. El mapeador de símbolos -1315b- de segundo orden mapea los bits del flujo de servicios separado mediante un método de mapeado de símbolos de menor orden a símbolos. Por ejemplo, en el ejemplo anterior, el mapeador de símbolos -1315a- de primer orden puede mapear el flujo de bits a símbolos según el 256QAM y el mapeador de símbolos -1315b- de segundo orden puede mapear el flujo de bits a símbolos según el 64QAM.

El fusionador de símbolos -1317- fusiona los símbolos generados por los mapeadores de símbolos -1315a- y -1315b- en un flujo de símbolos y emite el flujo de símbolos. El fusionador de símbolos -1317- puede generar el flujo de símbolos incluido en un PLP.

El fusionador de bloques con corrección de errores -1318- puede generar un flujo de símbolos fusionado por el fusionador de símbolos -1317- en la unidad de bloques codificada con corrección de errores. El fusionador de bloques con corrección

de errores -1318- puede generar un bloque de símbolos de manera que los bloques codificados con corrección de errores se asignan de manera uniforme a, como mínimo, una banda de RF de la trama de la señal TFS. El fusionador -1318- de bloques con corrección de errores puede generar el bloque de símbolos de manera que la longitud del bloque de símbolos del bloque codificado con corrección de errores de un modo normal es igual al del bloque de símbolos del bloque codificado con corrección de errores de un modo corto. Por ejemplo, se pueden fusionar cuatro bloques de símbolos del bloque codificado con corrección de errores del modo corto en un único bloque de símbolos.

El fusionador -1318- de bloques con corrección de errores puede separar el flujo de símbolos según un múltiplo común del número de bandas de RF de manera que el constructor de trama de la señal dispone de manera uniforme los símbolos en las bandas de RF. Si el número máximo de bandas de RF en la trama de la señal es 6, el fusionador -1318- de bloques con corrección de errores genera el bloque de símbolos de manera que el número total de símbolos se puede dividir por 60 que es un múltiplo común de 1, 2, 3, 4, 5 y 6.

Los símbolos incluidos en el bloque de símbolos generado se pueden disponer para ser asignados de manera uniforme a las seis bandas de RF. En consecuencia, aunque se combinan un modo de corrección de errores según una tasa de código y un método de mapeado de símbolos, los símbolos que configuran el PLP se asignan de manera uniforme a las bandas de RF.

La figura 17 es una vista que muestra otro ejemplo de cada uno de los mapeadores de símbolos -131a- y -131b-. La realización de este dibujo es similar a la realización de la figura 16 excepto en que también se incluyen una unidad de calibración de potencia -1316a- de primer orden y una unidad de calibración de potencia -1316b- de segundo orden.

La unidad de calibración de potencia -1316a- de primer orden calibra la potencia de los símbolos mapeados por el mapeador de símbolos -1315a- de primer orden según el tamaño de la constelación y genera los símbolos calibrados. La unidad de calibración de potencia -1316b- de segundo orden calibra la potencia de los símbolos mapeados por el mapeador de símbolos -1315b- de segundo orden según el tamaño de la constelación y genera los símbolos calibrados. En consecuencia, aunque el método de mapeado de símbolos cambia en un PLP o cambia entre una serie de

PLP, si la potencia del símbolo del método de mapeado de símbolos se ajusta según el tamaño de la constelación, se puede mejorar el rendimiento de recepción de un receptor.

El fusionador de símbolos -1317- fusiona los símbolos calibrados por las unidades de calibración de potencia -1316a- y -1316b- y genera un flujo de símbolos.

La figura 18 es una vista que muestra otro ejemplo del mapeador de símbolos. En el ejemplo de esta figura, el mapeador de símbolos incluye el segundo codificador -125- y el segundo dispositivo de entrelazado -127- incluidos en la unidad de codificación y modulación. Es decir, si se utiliza este ejemplo, la unidad de codificación y modulación puede incluir únicamente el primer codificador -121-, el primer dispositivo de entrelazado -123- y el segundo codificador -125-.

El ejemplo del mapeador de símbolos incluye un separador de flujo de bits -1311-, un dispositivo de entrelazado de bits -1312a- de primer orden, un dispositivo de entrelazado de bits -1312b- de segundo orden, un demultiplexor -1313a- de primer orden, un demultiplexor -1313b- de segundo orden, un mapeador de símbolos -1315a- de primer orden, un mapeador de símbolos -1315b- de segundo orden y un fusionador de símbolos -1317-.

Cuando el segundo codificador -125- realiza la codificación de corrección de errores LDPC, la longitud del bloque codificado con corrección de errores (por ejemplo, la longitud de 64.800 bits y la longitud de 16.200 bits) puede variar según un modo LDPC. Si los bits incluidos en el bloque codificado con corrección de errores se mapean a los símbolos, las capacidades de corrección de errores de los bits incluidos en una palabra de celda que configura el símbolo pueden variar según las ubicaciones de los bits. Por ejemplo, la palabra de celda que es el símbolo se puede determinar según la tasa de código de la codificación de corrección de errores y el método de mapeado de símbolos (si el método de mapeado de símbolos es el método de mapeado de símbolos de mayor orden o el método de mapeado de símbolos de menor orden). Si el código de corrección de errores es el LDPC, las capacidades de corrección de errores de los bits varían según las ubicaciones de los bits en el bloque codificado con corrección de errores. Por ejemplo, la fiabilidad de los bits codificados según las características de la matriz H utilizada en el método de codificación de corrección de errores LDPC irregular pueden variar

según las ubicaciones de los bits. En consecuencia, el orden de los bits que configuran la palabra de celda mapeados a símbolos se cambia de manera que las capacidades de corrección de error de los bits que son débiles con respecto a la corrección de errores en el bloque codificado con corrección de errores son ajustadas y se puede ajustar la robustez en relación al error en el nivel de bit.

En primer lugar, el segundo codificador -125-, por ejemplo, realiza la codificación de corrección de errores con respecto al flujo incluido en un PLP mediante el método de codificación de corrección de errores LDPC.

El separador de flujo de bits -1311- recibe el flujo de servicios según el PLP y separa el flujo de servicios recibido.

El dispositivo de entrelazado de bits -1312a- de primer orden entrelaza los bits incluidos en un primer flujo de bits de los flujos de servicios separados. De manera similar, el dispositivo de entrelazado de bits -1312b- de segundo orden entrelaza los bits incluidos en un segundo flujo de bits de los flujos de servicios separados.

El dispositivo de entrelazado de bits -1312a- de primer orden y el dispositivo de entrelazado de bits -1312b- de segundo orden pueden corresponder al segundo dispositivo de entrelazado -127- utilizado como dispositivo de entrelazado interno. El método de entrelazado del dispositivo de entrelazado de bits -1312a- de primer orden y el dispositivo de entrelazado de bits -1312b- de segundo orden se describirán más adelante.

El demultiplexor -1313a- de primer orden y el demultiplexor -1313b- de segundo orden demultiplexan los bits de los flujos de bits entrelazados mediante el dispositivo de entrelazado de bits -1312a- de primer orden y el dispositivo de entrelazado de bits -1312b- de segundo orden. Los demultiplexores -1313a- y -1313b- dividen el flujo de bits de entrada en subflujos de bits que serán mapeados a un eje real y a un eje imaginario de una constelación y generarán los subflujos de bits. Los mapeadores de símbolos -1315a- y -1315b- mapean los subflujos de bits demultiplexados por los demultiplexores -1313a- y -1313b- a los símbolos correspondientes.

Los dispositivos de entrelazado de bits -1312a- y -1312b- y los demultiplexores -1313a- y -1313b- pueden combinar las características de la palabra de código del LDPC y las características de la fiabilidad de la constelación del mapeado de

símbolos según la constelación. El ejemplo detallado de los demultiplexores -1313a- y -1313b- de primer orden se describirá más adelante.

El mapeador de símbolos -1315a- de primer orden realiza un mapeado de símbolos de primer orden, por ejemplo, un mapeado de símbolos de mayor orden, y el mapeado de símbolos -1315b- de segundo orden realiza un mapeado de símbolos de segundo orden, por ejemplo, un mapeado de símbolos de menor orden. El mapeado de símbolos -1315a- de primer orden mapea los subflujos de bits generados por el demultiplexor -1313a- de primer orden a los símbolos y el mapeador de símbolos -1315b- de segundo orden mapea el subflujos de bits generados por el demultiplexor -1313b- de segundo orden a los símbolos.

El fusionador de símbolos -1317- fusiona los símbolos mapeados por el mapeador de símbolos -1315a- de primer orden y el mapeador de símbolos -1315b- de segundo orden a un flujo de símbolos y emite el flujo de símbolos.

Tal como se ha descrito anteriormente, en el LDPC, las capacidades de corrección de errores de los bits pueden cambiar según las ubicaciones de los bits en el bloque codificado con corrección de errores. En consecuencia, si el dispositivo de entrelazado de bits y el demultiplexor son controlados según las características del codificador LDPC -125- a efectos de cambiar el orden de los bits que configuran la palabra de celda, se puede maximizar la capacidad de corrección de errores a nivel de bit.

La figura 19 es una vista que muestra otro ejemplo de cada uno de los mapeadores de símbolos -131a- y -131b-. El ejemplo de este dibujo es similar al ejemplo de la figura 18 excepto por que se incluyen además una unidad de calibración de potencia -1316a- de primer orden y una unidad de calibración de potencia -1316b- de segundo orden.

La unidad de calibración de potencia -1316a- de primer orden calibra la potencia de los símbolos mapeados por el mapeador de símbolos -1315a- de primer orden según el tamaño de la constelación y emite los símbolos calibrados. La unidad de calibración de potencia -1316b- de segundo orden calibra la potencia de los símbolos mapeados por el mapeador de símbolos -1315b- de segundo orden según el tamaño de la constelación y emite los símbolos calibrados. En consecuencia, aunque el esquema de mapeado de símbolos se cambie en un PLP o se cambie entre una serie

de PLP, si la potencia del símbolo se ajusta según el tamaño de la constelación, se puede mejorar el rendimiento de la recepción de señal.

El fusionador de símbolos -1317- fusiona los símbolos calibrados por las unidades de calibración de potencia -1316a- y -1316b- y emite un flujo de símbolos.

La figura 20 es una vista que muestra el concepto de entrelazado de bits mediante los dispositivos de entrelazado de bits -1312a- y -1312b- de las figuras 18 y 19.

Por ejemplo, los bits de entrada se almacenan y se leen de una memoria en forma de matriz que tiene un número predeterminado de filas y columnas. Cuando se almacenan los bits de entrada, en primer lugar, los bits se almacenan en una primera columna en dirección de fila y, si se llena la primera columna, los bits se almacenan en otra columna en dirección de fila. Cuando se leen los bits almacenados, los bits se leen en dirección de columna y, si se han leído todos los bits almacenados en una primera fila, se leen los bits de otra fila en dirección de columna. En otras palabras, cuando se almacenan los bits, éstos se almacenan en modo fila de manera que las columnas se rellenan en serie. Y cuando se leen los bits almacenados, los bits almacenados se leen en modo columna desde la primera fila hasta la última fila en serie. En esta figura, MSB indica el bit más significativo y LSB indica el bit menos significativo.

A efectos de mapear los bits codificados con corrección de errores LDPC a los símbolos en la misma longitud de la unidad de bloque con corrección de errores a diversas tasas de código, los dispositivos de entrelazado de bits -1312a- y -1312b- pueden cambiar el número de filas y columnas de la memoria según los tipos de los mapeadores de símbolos -1315a- y -1315b-.

La figura 21 muestra otro ejemplo de los dispositivos de entrelazado de bits que realizan el entrelazado. Si los dispositivos de entrelazado de bits -1312a- y -1312b- almacenan bits en unidades de columna, pueden almacenar los bits para generar un desfase de la ubicación en la que se almacenan los bits, en cada columna. Si los dispositivos de entrelazado de bits -1312a- y -1312b- leen los bits almacenados en unidades de fila, pueden almacenar los bits con desfase en la ubicación en la que se leen los bits, en cada fila.

En el ejemplo de la figura 21, los puntos gruesos

representan respectivamente la ubicación del desfase. Por ejemplo, los dispositivos de entrelazado de bits almacenan los bits en unidades de columna. En la primera columna, los bits se almacenan desde la primera fila hasta la fila n -ésima (n es el número de filas de la memoria) en debido orden. En la segunda columna, los bits se almacenan desde la fila (indicada como la $r1$ -ésima) con un punto grueso hasta la fila n -ésima y, posteriormente, los bits se almacenan desde la primera fila hasta la $r1-1$ -ésima. En la tercera columna, los bits se almacenan desde la fila $r2$ -ésima con un punto grueso hasta la fila n -ésima y, posteriormente, los bits se almacenan desde la primera fila hasta la $r2-1$ -ésima. De esta manera, los bits se almacenan en cada columna según un direccionamiento circular de las filas desde la fila más alejada tanto como el desfase de la ubicación almacenada.

Si los dispositivos de entrelazado de bits -1312a- y -1312b- leen los bits almacenados en los mismos, leen los bits desde cada fila según un direccionamiento circular de las columnas desde la ubicación alejada tanto como el desfase. Por ejemplo, en la primera fila, los dispositivos de entrelazado de bits leen los bits almacenados desde la primera columna hasta la columna m -ésima (m es el número de columnas de la memoria) en debido orden. En la segunda fila, los dispositivos de entrelazado de bits leen los bits almacenados de la columna (indicada como columna $C1$ -ésima) con un punto grueso hasta la columna m -ésima y, posteriormente, desde la primera columna hasta la columna $(C1-1)$ -ésima. En la tercera fila, los dispositivos de entrelazado de bits leen los bits almacenados desde la columna (indicada como columna $C2$ -ésima) con un punto grueso hasta la columna m -ésima, y leen los bits desde la primera columna hasta la columna $(C2-1)$ -ésima según un direccionamiento circular de las columnas.

La figura 22 muestra el desfase utilizado en el dispositivo de entrelazado de bits según un método de mapeado de símbolos. $nCo1$ representa el número de columnas de la memoria del dispositivo de entrelazado de bits. Si el método de mapeado de símbolos es QPSK, el número de columnas de la memoria podría ser dos (2). El dispositivo de entrelazado de bits puede almacenar y leer los bits utilizando el desfase correspondiente a la segunda fila en la segunda columna $Col2$.

Si el método de mapeado de símbolos es 16QAM, el número de columnas de la memoria podría ser cuatro (4). El dispositivo de

entrelazado de bits puede almacenar y leer los bits según el desfase correspondiente a la segunda fila en la segunda columna Col2, la cuarta fila en la tercera columna Col3 y la séptima fila en la cuarta columna Col4.

Si el método de mapeado de símbolos es 64QAM, el número de columnas de la memoria podría ser seis (6). El dispositivo de entrelazado de bits puede almacenar y leer los bits según el desfase correspondiente a la segunda fila en la segunda columna Col2, la quinta fila en la tercera columna Col3, la novena fila en la cuarta columna Col4, la décima fila en la quinta columna Col5 y la decimotercera fila en la sexta columna Col6.

Si el método de mapeado de símbolos de 256QAM, el número de columnas de la memoria podría ser ocho (8). El dispositivo de entrelazado de bits puede almacenar y leer los bits según el desfase correspondiente a la segunda fila en la tercera columna Col3, la cuarta fila en la cuarta columna Col4, la cuarta fila en la quinta columna Col5, la quinta fila en la sexta columna Col6, la séptima fila en la séptima columna Col7 y la séptima fila en la octava columna Col8.

Tal como se ha descrito anteriormente, el número de columnas de la memoria del dispositivo de entrelazado de bits varía dependiendo del método de mapeado de símbolos, y el dispositivo de entrelazado de bits puede almacenar y leer bits variando el desfase dependiendo del número de columnas. El número de bits incluidos en un símbolo según el método de mapeado de símbolos podría ser idéntico al número de columnas. En consecuencia, tras leer los bits, el dispositivo de entrelazado de bits puede mapear los bits leídos con un símbolo según el método de mapeado correspondiente. En este caso, los bits mapeados con el símbolo se pueden permutar. Además, aunque disminuye la capacidad de corrección de errores de los bits en una ubicación específica según un método de símbolos con corrección de errores, dado que los bits mapeados con el símbolo se permutan en el dispositivo de entrelazado de bits, se puede maximizar la capacidad de corrección de errores del método de símbolos con corrección de errores.

La figura 23 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los dispositivos de entrelazado de bits -1312a- y -1312b- según los tipos de mapeadores de símbolos -1315a- y -1315b-, si el modo LDPC es el modo normal.

Por ejemplo, si el mapeador de símbolos -1315a- mapea

los bits a símbolos 256QAM, el dispositivo de entrelazado -1312a- de primer orden entrelaza los bits mediante una memoria que tiene 8.100 filas y 8 columnas. Si los símbolos se mapean mediante 64QAM, el dispositivo de entrelazado -1312a- de primer orden entrelaza los bits mediante una memoria que tiene 10.800 filas y 6 columnas. Si se mapean los símbolos mediante 16QAM, el dispositivo de entrelazado -1312a- de primer orden entrelaza los bits mediante una memoria que tiene 16.200 filas y 4 columnas.

Por ejemplo, si los mapeadores de símbolos -1315a- y -1315b- mapean los bits a símbolos Hyb 128-QAM, el dispositivo de entrelazado -1312a- de primer orden entrelaza los bits utilizando una memoria que tiene 4.860 filas y 8 columnas, y el dispositivo de entrelazado -1312b- de segundo orden entrelaza los bits utilizando una memoria que tiene 4.320 filas y 6 columnas.

De manera similar, si los mapeadores de símbolos -1315a- y -1315b- mapean los símbolos mediante Hyb32-QAM, el dispositivo de entrelazado -1312a- de primer orden entrelaza los bits utilizando una memoria que tiene 6.480 filas y 6 columnas, y el dispositivo de entrelazado -1312b- de segundo orden entrelaza los bits utilizando una memoria que tiene 6.480 filas y 4 columnas.

La figura 24 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los dispositivos de entrelazado de bits -1312a- y -1312b- según los tipos de los mapeadores de símbolos -1315a- y -1315b-, si el modo LDPC es el modo corto.

Por ejemplo, si el mapeador de símbolos -1315a- mapea los bits a símbolos 256QAM, el dispositivo de entrelazado -1312a- de primer orden entrelaza los bits mediante una memoria que tiene 2.025 filas y 8 columnas. Si los mapeadores de símbolos -1315a- y -1315b- mapean los símbolos mediante Hyb128-QAM, el dispositivo de entrelazado -1312a- de primer orden entrelaza los bits que utilizan una memoria que tiene 1.215 filas y 8 columnas, y el dispositivo de entrelazado -1312b- de segundo orden entrelaza los bits utilizando una memoria que tiene 1.080 filas y 6 columnas.

Si el entrelazo de bits se realiza con respecto al bloque codificado con corrección de errores, se pueden cambiar las ubicaciones de los bits en el bloque codificado con corrección de errores.

La figura 25 es un diagrama que muestra el concepto de otro ejemplo de entrelazado de un dispositivo de entrelazado de

bits. En el ejemplo mostrado en este dibujo, cuando se escriben los bits en una memoria, los bits se escriben en dirección columna. Cuando se leen los bits escritos, los bits de las ubicaciones desplazadas circularmente se leen en dirección fila. En cada fila, los bits escritos en cada fila se desplazan circularmente. Si los bits se escriben o leen mediante un método de desplazamiento circular con respecto a la fila o a la columna de la memoria, se denomina entrelazado de bits trenzado. Este ejemplo se refiere al método de entrelazado de bits trenzado utilizando un método de lectura de bits una vez los bits se han desplazado una columna en la dirección de las filas. En lugar de desplazar los bits escritos en la memoria, se puede desplazar el punto de lectura de bits en la memoria o el punto de escritura de los bits en la memoria.

En este ejemplo, N indica la longitud del bloque codificado con corrección de errores y C indica la longitud de la columna. Cuando se escriben los bits, éstos se escriben en una primera columna (representada por un sombreado) en orden de 1, 2, 3, 4, ... y C y los bits se escriben en una segunda columna en orden de $C+1$, $C+2$, $C+3$.

Los bits escritos se trenzan en la dirección de columna, columna por columna.

Si se leen los bits escritos, los bits trenzados se leen en la dirección de fila. Por ejemplo, en este ejemplo, los bits se leen en una primera fila en orden de 1, $C+1$, ... y los bits se leen en una segunda fila en orden de X_1 , 2, $C+2$, ... (X_1 es un bit en la primera columna de la segunda fila). Los bits se leen fila por fila y se leen los bits desplazados circularmente. Por supuesto, en lugar de desplazar los bits escritos en la memoria, se puede desplazar el punto de lectura de los bits escritos en la memoria.

La figura 26 es una vista que muestra otro ejemplo del entrelazado de bits. En este ejemplo, N indica la longitud del bloque codificado con corrección de errores y C indica la longitud de la columna. Cuando se escriben los bits, éstos se escriben en una primera columna en orden de 1, 2, 3, 4, ..., $C-1$, y C y los bits se escriben en una segunda columna en orden de $C+1$, $C+2$, $C+3$, ...

Los bits escritos se trenzan doblemente en la dirección de fila, dos columnas por dos columnas. Si se leen los bits escritos, los bits desplazados circularmente por dos columnas se leen en la dirección de columna en cada fila. Este método se puede

denominar un método de entrelazado de bits de doble trenzado.

La figura 27 es una vista que muestra otro ejemplo de entrelazado de bits. En este ejemplo, N indica la longitud del bloque codificado con corrección de errores y C indica la longitud de la columna. Los bits se escriben en una primera columna en orden de 1, 2, 3, 4, ..., $C-1$, y C y los bits se escriben en una segunda columna en orden de $C+1$, $C+2$, $C+3$, ...

Cuando se leen los bits escritos, en una primera región de las filas, los bits se pueden leer mediante el método de entrelazado de bits trenzados.

En una segunda región de las filas, los bits se pueden leer mediante el método de entrelazado con doble trenzado.

En una tercera región de las filas, los bits se pueden leer mediante el método de entrelazado de bits con trenzado.

Si los bits se entrelazan mediante, como mínimo, el método de entrelazado de bits trenzado y el método de entrelazado con doble trenzado, los bits del bloque codificado con corrección de errores se pueden mezclar de manera más aleatoria.

La figura 28 es una vista que muestra otro ejemplo de entrelazado de bits. Como otro ejemplo de entrelazado de bits, se puede realizar un entrelazado de bits diferente con respecto a los bits de información codificados con corrección de errores y los bits de paridad.

Por ejemplo, en un proceso de codificación con corrección de errores (por ejemplo, un proceso de codificación con corrección de errores LDPC), los bits de información son bits entrelazados, tal como se muestra en las figuras 21 y 22. Si los bits se escriben y leen en cada columna con respecto a los bits de información, el entrelazado de bits se puede realizar según un desfase de una ubicación de inicio para escribir y leer bits en cada columna.

En el proceso de codificación de corrección de errores, los bits de paridad son entrelazados mediante un esquema de trenzado según, como mínimo, uno de los esquemas mostrados en las figuras 25 a 27. Los bits de paridad se escriben en cada columna y, posteriormente, se trenzan las filas. Es decir, los bits escritos en las filas se pueden desplazar una ubicación predeterminada. Los bits trenzados se leen a lo largo de cada fila. Los bits de paridad escritos pueden incluir, como mínimo, una entre una región de fila trenzada y una región de fila con doble trenzado.

Si se realiza el entrelazado de bits con respecto a los bits de paridad mediante el método descrito anteriormente, se puede mejorar el rendimiento de la decodificación de los bits de paridad. Por ejemplo, los bits de paridad de una matriz de verificación de la paridad utilizada en el proceso de codificación de corrección de errores, tal como un LDPC estructurado, puede tener una forma de matriz doble. No obstante, si los bits de paridad con baja fiabilidad son consecutivos en una matriz de verificación de la paridad se puede deteriorar el rendimiento de la decodificación de corrección de errores. En consecuencia, si el entrelazado de bits se realiza con respecto a los bits de paridad mediante el método descrito anteriormente, se puede mejorar el rendimiento de decodificación de corrección de errores.

A continuación, se describirá un ejemplo de un proceso de codificación capaz de compensar la presencia de errores con respecto a, como mínimo, la información de la capa 1 o la información de la capa 2 que son transmitidas o recibidas.

La figura 29 es una vista que muestra el concepto de multiplexación de los bits de entrada de los demultiplexores -1313a- y -1313b-.

Los dispositivos de entrelazado de bits -1312a- y -1312b- entrelazan los bits de entrada $x_0, x_1, \dots, x_{n-1}$ y generan los bits entrelazados. El método de entrelazado ya se ha descrito anteriormente.

Los demultiplexores -1313a- y -1313b- demultiplexan los flujos de bits entrelazados. El método de demultiplexación puede variar según la tasa de código del método de codificación de corrección de errores y el método de mapeado de símbolos del mapeador de símbolos. Si el método de símbolos del mapeador de símbolos es QPSK, los bits de entrada, por ejemplo, se entrelazan en dos subflujos y el mapeador de símbolos mapea los dos subflujos a los símbolos de manera que correspondan al eje real y al eje imaginario de la constelación. Por ejemplo, un primer bit y_0 del primer subflujo demultiplexado corresponde al eje real y un primer bit y_1 del segundo subflujo demultiplexado corresponde al eje imaginario.

Si el método de símbolos del mapeador de símbolos es 16QAM, los bits de entrada, por ejemplo, se demultiplexan a cuatro subtramas. El mapeador de símbolos selecciona los bits incluidos en los cuatro subflujos y mapea los bits seleccionados a los símbolos

a efectos de que correspondan al eje real y al eje imaginario de la constelación.

Por ejemplo, los bits y_0 e y_2 del primer y tercer subflujos demultiplexados corresponden al eje real, y los bits y_1 e y_3 del segundo y cuarto subflujos demultiplexados corresponden al eje imaginario.

De manera similar, si el método de los símbolos del mapeador de símbolos es 64QAM, los bits de entrada se pueden demultiplexar a seis flujos de bits. El mapeador de símbolos mapea los seis subflujos a los símbolos a efectos de corresponder con el eje real y el eje imaginario de la constelación. Por ejemplo, los bits y_0 , y_2 e y_4 del primer, tercer y quinto subflujos demultiplexados corresponden al eje real y los bits y_1 , y_3 e y_5 del segundo, cuarto y sexto subflujos demultiplexados corresponden al eje imaginario.

De manera similar, si el método de los símbolos del mapeador de símbolos es 256QAM, los bits de entrada se pueden demultiplexar a ocho flujos de bits. El mapeador de símbolos mapea los ocho subflujos a los símbolos a efectos de corresponder con el eje real y el eje imaginario de la constelación. Por ejemplo, en primer lugar, los bits y_0 , y_2 , y_4 e y_6 del primer, tercer, quinto y séptimo subflujos demultiplexados corresponden al eje real y los bits y_1 , y_3 , y_5 e y_7 del segundo, cuarto, sexto y octavo subflujos demultiplexados corresponden al eje imaginario.

Si el mapeador de símbolos mapea los símbolos, los subflujos demultiplexados por el demultiplexor se pueden mapear a los flujos de bits del eje real y del eje imaginario de la constelación.

El método de entrelazado de bits, el método de demultiplexación y el método de mapeado de símbolos descritos anteriormente son ejemplos y se pueden utilizar varios métodos tal como el método de selección de bits en los subflujos de manera que los subflujos demultiplexados por el demultiplexor se puedan corresponder al eje real y al eje imaginario de la constelación.

La palabra de celda mapeada a los símbolos puede variar según cualquiera de los flujos de bits con corrección de errores según la tasa de código, el método de entrelazado de los flujos de bits, el método de demultiplexación y el método de mapeado de símbolos. El MSB de la palabra de celda es mayor que el LSB de la palabra de celda en la fiabilidad de la decodificación de

corrección de errores. Aunque la fiabilidad del bit de una ubicación específica del bloque codificado con corrección de errores es baja, la fiabilidad del bit se puede mejorar mediante el proceso de demapeado de símbolos si el bit de la palabra de celda se dispone en el MSB o cerca del MSB.

En consecuencia, aunque se cambia la fiabilidad del bit codificado según las características de la matriz H utilizada en el método de codificación de corrección de errores LDPC irregular, el bit se puede transmitir y recibir de manera robusta mediante el proceso de mapeado y demapeado de símbolos y se puede ajustar el rendimiento del sistema.

La figura 30 es una vista que muestra un ejemplo de demultiplexación de un flujo de entrada mediante el demultiplexor.

Si el método de mapeado de símbolos es QPSK, se mapean dos bits a un símbolo y los dos bits de una unidad de símbolo se demultiplexan en el orden de los índices de los bits (índices 0 y 1 de b).

Si el método de mapeado de símbolos es 16QAM, se mapean 4 bits a un símbolo y los cuatro bits de una unidad de símbolo se demultiplexan según el resultado calculado del módulo-4 de los índices de bit (índices 0, 1, 2 y 3 de b).

Si el método de mapeado de símbolos es 64QAM, se mapean 6 bits a un símbolo y los seis bits de una unidad de símbolo se demultiplexan según el resultado calculado del módulo-6 de los índices de los bits (índices 0, 1, 2, 3, 4 y 5 de b).

Si el método de mapeado de símbolos es 256QAM, se mapean 8 bits en un símbolo y los ocho bits de una unidad de símbolo se demultiplexan según el resultado calculado del módulo-8 de los índices de los bits (índices 0, 1, 2, 3, 4, 5, 6 y 7 de b).

El orden de demultiplexación de los subflujos es un ejemplo y se puede modificar.

La figura 31 es una vista que muestra un ejemplo de un tipo de demultiplexación según un método de mapeado de símbolos. El método de mapeado de símbolos incluye QPSK, 16QAM, 64QAM Y 256QAM y el tipo de demultiplexación incluye un primer a un sexto tipos.

El primer tipo es un ejemplo en el que los bits de entrada se corresponden de manera secuencial con índices pares (0, 2, 4, 8, ...) (o el eje real de la constelación) y se corresponden de manera secuencial con índices impares (1, 3, 5, 7, ...) (o el eje imaginario de la constelación). Más adelante, la

demultiplexación de bits del primer tipo se puede representar mediante un identificador de demultiplexación 10 (un número binario de 1010; la ubicación de 1 es la ubicación del MSB correspondiente al eje real y el eje imaginario de la constelación).

El segundo tipo es un ejemplo en el que la demultiplexación se realiza en orden inverso al primer tipo, es decir, el LSB de los bits de entrada se corresponde de manera secuencial a índices pares (6, 4, 2, 0) (o el eje real de la constelación) y a índices impares (1, 3, 5, 7) (o el eje imaginario de la constelación). Más adelante, la demultiplexación de bits del segundo tipo se puede representar mediante un identificador de demultiplexación 5 (un número binario de 0101).

El tercer tipo es un ejemplo en el que los bits de entrada se disponen de manera que los bits de ambos extremos de la palabra de código se convierten en MSB. Los bits de entrada se disponen de nuevo a efectos de rellenar la palabra de código desde ambos extremos de la palabra de código. Más adelante, la demultiplexación de bits del tercer tipo se puede representar mediante un identificador de demultiplexado 9 (un número binario de 1001).

El cuarto tipo es un ejemplo en el que los bits de entrada se disponen de manera que el bit central de la palabra de código se convierte en el MSB. Se rellena primero un bit de los bits de entrada en la ubicación central de la palabra de código y los bits restantes se vuelven a disponer hacia ambos extremos de la palabra de código en orden de los bits de entrada. Más adelante, la demultiplexación de bits del cuarto tipo se puede representar mediante un identificador de demultiplexación 6 (un número binario de 0110).

El quinto tipo es un ejemplo en el que los bits se demultiplexan de manera que el último bit de la palabra de código se convierte en el MSB y un primer bit de la misma se convierte en el LSB, y el sexto tipo es un ejemplo en el que los bits se disponen de manera que el primer bit de la palabra de código se convierte en el MSB y el último bit de la misma se convierte en el LSB. Más adelante, la demultiplexación de bits del quinto tipo se puede representar mediante un identificador de demultiplexación 3 (un número binario de 0011) y la demultiplexación de bits del sexto tipo se puede representar mediante un identificador de demultiplexación 12 (un número binario de 1100).

Tal como se ha descrito anteriormente, el tipo de demultiplexación puede variar según el método de mapeado de símbolos o la tasa de código del método de codificación de corrección de errores. Es decir, se puede utilizar un tipo diferente de demultiplexación si se cambia el método de mapeado de símbolos o la tasa de código.

La figura 32 es una vista que muestra un ejemplo de demultiplexación en un flujo de bits de entrada según un tipo de demultiplexación. Este ejemplo puede incluir dispositivos de entrelazado de bits -1312a- y -1312b-, los demultiplexores -1313a- y -1313b- y los mapeadores -1315a- y -1315b-.

Los dispositivos de entrelazado de bits -1312a- y -1312b- entrelazan los flujos de servicios PLP codificados con corrección de errores. Por ejemplo, los dispositivos de entrelazado de bits -1312a- y -1312b- pueden realizar el entrelazado de bits en las unidades de corrección de errores según el modo de codificación de corrección de errores. El método de entrelazado de bits ya se ha descrito anteriormente.

Los demultiplexores -1313a- y -1313b- pueden incluir demultiplexores -1313a1- y -1313b1- de primer tipo, ..., y demultiplexores -1313a2- y -1313b2- de tipo n. Aquí, n es un entero. Los métodos de demultiplexación de bits mediante los n tipos de demultiplexores siguen los tipos mostrados en la figura 17. Por ejemplo, los demultiplexores de primer tipo pueden corresponder al primer tipo de demultiplexación de bits (1100) y los demultiplexores de segundo tipo (no mostrados) pueden corresponder al segundo tipo de demultiplexación de bits (0011). El demultiplexor -1313b- de tipo n demultiplexa el flujo de bits de entrada según la multiplexación de bits de tipo n (por ejemplo, el identificador de demultiplexación 1100) y emite el flujo de bits demultiplexado. Los selectores -1313a3- y -1313b3- reciben una señal de selección de demultiplexación del tipo de demultiplexación adecuada para los bits de entrada y emite el flujo de bits demultiplexados según uno cualquiera del primer tipo al tipo n y la señal de selección de demultiplexación. La señal de selección de demultiplexación puede variar según la tasa de código de la codificación de corrección de errores y el método de mapeado de símbolos de la constelación. En consecuencia, el tipo de demultiplexación se puede determinar según la tasa de código del método de codificación de corrección de errores o/y el método de

mapeado de símbolos de la constelación. El ejemplo detallado según los símbolos mapeados a la constelación y/o a la tasa de código de la codificación de corrección de errores según la señal de selección de demultiplexación se describirá más adelante.

Los mapeadores -1315a- y -1315b- pueden mapear los subflujos de bits demultiplexados a los símbolos según la señal de selección de demultiplexación y emiten los símbolos mapeados.

La figura 33 es una vista que muestra un tipo de demultiplexación que se determina según una tasa de código de la codificación de corrección de errores y el método de mapeado de símbolos.

En el método de mapeado de símbolos 4QAM, incluso cuando la tasa de código c_r del método de codificación de corrección de errores LDPC es uno cualquiera de entre $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, el flujo de bits se puede demultiplexar según todos los tipos de demultiplexación (indicado por todos).

En el método de mapeado de símbolos 16QAM, si la tasa de código del método de codificación de corrección de errores LDPC es $1/4$, $1/3$, $2/5$ y $1/2$, se pueden mapear los símbolos sin realizar el entrelazado de bits y la demultiplexación de bits (indicada por N0-Int y N0-Demux). Si la tasa de código de la codificación de corrección de errores es $3/5$, el bit se puede demultiplexar según cualquiera de los identificadores de demultiplexación 9, 10 y 12. Si la tasa código de la codificación de corrección de errores es $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, se puede demultiplexar el flujo de bits de entrada según el identificador de demultiplexación 6.

En el método de mapeado de símbolos 64QAM, si la tasa de código de la codificación de corrección de errores LDPC es $1/4$, $1/3$, $2/5$ y $1/2$, se pueden mapear los símbolos sin realizar el entrelazado de bits y la demultiplexación de bits. Si la tasa de código es $3/5$, se pueden demultiplexar los bits según cualquiera de los identificadores de demultiplexación 9 y 10. Si la tasa de código es $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, se pueden demultiplexar los bits según el identificador de demultiplexación 6.

En el método de mapeado de símbolos 256QAM, si la tasa de código de la codificación de corrección de errores LDPC es $1/4$, $1/3$, $2/5$ y $1/2$, se pueden mapear los símbolos sin realizar el entrelazado de bits y la demultiplexación de bits. Si la tasa de código es $3/5$, se pueden demultiplexar los bits según el

identificador de demultiplexación 9. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, se pueden demultiplexar los bits según el identificador de demultiplexación 6.

Tal como se ha descrito anteriormente, el tipo de demultiplexación de bits puede variar según la tasa de código utilizada para la codificación de corrección de errores y el método de mapeado de símbolos. En consecuencia, se puede ajustar la capacidad de corrección de errores de un bit ubicado en una ubicación específica del bloque codificado con corrección de errores mapeando los subflujos demultiplexados a los símbolos. En consecuencia, es posible optimizar la robustez a nivel de bit.

La figura 34 es una vista que muestra un ejemplo de expresión del método de demultiplexación mediante una ecuación. Por ejemplo, si el método de mapeado de símbolos es QPSK, los bits de entrada ($x_i, x_{N/2+i}$) corresponden a los bits demultiplexados y_0 y y_1 . Si el método de mapeado de símbolos es 16QAM, los bits de entrada

$$\left(x_{\frac{2N}{4}+i}, x_{\frac{3N}{4}+i}, x_i, x_{\frac{n}{4}+i} \right)$$

corresponden a los bits demultiplexados y_0, y_1, y_2 e y_3 .

Si el método de mapeado de símbolos es 64QAM, los bits

de entrada $\left(x_{\frac{4N}{6}+i}, x_{\frac{5N}{6}+i}, x_{\frac{2N}{6}+i}, x_{\frac{3N}{6}+i}, x_i, x_{\frac{N}{6}+i} \right)$ corresponden a los bits

demultiplexados y_0, y_1, y_2, y_3, y_4 e y_5 . Si el método de mapeado de símbolos es 256QAM, los bits de entrada

$$\left(x_{\frac{6N}{8}+i}, x_{\frac{7N}{8}+i}, x_{\frac{4N}{8}+i}, x_{\frac{5N}{8}+i}, x_{\frac{2N}{8}+i}, x_{\frac{3N}{8}+i}, x_i, x_{\frac{N}{8}+i} \right)$$

demultiplexados.

Aquí, N indica el número de bits mapeados a los símbolos con respecto a la entrada del dispositivo de entrelazado de bits.

La figura 35 es una vista que muestra un ejemplo de mapeado de un símbolo mediante un mapeador de símbolos. Por ejemplo, en el método de mapeado de símbolos QPSK, los símbolos de la constelación corresponden al valor del bit y_0 del primer subflujo demultiplexado y al valor del bit y_1 del segundo subflujo demultiplexado.

En el 16QAM, el eje real de los símbolos de la constelación corresponde a los bits del primer y tercer subflujos

demultiplexados (bits separados de la ubicación del MSB por 0 y 2) y el eje imaginario de la misma corresponde a los bits del segundo y cuarto subflujos demultiplexados (bits separados de la ubicación del MSB por 1 y 3).

En el 64QAM, el eje real de los símbolos de la constelación corresponde a los bits del primer, tercer y quinto subflujos demultiplexados (bits separados de la ubicación del MSB por 0, 2 y 4) y el eje imaginario de la misma corresponde a los bits del segundo, cuarto y sexto subflujos demultiplexados (bits separados de la ubicación del MSB por 1, 3 y 5).

En consecuencia, los bits que configuran el símbolo se pueden mapear a la palabra de celda en el orden de demultiplexación. Si se demultiplexan los bits que configuran la palabra de celda, se cambian el MSB y el LSB de la palabra de celda y se puede ajustar la robustez de los bits aunque las fiabilidades de los bits codificados con corrección de errores LDPC varían de acuerdo con las ubicaciones.

La figura 36 es un diagrama de bloques que muestra un codificador MIMO/MISO según un ejemplo. El codificador MIMO/MISO codifica los datos de entrada utilizando el esquema de codificación MIMO/MISO y emite los datos codificados a varias rutas. Si un extremo de recepción de señal recibe la señal transmitida a varias rutas desde una o más rutas, puede adquirir una ganancia (también denominada ganancia de diversidad, una ganancia de carga útil o una ganancia de multiplexación).

El codificador MIMO/MISO -140- codifica los datos de servicios de cada ruta generados por el constructor de tramas -130- y emite los datos codificados al número A de rutas correspondientes al número de antenas emisoras.

La figura 37 es un diagrama de bloques que muestra un modulador según un ejemplo. El modulador incluye un primer controlador de potencia (PAPR Reduce1) -151-, una unidad de transformación en el dominio del tiempo (IFFT) -153-, un segundo controlador de potencia (PAPR Reduce2) -157- y un dispositivo de inserción de intervalos de guarda -159-.

El primer controlador de potencia -151- reduce un PAPR (relación de potencia pico-promedio) de los datos transmitidos al número R de las rutas de señales en el dominio de la frecuencia.

La unidad de transformación en el dominio del tiempo (IFFT) -153- convierte las señales del dominio de la frecuencia

recibidas en señales del dominio del tiempo. Por ejemplo, las señales del dominio de la frecuencia se pueden convertir en señales del dominio del tiempo según el algoritmo IFFT. Por tanto, los datos del dominio de la frecuencia se pueden modular según el esquema OFDM.

El segundo controlador de potencia (PAPR Reduce2) -157- reduce un PAPR (relación de potencia pico-promedio) de los datos del canal transmitidos al número R de las rutas de señal en el dominio del tiempo. En este caso, se pueden utilizar un esquema de reservas de tonos y un esquema de ampliación de la constelación activa (ACE) para ampliar la constelación de símbolos.

El dispositivo de inserción de intervalos de guarda -159- inserta el intervalo de guarda en el símbolo OFDM generado y emite el resultado insertado. Tal como se ha descrito anteriormente, la realización mencionada anteriormente se puede llevar a cabo en cada señal del número R de rutas.

La figura 38 es un diagrama de bloques que muestra un procesador analógico -160- según un ejemplo. El procesador analógico -160- incluye un convertidor digital a analógico (DAC) -161-, una unidad de convertidor ascendente -163- y un filtro analógico -165-.

El DAC -161- convierte los datos de entrada en una señal analógica y emite la señal analógica. La unidad de conversión ascendente -163- convierte un dominio de frecuencia de la señal analógica en una zona de RF. El filtro analógico -165- filtra la señal de la zona de RF y emite la señal de RF filtrada.

La figura 39 es un diagrama de bloques que muestra un aparato para recibir una señal según un ejemplo. El aparato receptor de señales incluye un primer receptor de señales -210a-, un receptor de señales -210n- n-ésimo, un primer demodulador -220a-, un demodulador -220n- n-ésimo, un decodificador MIMO/MISO -230-, un separador de tramas -240- y un demodulador decodificador -250- y un procesador de salida -260-.

En el caso de una señal de recepción según la estructura de trama de la señal TFS, se multiplexan los diversos servicios a R canales y, posteriormente, se desplazan en el tiempo, de manera que se transmite el resultado desplazado en el tiempo.

El receptor puede incluir, como mínimo, un receptor de señales para recibir un servicio transmitido sobre, como mínimo, un canal de RF. La trama de las señales TFS transmitida al número R

(donde R es un número natural) de canales de RF se puede transmitir a una ruta múltiple a través del número A de antenas. Las A antenas se han utilizado para los R canales de RF, de manera que un número total de antenas es $R \times A$.

El primer receptor de señal -210a- puede recibir los datos de servicio transmitidos a través de, como mínimo, una ruta de entre todos los datos de servicios transmitidos a través de varios canales de RF. Por ejemplo, el primer receptor de señales -210a- puede recibir la señal de transmisión procesada por el esquema MIMO/MISO a través de varias rutas.

El primer receptor de señales -210a- y el receptor de señales n -ésimo -210n- pueden recibir varias unidades de datos de servicio transmitidas sobre un número n de canales de RF de entre varios canales de RF, como un único PLP. Esto es, esta realización muestra el aparato receptor de señales capaz de recibir datos simultáneamente del número R de canales de RF. Por tanto, si esta realización recibe un único canal de RF, únicamente se necesita el primer receptor -210a-.

El primer demodulador -220a- y el demodulador -220n- n -ésimo demodulan las señales recibidas en los receptores de señales primero y n -ésimo -210a- y -210n- según el esquema OFDM, y emiten las señales demoduladas.

El decodificador MIMO/MISO -230- decodifica los datos de servicio recibidos a través de varias rutas de transmisión según el esquema de decodificación MIMO/MISO y emite los datos de servicios decodificados a una única ruta de transmisión. Si se reciben el número R de servicios transmitidos sobre las diversas rutas de transmisión, el decodificador MIMO/MISO -230- puede emitir datos de servicios de un único PLP contenidos en cada uno de los R servicios correspondientes al número de R canales. Si el número P de servicios se transmite a través del número R de canales de RF y las señales de canales de RF individuales se reciben a través del número A de antenas, el receptor decodifica el número P de servicios utilizando un total de $(R \times A)$ antenas receptoras.

El separador de trama -240- separa la trama de la señal TFS que incluye varios servicios y emite los datos de servicio separados.

El demodulador decodificador -250- realiza la decodificación de corrección de errores de los datos de servicio contenidos en la trama separada, demapea los datos de símbolos

decodificados en datos de bits y emite el resultado del proceso de demapeado.

El procesador de salida -260- decodifica un flujo que incluye los datos de bits demapeados y emite el flujo decodificado.

En la descripción mencionada anteriormente, cada uno de los separadores de trama -240- y el demodulador de decodificación -250- y el procesador de salida -260- recibe tantas unidades de datos de servicio como el número de PLP, y realiza el procesamiento de la señal de los datos de servicio recibidos.

La figura 40 es un diagrama de bloques que muestra un receptor de señales según un ejemplo. El receptor de señales puede incluir un sintonizador -211-, un convertidor descendente -213- y un convertidor analógico-digital (ADC) -215-.

El sintonizador -211- realiza el salto de frecuencia de algunos canales de RF capaces de transmitir los servicios seleccionados por el usuario en todos los canales de RF cuando el PLP se incluye en varios canales de RF y emite el resultado de salto de frecuencia. El sintonizador -211- realiza el salto de frecuencia de los canales de RF contenidos en la trama de la señal TFS según las frecuencias centrales de RF de entrada y, al mismo tiempo, sintoniza las señales de frecuencia correspondientes, de manera que emite las señales sintonizadas. Si se transmite una señal a un número A de múltiples rutas, el sintonizador -211- realiza el sintonizado a un canal de RF correspondiente y recibe señales receptoras a través del número A de antenas.

El convertidor descendente -213- realiza la conversión descendente a la frecuencia de RF de la señal sintonizada por el sintonizador -211- y emite el resultado de la conversión descendente. El ADC -215- convierte una señal analógica en una señal digital.

La figura 41 es un diagrama de bloques que muestra un demodulador según la presente invención. El demodulador incluye un detector de trama -221-, una unidad de sincronización de trama -222-, un eliminador de intervalo de guarda -223-, una unidad de transformación en el dominio de la frecuencia (FFT) -224-, un estimador de canal -225-, un ecualizador de canal -226- y un extractor de información de la transmisión de señales -227-.

Si el demodulador adquiere los datos de servicio transmitidos a un único flujo PLP, se llevará a cabo la siguiente demodulación de señal. Más adelante se describirá una descripción

detallada de la misma.

El detector de trama -221- identifica un sistema de entrega de una señal de recepción. Por ejemplo, el detector de trama -221- determina si la señal de recepción es una señal DVB-TS o no. Y el detector de trama -221- también puede determinar si una señal de recepción es una trama de la señal TFS o no. La unidad de sincronización de trama -222- adquiere una sincronización del dominio del tiempo y frecuencia de la trama de la señal TFS.

El controlador de intervalo de guarda -223- elimina el intervalo de guarda ubicado entre símbolos OFDM del dominio del tiempo. El convertidor en el dominio de la frecuencia (FFT) -224- convierte una señal de recepción en una señal de dominio de la frecuencia utilizando el algoritmo FFT, de manera que adquiere los datos de símbolos en el dominio de la frecuencia.

El estimador de canal -225- realiza la estimación de canal de un canal receptor utilizando un símbolo piloto contenido en los datos de símbolos del dominio de la frecuencia. El ecualizador de canal -226- realiza la ecualización de canal de los datos de recepción que utilizan la información de canal estimado por el estimador de canal -225-.

El extractor de la información de transmisión de señales -227- puede extraer la información de transmisión de señales de una capa física establecida en las señales piloto primera y segunda contenidas en los datos de recepción ecualizados en canales.

La figura 42 es un diagrama de bloques que muestra un decodificador MIMO/MISO según la presente invención. El receptor de señales y el demodulador se diseñan para procesar una señal recibida en una única ruta. Si el receptor de señales y el demodulador reciben los datos de servicios PLP proporcionando un único servicio a través de varias rutas de varias antenas y demodulan los datos de servicios PLP, el decodificador MIMO/MISO -230- emite la señal recibida en varias rutas como datos de servicios transmitidos a un único PLP. Por tanto, el decodificador MIMO/MISO -230- puede adquirir una ganancia de diversidad y una ganancia de multiplexación de los datos de servicios recibidos en un PLP correspondiente.

El decodificador MIMO/MISO -230- recibe una señal de transmisión en múltiples rutas desde varias antenas, y puede decodificar una señal utilizando un esquema MIMO capaz de recuperar cada señal de recepción en la forma de una única señal. De otra

manera, el decodificador MIMO/MISO -230- puede recuperar una señal utilizando un esquema MIMO que recibe la señal de transmisión en múltiples rutas desde una única antena y recupera la señal de transmisión en múltiples rutas recibida.

Por tanto, si la señal se transmite a través del número R de canales de RF (donde R es un número natural), el decodificador MIMO/MISO -230- puede decodificar las señales recibidas a través del número A de antenas de canales de RF individuales. Si el valor A es igual a "1", se pueden decodificar las señales mediante el esquema MISO. Si el valor A es mayor que "1", se pueden decodificar las señales mediante el esquema MIMO.

La figura 43 es un diagrama de bloques que muestra un separador de trama según un ejemplo. El separador de trama incluye un primer dispositivo de desentrelazado de frecuencia -241a-, un dispositivo de desentrelazado de frecuencia -241r- r -ésimo, un separador de trama -243-, un primer dispositivo de desentrelazado de tiempo -245a-, un dispositivo de desentrelazado de tiempo -245p- p -ésimo, un primer demapeador de símbolos -247a- y un demapeador de símbolos p -ésimo. El valor de " r " se puede decidir mediante el número de canales de RF y el valor de " p " se puede decidir mediante el número de flujos que transmiten los datos de servicios PLP generados a partir del separador de trama -243-.

Por tanto, si se transmiten un número p de servicios a un número p de flujos PLP sobre un número R de canales de RF, el separador de trama incluye el número r de dispositivos de desentrelazado de frecuencia, el número p de dispositivos de desentrelazado de tiempo y el número p de demapeadores de símbolos.

Conjuntamente con un primer canal de RF, el primer dispositivo de entrelazado de frecuencia -241a- realiza el desentrelazado de los datos de entrada en el dominio de la frecuencia y emite el resultado del desentrelazado.

El separador de trama -243- separa la trama de la señal TFS transmitida a varios canales de RF utilizando la información de programación de la trama de la señal TFS y separa los datos de servicios PLP contenidos en la ranura de un canal de RF específico que incluye un servicio deseado. El separador de trama -243- separa la trama de la señal TFS para recibir datos de servicio específicos distribuidos a varios canales de RF según la estructura de la trama de la señal de TFS y emite los datos de servicio PLP de la primera ruta.

El primer dispositivo de desentrelazado en tiempo -245a- realiza el desentrelazado de los datos de servicio PLP de la primera ruta separados en el dominio del tiempo. El primer demapeador de símbolos -247a- determina los datos de servicio mapeados a los símbolos que van a ser datos de bits, de manera que puede emitir un flujo PLP asociado con los datos de servicios PLP de la primera ruta.

Suponiendo que los datos de los símbolos se convierten en datos de bits y cada uno de los datos de los símbolos incluyen símbolos basados en el esquema de mapeado de símbolos híbrido, el número p de demapeadores de símbolos, cada uno de los cuales incluye el primer demapeador de símbolos, puede determinar los datos de los símbolos que van a ser datos de bits utilizando diferentes esquemas de demapeado de símbolos en intervalos individuales de los datos de símbolos de entrada.

La figura 44 es una vista que muestra un ejemplo de cada uno de los demapeadores de símbolos -247a- y -247p-. Los demapeadores de símbolos reciben los flujos correspondientes a los PLP desde los dispositivos de entrelazado en tiempo -245a- y -245p- respectivamente correspondientes a los demapeadores de símbolos.

Cada uno de los demapeadores de símbolos -247a- y -247p- pueden incluir un separador -2471- de bloques con corrección de errores, un separador -2473- de símbolos, un demapeador -2475a- de primer orden, un demapeador -2475b- de segundo orden y un fusionador -2478- de flujos de bits.

El separador -2471- de bloques con corrección de errores puede separar el flujo PLP recibido del dispositivo de entrelazado en tiempo -245a- y -245p- correspondiente en las unidades de bloque con corrección de errores. El separador -2471- de bloques con corrección de errores puede separar el flujo de servicios en la unidad de bloques LDPC de modo normal. En este caso, el flujo de servicios se puede separar en un estado en el que cuatro bloques según el modo corto (el bloque que tiene la longitud de 16.200 bits) son tratados como el bloque con corrección de errores de un bloque según el modo normal (el bloque que tiene la longitud de 64.800 bits).

El separador -2473- de símbolos puede separar el flujo de símbolos en el bloque de corrección de errores separado según el método de mapeado de símbolos del flujo de símbolos.

Por ejemplo, el demapeador -2475a- de primer orden

convierte los símbolos según el método de mapeado de símbolos de mayor orden en bits. El demapeador -2475b- de segundo orden convierte en bits los símbolos según el método de mapeado de símbolos de menor orden.

El fusionador -2478- de flujo de bits puede recibir los bits convertidos y emite un único flujo de bits.

La figura 45 es una vista que muestra otro ejemplo de cada uno de los demapeadores de símbolos -247a- y -247p-. El ejemplo de este dibujo es similar al ejemplo de la figura 44 excepto en que se incluyen además una unidad de calibración de potencia -2474a- de primer orden y una unidad de calibración de potencia -2474b- de segundo orden.

La unidad de calibración de potencia -2474a- de primer orden recibe los símbolos separados por el separador de símbolos -2473-, calibra la potencia de los símbolos recibidos según los esquemas de mapeado de símbolos y emite los símbolos calibrados. La potencia de los símbolos recibidos puede tener la potencia calibrada según el tamaño de la constelación en base a los métodos de mapeado de símbolos. La unidad de calibración de potencia -2474a- de primer orden convierte la potencia calibrada según la potencia del símbolo original de la constelación. El demapeador -2475a- de primer orden puede demapear los símbolos, de los que se calibra la potencia mediante la unidad de calibración de potencia de primer orden, a bits.

De manera similar, la unidad de calibración de potencia -2474b- de segundo orden recibe los símbolos separados mediante el separador de símbolos -2473-, la potencia calibrada de los símbolos recibidos modificada a la potencia original según el tamaño de la constelación, y emite los símbolos modificados.

La figura 46 es una vista que muestra otro ejemplo de cada uno de los demapeadores de símbolos -247a- y -247p-. Cada uno de los demapeadores de símbolos -247a- y -247p- puede incluir un separador de símbolos -2473-, un demapeador -2474a- de primer orden, un demapeador -2474b- de segundo orden, un multiplexor -2475a- de primer orden, un multiplexor -2475b- de segundo orden, un dispositivo de desentrelazado de bits -2476a- de primer orden, un dispositivo de desentrelazado de bits -2476b- de segundo orden y un fusionador de flujo de bits -2478-. Mediante este ejemplo, el ejemplo de la unidad de decodificación y demodulación de la figura 36 incluye un primer decodificador -253-, un primer dispositivo de

desentrelazado -255- y un segundo decodificador -257-.

El separador de símbolos -2473- puede separar el flujo de símbolos del PLP según el método correspondiente al método de mapeado de símbolos.

El demapeador -2474a- de primer orden y el demapeador -2474b- de segundo orden convierten los flujos de símbolos separados en bits. Por ejemplo, el demapeador -2474a- de primer orden realiza el demapeado de símbolos del QAM de mayor orden y el demapeador -2474b- de segundo orden realiza el demapeado de símbolos del QAM de menor orden. Por ejemplo, el demapeador -2474a- de primer orden puede realizar el demapeado de símbolos de 256QAM y el demapeador -2474b- de segundo orden puede realizar el demapeado de símbolos de 64QAM.

El multiplexor -2475a- de primer orden y el multiplexor -2475b- de segundo orden multiplexan los bits mapeados en símbolos. Los métodos de multiplexación se pueden corresponder a los métodos de demultiplexación descritos en referencia a las figuras 15 a 18. En consecuencia, los subflujos demultiplexados se pueden convertir en un único flujo de bits.

El dispositivo de desentrelazado de bits -2476a- de primer orden desentrelaza los flujos de bits multiplexados mediante el multiplexor -2475a- de primer orden. El dispositivo de desentrelazado de bits -2476b- de segundo orden desentrelaza los bits multiplexados por el multiplexor -2475a- de primer orden. El método de desentrelazado se corresponde con el método de entrelazado de bits. El método de entrelazado de bits se muestra en la figura 12.

El fusionador -2478- de flujo de bits puede fusionar los flujos de bits desentrelazados mediante los dispositivos de desentrelazado de bits -2476a- y -2476b- en un único flujo de bits.

El primer decodificador -253- de la unidad de decodificación y demodulación puede decodificar con corrección de errores el flujo de bits generado según el modo normal o el modo corto y la tasa de código según los modos.

La figura 47 es una vista que muestra otro ejemplo de cada uno de los demapeadores de símbolos -247a- y -247p-. El ejemplo de este dibujo es similar al ejemplo de la figura 46 excepto en que se incluyen además una unidad de calibración de potencia -2474a- de primer orden y una unidad de calibración de potencia -2474b- de segundo orden. La unidad de calibración de

potencia -2474a- de primer orden y la unidad de calibración de potencia -2474b- de segundo orden modifican las potencias calibradas de los símbolos según los métodos de mapeado de símbolos y emiten los símbolos modificados a los demapeadores de símbolos -2475a- y -2475b-.

La figura 48 es una vista que muestra un ejemplo de multiplexación del subflujo demultiplexado. En este ejemplo, los demapeadores -2474a- y -2474b- deciden las palabras de celda incluyendo los bits. Los multiplexores -2475a- y -2475b- multiplexan las palabras de celda decididas según la señal de selección de multiplexor. Las palabras de celda demultiplexadas se introducen a cualquiera de los primeros multiplexores -2475a2- y -2475b2- a los n-ésimos multiplexores -2475a3- y -2475b3-.

Los primeros multiplexores -2475a2- y -2475b2- a los n-ésimos multiplexores -2475a3- y -2475b3- cambian el orden de los bits en las palabras de celda introducidas según la señal de selección de multiplexor. La señal de selección de multiplexor se puede cambiar según la tasa de código de la codificación de corrección de errores o el método de mapeado de símbolos. A efectos de generar un flujo y los flujos de bits entregados a los multiplexores, se puede cambiar el orden de selección del subflujo según la señal de selección de multiplexor.

Los primeros multiplexores -2475a1- y -2475b1- emiten los flujos de bits demapeados a símbolos a cualquiera de los primeros multiplexores -2475a2- y -2475b2- a los n-ésimos multiplexores -2475a3- y -2475b3- según la señal de selección de multiplexor. Los primeros submultiplexores -2475a1- y -2475b1- pueden recibir los subflujos multiplexados por los primeros multiplexores -2475a2- y -2475b2- a los n-ésimos multiplexores -2475a3- y -2475b3- y emiten un flujo, según la señal de selección de multiplexor.

Las palabras de celda que incluyen los bits cambiados se introducen en los dispositivos de entrelazado de bits -2476a- y -2476b- y los dispositivos de desentrelazado de bits -2476a- y -2476b- desentrelazan los bits introducidos y emiten los bits desentrelazados.

La figura 49 es un diagrama de bloques que muestra un demodulador de decodificación según un ejemplo. El demodulador de decodificación puede incluir varios bloques de función correspondientes a la unidad de codificación y modulación. En este

ejemplo, el demodulador de decodificación de la figura 16 puede incluir un primer dispositivo de desentrelazado -251-, un primer decodificador -253-, un segundo dispositivo de desentrelazado -255- y un segundo decodificador -257-. El segundo dispositivo de desentrelazado -255- puede estar contenido, de manera selectiva, en el demodulador de decodificación.

El primer dispositivo de desentrelazado -251- actúa como dispositivo de desentrelazado interno y puede realizar el desentrelazado del flujo PLP p-ésimo generado por el separador de trama.

El primer decodificador -253- actúa como decodificador interno, puede realizar la corrección de errores de los datos desentrelazados y puede utilizar un algoritmo de decodificación de corrección de errores basado en el esquema LDPC.

El segundo dispositivo de desentrelazado -255- actúa como un dispositivo de desentrelazado externo y puede realizar el desentrelazado de los datos decodificados con corrección de errores.

El segundo decodificador -257- actúa como un decodificador externo. Los datos desentrelazados mediante el segundo dispositivo de desentrelazado -255- o corregidos de error mediante el primer decodificador -253- se corrigen de errores de nuevo, de manera que el segundo decodificador -257- emite los datos corregidos de error nuevamente. El segundo decodificador -257- decodifica los datos utilizando el algoritmo de decodificación de corrección de errores basado en el esquema BCH, de manera que emite los datos decodificados.

El primer dispositivo de desentrelazado -251- y el segundo dispositivo de desentrelazado -255- pueden convertir el error de trama generado en los datos contenidos en el flujo PLP en un error aleatorio. El primer decodificador -253- y el segundo decodificador -257- pueden corregir los errores contenidos en los datos.

El demodulador de decodificación muestra los procesos de operación asociados con un único flujo PLP. Si existen el número p de flujos, se necesitan el número p de decodificadores demoduladores, o el demodulador de decodificación puede decodificar repetidamente los datos de entrada p veces.

La figura 50 es un diagrama de bloques que muestra un procesador de salida, según un ejemplo. El procesador de salida

puede incluir el número p de separadores de trama (-251a-, ..., -261p-) de banda base (BB), un primer fusionador de servicios -263a-, un segundo fusionador de servicios -263b-, un primer demultiplexor -265a- y un segundo demultiplexor -265b-.

Los separadores de trama BB (-261a-, ..., -261p-) eliminan las cabeceras de trama BB del primer al p-ésimo flujos PLP según las rutas PLP recibidas, y emiten el resultado eliminado. Este ejemplo muestra que los datos de servicio se transmiten a, como mínimo, dos flujos. Un primer flujo es un flujo MPEG-2 TS y un segundo flujo es un flujo GS.

El primer fusionador de servicios -263a- calcula la suma de los datos de servicios contenidos en la carga útil de, como mínimo, una trama B8, de manera que emite la suma de los datos de servicios como un único flujo de servicios. El primer demultiplexor -255a- puede demultiplexar el flujo de servicios y emite el resultado demultiplexado.

De esta manera, el segundo fusionador de servicio -263b- calcula la suma de los datos de servicios contenidos en la carga útil de, como mínimo, una trama BB, de manera que puede emitir otro flujo de servicios. El segundo demultiplexor -255b- puede demultiplexar el flujo de servicios en formato GS y emite el flujo de servicios demultiplexado.

La figura 51 es un diagrama de bloques que muestra un aparato para la transmisión de una señal según otro ejemplo. El aparato para la transmisión de señales incluye un compositor de servicios -310-, un separador de frecuencia -320- y un transmisor -400-. El transmisor -400- codifica o modula una señal que incluye un flujo de servicios que se va a transmitir a cada banda de RF.

El compositor de servicios -310- recibe varios flujos de servicios, multiplexa varios flujos de servicios que se van a transmitir a canales de RF individuales y emite los flujos de servicios multiplexados. El compositor de servicios -310- emite la información de programación, de manera que controla el transmisor -400- que utiliza la información de programación, cuando el transmisor -400- transmite el PLP a través de varios canales de RF. Mediante esta información de programación, el compositor de servicio -310- modula varias tramas de servicio que se van a transmitir a varios canales de RF mediante el transmisor -400- y transmite las tramas de servicio moduladas.

El separador de frecuencia -320- recibe un flujo de

servicios que se va a transmitir a cada banda de RF y separa cada flujo de servicios en varios subflujos, de manera que se pueden asignar las bandas de frecuencia de RF individuales a los subflujos.

El transmisor -400- procesa los flujos de servicios que se van a transmitir a las bandas de frecuencia individuales y emite los flujos resultantes procesados. Por ejemplo, conjuntamente con un flujo de servicios específico que se va a transmitir al primer canal de RF, el primer mapeador -410- mapea el flujo de servicios de entrada en símbolos. El primer dispositivo de entrelazado -420- entrelaza los símbolos mapeados para evitar el error de trama.

El primer dispositivo de inserción de símbolos -430- puede insertar una trama de la señal equipada con una señal piloto (por ejemplo, una señal piloto de dispersión o una señal piloto continua) en la señal modulada.

El primer modulador -440- modula los datos entrelazados mediante el esquema de modulación de señales. Por ejemplo, el primer modulador -440- puede modular las señales utilizando el esquema OFDM.

El primer dispositivo de inserción -450- de símbolo piloto inserta la primera señal piloto y la segunda señal piloto en la trama de la señal y puede transmitir la trama de la señal TFS.

Los datos del flujo de servicios transmitidos al segundo canal de RF se transmiten a la trama de la señal TFS a través de varios bloques -415-, -425-, -435-, -445- y -455- de diferentes rutas mostradas en el transmisor de la figura 18.

El número de rutas de procesamiento de la señal transmitidas desde el transmisor -400- puede ser igual al número de canales de RF contenidos en la trama de la señal TFS.

El primer mapeador -410- y el segundo mapeador pueden incluir respectivamente los demultiplexores -1313a- y -1313b- y permiten cambiar las ubicaciones del MSB y del LSB en la palabra de celda mapeada a símbolos.

La figura 52 es un diagrama de bloques que muestra un aparato para la recepción de una señal según otro ejemplo. El aparato para la recepción de una señal puede incluir una unidad de recepción -510-, una unidad de sincronización -520-, un detector de modo -530-, un ecualizador -540-, un detector de parámetro -550-, un dispositivo de desentrelazado -560-, un demapeador -570- y un decodificador de servicios -580-.

La unidad de recepción -500- puede recibir señales de un primer canal de RF seleccionado por un usuario de entre la trama de la señal. Si la trama de la señal incluye varios canales de RF, la unidad de recepción -500- realiza el salto de frecuencia de los diversos canales de RF y, al mismo tiempo, puede recibir una señal que incluye la trama de servicio seleccionada.

La unidad de sincronización -510- adquiere la sincronización de una señal de recepción y emite la señal de recepción sincronizada. El demodulador -520- puede demodular la señal con sincronización adquirida. El detector de modo -530- puede adquirir un modo FFT (por ejemplo, longitud de operación FFT de 2k, 4k, 8k) de la segunda señal piloto utilizando la primera señal piloto de la trama de la señal.

El demodulador -520- demodula la señal de recepción bajo el modo FFT de la segunda señal piloto. El ecualizador -540- realiza la estimación de canal de la señal de recepción y emite la señal resultante de la estimación de canal. El dispositivo de desentrelazado -560- desentrelaza la señal de recepción ecualizada en canal. El demapeador -570- demapea el símbolo entrelazado utilizando el esquema de demapeado de símbolos correspondiente al esquema de mapeado de símbolos de la señal de transmisión (por ejemplo, QAM).

El detector de parámetros -550- adquiere la información del parámetro físico (por ejemplo, información de la capa 1 (L1)) contenida en la segunda señal piloto de la señal de salida del ecualizador -540- y transmite la información de parámetro físico adquirida a la unidad de recepción -500- y a la unidad de sincronización -510-. La unidad de recepción -500- puede cambiar el canal de RF a otro canal utilizando la información de red detectada mediante el detector de parámetros -550-.

El detector de parámetros -550- emite la información asociada con el servicio, el decodificador de servicio -580- decodifica los datos de servicio de la señal de recepción según la información asociada al servicio a partir del detector de parámetros -550- y emite los datos de servicio decodificados.

El demapeador -570- puede incluir los multiplexores -2475a- y -2475b- y emite el flujo de bits obtenido mediante la recuperación del orden de los bits de los que se cambia la ubicación del MSB y del LSB según la tasa de código de la codificación de corrección de errores y el método de mapeado de

símbolos.

Más adelante se describirá un método para modular una primera señal piloto de una trama de la señal que tiene, como mínimo, una banda de RF y un método y aparato para la recepción de la primera señal piloto modulada.

Los símbolos PLP entrelazados en el tiempo se transmiten a través de regiones, que se dividen temporalmente en la trama de la señal. Los símbolos PLP entrelazados en el tiempo se pueden transmitir a través de regiones, que se dividen en el dominio de la frecuencia, si existe una pluralidad de bandas de RF. En consecuencia, si el PLP se transmite o recibe, se puede obtener una ganancia de diversidad. Se pueden cambiar un modo de corrección de errores y un método de mapeado de símbolos según servicios correspondientes a los flujos de transporte o se pueden cambiar en los servicios.

Se disponen una primera señal piloto y una segunda señal piloto en la ubicación de inicio de la trama de la señal que tiene dichas características, como una señal preámbulo.

Tal como se ha descrito anteriormente, la primera señal piloto incluida en la trama de la señal puede incluir un identificador para identificar la trama de la señal que tiene la estructura descrita anteriormente. La primera señal piloto puede incluir información sobre la estructura de transmisión que indica si la trama de la señal se transmite o no a través de rutas múltiples e información sobre un modo FFT de una señal que sigue a la primera señal piloto. El receptor puede detectar la trama de la señal a partir de la primera señal piloto y obtener la información sobre la estimación del desfase de frecuencia del portador integral y la información sobre el modo FFT del símbolo de datos.

La figura 53 es una vista que muestra un ejemplo o la estructura de una primera señal piloto. Una parte indicada por A es una parte válida de la primera señal piloto. B indica el mismo prefijo cíclico como una primera parte de la parte A en el dominio del tiempo y C indica el mismo sufijo cíclico como una segunda parte de la parte A en la región del tiempo. La primera parte puede estar duplicada a partir de la segunda mitad de la parte A y la segunda parte puede estar duplicada a partir de la primera mitad de la parte A.

B y C se pueden obtener respectivamente duplicando la primera parte y la segunda parte y desplazando en frecuencia las

partes duplicadas. Una relación entre B o C es como sigue:

[Ecuación 1]

$$B = \text{unaparte}(A) \cdot e^{j2\pi f_{SH} t}$$

$$C = \text{otraparte}(A) \cdot e^{j2\pi f_{SH} t}$$

En la ecuación anterior, SH indica una unidad de desplazamiento del desplazamiento en frecuencia. En consecuencia, los valores del desplazamiento en frecuencia de las partes B y C pueden ser inversamente proporcionales a las longitudes de las partes B y C.

Si la primera señal piloto se configura mediante un desplazamiento en frecuencia del prefijo cíclico (B) y del sufijo cíclico (C), la probabilidad de que el símbolo de datos se detecte erróneamente al preámbulo es baja y se reduce la probabilidad de que el preámbulo se detecte erróneamente, aunque los símbolos de datos que configuran el PLP y los símbolos que configuran el preámbulo se modulan del mismo modo FFT.

Si se incluye una interferencia de onda continua (CW) como una señal de TV analógica, se reduce la probabilidad de que el preámbulo se detecte erróneamente debido a un componente DC de ruido generado en un proceso de correlación. Además, si el tamaño del FFT aplicado a los símbolos de datos que configuran el PLP es mayor que los del FFT aplicado al preámbulo, se puede mejorar el rendimiento de la detección del preámbulo incluso en un canal de retardo de la emisión que tiene una longitud igual o mayor que la de la parte A de símbolo válida del preámbulo. Dado que tanto el prefijo cíclico (B) y el sufijo cíclico (C) se utilizan en el preámbulo, se puede estimar el desfase de frecuencia del portador fraccionario mediante el proceso de correlación.

La figura 54 es una vista que muestra un ejemplo de detección de una señal de preámbulo mostrada en la figura 53 y de la estimación de un desfase en la sincronización y un desfase en la frecuencia. Este ejemplo se puede incluir en el detector de trama -221- o en la unidad de sincronización de tramas -222-.

Este ejemplo puede incluir una primera unidad de retardo -601-, una unidad de cálculo del complejo conjugado -603-, un primer multiplicador -605-, un segundo multiplicador -607-, un primer filtro -611-, una segunda unidad de retardo -615-, un tercer multiplicador -609-, un segundo filtro -613-, un cuarto multiplicador -617-, una unidad de búsqueda de pico -619- y una unidad de medición de fase -621-.

La primera unidad de retardo -601- puede retardar una señal recibida. Por ejemplo, la primera unidad de retardo -601- puede retardar la señal recibida por la longitud de la parte de símbolo válida (A) de la primera señal piloto.

La unidad -603- de cálculo del complejo conjugado puede calcular el complejo conjugado de la primera señal piloto retardada y emite la señal calculada.

El primer multiplicador -605- puede multiplicar la señal generada por la unidad de cálculo del complejo conjugado -603- por la señal recibida y emite la señal multiplicada.

Dado que la primera señal piloto incluye las partes B y C obtenidas mediante el desplazamiento en frecuencia de la parte válida A, se obtienen los valores respectivos de la correlación mediante el desplazamiento de las señales recibidas mediante las cantidades de desplazamiento en frecuencia respectivas. En la primera señal piloto, la parte B es una parte que se desplaza en frecuencia hacia arriba o que se desplaza en frecuencia hacia abajo a partir de la parte A, y C es una parte que es desplazada en frecuencia hacia arriba o que es desplazada en frecuencia hacia abajo a partir de la parte A.

Por ejemplo, si se utiliza la salida de la unidad de cálculo del complejo conjugado -603-, la salida del primer multiplicador -605- puede incluir el resultado de la correlación de B (o el complejo conjugado de B) y A (o el complejo conjugado de A).

El segundo multiplicador -607- puede multiplicar la señal emitida por el primer multiplicador -605- mediante la cantidad de desplazamiento en frecuencia (indicada por $e^{j\pi f_{SH} t}$) aplicada a la parte B y emite la señal multiplicada.

El primer filtro -611- realiza un desplazamiento promedio durante un periodo predeterminado con respecto a la señal emitida por el segundo multiplicador -607-. La parte de desplazamiento promedio puede ser la longitud del prefijo cíclico (B) o la longitud del sufijo cíclico (C). En este ejemplo, el primer filtro -611- puede calcular un promedio de la señal incluida en la longitud de la parte B. Entonces, en el resultado emitido por el primer filtro -611-, el valor de correlación de las partes A y C incluido en la parte, cuyo promedio se calcula, se vuelve sustancialmente cero y permanece el resultado de la correlación de las partes B y A. Dado que la señal de la parte B se multiplica por

el valor del desplazamiento en frecuencia por el segundo multiplicador -607-, es igual a la señal obtenida duplicando la segunda mitad de la parte A.

El tercer multiplicador -609- puede multiplicar la señal emitida por el primer multiplicador -605- por la cantidad de desplazamiento en frecuencia (indicado por $-e^{j\pi f_{SH}t}$) aplicado a la parte C y emite la señal multiplicada.

El segundo filtro -613- realiza un desplazamiento promedio durante un periodo predeterminado con respecto a la señal emitida por el tercer multiplicador -609-. La parte de desplazamiento promedio puede ser la longitud del prefijo cíclico (B) o la longitud del sufijo cíclico (C). En este ejemplo, el segundo filtro -613- puede calcular el promedio de la señal incluida en la longitud de la parte C. Entonces, en el resultado emitido por el segundo filtro -613-, el valor de la correlación de las partes A y B incluidas en la parte, cuyo promedio se calcula, se vuelven sustancialmente cero y permanece el resultado de la correlación de las partes C y A. Dado que la señal de la parte C se multiplica por el valor del desplazamiento en frecuencia por el tercer multiplicador -609-, es igual a la señal obtenida duplicando la primera mitad de la parte A.

La longitud T_B de la parte cuyo desplazamiento promedio se realiza por el primer filtro -611- y el segundo filtro -613- se expresa como sigue.

[Ecuación 2]

$$T_B = k/f_{SH},$$

donde k indica un entero. En otras palabras, la unidad f_{SH} del desplazamiento en frecuencia utilizado en las partes B y C se puede decidir por k/TB .

La segunda unidad de retardo -615- puede retardar la señal emitida por el primer filtro -611-. Por ejemplo, la segunda unidad de retardo -615- retarda la señal filtrada por el primer filtro -611- por la longitud de la parte B y emite la señal retardada.

El cuarto multiplicador -617- multiplica la señal retardada por la segunda unidad de retardo -615- por la señal filtrada por el segundo filtro -613- y emite la señal multiplicada.

La unidad de búsqueda de pico -619- busca la ubicación en la que se genera un valor de pico a partir de la señal multiplicada emitida por el cuarto multiplicador -617- y emite la

ubicación buscada a la unidad de medición de fase -621-. Se pueden utilizar el valor de pico y la ubicación para la estimación del desfase de sincronización.

La unidad de medición de la fase -621- puede medir la fase cambiada utilizando el valor de pico y la ubicación emitida por la unidad de búsqueda de pico -619- y emite la fase medida. El valor de fase puede ser utilizado para la estimación del desfase en frecuencia del portador fraccionario.

Mientras tanto, un oscilador para generar la frecuencia utilizada para realizar el desplazamiento en frecuencia por el segundo multiplicador -607- y el tercer multiplicador -609- puede generar cualquier error de fase.

Incluso en este caso, el cuarto multiplicador -617- puede eliminar el error de fase del oscilador. Los resultados emitidos por el primer filtro -611- y el segundo filtro -613- y el resultado emitido por el cuarto multiplicador -617- se puede expresar mediante la siguiente ecuación.

[Ecuación 3]

$$y_{MAF1} = \|a_1(n)\|^2 \cdot e^{j2\pi\Delta f + \theta}$$

$$y_{MAF2} = \|a_2(n)\|^2 \cdot e^{j2\pi\Delta f - \theta}$$

$$y_{prod} = \|a_1(n)\|^2 \cdot \|a_2(n)\|^2 \cdot e^{j2\pi\Delta f}$$

donde y_{MAF1} y y_{MAF2} indican respectivamente las salidas del primer filtro -611- y del segundo filtro -613-, e y_{prod} indica la salida del cuarto multiplicador -617-. Además, a_1 y a_2 indican respectivamente los niveles de los resultados de la correlación y Δf y θ indican respectivamente el desfase en frecuencia y el error de fase del oscilador.

En consecuencia, y_{MAF1} y y_{MAF2} pueden incluir los errores de fase del oscilador que tiene diferentes signos, pero el error de fase del oscilador se elimina en el resultado del cuarto multiplicador -617-. En consecuencia, el desfase de frecuencia Δf se puede estimar sin tener en cuenta el error de fase del oscilador del aparato receptor de la señal.

El desfase en frecuencia estimado se puede expresar mediante la siguiente ecuación.

[Ecuación 4]

$$f = \angle y_{prod} / 4\pi$$

donde el desfase de frecuencia estimado Δf es $0 \leq \Delta f < 0,5$.

La figura 55 es una vista que muestra otro ejemplo de la estructura de la primera señal piloto. En la primera señal piloto, el desplazamiento en frecuencia de la primera mitad de la parte válida A es el prefijo cíclico (B) y el desplazamiento en frecuencia del segundo desplazamiento de la parte válida A es el sufijo cíclico (C). Las longitudes de la parte válida A para generar las partes B y C pueden ser, por ejemplo, 1/2 de la longitud de la parte A, y las longitudes de B y C pueden ser diferentes.

La figura 56 es una vista que muestra un ejemplo de detección de la primera señal piloto mostrada en la figura 55 y de medición de un desfase en la sincronización y un desfase en frecuencia utilizando el resultado detectado. En este ejemplo, por conveniencia de la descripción, B y C indican respectivamente el prefijo cíclico y el sufijo cíclico obtenidos mediante el desplazamiento en frecuencia de 1/2 de la longitud de la parte A.

Este ejemplo incluye una primera unidad de retardo -601-, una unidad de cálculo del complejo conjugado -603-, un primer multiplicador -605-, un segundo multiplicador -607-, un primer filtro -611-, una segunda unidad de retardo -615-, un tercer multiplicador -609-, un segundo filtro -613-, un cuarto multiplicador -617-, una unidad de búsqueda de pico -619- y una unidad de medición de fase -621-. Es decir, este ejemplo es igual al del ejemplo de la figura 54 pero se pueden cambiar las características de los componentes según la longitud de la parte A mediante la cual se generan las partes B y C. B indica una parte desplazada en frecuencia hacia abajo a partir de la parte A, y C indica una parte desplazada en frecuencia hacia arriba a partir de la parte A.

La primera unidad de retardo -601- puede retardar una señal recibida. Por ejemplo, la primera unidad de retardo -601- puede retardar la señal recibida 1/2 de la longitud de la parte de símbolo válida A de la primera señal piloto.

La unidad de cálculo del complejo conjugado -603- puede calcular el complejo conjugado de la primera señal piloto retardada y emite la señal calculada.

El primer multiplicador -605- puede multiplicar la señal emitida por la unidad de cálculo del complejo conjugado -603- por la señal recibida y emite la señal multiplicada.

El segundo multiplicador -607- puede multiplicar la

señal emitida por el primer multiplicador -605- por la cantidad de desplazamiento en frecuencia (indicado por $e^{j\omega_{SH}^t}$) aplicada a la parte B y emite la señal multiplicada.

El primer filtro -611- realiza un desplazamiento promedio durante un periodo predeterminado con respecto a la señal emitida por el segundo multiplicador -607-. La parte de desplazamiento promedio puede ser la longitud del prefijo cíclico (B). En este ejemplo, el primer filtro -611- puede calcular el promedio de la señal incluida en la longitud de la parte B. Posteriormente, en el resultado generado por el primer filtro -611-, el valor de correlación de las partes A y C incluidas en la parte, cuyo promedio se calcula, se vuelve sustancialmente cero y permanece el resultado de la correlación de las partes B y A. Dado que la señal de la parte B se multiplica por el valor del desplazamiento en frecuencia en el segundo multiplicador -607-, es igual a la señal obtenida duplicando la segunda mitad de la parte A.

El tercer multiplicador -609- puede multiplicar la señal emitida por el primer multiplicador -605- por la cantidad de desplazamiento en frecuencia (indicado por $-e^{j\omega_{SH}^t}$) aplicada a la parte C y emite la señal multiplicada.

El segundo filtro -613- realiza un desplazamiento promedio durante un periodo predeterminado con respecto a la señal emitida por el tercer multiplicador -609-. La parte de desplazamiento promedio puede ser la longitud del sufijo cíclico (C). En este ejemplo, el segundo filtro -613- puede calcular el promedio de la señal incluida en la longitud de la parte C. Entonces, en el resultado generado por el segundo filtro -613-, el valor de correlación de A y B incluidos en la parte, cuyo promedio se calcula, se vuelve sustancialmente cero y permanece el resultado de la correlación de las partes C y A. Dado que la señal de la parte C se multiplica por el valor del desplazamiento en frecuencia en el tercer multiplicador -609-, es igual a la señal obtenida duplicando la primera mitad de la parte A.

La segunda unidad de retardo -615- puede retardar la señal emitida por el primer filtro -611-. Por ejemplo, la segunda unidad de retardo -615- retarda la señal filtrada por el primer filtro -611- por la longitud de la parte B + 1/2A y emite la señal retardada.

El cuarto multiplicador -617- multiplica la señal

retardada por la segunda unidad de retardo -615- por la señal filtrada por el segundo filtro -613- y emite la señal multiplicada.

La unidad de búsqueda de pico -619- busca la ubicación en la que se genera un pico a partir de la señal multiplicada generada por el cuarto multiplicador -617- y emite la ubicación buscada a la unidad de medición de fase -621-. El valor de pico y la ubicación se pueden utilizar para la estimación del desfase de sincronización.

La unidad de medición de fase -621- puede medir la fase cambiada utilizando el valor de pico y la ubicación emitidos por la unidad de búsqueda de pico -619- y emite la fase medida. El valor de fase se puede utilizar para la estimación del desfase en frecuencia del portador fraccionario.

Tal como se describe anteriormente, un oscilador para generar la frecuencia utilizada para realizar el desplazamiento en frecuencia por el segundo multiplicador -607- y el tercer multiplicador -609- puede generar cualquier error de fase. No obstante, incluso en este ejemplo, el cuarto multiplicador -617- puede eliminar el error de fase del oscilador.

Los resultados generados por el primer filtro -611- y el segundo filtro -613- y el resultado generado por el cuarto multiplicador -617- se pueden expresar mediante la siguiente ecuación.

[Ecuación 5]

$$y_{MAF1} = \|a_1(n)\|^2 \cdot e^{j2\pi\Delta f + \theta}$$

$$y_{MAF2} = \|a_2(n)\|^2 \cdot e^{j2\pi\Delta f - \theta}$$

$$y_{prod} = \|a_1(n)\|^2 \cdot \|a_2(n)\|^2 \cdot e^{j2\pi2\Delta f}$$

donde y_{MAF1} y y_{MAF2} indican respectivamente las salidas del primer filtro -611- y del segundo filtro -613-, e y_{prod} indica la salida del cuarto multiplicador -617-. Además, a_1 y a_2 indican respectivamente los niveles de los resultados de correlación y Δf y θ indican respectivamente el desfase en frecuencia y el error de fase del oscilador.

En consecuencia, y_{MAF1} y y_{MAF2} pueden incluir los errores de fase del oscilador que tienen diferentes signos, pero el error de fase del oscilador se elimina en el resultado del cuarto multiplicador -617-. En consecuencia, el desfase en frecuencia Δf se puede estimar sin tener en cuenta el error de fase del oscilador del aparato receptor de señales.

El desfase de la frecuencia estimado se puede expresar mediante la siguiente ecuación.

[Ecuación 6]

$$f_B = \angle y_{prod} / 2\pi$$

donde el desfase en frecuencia estimado Δf es $0 \leq \Delta f < 1$.

Es decir, el solapamiento de fase se puede generar en un rango de $0,5 \leq \Delta f < 1$ en el desfase de frecuencia estimado en la [Ecuación 4] pero el solapamiento de fase no se genera en el desfase de frecuencia estimado en la [Ecuación 6]. En consecuencia, el desfase de frecuencia se puede medir de manera más precisa. La estructura de la primera señal piloto se puede utilizar en el símbolo de datos y en la segunda señal de frecuencia. Si se utiliza dicha estructura, se puede mejorar el rendimiento de la estimación del desfase tal como una interferencia CW y el rendimiento de la recepción del receptor se puede mejorar.

La figura 57 es una vista que muestra un ejemplo de la detección de la primera señal piloto y de la medición de un desfase en la sincronización y un desfase en la frecuencia utilizando el resultado detectado.

Este ejemplo incluye una primera unidad de retardo -601-, una tercera unidad de retardo -602-, una primera unidad de cálculo del complejo conjugado -603-, una segunda unidad de cálculo del complejo conjugado -604-, un primer multiplicador -605-, un quinto multiplicador -606-, un segundo multiplicador -607-, un primer filtro -611-, una segunda unidad de retardo -615-, un tercer multiplicador -609-, un segundo filtro -613-, un cuarto multiplicador -617-, una unidad de búsqueda de pico -619- y una unidad de medición de fase -621-.

En este ejemplo, la primera unidad de retardo -601- puede retardar una señal recibida. Por ejemplo, la primera unidad de retardo -601- puede retardar la señal recibida por la longitud del sufijo cíclico.

La tercera unidad de retardo -602- puede retardar la señal retardada por la primera unidad de retardo -601-. Por ejemplo, la tercera unidad de retardo -602- retarda, además, la señal por una diferencia entre la longitud del prefijo cíclico y la longitud del sufijo cíclico.

La primera unidad de cálculo del complejo conjugado -603- puede calcular el complejo conjugado de la señal retardada por la tercera unidad de retardo -602- y emitir la señal calculada.

La segunda unidad de cálculo del complejo conjugado -604- puede calcular el complejo conjugado de la señal retardada por la primera unidad de retardo -601- y emite la señal calculada.

El primer multiplicador -605- puede multiplicar la señal generada por la primera unidad de cálculo del complejo conjugado -603- por la señal recibida y emitir la señal multiplicada. El quinto multiplicador -606- puede multiplicar el complejo conjugado calculado por la segunda unidad de cálculo de complejo conjugado -604- por la señal recibida y emitir la señal multiplicada.

El segundo multiplicador -607- puede multiplicar la señal emitida por el primer multiplicador -605- por la cantidad de desplazamiento en frecuencia (indicada por $e^{j\pi f_{SHT}}$) aplicada a la parte B y emitir la señal multiplicada.

El primer filtro -611- realiza un desplazamiento promedio durante un periodo predeterminado con respecto a la señal emitida por el segundo multiplicador -607-. La parte de desplazamiento promedio puede ser la longitud de la parte válida (A) de la primera señal piloto.

El tercer multiplicador -609- puede multiplicar la señal emitida por el segundo multiplicador -604- por la cantidad de desplazamiento en frecuencia (indicada por $-e^{j\pi f_{SHT}}$) aplicada a la parte C y emite la señal multiplicada.

El segundo filtro -613- realiza un desplazamiento promedio durante un periodo predeterminado con respecto a la señal emitida por el tercer multiplicador -609-. La parte de desplazamiento promedio puede ser la longitud de la parte válida A de la primera señal piloto.

La segunda unidad de retardo -615- puede retardar la señal emitida por el primer filtro -611-. Por ejemplo, la segunda unidad de retardo -615- retarda la señal filtrada por el primer filtro -611- por la longitud de la parte válida (A) de la primera señal piloto y emite la señal retardada.

El cuarto multiplicador -617- multiplica la señal retardada por la segunda unidad de retardo -615- por la señal filtrada por el segundo filtro -613- y emite la señal multiplicada. El cuarto multiplicador -617- puede eliminar el error de fase del oscilador.

Las operaciones de la unidad de búsqueda de pico -619- y de la unidad de medición de la fase -621- son iguales a las del ejemplo descrito anteriormente. La unidad de búsqueda de pico -619-

busca la ubicación en la que se genera un valor de pico a partir de la señal multiplicada emitida por el cuarto multiplicador -617- y emite la ubicación buscada a la unidad de medición de fase -621-. El valor de pico y la ubicación se pueden utilizar para la estimación del desfase de sincronización.

La figura 58 es una vista que muestra un ejemplo de un método de transmisión de una señal.

Un flujo de transporte que transfiere un servicio se codifica con corrección de errores (S110). Se puede cambiar un esquema de codificación de corrección de errores según los flujos de transporte.

Se puede utilizar un esquema de codificación de corrección de errores LDPC como esquema de codificación de corrección de errores y la codificación de corrección de errores se puede realizar a varias tasas de código. Los bits que están codificados con corrección de errores, según una tasa de codificación de corrección de errores específica, se pueden incluir en el bloque codificado con corrección de errores según el modo de codificación de corrección de errores. Si el esquema de codificación de corrección de errores es el LDPC, se pueden utilizar un modo normal (64.800 bits) y un modo corto (16.200 bits).

El flujo de transporte codificado con corrección de errores se entrelaza (S120). El entrelazado se puede realizar diferenciando las direcciones para escritura y lectura de los bits incluidos en el bloque codificado con corrección de errores en la memoria y desde la misma. El número de filas y el número de columnas de la memoria se pueden cambiar según el modo de codificación de corrección de errores. El entrelazado se puede realizar en la unidad de los bloques codificados con corrección de errores.

Los bits entrelazados se mapean a símbolos (S130). Se puede cambiar un método de mapeado de símbolos según los flujos de transporte o en el flujo de transporte. Por ejemplo, como método de mapeado de símbolos se pueden utilizar un método de mapeado de símbolos de mayor orden y un método de mapeado de símbolos de menor orden. Cuando se mapean los símbolos, el flujo de bits entrelazado se puede demultiplexar según el método de mapeado de símbolos o la tasa de código de la codificación de corrección de errores, y los símbolos se pueden mapear utilizando los bits incluidos en los

subflujos demultiplexados. Posteriormente, se puede cambiar la secuencia de los bits en la palabra de celda mapeada a los símbolos.

Los símbolos mapeados se entrelazan (S140). Los símbolos mapeados se pueden entrelazar en la unidad de los bloques codificados con corrección de errores. Los dispositivos de entrelazado en tiempo -132a- y -132b- pueden entrelazar los símbolos en la unidad de los bloques codificados con corrección de errores. Es decir, el flujo de transporte se entrelaza de nuevo en el nivel de símbolo.

Los símbolos entrelazados del flujo de transporte se separan, los símbolos separados se asignan a una trama de la señal que tiene, como mínimo, una banda de frecuencia y que incluye ranuras que se separan temporalmente en las bandas de frecuencia, y un preámbulo que incluye una primera señal piloto y una segunda señal piloto se dispone en una posición de inicio de la trama de la señal (S150). Los símbolos entrelazados del flujo de transporte pueden configurar el PLP con respecto al flujo de transporte para proporcionar el servicio. Los flujos que configuran el PLP se pueden separar y asignar a la trama de la señal. El PLP se puede asignar a la trama de la señal que tiene, como mínimo, una banda de frecuencia. Si se dispone una serie de bandas de frecuencia, se pueden disponer los símbolos que configuran el PLP en las ranuras desplazadas entre las bandas de frecuencia. Los bits incluidos en el flujo de servicio se pueden disponer en la trama de la señal en la unidad de bloques codificados con corrección de errores entrelazados.

La trama de la señal se convierte a un dominio del tiempo según un esquema OFDM (S160).

El prefijo cíclico obtenido mediante el desplazamiento en frecuencia de una primera parte de una parte válida de la primera señal piloto y el sufijo cíclico obtenido mediante el desplazamiento en frecuencia de una segunda parte de la parte válida se insertan en los símbolos OFDM que incluyen la primera señal piloto en el dominio del tiempo (S170). Si el preámbulo no se inserta en el dominio de la frecuencia, el preámbulo que incluye la primera señal piloto y la segunda señal piloto se pueden insertar en el dominio del tiempo. La primera señal piloto del dominio del tiempo puede incluir la parte válida, el prefijo cíclico de la primera parte de la parte válida y el sufijo cíclico de la segunda

parte de la parte válida. La primera parte puede ser una parte más posterior o la parte más inicial de la parte válida. La segunda parte puede ser la parte más inicial o la parte más posterior de la parte válida.

La trama de la señal que incluye la primera señal de la trama se transmite mediante una señal RF (S180).

Dado que la parte válida de la primera señal piloto incluye el prefijo cíclico y el sufijo cíclico desplazados en frecuencia, la trama de la señal se puede identificar claramente como la estructura de la primera señal piloto. El desfase en la sincronización o el desfase en frecuencia se pueden estimar y compensar utilizando la estructura de la primera señal piloto.

La figura 59 es una vista que muestra un ejemplo de un método de recepción de una señal.

Una señal se recibe a partir de una banda de frecuencia específica incluida en una trama de la señal (S210). La trama de la señal puede tener, como mínimo, una banda de frecuencia. La señal se puede recibir desde una banda de frecuencia específica.

A partir de la señal recibida, se identifican una primera señal piloto que incluye un prefijo cíclico obtenido mediante un desplazamiento en frecuencia de una primera parte de una parte válida y un sufijo cíclico obtenido mediante el desplazamiento en frecuencia de una segunda parte de la parte válida, y la trama de la señal en la que los bloques que incluyen los símbolos del flujo de transporte se asignan a una serie de ranuras en el dominio del tiempo se demodulan mediante el esquema OFDM utilizando la primera señal piloto (S220). El proceso de demodulación que utiliza la primera señal piloto se describirá en detalle más adelante.

La trama de la señal identificada se analiza sintácticamente (S230). La trama de la señal puede incluir, como mínimo, una banda de frecuencia. En la trama de la señal, los bloques codificados con corrección de errores que incluyen los símbolos, a los que se mapea el flujo de transporte, se pueden asignar a símbolos OFDM conjuntamente con los bloques codificados con corrección de errores de otro flujo de transporte. Si la trama de la señal incluye una serie de bandas de frecuencia, los bloques codificados con corrección de errores se pueden asignar a los símbolos OFDM que se desplazan temporalmente en la serie de bandas de frecuencia.

Los símbolos, a los que se mapea el flujo de transporte, se desentrelazan de la trama de la señal analizada (S240). El desentrelazado se puede realizar a nivel de símbolo al que se mapea el flujo de transporte. Por ejemplo, los dispositivos de desentrelazado -245a- y -245b- pueden desentrelazar los bloques codificados con corrección de errores que incluyen los símbolos, a los que se mapea el flujo de transporte.

Posteriormente, los símbolos desentrelazados se desmapean a efectos de obtener el flujo de transporte (S250). Cuando los símbolos se desmapean, se puede generar una serie de subflujos obtenidos desmapeando los símbolos, los subflujos generados se pueden multiplexar y se puede generar el flujo de transporte codificado con corrección de errores. El esquema de multiplexado se puede cambiar según el método de mapeado de símbolos y la tasa de codificación de corrección de errores. El método de desmapeado de símbolos se puede cambiar en un flujo de transporte o según los flujos de transporte.

El flujo de transporte se desentrelaza y el flujo de transporte desentrelazado es codificado con corrección de errores (S260).

Según un aparato para la transmisión y recepción de una señal y un método para la transmisión y recepción de una señal de un ejemplo, es posible detectar y recuperar fácilmente una señal transmitida. Además, es posible mejorar el rendimiento transmisión/recepción de la señal del sistema de transmisión/recepción.

La figura 60 es un diagrama de flujo que muestra un ejemplo de identificación de una primera señal piloto y de estimación de un desfase en un proceso de demodulación.

La primera señal piloto incluye el prefijo cíclico obtenido mediante el desplazamiento en frecuencia de la primera parte de la parte válida de la misma y el sufijo cíclico obtenido mediante el desplazamiento en frecuencia de la segunda parte de la parte válida de la misma. El desfase de sincronización y el desfase de frecuencia se pueden calcular utilizando la primera señal piloto como sigue.

La señal recibida se retarda (S311). Por ejemplo, la parte retardada puede ser la parte válida de la primera señal piloto o 1/2 de la parte válida. De manera alternativa, la parte retardada puede ser la longitud del prefijo cíclico o la longitud

del sufijo cíclico.

Se calcula el complejo conjugado de la señal retardada (S313).

Se multiplican el complejo conjugado de la señal recibida y la señal retardada (S315). La señal retardada multiplicada por el complejo conjugado puede ser la señal que tiene la longitud anteriormente descrita. Si la señal retardada es la longitud del prefijo cíclico o del sufijo cíclico, se puede calcular el complejo conjugado de la señal retardada.

La señal multiplicada por el complejo conjugado es desplazada inversamente según el desplazamiento en frecuencia del prefijo cíclico (S317). Es decir, la señal multiplicada por el complejo conjugado se desplaza por la cantidad de desplazamiento inversa de la cantidad de desplazamiento en frecuencia de la señal de prefijo cíclico. Es decir, una señal que se desplaza en frecuencia hacia arriba se desplaza en frecuencia hacia abajo (o la señal que se desplaza en frecuencia hacia abajo se desplaza en frecuencia hacia arriba).

Posteriormente, se calcula un promedio de la señal que se desplaza inversamente según el desplazamiento en frecuencia del prefijo cíclico (S319). La parte cuyo promedio se calcula puede ser la longitud del prefijo cíclico o la longitud de la parte válida A de la primera señal piloto dependiendo de los ejemplos. Dado que se calcula el promedio con respecto a la señal que tiene la misma longitud conjuntamente con la señal recibida, se puede generar el valor promedio de desplazamiento conjuntamente con la señal recibida.

Se retarda la señal cuyo promedio se calcula (S321). La parte retardada puede ser la suma de la longitud del prefijo cíclico y la longitud de 1/2 del periodo válido, la longitud del prefijo cíclico o la longitud de la parte válida A de la primera señal piloto, según el ejemplo.

La señal multiplicada en la etapa S315 se desplaza inversamente según el desplazamiento en frecuencia del sufijo cíclico (S323). La señal multiplicada por el complejo conjugado se desplaza la cantidad de desplazamiento inversa de la cantidad de desplazamiento en frecuencia de la señal de sufijo cíclico. Es decir, una señal que se desplaza en frecuencia hacia arriba se desplaza en frecuencia hacia abajo (o la señal que se desplaza en frecuencia hacia abajo se desplaza en frecuencia hacia arriba).

Se calcula un promedio con respecto a la señal que se desplaza inversamente según el desplazamiento en frecuencia del sufijo cíclico (S325). El promedio de desplazamiento se realiza con respecto a la señal correspondiente a la longitud del sufijo cíclico calculado o a la longitud de la parte válida de la primera señal piloto según los ejemplos.

La señal retardada en la etapa S321 y la señal cuyo promedio se calcula en la etapa S325 se multiplican (S327).

Se busca una ubicación del pico del resultado multiplicado (S329) y se mide la fase de la señal utilizando el pico (S331). El pico buscado se puede utilizar para estimar el desfase de sincronización y la fase medida se puede utilizar para estimar el desfase de frecuencia.

En este diagrama de flujo, se pueden cambiar la longitud del sufijo cíclico, la longitud del prefijo cíclico y la cantidad de desplazamiento inverso en frecuencia.

Según el aparato para la transmisión y recepción de la señal y el método para la transmisión y recepción de la señal de la invención, si el símbolo de datos que configura el PLP y los símbolos que configuran el preámbulo se modulan en el mismo modo FFT, la probabilidad de que el símbolo de datos sea detectado por el preámbulo es baja y se reduce la probabilidad de que el preámbulo se detecte de manera errónea. Si se incluye una interferencia de onda continua (CW) como la señal de TV analógica, se reduce la probabilidad de que el preámbulo se detecte de forma errónea mediante un componente DC de ruido generado en el momento de la correlación.

Según el aparato para la transmisión y recepción de la señal y el método para la transmisión y recepción de la señal de la invención, si el tamaño de la FFT aplicada al símbolo de datos que configura el PLP es mayor que el de la FFT aplicada al preámbulo, se puede mejorar el rendimiento de la detección del preámbulo incluso en un canal de retardo de la emisión que tiene una longitud igual o mayor que la de la parte de símbolo válido A del preámbulo. Dado que tanto el prefijo cíclico (B) y el sufijo cíclico (C) se utilizan en el preámbulo, se puede estimar el desfase en frecuencia del portador fraccionario.

Más adelante, se describirá un ejemplo de un método de transmisión y recepción de señales según el método de entrelazado de bits mencionado anteriormente.

La figura 61 muestra otro ejemplo de un método para la transmisión y recepción de señales según la presente invención.

Los flujos de transporte que incluyen el servicio son codificados con corrección de errores (S411).

Los bits de los flujos de transporte codificados con corrección de errores se entrelazan variando un método de almacenamiento de bits en la memoria y un método de lectura de bits de la memoria según el método de mapeado de símbolos (S413). En este caso, el entrelazado de bits se realiza de tal manera que los bits se almacenan en la memoria en unidades de columna, donde la memoria tiene una serie de filas y columnas según el método de mapeado de símbolos, se genera un desfase entre las ubicaciones de los primeros bits almacenados en cada columna según el método de mapeado de símbolos y, en cada columna, los bits se almacenan desde la ubicación en la que se almacenan los primeros bits a la ubicación donde se almacenan los bits según un direccionamiento circular.

Si se leen los bits almacenados, los bits almacenados en la memoria según el método de mapeado de símbolos se leen en unidades de fila. En este caso, se debe generar un desfase en las ubicaciones de los primeros bits leídos de cada fila según el método de mapeado de símbolos y, en cada columna, los bits se leen de la ubicación donde se leen los primeros bits según el direccionamiento circular.

Los bits entrelazados se mapean a símbolos según el método de mapeado de símbolos anterior (S415).

Los símbolos mapeados se asignan a las tramas de la señal transmitidas, como mínimo, a un canal de RF y, se dispone en las tramas de la señal (S417) un preámbulo, que comprende una primera señal piloto que puede identificar las tramas de la señal entre sí.

Las tramas de la señal se modulan y posteriormente se transmiten (S419).

A continuación se describirá un método para la recepción y procesamiento de la señal anterior.

Una señal de recepción que incluye las tramas de la señal transmitidas, como mínimo, a un canal de RF se recibe desde el primer canal de RF, y las tramas de la señal se identifican a partir de la primera señal piloto del preámbulo de las tramas de la señal (S421).

Las tramas de la señal se demodulan y se analizan sintácticamente las tramas de la señal demoduladas, de manera que se generan los símbolos del primer flujo de transporte entre una serie de ranuras de tiempo (S423).

Los símbolos se desmapean según el método de mapeado de símbolos para generar flujos de bits (S425).

Los flujos de bits generados se desentrelazan variando el método de almacenamiento de bits en la memoria y el método de lectura de bits de la memoria (S427). Se utiliza el entrelazado de bits correspondiente a la etapa S413. Los bits se almacenan en la memoria en unidades de columna, donde la memoria tiene una serie de filas y columnas según el método de mapeado de símbolos. En este caso, los bits se deben almacenar en la memoria de manera que se genera el desfase entre las ubicaciones de los primeros bits almacenados en cada columna según el método de mapeado de símbolos y, en cada columna, se almacenan los bits desde la ubicación en la que se almacenan los primeros bits a la ubicación donde se almacenan los bits según el direccionamiento circular.

Si se leen los bits almacenados, los bits almacenados en la memoria, según el método de mapeado de símbolos, se leen en unidades de fila. En este caso, se debe generar un desfase en las ubicaciones de los primeros bits leídos de cada fila según el método de mapeado de símbolos y, en cada columna, los bits se leen desde la ubicación donde se leen los primeros bits, según el direccionamiento circular.

Los bits desentrelazados se decodifican con corrección de errores (S429).

La figura 62 es una vista que muestra una realización de un aparato para la transmisión de una señal. El aparato para la transmisión de señales mostrado en la figura 62 incluye un procesador de entrada -110-, una unidad de codificación y modulación -120-, un constructor de tramas -130-, un codificador MIMO/MISO -140-, moduladores -150a-, ... y -150r- correspondientes a las múltiples rutas del codificador MIMO/MISO -140- y una serie de procesadores analógicos -160a-, ... y -160r-. Esta realización es similar al ejemplo mostrado en la figura 4 excepto porque se incluyen además un generador de información (L1/L2) -1301- y un codificador de información (L1/L2) -1303- para codificar y entrelazar la información de la capa 1 y la información de la capa 2. A continuación se describirán en detalle los ejemplos del

generador de información -1301- y del codificador de información -1303-.

Tal como se ha descrito anteriormente, la información de la capa 1 puede incluir información sobre una configuración PLP de la trama de la señal y puede estar incluida en una segunda señal piloto. La información de la capa 2 puede describir un servicio transmitido por un PLP incluido en la trama de la señal y puede ser transmitido a la segunda señal piloto o a un PLP común. Por ejemplo, aunque la segunda señal piloto y el PLP común incluidos en la trama de la señal se transmiten a una serie de canales de RF de la trama de la señal, se transmite el mismo valor a la serie de canales de RF. En consecuencia, dado que no se puede obtener una ganancia de diversidad en frecuencia, se pueden procesar las señales de manera que se mejora la capacidad de recuperación de la información según la codificación de corrección de errores o entrelazado.

Si el constructor de tramas -130- configura la trama de la señal, el generador de información -1301- puede generar la información de capa 1 y la información de capa 2 que se incluirán en la trama de la señal. El generador de información -1301- puede generar una ubicación de la trama de la señal, a la que se transmitirá un flujo de transporte para la transmisión de un servicio, y la información de modulación y codificación del flujo de transporte.

El codificador de información -1303- puede codificar la información de la capa 1 y la información de la capa 2 generadas por el generador de información -1301- según la información de modulación y codificación. El constructor de tramas -130- inserta la información de la capa 1 codificada por el codificador de información -1303- en la segunda señal piloto e inserta la información de la capa 2 en la segunda señal piloto o en el PLP común. En consecuencia, la información de la capa 1 y la información de la capa 2 pueden estar protegidas de errores de un canal de transmisión mediante el codificador de información -1303-.

La figura 63 es una vista que muestra un ejemplo del codificador de información -1303-. El codificador de información puede incluir un primer codificador -1311-, un primer dispositivo de entrelazado -1313-, un segundo codificador -1315- y un segundo dispositivo de entrelazado -1317-.

El primer codificador -1311- es un codificador externo,

que realiza la primera codificación de corrección de errores con respecto a los datos introducidos (la información de la capa 1 y la información de la capa 2). Por ejemplo, los datos introducidos se pueden codificar con corrección de errores mediante un esquema de codificación de corrección de errores BCH. La codificación de corrección de errores del primer codificador -1311- se realiza a efectos de suprimir el error "floor" según un esquema de codificación de corrección de errores del segundo codificador.

El primer dispositivo de entrelazado -1313- es un dispositivo de entrelazado externo, que puede entrelazar los datos generados por el primer codificador -1311-. El primer dispositivo de entrelazado -1313- puede reducir el error de trama.

El segundo codificador -1315- es un codificador interno, que realiza la segunda codificación de corrección de errores con respecto a los datos generados por el primer dispositivo de entrelazado -1313-. Por ejemplo, el segundo codificador -1315- puede codificar los datos entrelazados por el primer dispositivo de entrelazado -1313- mediante un esquema de codificación de corrección de errores LDPC.

El segundo codificador -1315- puede realizar el acortamiento y diezmado con respecto a los datos que se van a codificar con corrección de errores, cuando se codifican los datos de entrada. Por ejemplo, dado que la cantidad de información de la capa 1 y de información de la capa 2 es menor que la de los datos del flujo de transporte para transmitir un servicio, se puede utilizar un código con una longitud corta. En consecuencia, el segundo codificador -1315- puede realizar el acortamiento y diezmado de un código madre con una baja tasa de código y generar un código con corrección de error con una longitud corta. Como código madre, se puede utilizar un LDPC o un código de convolución.

El segundo codificador -1315- rellena con ceros (0) una parte pequeña de los bits de información (relleno con ceros), de manera que el segundo codificador -1315- conforma el número de bits de entrada para la codificación LDPC (acortamiento). Después de la codificación LDPC, el segundo codificador -1315- elimina los ceros de relleno y realiza un diezmado en una parte de la paridad generada de los datos codificados para conformar su tasa de código.

El segundo dispositivo de entrelazado -1317- es un dispositivo de entrelazado interno, que realiza el entrelazado de bits con respecto a los datos codificados por el segundo

codificador -1315-. El entrelazado de bits se puede realizar mediante uno de los esquemas mostrados en las figuras 20 a 28.

La figura 64 es una vista que muestra una realización de un aparato para la recepción de señales. Esta realización es similar a la del aparato para la recepción de señales mostrada en la figura 39. En consecuencia, la realización del aparato para la recepción de señales incluye un primer receptor de señales -210a-, un receptor de señales n-ésimo -210n-, un primer demodulador -220a-, un demodulador n-ésimo -220n-, un decodificador MIMO/MISO -230-, un analizador de trama -240-, un demodulador decodificador -250- y un procesador de salida -260-. La realización de este dibujo incluye además un decodificador de información (L1/L2) -2401- y un extractor de información (L1/L2) -2403-.

El analizador de trama -240- puede analizar la trama de la señal. El analizador de trama -240- puede analizar el preámbulo de la trama de la señal que incluye la primera señal piloto y la segunda señal piloto. El analizador de trama -240- puede analizar el analizador común.

El analizador de trama -240- emite la información de la capa 1 y la información de la capa 2 incluidas en la segunda señal piloto y el PLP común al decodificador de información -2401-. El decodificador de información -2401- decodifica la información de la capa 1 y la información de la capa 2. El ejemplo del decodificador de información -2401- se describirá en detalle más adelante. El extractor de información -2403- extrae la información de la capa 1 y la información de la capa 2 decodificadas y emite la información de la capa 1 al analizador de trama -240- y a un controlador del sistema (no mostrado). El analizador de trama -240- puede comprobar la configuración de los PLP incluidos en la trama de la señal utilizando la información de la capa 1 extraída y emite un PLP seleccionado por un usuario según la información de la capa 1.

La figura 65 es una vista que muestra una realización detallada de la información de la capa 1 y de la información de la capa 2 decodificadas. Esta realización puede incluir un primer dispositivo de desentrelazado -2411-, un primer decodificador -2413-, un segundo dispositivo de desentrelazado -2415- y un segundo decodificador -2417-.

El primer dispositivo de desentrelazado -2411- realiza el entrelazado interno con respecto a los datos de entrada incluyendo la información de la capa 1 y la información de la capa

2. El esquema de desentrelazado del primer dispositivo de desentrelazado -2411- se puede realizar mediante los esquemas de entrelazado de bits descritos con respecto a las figuras 20 a 28.

El primer decodificador -2413- realiza la decodificación de corrección de errores con respecto a los datos desentrelazados según un primer esquema de codificación de corrección de errores. En este caso, se pueden decodificar los datos que incluyen la información de la capa 1 y la información de la capa 2 acortada y diezmada.

Por ejemplo, el primer decodificador -2413- realiza el diezmado inverso con respecto a los bits de paridad de los datos emitidos por el primer dispositivo de desentrelazado -2411-. Además, el primer decodificador -2413- añade 0 a los datos del diezmado inverso y realiza la decodificación de corrección de errores. El primer decodificador -2413- elimina los 0 añadidos y emite los datos acortados.

El segundo dispositivo de desentrelazado -2415- realiza el desentrelazado con respecto a los datos decodificados con corrección de errores mediante el primer decodificador -2413-, y el segundo decodificador -2417- realiza la decodificación de corrección de errores con respecto a los datos emitidos por el segundo dispositivo de desentrelazado -2415- según un segundo esquema de codificación de corrección de errores. El segundo decodificador -2417- puede emitir datos sin procesar de la información de la capa 1 y de la información de la capa 2.

Aunque en la realización descrita anteriormente la información de la capa 1 y la información de la capa 2 se codifican/decodifican con corrección de errores utilizando el esquema de acortamiento y el esquema de diezmado, al menos la información de la capa 1 o la información de la capa 2 se pueden codificar/decodificar con corrección de errores. Por ejemplo, el esquema de acortamiento y el esquema de diezmado se pueden utilizar únicamente con respecto a la información de la capa 1. En este caso, se pueden utilizar las realizaciones de las figuras 63 y 65 únicamente con respecto a la información de la capa 1. Las realizaciones de las figuras 6 y 49 se pueden utilizar únicamente con respecto a la información de la capa 1, y viceversa.

La figura 66 es un diagrama de flujo que muestra un método para la transmisión y recepción de una señal. Más adelante se describirá la realización del procesamiento de la información de la

capa 1. No obstante, la información de la capa 2 se puede transmitir en un estado de disposición en el PLP común similar a esta realización. Más adelante se describirán en detalle una realización de decodificación y codificación de la información de la capa 1.

Se genera la información de la capa 1 que se insertará en una trama de la señal (S501). La información de la capa 1 puede incluir información sobre la configuración del PLP de la trama de la señal e información para identificar la trama de la señal. La información sobre la configuración del PLP puede incluir información sobre PLP incluidos en una supertrama incluida en una serie de tramas de las señales e información sobre las tramas de las señales de la supertrama. El PLP puede ser una unidad en la que los flujos de transporte se codifican y modulan de manera individual a efectos de transmitir los flujos de transporte. El PLP puede ser asignado a, como mínimo, un canal de RF de la trama de la señal o a una serie de tramas de la señal.

La información de la capa 1 se codifica utilizando un esquema de codificación de corrección de errores que incluye el esquema de acortamiento y el esquema de diezmado (S503). Dado que el tamaño de la información de la capa 1 que se insertará en la trama de la señal es pequeño, se puede codificar la información de la capa 1 utilizando un esquema de codificación de corrección de errores según un modo corto de un esquema de codificación de corrección de errores tal como un esquema de codificación LDPC.

Se entrelazan los bits de la información de la capa 1 codificada con corrección de errores (S505).

En cuanto a la codificación de corrección de errores, se puede realizar el primer proceso de codificación de corrección de errores o el segundo proceso de codificación de corrección de errores. Posteriormente, se realiza el primer entrelazado tras la realización de la primera codificación de corrección de errores y el segundo entrelazado se realiza tras la segunda codificación de corrección de errores. En cuanto a la segunda codificación de corrección de errores, se puede utilizar un esquema de codificación de corrección de errores LDPC.

Por ejemplo, se realiza la segunda etapa de codificación de corrección de errores añadiendo 0 a los datos de entrada a efectos de verificar un número de los datos de entrada (acortamiento). Tras la segunda codificación de corrección de

errores, se diezma una parte de los bits de paridad generados y se ajusta la tasa de código del segundo esquema de codificación de corrección de errores (diezmado).

Los bits entrelazados de la información de la capa 1 se disponen en un preámbulo de la trama de la señal y los PLP se disponen en la trama de la señal (S507). La trama de la señal puede incluir los PLP que se transmitirán a través de, como mínimo, un canal de RF.

La trama de la señal se modula y transmite, como mínimo, a través de un canal de RF (S509).

Si se recibe la señal, la trama de la señal transmitida en una banda de RF que incluye, como mínimo, un canal de RF se recibe desde un primer canal de RF (S511).

Se demodula la trama de la señal recibida (S513).

Se analiza sintácticamente el preámbulo de la trama de la señal que incluye la información de la capa 1, y se emite la información de la capa 1 (S515).

Se desentrelazan los bits de la información de la capa 1 (S517).

Los bits desentrelazados se decodifican utilizando un esquema de decodificación de corrección de errores que incluye el esquema de acortamiento y el esquema de diezmado (S519). En esta etapa, por ejemplo, se realiza el diezmado inverso en los bits desentrelazados y se añaden 0 según el esquema de codificación de corrección de errores. Los datos a los que se añade 0 se decodifican con corrección de errores y se elimina el 0 añadido.

La trama de la señal es analizada sintácticamente utilizando la información de la capa 1 decodificada con corrección de errores y los PLP son obtenidos de la trama de la señal (S521).

Mediante este proceso, dado que la codificación de corrección de errores se realiza con respecto al preámbulo de la trama de la señal mediante la que no se puede obtener una ganancia de diversidad, es posible corregir un error de la información incluida en el preámbulo. En consecuencia, es posible mejorar el rendimiento de recepción de la información incluida en el preámbulo preciso.

Más adelante se describirá una realización de utilización eficiente de una trama de la señal.

La figura 67 es una vista que muestra una estructura de un preámbulo de una trama de la señal. El preámbulo de la trama de

la señal incluye una primera señal piloto P1 y una segunda señal piloto P2. La trama de la señal puede incluir los símbolos de datos que incluyen, como mínimo, un PLP. La primera señal piloto puede incluir información para identificar la trama de la señal. La estructura de la primera señal piloto se ha descrito anteriormente.

La segunda señal piloto puede incluir la información de la capa 1. La información de la capa 1 puede incluir una señal previa de transmisión de la señal de la capa 1 (L1) y una señal posterior de transmisión de la señal de la capa 1 (L1). La señal previa de transmisión de la señal L1 puede incluir la información para recibir y decodificar la señal posterior de transmisión de la señal L1 (por ejemplo, información sobre el método de modulación y el tamaño de la señal posterior de transmisión de la señal L1).

La señal posterior de transmisión de la señal L1 puede incluir información sobre la programación PLP. Por ejemplo, la señal posterior a la transmisión de la señal L1 incluye información que indica una ubicación donde se dispone cualquier PLP en la trama de la señal. La información sobre la señal posterior a la transmisión de la señal L1 se describirá en detalle más adelante.

En una realización de la invención, la segunda señal piloto incluye una región de datos establecida por la información de la capa 1 y una región de datos restantes, que aquí se denomina una tercera región de datos (otros datos), en una región de información de la capa 1. La tercera región de datos puede incluir datos de relleno a efectos de corresponder el tamaño variable de la información de la capa 1 establecida en un tamaño fijo o puede incluir un PLP para la transmisión de datos eficiente. Los contenidos relacionados con la misma se describirán en detalle más adelante.

La figura 68 es una vista que muestra una estructura de la segunda señal piloto P2. La segunda señal piloto incluye una señal previa a la transmisión de la señal L1, una señal posterior a la transmisión de la señal L1 y una tercera región de datos.

La señal posterior a la transmisión de la señal L1 puede incluir una parte estática que es una variable de una trama general, una parte configurable que es una variable de una supertrama y una parte dinámica que es una variable de una trama de la señal.

La parte dinámica puede incluir la siguiente información.

Un campo `frame_id` indica un identificador de una trama de la señal.

Un campo `notif_size` indica el tamaño de un mensaje de NOTIFICACIÓN si la trama de la señal incluye el mensaje de NOTIFICACIÓN que indica una emergencia y un cambio de servicio.

Un campo `NUM_PLP` indica el número de PLP incluidos en la trama de la señal.

Un campo `PLP_LOOP` indica un bucle que incluye la información detallada sobre los PLP según el número de PLP, por ejemplo, la información de la ubicación de los PLP. La información que se puede incluir en el campo `PLP_LOOP` se describirá a continuación en detalle.

Un campo `CRC_32` indica un código de comprobación de redundancia cíclica para recibir la información de la capa 1 y realizar la decodificación de corrección de errores.

La tercera región de datos de la región de información de la capa 1 se puede rellenar con datos. No obstante, dado que la tercera región de datos de la información de la capa 1 es una región restante, si se añaden los datos de relleno a la región restante, se puede disminuir la tasa de transmisión de datos. De manera alternativa, la tercera región de datos se puede sobrecargar en la transmisión de datos.

En consecuencia, a continuación se describirá una realización de los PLP de transmisión en la tercera región de datos. Si los PLP se incluyen en la tercera región de datos, se describirá una realización de la transmisión de señales de los PLP.

Por ejemplo, la información de la capa 2 puede incluir información que describe un servicio entregado por un PLP incluido en la trama de la señal (por ejemplo, la información de la descripción del servicio tal como información PSI/SI). La información de la capa 2 puede ser incluida en todas las tramas de la señal como un PLP común. Este PLP se puede denominar un PLP común (PLP0).

La tercera región de datos de la información de la capa 1 puede transmitir el PLP común. De manera alternativa, los flujos de transporte para la transmisión de servicios se codifican individualmente con corrección de errores y los PLP de datos mapeados a símbolos se pueden incluir en la tercera región de datos de la información de la capa 1.

La tercera región de datos de la información de la capa

1 puede incluir un PLP común o un PLP de datos. Si no se puede incluir todo el PLP común o el PLP de datos en la tercera región de datos, los datos consecutivos al PLP común o el PLP de datos se ubican en una carga útil de la trama de la señal.

Tal como se ha descrito anteriormente, el PLP_LOOP puede incluir la información de la ubicación de los PLP en cada trama de la señal si los PLP se asignan, como mínimo, a una trama de la señal. En este momento, el orden de los PLP identificados en el bucle puede ser diferente del orden de los PLP dispuestos en la trama de la señal.

El PLP_LOOP incluye identificadores PLP PLP_ID incluidos en la trama de la señal que se identifica actualmente. Además, el PLP_LOOP puede incluir la información de la dirección de inicio del PLP PLP_START que indica las ubicaciones de inicio de los PLP de la trama de la señal con respecto a los identificadores de los PLP.

Por ejemplo, la dirección de inicio del PLP puede ser representada por un número de celda (portador) incluido en un símbolo OFDM. Si se señala la dirección de los datos PLP o del PLP común incluido en la tercera región de datos, se puede señalar una ubicación de inicio del PLP común o del PLP de datos de los números de celda incluidos en un último símbolo OFDM de la tercera región de datos como la dirección de inicio del PLP.

En consecuencia, si se transmite la tercera región de datos que se rellena con datos de relleno, una primera celda de una carga útil siempre se convierte en la dirección de inicio del PLP. No obstante, si el PLP común o el PLP de datos se ubica en la tercera región de datos de la información de la capa 1, se puede fijar una primera celda de un último símbolo OFDM de la segunda señal piloto como una dirección 0. En consecuencia, si el PLP común o el PLP de datos se incluyen en la tercera región de datos de la información de la capa 1, la ubicación del PLP común o del PLP de datos se puede señalar como la dirección de inicio del PLP de la parte dinámica de la transmisión de señal posterior L1.

Tal como se ha descrito anteriormente, dado que la señal previa de transmisión de la señal L1 incluye información sobre el tamaño de la señal posterior de la transmisión de la señal L1, el receptor puede conocer una ubicación final de la señal posterior de la transmisión de la señal L1. El receptor puede conocer la ubicación de inicio del PLP común o del PLP de datos consecutivo a la información de la capa 1 establecida utilizando la dirección de

inicio PLP PLP_START de la parte dinámica de la información de la capa 1. En consecuencia, es posible transmitir datos de manera eficiente sin los datos de relleno en la segunda señal piloto.

El aparato para la transmisión y recepción de la segunda señal piloto se describirá con referencia a los dibujos descritos anteriormente.

Haciendo referencia a la figura 62, el generador de información -1301- puede fijar el número de la celda que inicia el PLP de datos o el PLP común de los números de celda del símbolo OFDM de la tercera región de datos en la dirección de inicio de PLP de la parte dinámica aplicada a la trama de la señal de la segunda señal piloto.

Si el PLP ubicado en la tercera región de datos de la información de la capa 1 establecida es el PLP de datos, el analizador sintáctico de la trama -130- dispone, como mínimo, un PLP generado por un modulador de codificación -120- que se va a ubicar en la tercera región de datos de la información de la capa 1.

De manera alternativa, si el PLP ubicado en la tercera región de datos de la información de la capa 1 es el PLP común, el analizador sintáctico de la trama -130- dispone el PLP común generado por el codificador de información -1303- en la tercera región de datos de la información de la capa 1 en la trama de la señal.

Los moduladores -150a- y -150r- incluyen el PLP en la tercera región de datos de la segunda señal piloto y modulan la trama de la señal que incluye la dirección de inicio del PLP en la parte dinámica de la información de la capa 1.

Los procesadores analógicos -160a- y -160r- transmiten la trama modulada a través del canal de RF.

Los otros bloques incluidos en el aparato para la transmisión se han descrito anteriormente con referencia a las figuras 4 y 62.

Haciendo referencia a la figura 64, el analizador sintáctico de la trama -240- analiza sintácticamente la segunda señal piloto y emite la señal analizada al decodificador de información -2401-. El decodificador de información -2401- decodifica la información de la capa 1 de la segunda señal piloto y obtiene la dirección de inicio del PLP de datos o del PLP común incluido en la tercera región de datos de la segunda señal piloto

de la parte dinámica de la información de la capa 1.

Si el extractor de la información -2403- extrae la dirección de inicio, el analizador sintáctico de la trama -240- analiza sintácticamente el PLP de datos o el PLP común incluidos en la tercera región de datos de la información de la capa 1 de la trama de la señal. El demodulador de decodificación -250- decodifica el PLP de datos o el común decodifica y emite el PLP decodificado como información de descripción del servicio tal como un PSI/SI o flujo de transporte.

La figura 69 es un diagrama de flujo que muestra una realización de un método para la transmisión y recepción de una señal.

Se genera una segunda señal piloto que incluye una tercera región de datos, que es una región restante de la región de la información de la capa 1, en la que se asigna la información de la capa 1 (S531). La parte dinámica de la información de la capa 1 de la segunda señal piloto puede incluir una dirección de inicio PLP de un PLP que se va a incluir en la segunda señal piloto. De manera alternativa, se puede fijar un tamaño de información de la señal posterior de la transmisión de la señal de la capa 1 a información de la señal previa de la transmisión de la señal de la capa 1 en la segunda señal piloto, y cuando se recibe la señal, un receptor puede buscar una dirección de inicio de PLP en la tercera región de datos que utiliza el tamaño de la información de señal posterior de la transmisión de la señal de la capa 1.

La segunda señal piloto generada se dispone en un preámbulo de una trama de la señal y se dispone un PLP en la tercera región de datos y una región de símbolo de datos de la trama de la señal (S533).

La trama de la señal se modula y transmite a través de, como mínimo, un canal de RF (S535).

En un caso en el que un receptor recibe la señal de RF, se recibe una señal desde un canal de RF específico (S541).

Se demodula la señal recibida (S543).

Se analiza sintácticamente una trama de la señal de la señal recibida (S545). La información de la capa 1 incluye información de la señal previa de la transmisión de la señal e información de la señal posterior de la transmisión de la señal, y la información de la señal previa a la transmisión de la señal incluye un tamaño de la información de la señal posterior y la

información de la señal posterior a la transmisión de la señal incluye una dirección de inicio del PLP. La dirección de inicio del PLP es el número de una celda incluida en un último símbolo OFDM para la información de la capa 1.

Se adquiere el PLP ubicado en la tercera región de datos de la trama de la señal (S547). El PLP se obtiene utilizando, como mínimo, un tamaño de la información de la señal posterior a la transmisión de la señal y una dirección de inicio del PLP.

Un flujo de transporte se obtiene del PLP (S549).

En consecuencia, dado que el PLP se transmite a través del preámbulo de la trama de la señal, es posible utilizar de manera eficiente la trama de la señal y señalar la ubicación del PLP incluido en el preámbulo a través de la información de la capa 1 del preámbulo.

Será evidente para los expertos en la técnica que se pueden realizar varias modificaciones y variaciones en la presente invención sin salir del ámbito de la invención. De esta manera, se pretende que la presente invención abarque las modificaciones y variaciones de la misma siempre que se encuentren dentro del ámbito de las reivindicaciones adjuntas.

REIVINDICACIONES

1. Método para la transmisión de una trama de la señal de emisión de televisión digital, DTV, que comprende:

la generación (S531) de la información de la capa 1, siendo la información de la capa 1 un parámetro físico para la transmisión de señales de un canal de capas físico, PLP, entregando un flujo de servicio;

la construcción (S533) de la trama de la señal que comprende una carga útil y un preámbulo, comprendiendo el preámbulo una primera señal piloto que precede a una segunda señal piloto, incluyendo la segunda señal piloto la información de la capa 1 en la que se incluye el PLP en la carga útil y en la segunda señal piloto; y

la transmisión de la trama de la señal a través de, como mínimo, una canal de radiofrecuencia, RF.

2. Método, según la reivindicación 1, en el que la información de la capa 1 incluye la información de la transmisión de señal previa y la información de la transmisión de la señal posterior, y la información de la transmisión de la señal previa incluye un tamaño de la información de la transmisión de la señal posterior y la información de la transmisión de la señal posterior incluye una dirección de inicio del PLP.

3. Método, según la reivindicación 2, en el que la dirección de inicio del PLP se obtiene utilizando un tamaño de la información de la transmisión de la señal posterior de la información de la capa 1.

4. Método, según la reivindicación 1, en el que la información de la capa 1 se incluye en la segunda señal piloto y el PLP se incluye en la carga útil y una parte restante de la segunda señal piloto tras la información de la capa 1.

5. Método para la recepción de una trama de la señal de emisión de televisión digital, DTV, comprendiendo el método:

la recepción (S541, S543) de una señal transmitida desde un canal de radiofrecuencia, RF;

la decodificación de la trama de la señal de la señal recibida, comprendiendo la trama de la señal una carga útil y un preámbulo, comprendiendo el preámbulo una primera señal piloto que precede una segunda señal piloto, incluyendo la segunda señal piloto la información de la capa 1 en la que se incluye un canal

de capas físico, PLP, en la carga útil y en la segunda señal piloto; y

la obtención (S547) del PLP a partir de la trama de la señal utilizando la información de la capa 1.

6. Método, según la reivindicación 5, en el que la información de la capa 1 incluye la información de la transmisión de señales previa y la información de la transmisión de señales posterior, y la información de la transmisión de señales previa incluye un tamaño de la información de la transmisión de señales posterior y la información de la transmisión de señales posterior incluye una dirección de inicio del PLP.

7. Método, según la reivindicación 6, en el que el PLP se obtiene utilizando, como mínimo, un tamaño de la información de la transmisión de señales posterior y una dirección de inicio del PLP.

8. Método, según la reivindicación 7, en el que la dirección de inicio del PLP es el número de una celda incluida en un último símbolo OFDM para la información de la capa 1.

9. Método, según la reivindicación 5, en el que la información de la capa 1 se incluye en la segunda señal piloto y el PLP se incluye en la carga útil y en una parte restante de la segunda señal piloto tras la información de la capa 1.

10. Aparato para la transmisión de una trama de la señal de emisión de televisión digital, DTV, comprendiendo el aparato:

un generador de información (1301) configurado para generar la información de la capa 1, siendo la capa 1 un parámetro físico para la transmisión de señales a un canal de capas físicas, PLP, entregando un flujo de servicio;

un constructor de trama (130) configurado para construir la trama de la señal comprendiendo una carga útil y un preámbulo, comprendiendo el preámbulo una primera señal piloto que precede una segunda señal piloto, incluyendo la segunda señal piloto la información de la capa 1 en el que se incluye el PLP en la carga útil y en la segunda señal piloto; y

una unidad de transmisión (160a, 160r) configurada para transmitir la trama de la señal modulada a través de, como mínimo, un canal de radio frecuencia, RF.

11. Aparato, según la reivindicación 10, en el que la

información de la capa 1 incluye la información de la transmisión de señales previa y la información de la transmisión de señales posterior, y la información de la transmisión de señales previa incluye un tamaño de la información de la transmisión de señales posterior y la información de la transmisión de señales posterior incluye una dirección de inicio del PLP.

12. Aparato para la recepción de una trama de la señal de emisión de televisión digital, DTV, comprendiendo el método:

un receptor (210a, 210n) configurado para recibir una señal transmitida desde un canal de radiofrecuencia, RF, y la detección de una primera señal piloto de la señal recibida;

un analizador de trama (240) configurado para decodificar la trama de la señal de la señal recibida, comprendiendo la trama de la señal una carga útil y un preámbulo, comprendiendo el preámbulo una primera señal piloto que precede una segunda señal piloto, incluyendo la segunda señal piloto la información de la capa 1 en la que se incluye un canal de capas físico, PLP, en la carga útil y en la segunda señal piloto, y para obtener el PLP de la trama de la señal utilizando la información de la capa 1.

13. Aparato, según la reivindicación 12, en el que la información de la capa 1 incluye la información de la transmisión de señal previa y la información de la transmisión de la señal posterior, y la información de la transmisión de señal previa incluye un tamaño de la información de la transmisión de la señal posterior y la información de la transmisión de la señal posterior incluye una dirección de inicio del PLP.

14. Aparato, según la reivindicación 13, en el que el analizador de trama se configura además para obtener el PLP utilizando, como mínimo, un tamaño de la información de la transmisión de señal posterior y una dirección de inicio del PLP.

15. Aparato, según la reivindicación 12, en el que la información de la capa 1 se incluye en la segunda señal piloto y el PLP se incluye en la carga útil y una parte restante en la segunda señal piloto tras la información de la capa 1.

FIG. 1

	RF 1	RF 2	RF 3	RF 4
	17	12	7	Servicio 2
	16	11	6	Servicio 2
	15	10	5	Servicio 1
	14	9	4	Servicio 1
	13	8	Servicio 3	Servicio 1
	12	7	Servicio 2	17
	11	6	Servicio 2	16
	10	5	Servicio 1	15
	9	4	Servicio 1	14
	8	Servicio 3	Servicio 1	13
	7	Servicio 2	17	12
	6	Servicio 2	16	11
	5	Servicio 1	15	10
	4	Servicio 1	14	9
	Servicio 3	Servicio 1	13	8
	Servicio 2	17	12	7
	Servicio 2	16	11	6
	Servicio 1	15	10	5
	Servicio 1	14	9	4
	Servicio 1	13	8	Servicio 3
	P2	P2	P2	P2
	P1	P1	P1	P1

Tiempo
(no a escala)

FIG. 2

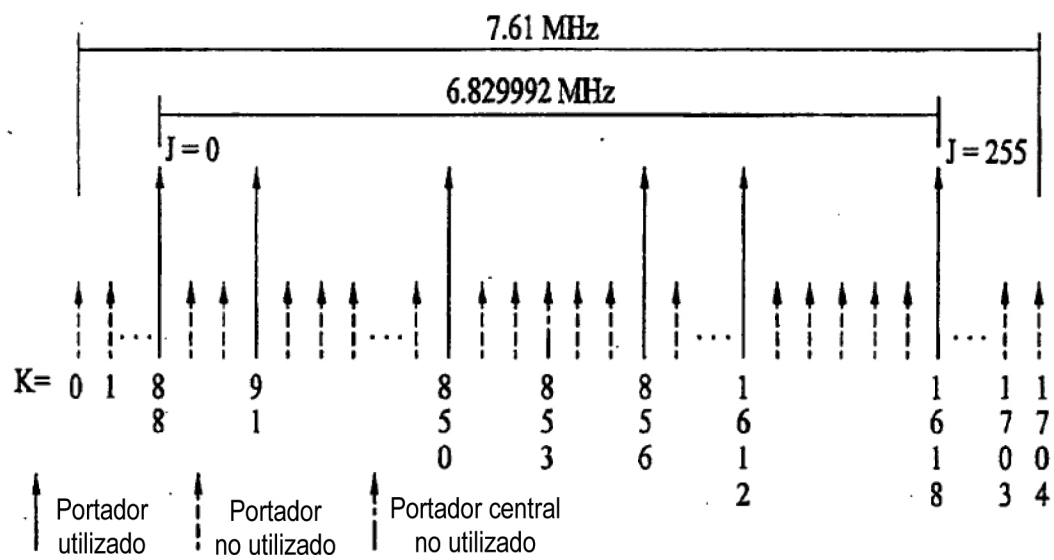


FIG. 3

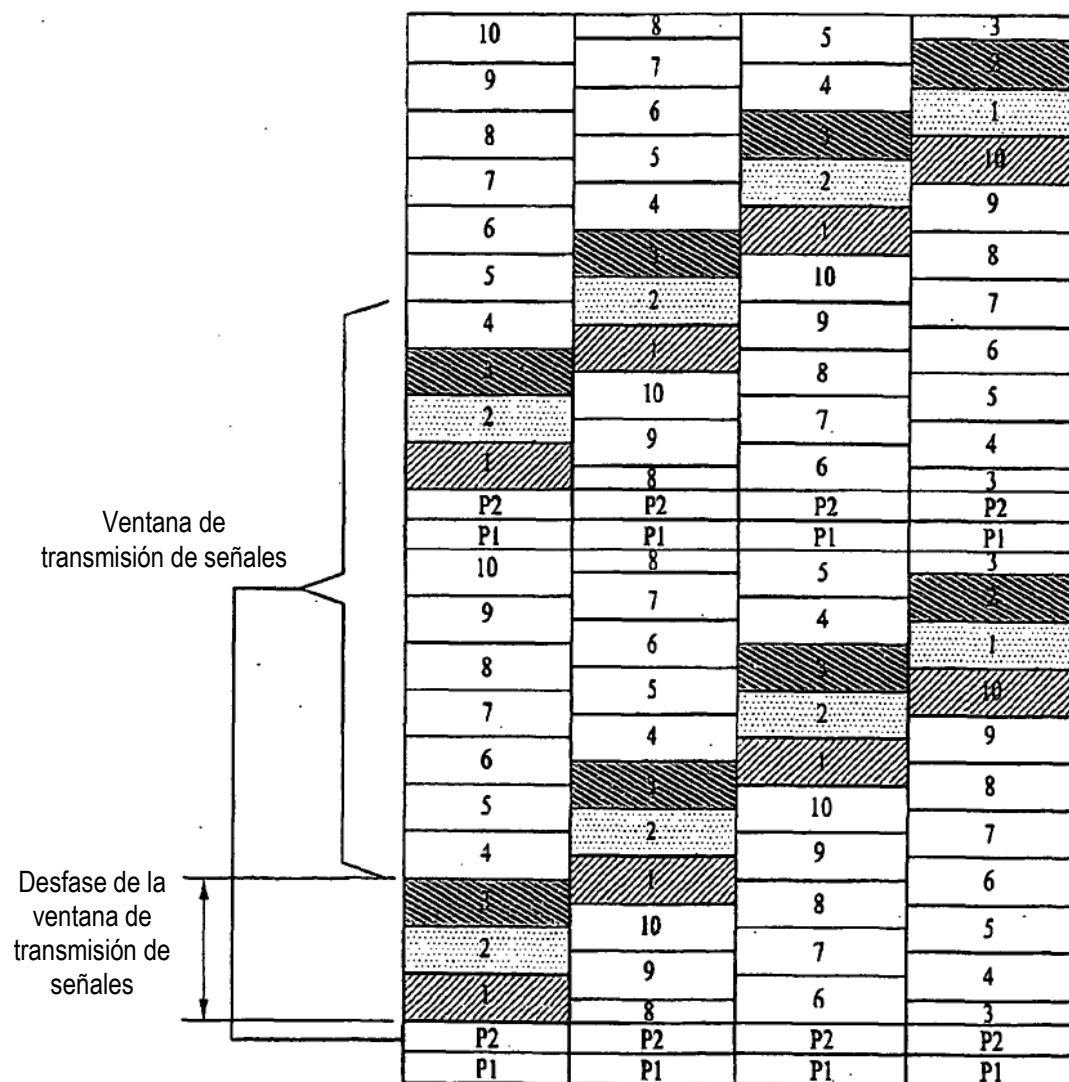


FIG. 4

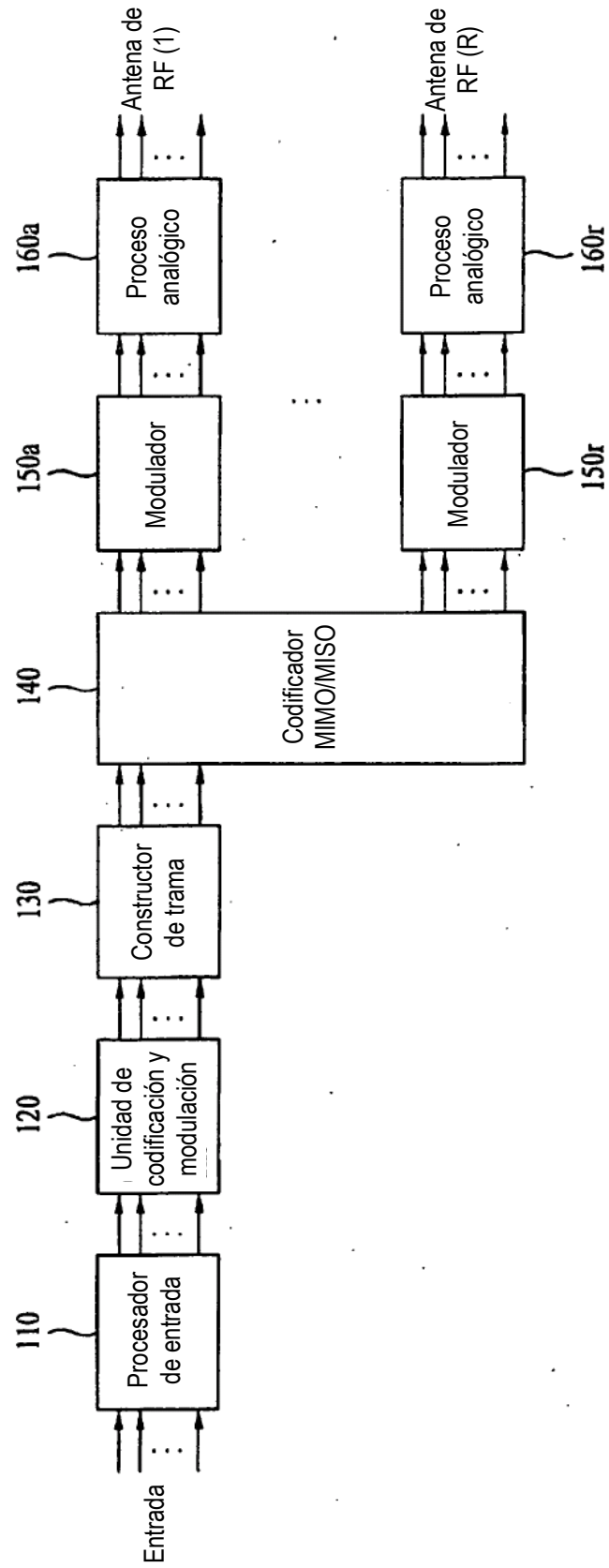


FIG. 5

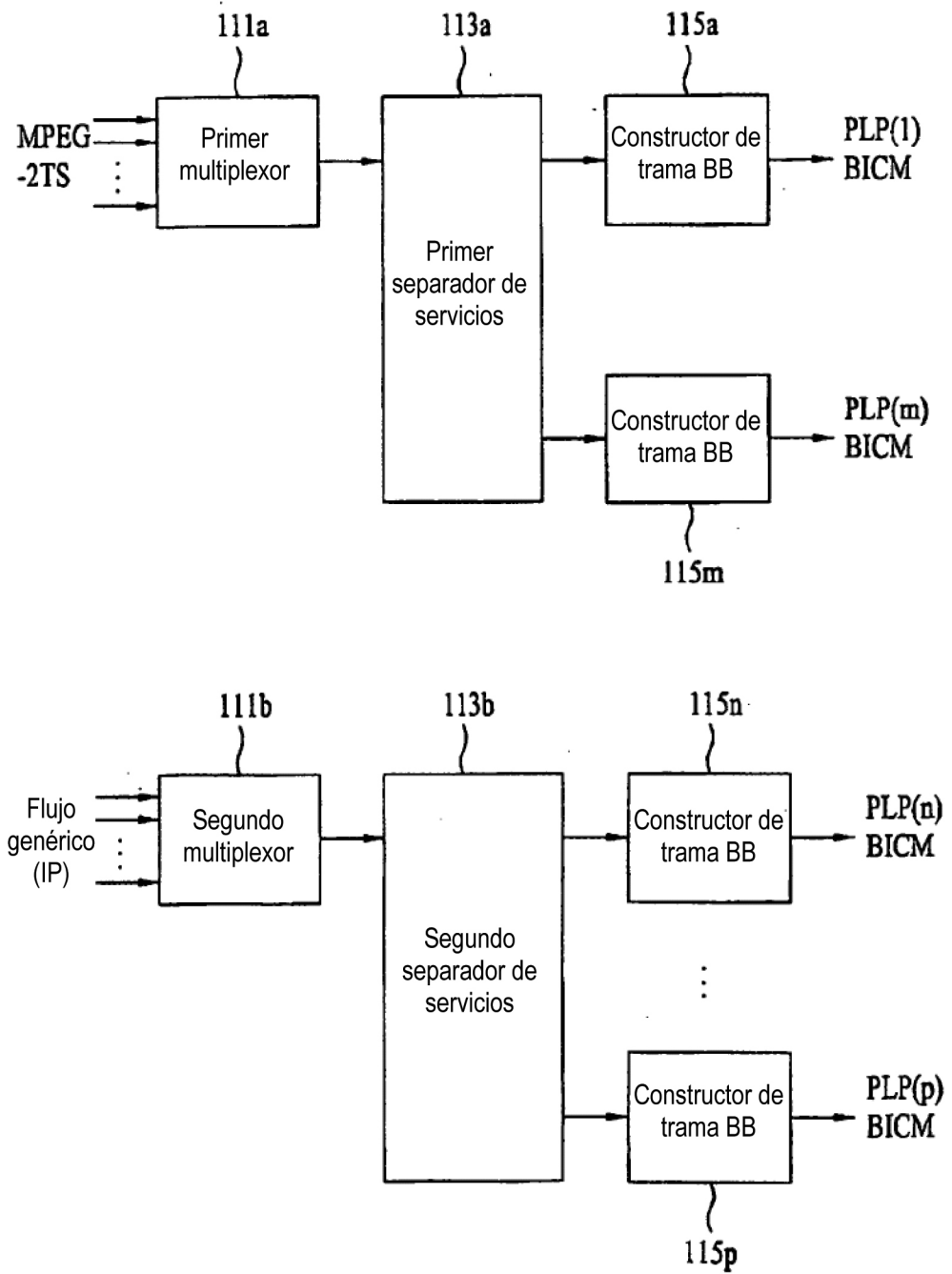


FIG. 6

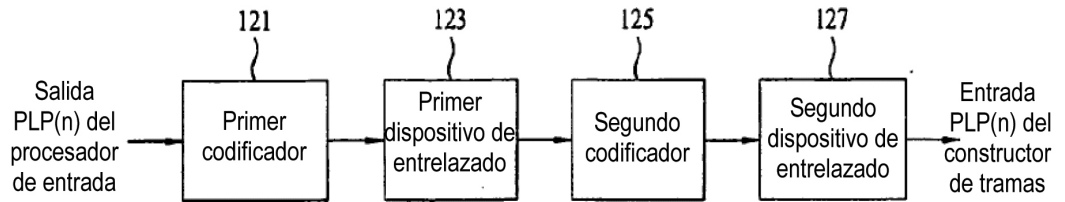


FIG. 7

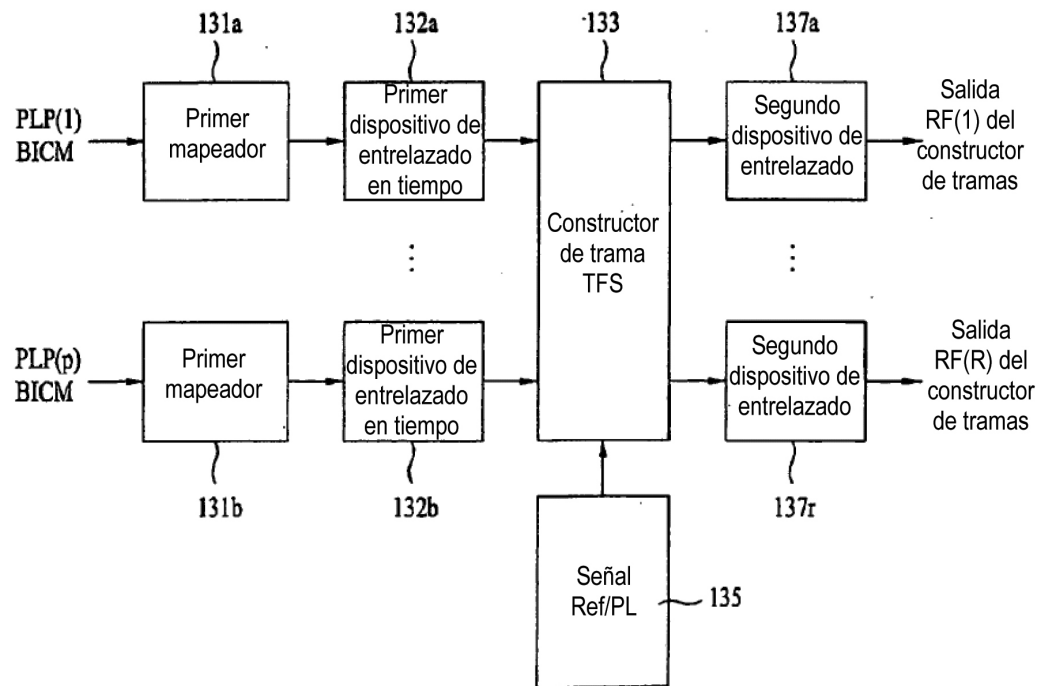


FIG. 8

bit/celda (exp.)	tasa HOQ	bits HOQ	bits LOQ	Símbolos HOQ	Símbolos LOQ	Total de símbolos	bit/celda
256-QAM	1	64800	0	8100	0	8100	8
Hyb 1 28-QAM	3/5	38880	25920	4860	4320	9180	7.0588
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1	64800	0	16200	0	16200	4
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2

FIG. 9

bit/celda (exp.)	tasa HOQ	bits LOQ	bits LOQ	Símbolos HOQ	Símbolos LOQ	Total de símbolos	bit/celda
256-QAM	1	16200	0	2025	0	2025	8
Hyb 128-QAM	3/5	9720	6480	1215	1080	2295	7.0588
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1	16200	0	4050	0	4050	4
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2

FIG. 10

bit/celda (exp.)	tasa HOQ	bits HOQ	bits LOQ	Símbolos HOQ	Símbolos LOQ	Total de símbolos	bit/celda
256-QAM	8/9	57600	7200	7200	1200	8400	7.714285714
Hyb 128-QAM	4/9	28800	36000	3600	6000	9600	6.75
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	5/9	36000	28800	6000	7200	13200	4.909090909
16-QAM	1/9	7200	57600	1200	14400	15600	4.153846154
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
GCD						1200	

FIG. 11

bit/celda (exp.)	tasa HOQ	bits HOQ	bits LOQ	símbolos HOQ	símbolos LOQ	Total de símbolos	bit/celda
256-QAM	4/5	51840	12960	6480	2160	8640	7.5
Hyb 128-QAM	8/15	34560	30240	4320	5040	9360	6.923076923
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1/15	4320	60480	720	15120	15840	4.090909091
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
GCD						720	

FIG. 12

bit/celda (exp.)	tasa HOQ	bits HOQ	bits LOQ	Símbolos HOQ	Símbolos LOQ	Total de símbolos	bit/celda
256-QAM	44/45	63360	1440	7920	240	8160	7.941176471
Hyb 128-QAM	28/45	40320	24480	5040	4080	9120	7.105263158
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1/15	4320	60480	720	15120	15840	4.090909091
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
GCD						240	

FIG. 13

bit/celda (exp.)	tasa HOQ	bits HOQ	Símbolos LOQ	Símbolos HOQ	Símbolos LOQ	Total de símbolos	bit/celda
256-QAM	8/9	14400	1800	1800	300	2100	7.714285714
Hyb 128-QAM	4/9	7200	9000	900	1500	2400	6.75
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	5/9	9000	7200	1500	1800	3300	4.909090909
16-QAM	1/9	1800	14400	300	3600	3900	4.153846154
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
GCD						300	

FIG. 14

bit/celda (exp.)	tasa HOQ	bits HOQ	bits LOQ	Simbolos HOQ	Simbolos LOQ	Total de símbolos	bit/celda
256-QAM	4/5	12960	3240	1620	540	2160	7.5
Hyb 128-QAM	8/15	8640	7560	1080	1260	2340	6.923076923
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1/15	1080	15120	180	3780	3960	4.090909091
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
					GCD	180	

FIG. 15

bit/celda (exp.)	tasa HOQ	bits HOQ	bits LOQ	Símbolos HOQ	Símbolos LOQ	Total de símbolos	bit/celda
256-QAM	44/45	15840	360	1980	60	2040	7.941176471
Hyb 128-QAM	28/45	10080	6120	1260	1020	2280	7.105263158
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1/15	1080	15120	180	3780	3960	4.090909091
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
GCD						60	

FIG. 16

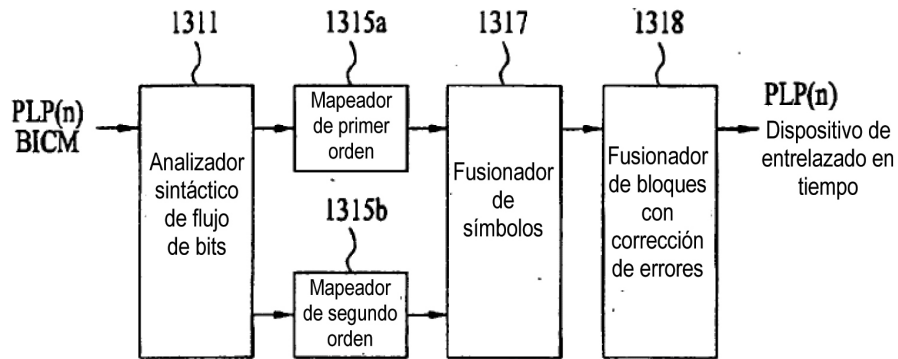


FIG. 17

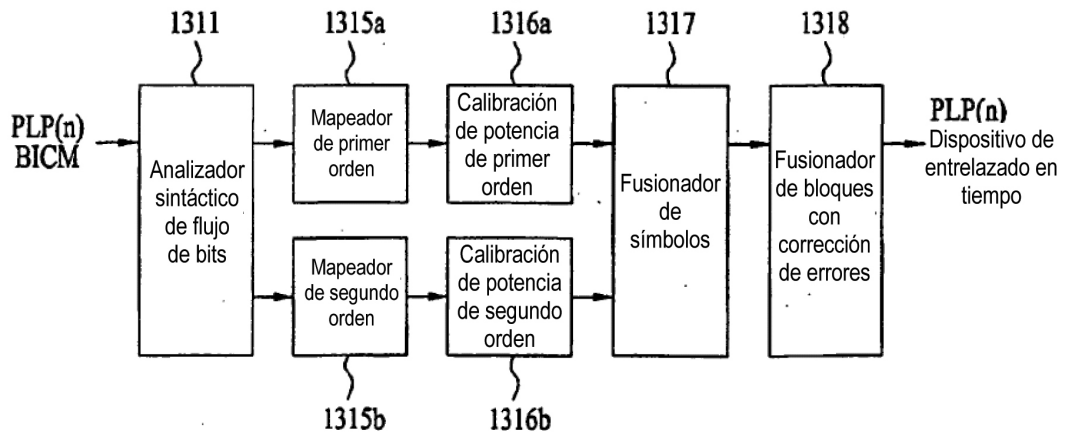


FIG. 18

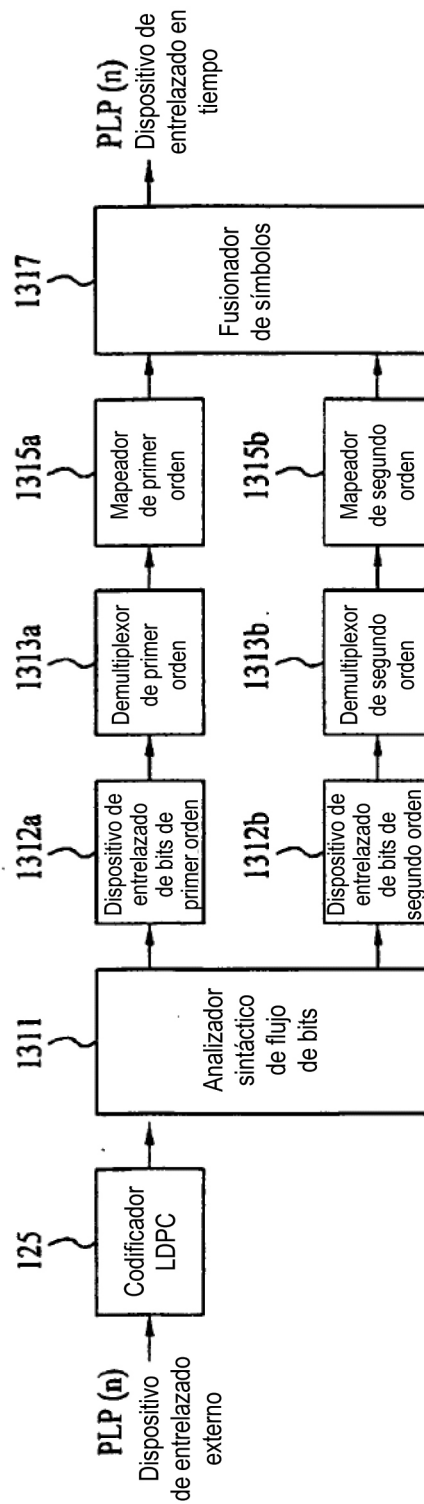


FIG. 19

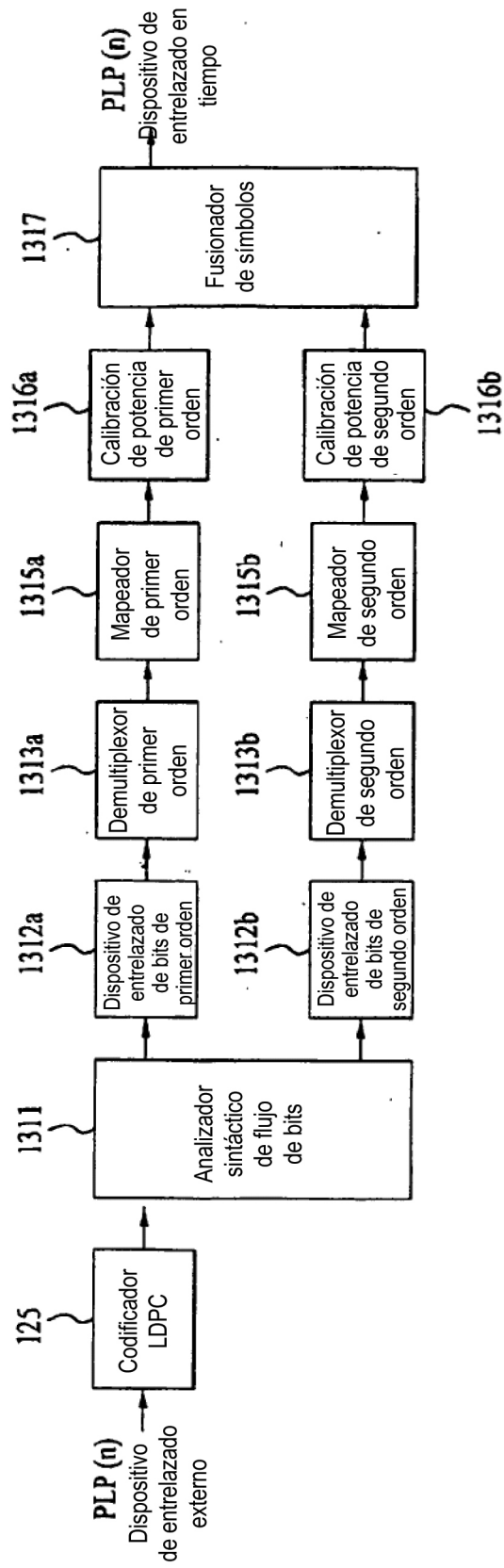
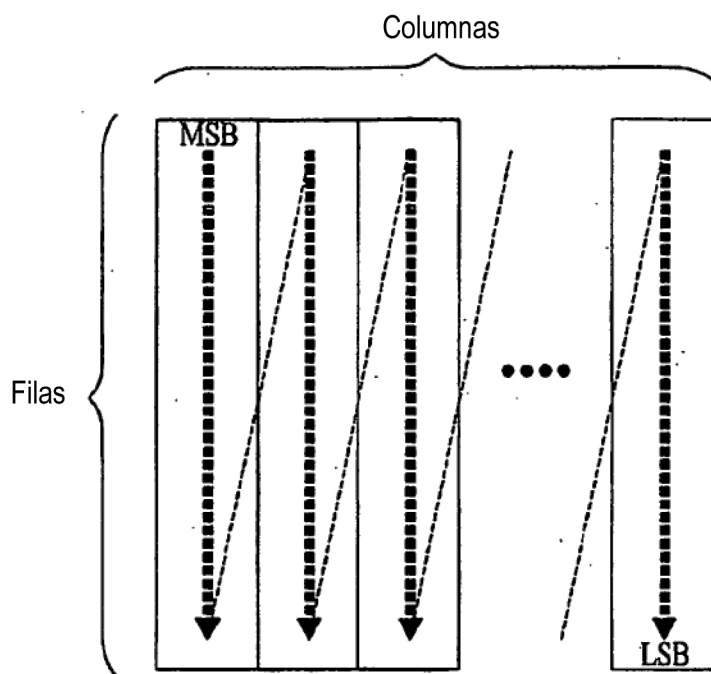
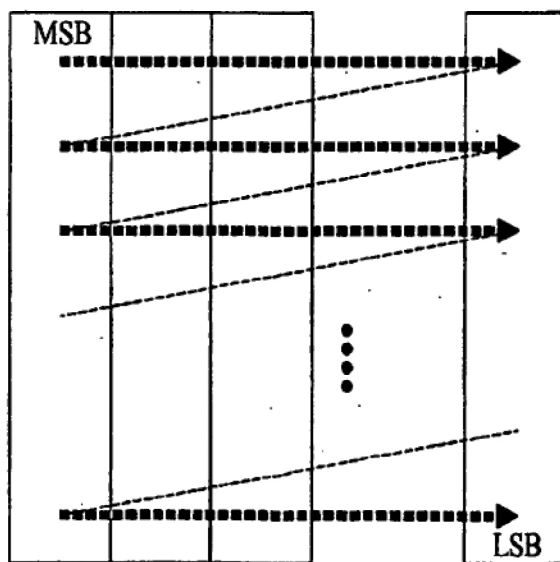


FIG. 20

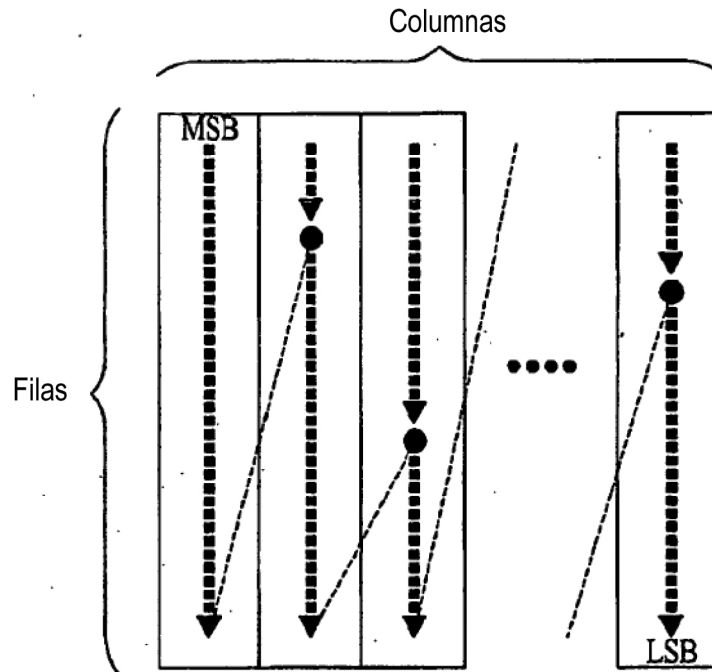


ESCRIBIR

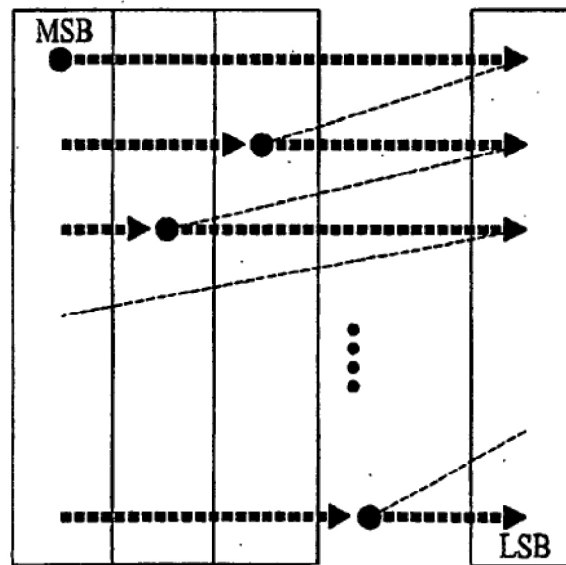


LEER

FIG. 21



ESCRIBIR



LEER

FIG. 22

QAM	nCol	Col 1	Col 2	Col 3	Col 4	Col 5	Col 6	Col 7	Col 8
QPSK	2	0	2	-	-	-	-	-	-
16QAM	4	0	2	4	7	-	-	-	-
64QAM	6	0	2	5	9	10	13	-	-
256QAM	8	0	0	2	4	4	5	7	7

FIG. 23

Tipo QAM	Filas HOQ	Columnas HOQ	Filas LOQ	Columnas LOQ
256-QAM	8100	8		
Hyb 128-QAM	4860	8	4320	6
64-QAM	10800	6		
Hyb 32-QAM	6480	6	6480	4
16-QAM	16200	4		
Hyb 8-QAM	10800	4	10800	2
4-QAM	32400	2		

FIG. 24

Tipo QAM	Filas HOQ	Columnas HOQ	Filas LOQ	Columnas LOQ
256-QAM	2025	8		
Hyb 128-QAM	1215	8	1080	6
64-QAM	2700	6		
Hyb 32-QAM	1620	6	1620	4
16-QAM	4050	4		
Hyb 8-QAM	2700	4	2700	2
4-QAM	8100	2		

FIG. 25

ESCRIBIR

1	C+1				
2	C+2				
3	C+3				
4	C+4				
C-1					N-1
C					N

LEER →

1	C+1				
	2	C+2			
		3	C+3		
			4	C+4	
N-1	C-1				
	N	C			

FIG. 26

ESCRIBIR

1	C+1				
2	C+2				
3	C+3				
4	C+4				
5	C+5				
6	C+6				
C-1					N-1
C					N

LEER →

1	C+1				
		2	C+2		
				3	C+3
		4	C+4		
			5	C+5	
C+6					6
	N-1	C-1			
			N	C	

FIG. 27

ESCRIBIR

1	C+1				
2	C+2				
3	C+3				
4	C+4				
5	C+5				
6	C+6				
7	C+7				
8	C+8				
9	C+9				
10	C+10				
11	C+11				
12	C+12				
C-1					N-1
C					N

LEER →

1	C+1				
	2	C+2			
		3	C+3		
			4	C+4	
				5	C+5
C+6					6
7	C+7				
		8	C+8		
				9	C+9
	10	C+10			
			11	C+11	
C+12					12
N-1	C-1				
	N	C			

trenzado

doble
trenzado

trenzado

FIG. 28

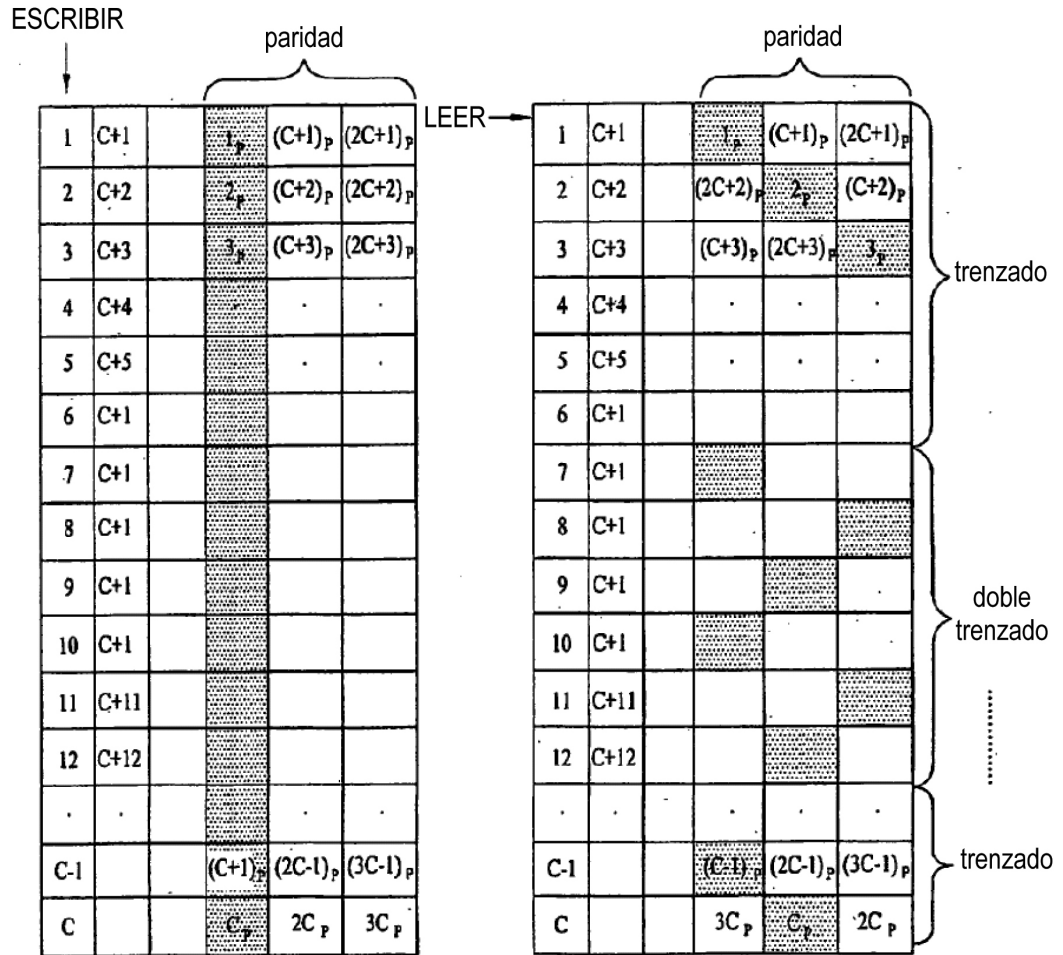


FIG. 29

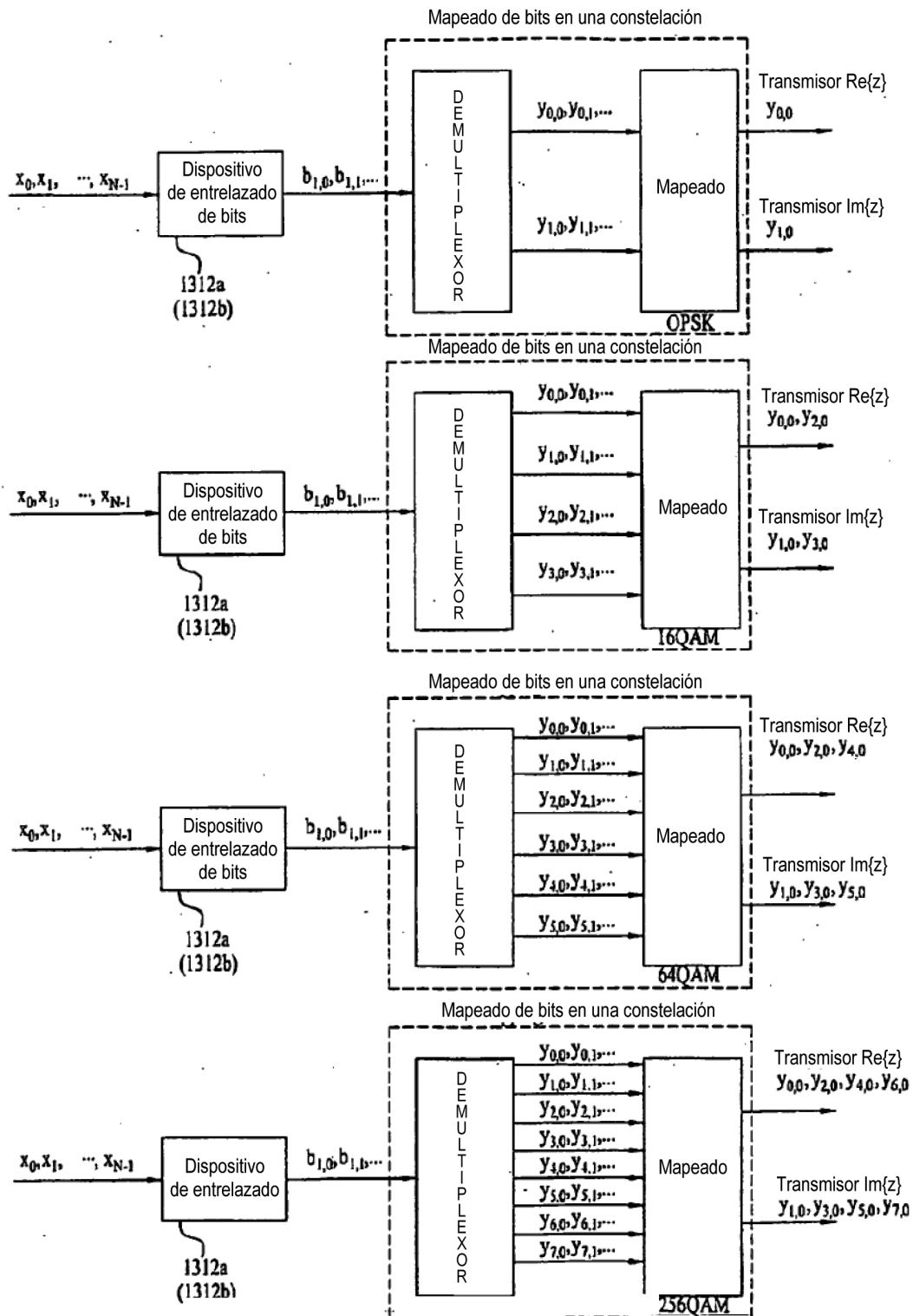


FIG. 30

QPSK
b 0 mapea a y0,0 b 1 mapea a y1,0

16-QAM
b 0 mapea a y2,0 b 1 mapea a y3,0 b 2 mapea a y0,0 b 3 mapea a y1,0

64-QAM
b 0 mapea a y4,0 b 1 mapea a y5,0 b 2 mapea a y2,0 b 3 mapea a y3,0 b 4 mapea a y0,0 b 5 mapea a y1,0

256-QAM
b 0 mapea a y6,0 b 1 mapea a y7,0 b 2 mapea a y4,0 b 3 mapea a y5,0 b 4 mapea a y2,0 b 5 mapea a y3,0 b 6 mapea a y0,0 b 7 mapea a y1,0

FIG. 31

	1 ^o tipo	2 ^o tipo	3 ^o tipo	4 ^o tipo	5 ^o tipo	6 ^o tipo
QPSK	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{1,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{1,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{1,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{1,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{1,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{1,0}$
16-QAM	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{2,0}$ $b_{1,2}$ mapea a $Y_{1,0}$ $b_{1,3}$ mapea a $Y_{3,0}$	$b_{1,0}$ mapea a $Y_{2,0}$ $b_{1,1}$ mapea a $Y_{0,0}$ $b_{1,2}$ mapea a $Y_{3,0}$ $b_{1,3}$ mapea a $Y_{1,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{2,0}$ $b_{1,2}$ mapea a $Y_{3,0}$ $b_{1,3}$ mapea a $Y_{1,0}$	$b_{1,0}$ mapea a $Y_{2,0}$ $b_{1,1}$ mapea a $Y_{0,0}$ $b_{1,2}$ mapea a $Y_{1,0}$ $b_{1,3}$ mapea a $Y_{3,0}$	$b_{1,0}$ mapea a $Y_{2,0}$ $b_{1,1}$ mapea a $Y_{3,0}$ $b_{1,2}$ mapea a $Y_{0,0}$ $b_{1,3}$ mapea a $Y_{1,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{1,0}$ $b_{1,2}$ mapea a $Y_{2,0}$ $b_{1,3}$ mapea a $Y_{3,0}$
64-QAM	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{2,0}$ $b_{1,2}$ mapea a $Y_{4,0}$ $b_{1,3}$ mapea a $Y_{1,0}$ $b_{1,4}$ mapea a $Y_{3,0}$ $b_{1,5}$ mapea a $Y_{5,0}$	$b_{1,0}$ mapea a $Y_{4,0}$ $b_{1,1}$ mapea a $Y_{2,0}$ $b_{1,2}$ mapea a $Y_{0,0}$ $b_{1,3}$ mapea a $Y_{3,0}$ $b_{1,4}$ mapea a $Y_{1,0}$ $b_{1,5}$ mapea a $Y_{5,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{2,0}$ $b_{1,2}$ mapea a $Y_{4,0}$ $b_{1,3}$ mapea a $Y_{3,0}$ $b_{1,4}$ mapea a $Y_{1,0}$ $b_{1,5}$ mapea a $Y_{5,0}$	$b_{1,0}$ mapea a $Y_{4,0}$ $b_{1,1}$ mapea a $Y_{2,0}$ $b_{1,2}$ mapea a $Y_{0,0}$ $b_{1,3}$ mapea a $Y_{1,0}$ $b_{1,4}$ mapea a $Y_{3,0}$ $b_{1,5}$ mapea a $Y_{5,0}$	$b_{1,0}$ mapea a $Y_{4,0}$ $b_{1,1}$ mapea a $Y_{3,0}$ $b_{1,2}$ mapea a $Y_{2,0}$ $b_{1,3}$ mapea a $Y_{1,0}$ $b_{1,4}$ mapea a $Y_{0,0}$ $b_{1,5}$ mapea a $Y_{5,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{1,0}$ $b_{1,2}$ mapea a $Y_{2,0}$ $b_{1,3}$ mapea a $Y_{3,0}$ $b_{1,4}$ mapea a $Y_{4,0}$ $b_{1,5}$ mapea a $Y_{5,0}$
256-QAM	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{2,0}$ $b_{1,2}$ mapea a $Y_{4,0}$ $b_{1,3}$ mapea a $Y_{1,0}$ $b_{1,4}$ mapea a $Y_{3,0}$ $b_{1,5}$ mapea a $Y_{5,0}$ $b_{1,6}$ mapea a $Y_{7,0}$ $b_{1,7}$ mapea a $Y_{6,0}$	$b_{1,0}$ mapea a $Y_{4,0}$ $b_{1,1}$ mapea a $Y_{2,0}$ $b_{1,2}$ mapea a $Y_{0,0}$ $b_{1,3}$ mapea a $Y_{3,0}$ $b_{1,4}$ mapea a $Y_{1,0}$ $b_{1,5}$ mapea a $Y_{5,0}$ $b_{1,6}$ mapea a $Y_{7,0}$ $b_{1,7}$ mapea a $Y_{6,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{2,0}$ $b_{1,2}$ mapea a $Y_{4,0}$ $b_{1,3}$ mapea a $Y_{3,0}$ $b_{1,4}$ mapea a $Y_{1,0}$ $b_{1,5}$ mapea a $Y_{5,0}$ $b_{1,6}$ mapea a $Y_{7,0}$ $b_{1,7}$ mapea a $Y_{6,0}$	$b_{1,0}$ mapea a $Y_{6,0}$ $b_{1,1}$ mapea a $Y_{4,0}$ $b_{1,2}$ mapea a $Y_{2,0}$ $b_{1,3}$ mapea a $Y_{0,0}$ $b_{1,4}$ mapea a $Y_{1,0}$ $b_{1,5}$ mapea a $Y_{3,0}$ $b_{1,6}$ mapea a $Y_{5,0}$ $b_{1,7}$ mapea a $Y_{7,0}$	$b_{1,0}$ mapea a $Y_{6,0}$ $b_{1,1}$ mapea a $Y_{7,0}$ $b_{1,2}$ mapea a $Y_{4,0}$ $b_{1,3}$ mapea a $Y_{3,0}$ $b_{1,4}$ mapea a $Y_{2,0}$ $b_{1,5}$ mapea a $Y_{1,0}$ $b_{1,6}$ mapea a $Y_{0,0}$ $b_{1,7}$ mapea a $Y_{5,0}$	$b_{1,0}$ mapea a $Y_{0,0}$ $b_{1,1}$ mapea a $Y_{1,0}$ $b_{1,2}$ mapea a $Y_{2,0}$ $b_{1,3}$ mapea a $Y_{3,0}$ $b_{1,4}$ mapea a $Y_{4,0}$ $b_{1,5}$ mapea a $Y_{5,0}$ $b_{1,6}$ mapea a $Y_{6,0}$ $b_{1,7}$ mapea a $Y_{7,0}$

FIG. 32

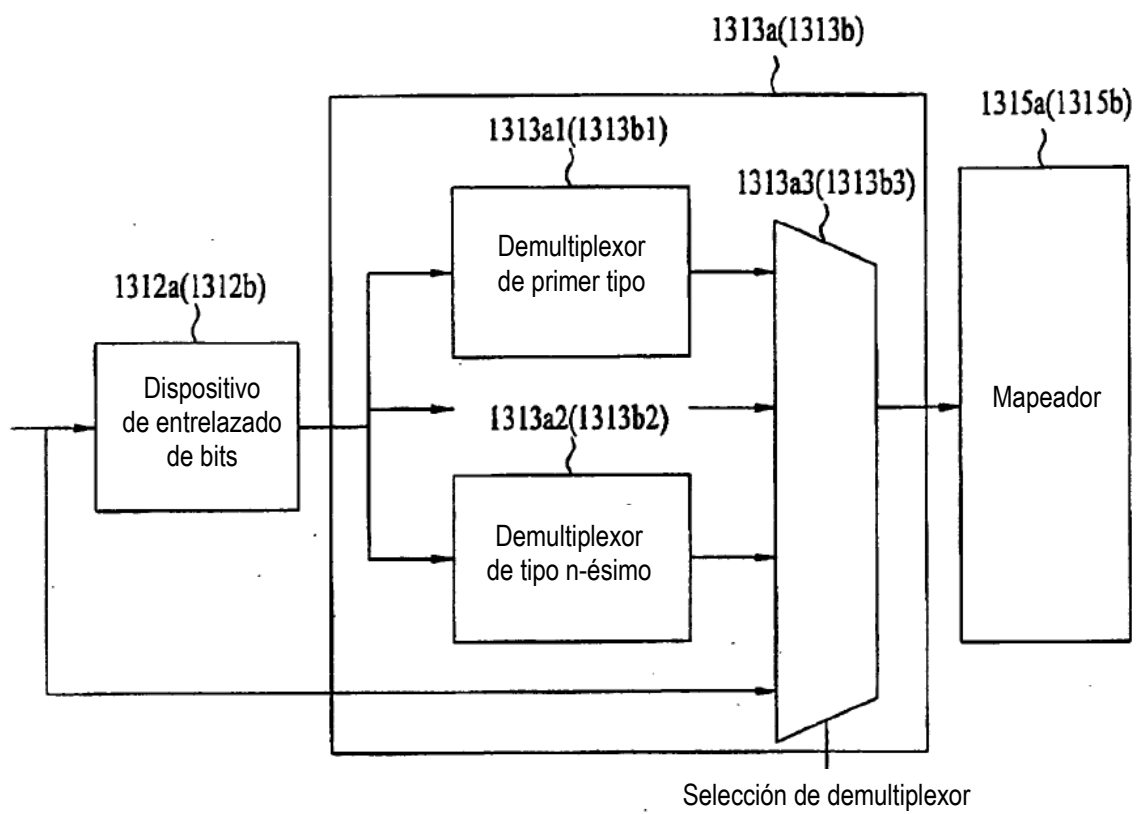


FIG. 33

qam	cr	Selección de demultiplexor
4-qam	1/4	todos
	1/3	todos
	2/5	todos
	1/2	todos
	3/5	todos
	2/3	todos
	3/4	todos
	4/5	todos
	5/6	todos
	8/9	todos
	9/10	todos
16-qam	1/4	No-int, No-demultiplexor
	1/3	No-int, No-demultiplexor
	2/5	No-int, No-demultiplexor
	1/2	No-int, No-demultiplexor
	3/5	9, 10 o 12
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
	9/10	6
64-qam	1/4	No-int, No-demultiplexor
	1/3	No-int, No-demultiplexor
	2/5	No-int, No-demultiplexor
	1/2	No-int, No-demultiplexor
	3/5	9 o 10
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
	9/10	6
256-qam	1/4	No-int, No-demultiplexor
	1/3	No-int, No-demultiplexor
	2/5	No-int, No-demultiplexor
	1/2	No-int, No-demultiplexor
	3/5	9
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
	9/10	6

FIG. 34

$$\text{QPSK} : i = 0, 1, 2, \dots, \frac{N}{2} - 1,$$

$$(y_{0,i}, y_{0,i}) = (x_i, x_{N/2+i}),$$

$$\text{16-QAM} : i = 0, 1, 2, \dots, \frac{N}{4} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}) = \left\{ \frac{x_{2N+i}}{4}, \frac{x_{3N+i}}{4}, x_i, \frac{x_{N+i}}{4} \right\}$$

$$\text{64-QAM} : i = 0, 1, 2, \dots, \frac{N}{6} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}) = \left\{ \frac{x_{4N+i}}{6}, \frac{x_{5N+i}}{6}, \frac{x_{2N+i}}{6}, \frac{x_{3N+i}}{6}, x_i, \frac{x_{N+i}}{6} \right\}$$

$$\text{256-QAM} : i = 0, 1, 2, \dots, \frac{N}{8} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}, y_{6,i}, y_{7,i}) = \left\{ \frac{x_{6N+i}}{8}, \frac{x_{7N+i}}{8}, \frac{x_{4N+i}}{8}, \frac{x_{5N+i}}{8}, \frac{x_{2N+i}}{8}, \frac{x_{3N+i}}{8}, x_i, \frac{x_{N+i}}{8} \right\}$$

FIG. 35

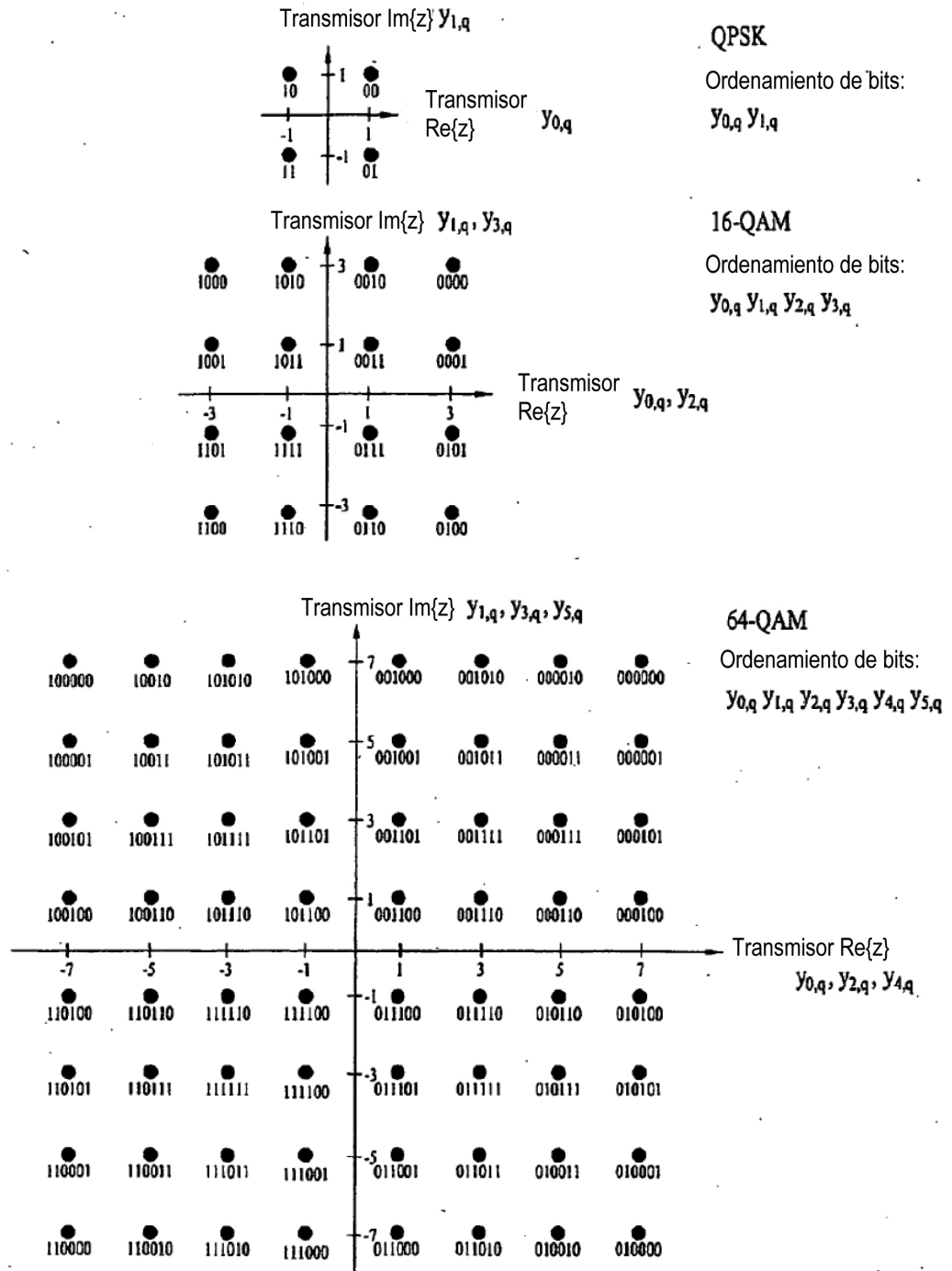


FIG. 36

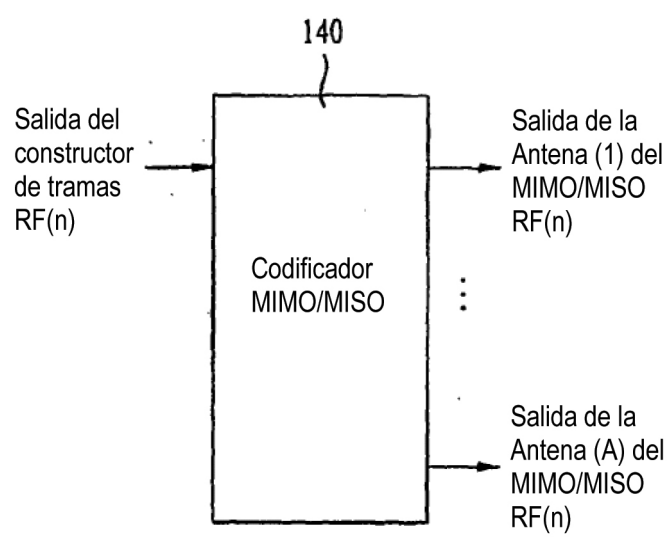


FIG. 37

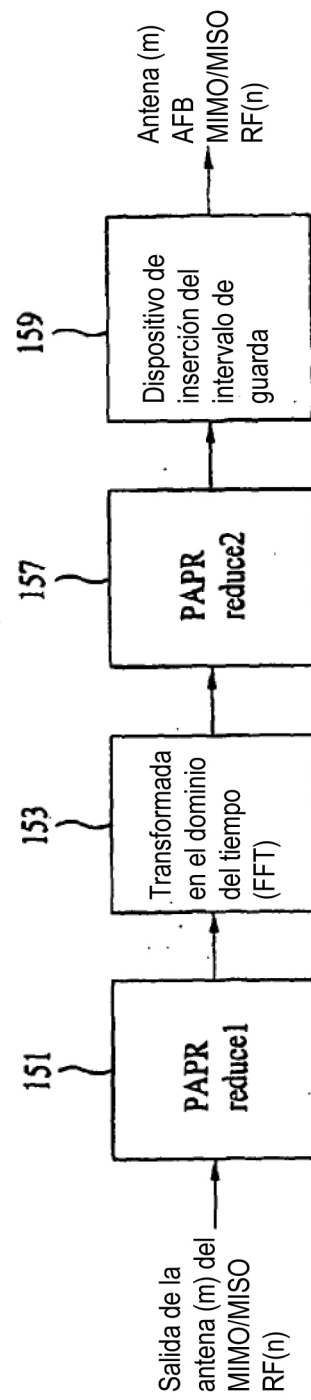


FIG. 38

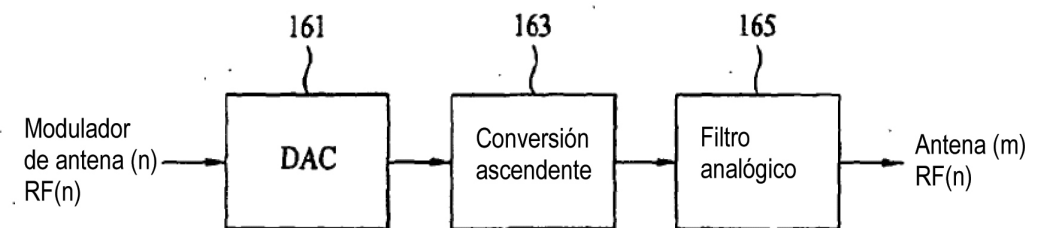


FIG. 39

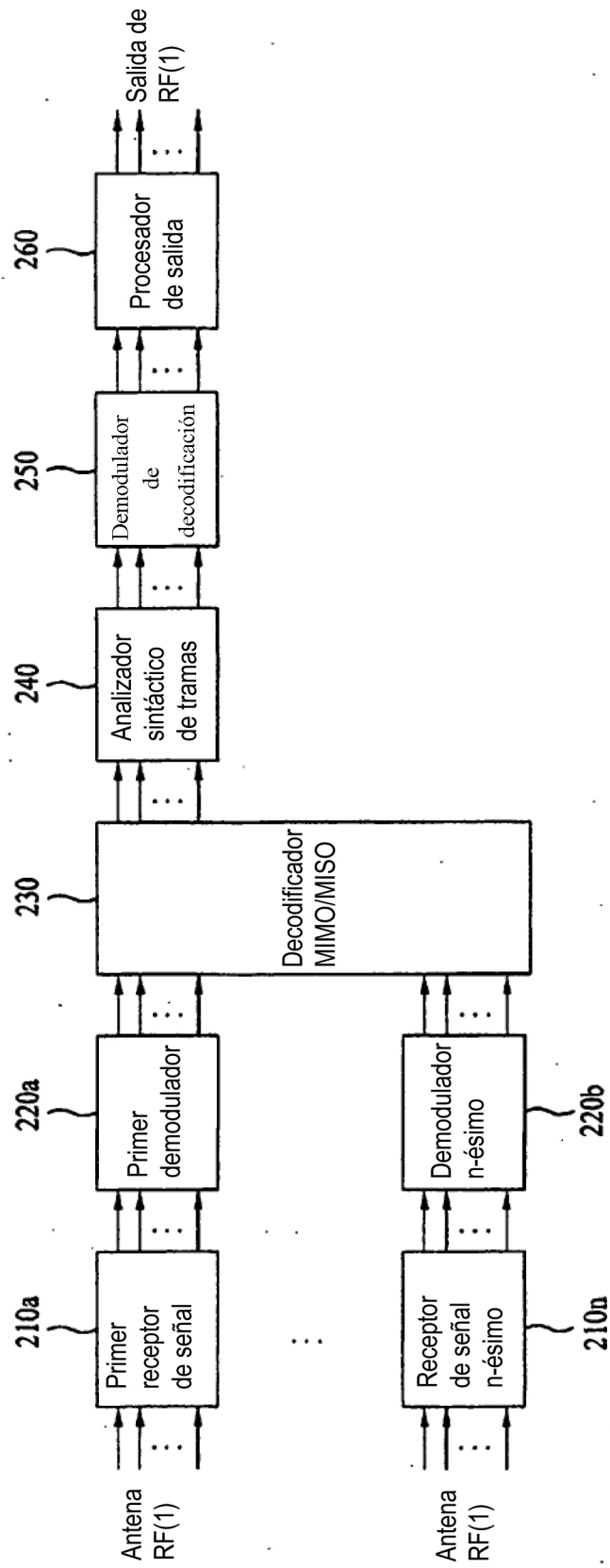


FIG. 40

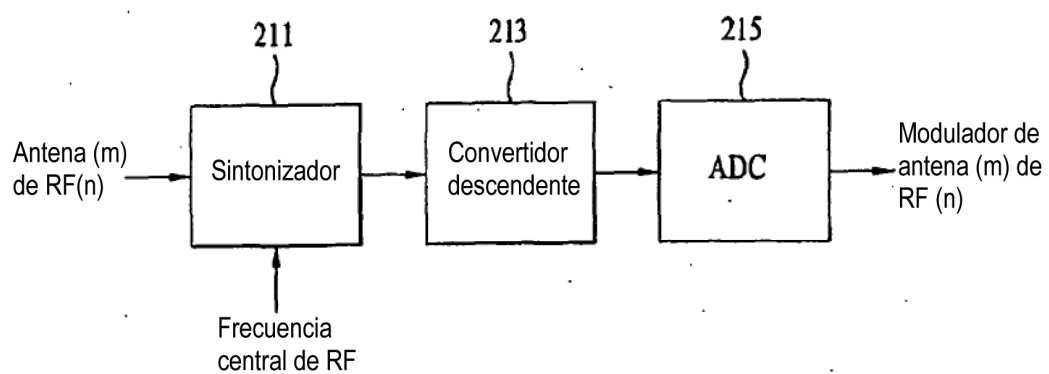


FIG. 41

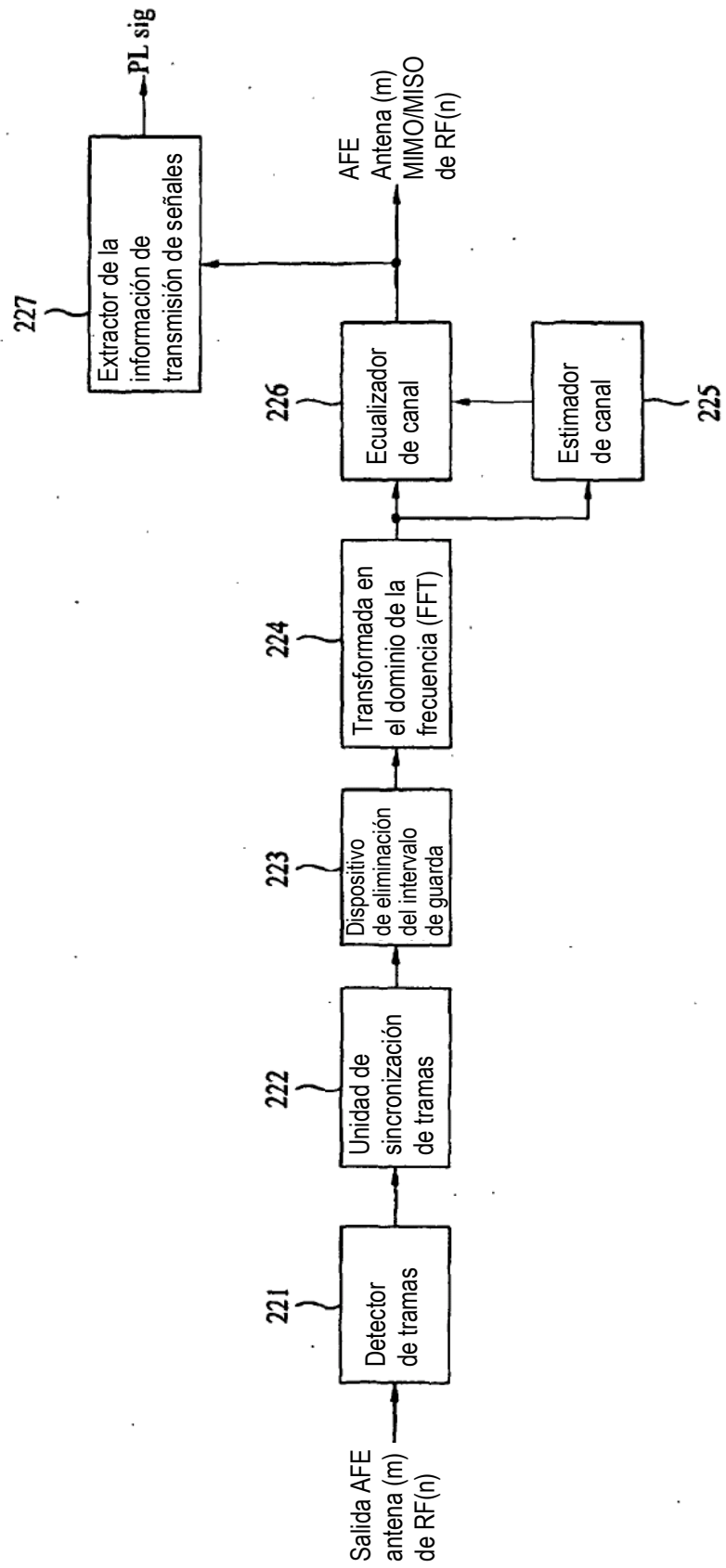


FIG. 42

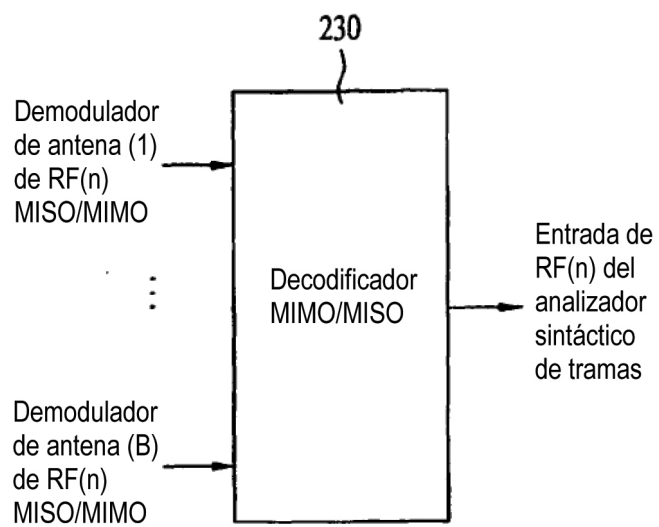


FIG. 43

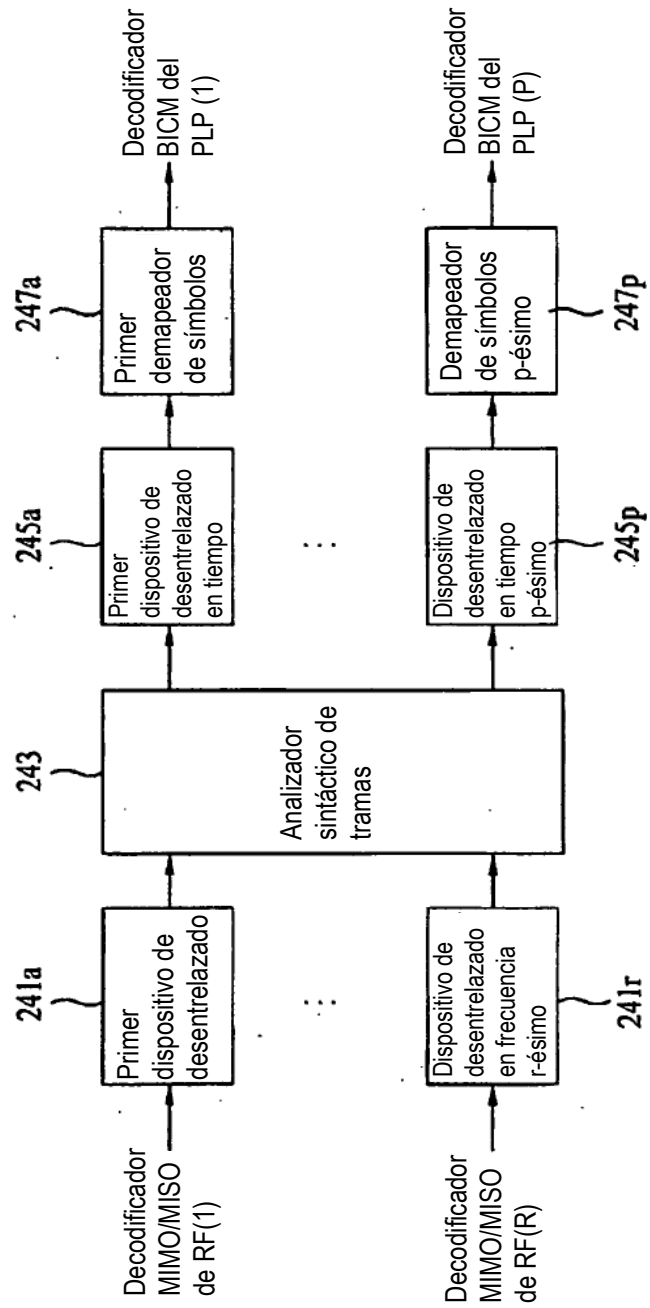


FIG. 44

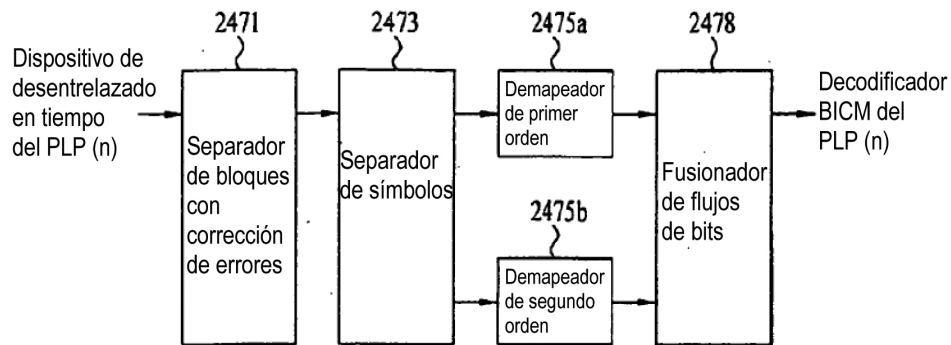


FIG. 45

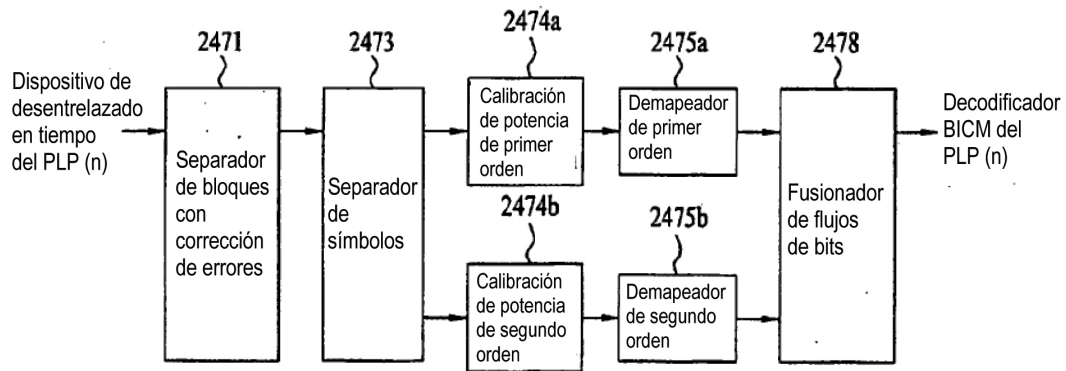


FIG. 46

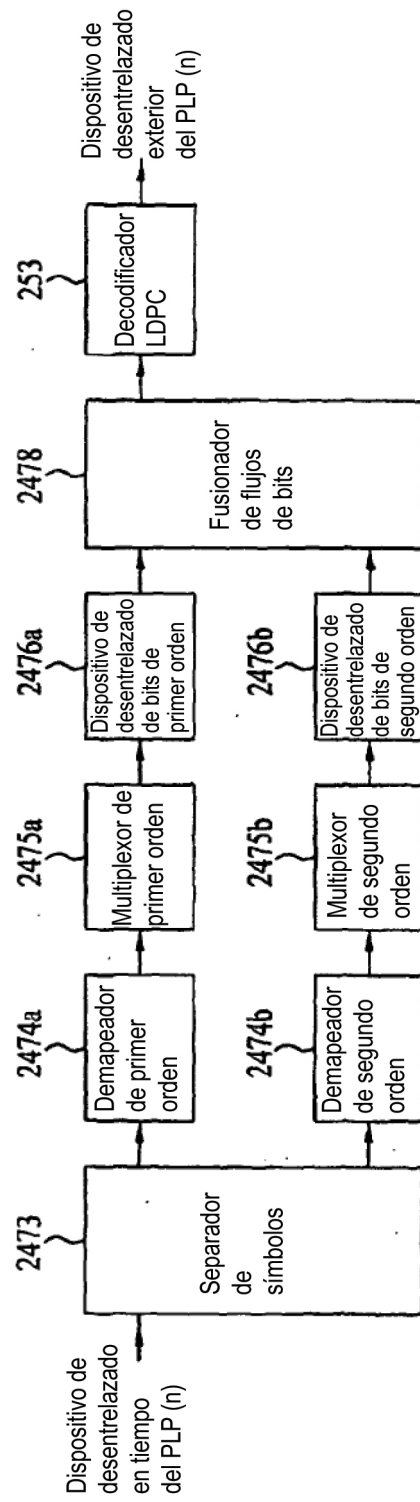


FIG. 47

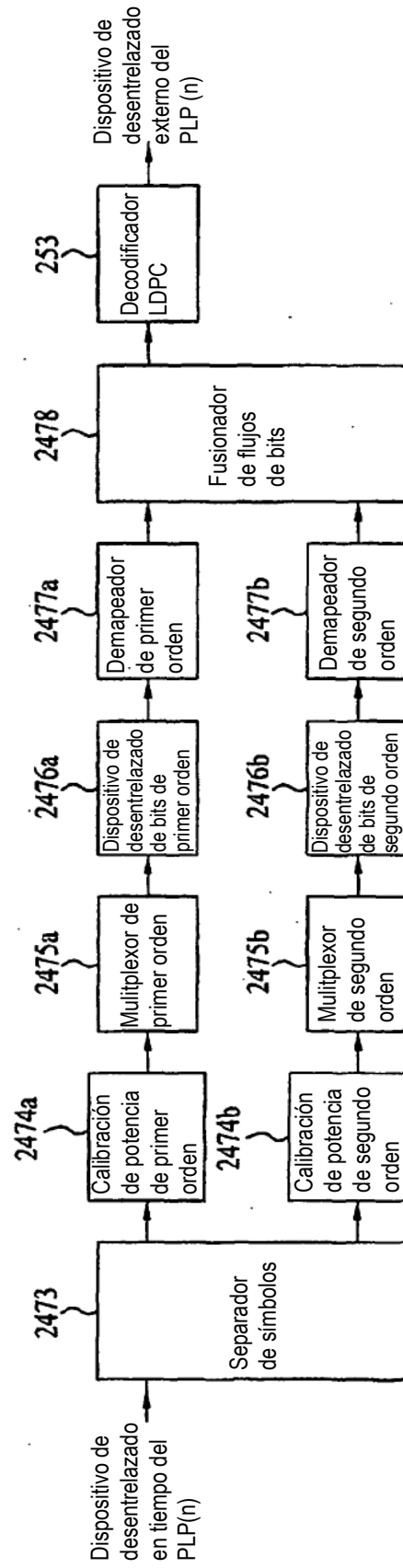


FIG. 48

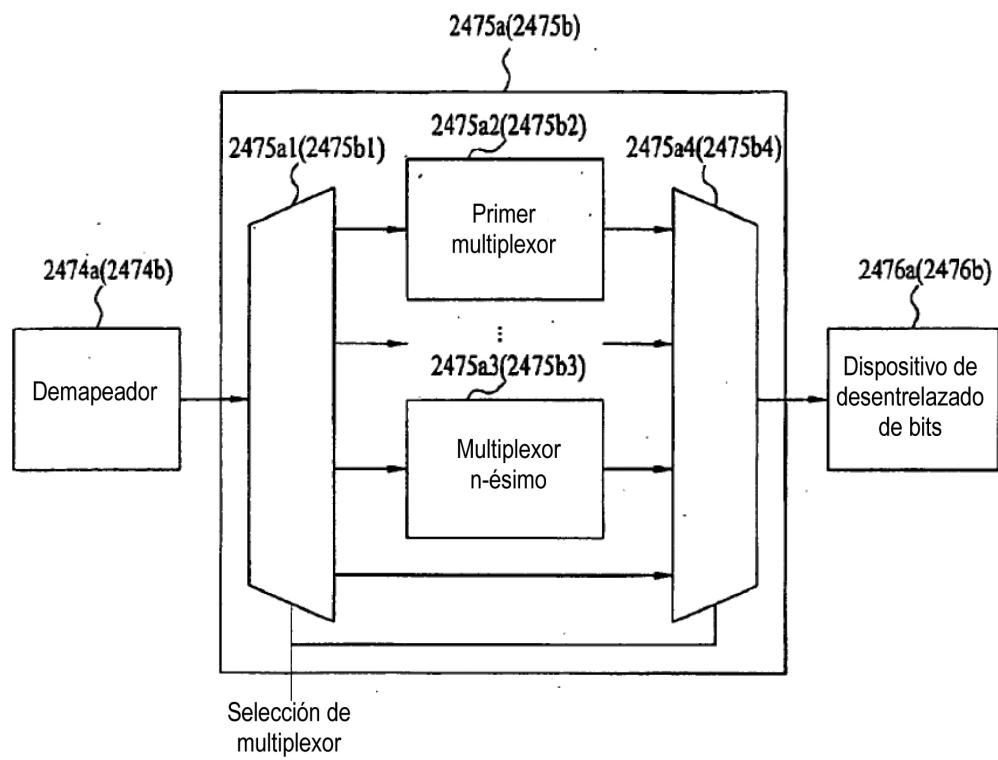


FIG. 49

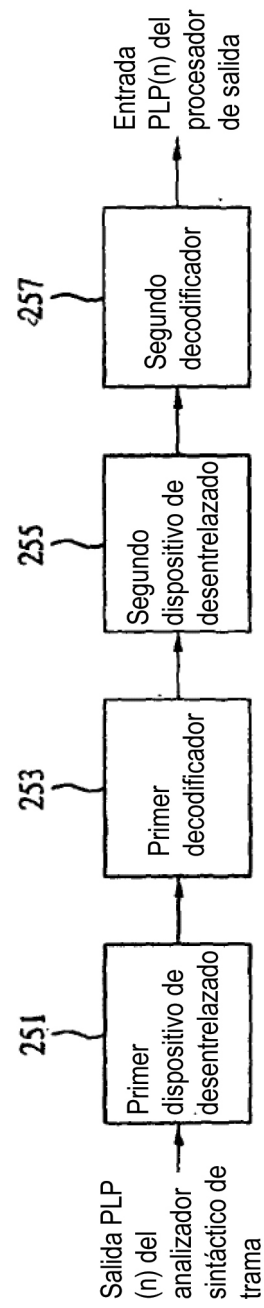


FIG. 50

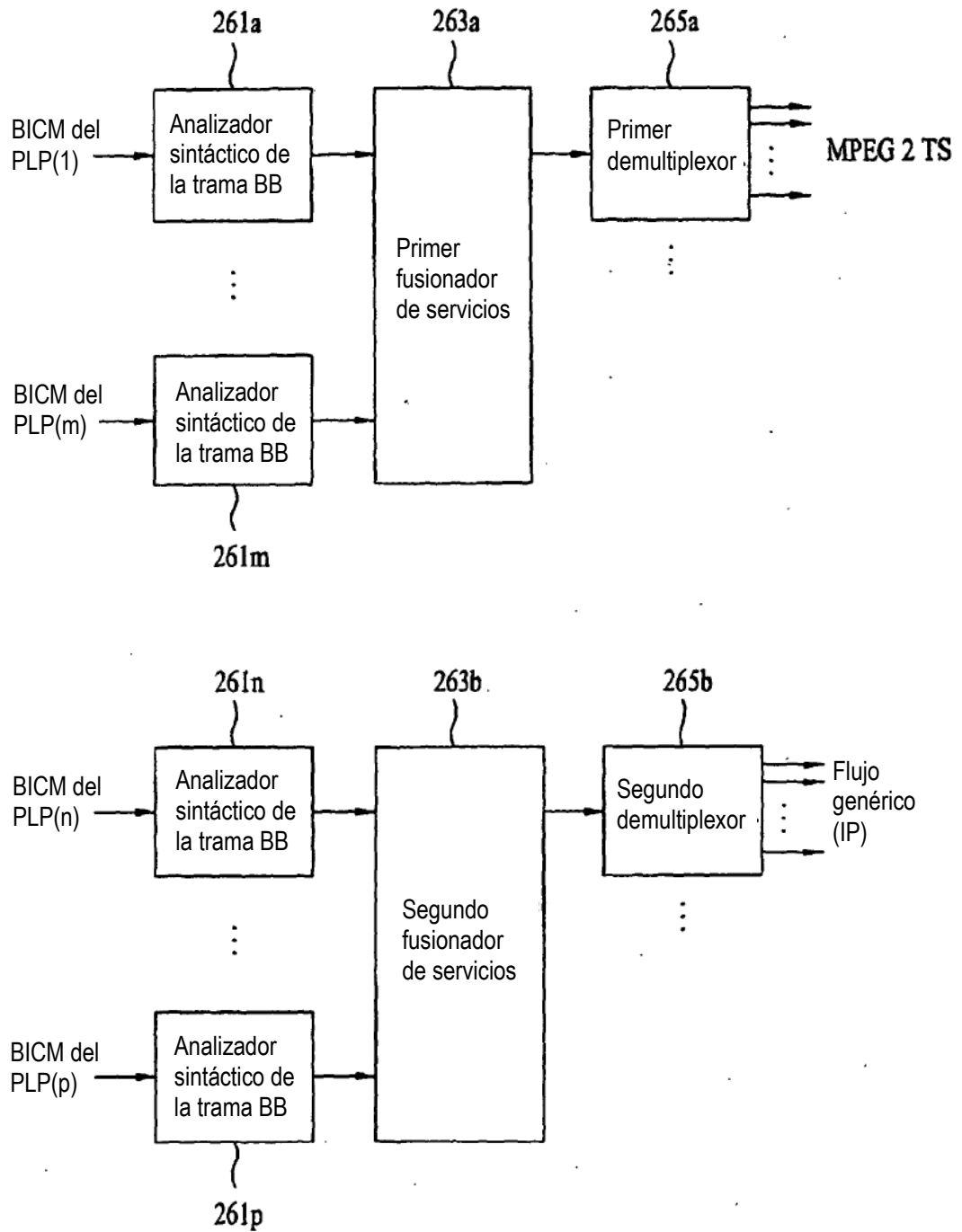


FIG. 51

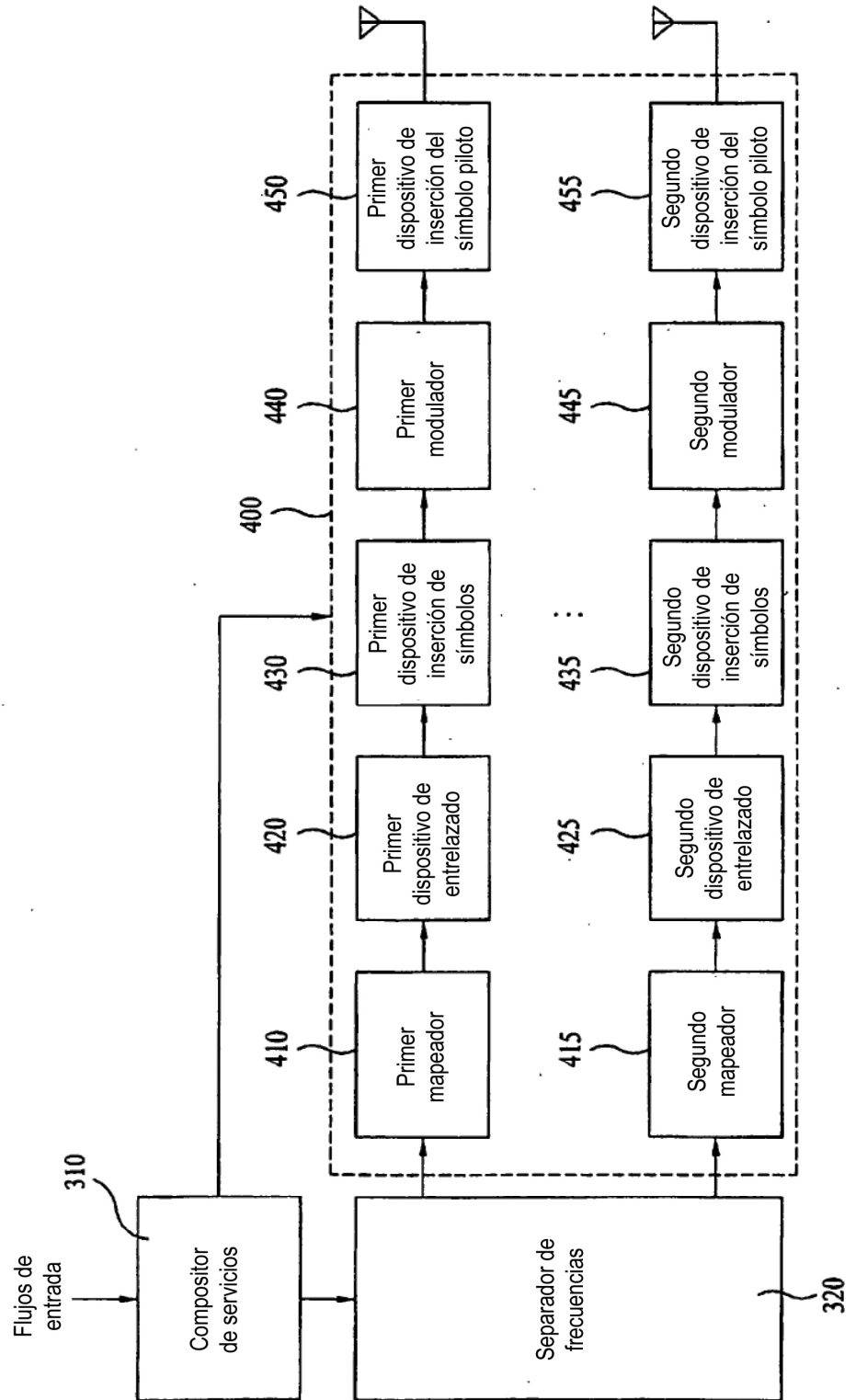


FIG. 52

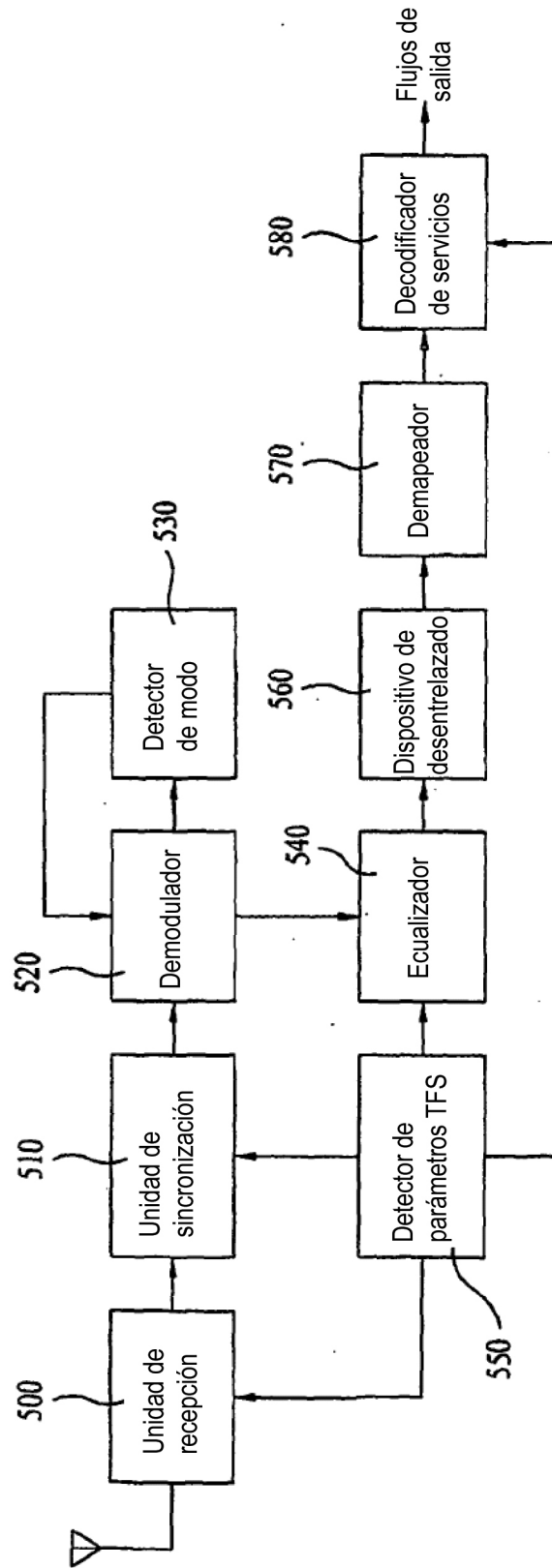


FIG. 53

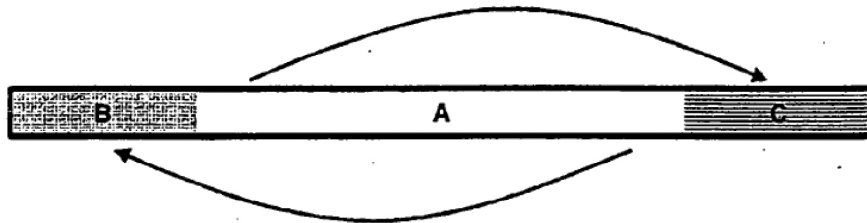


FIG. 54

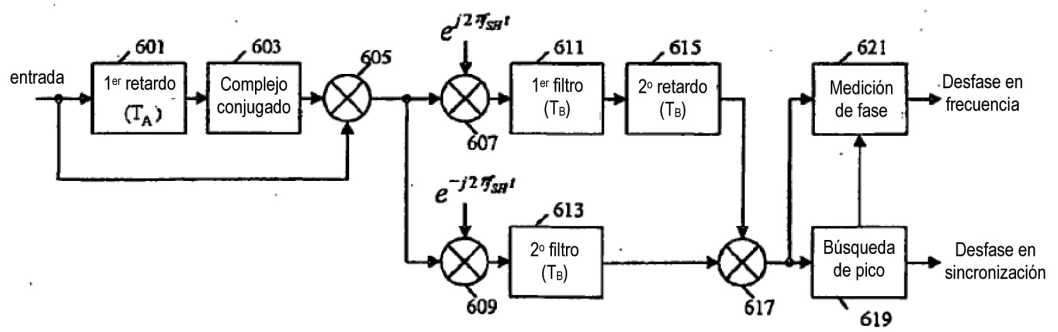


FIG. 55

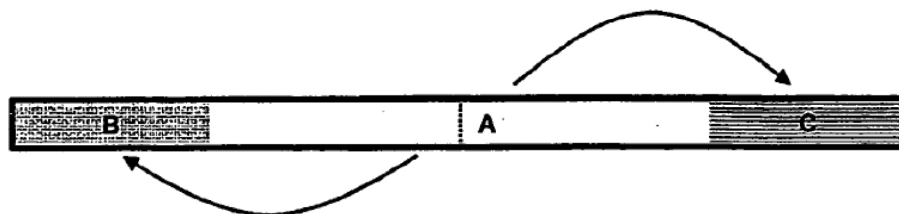


FIG. 56

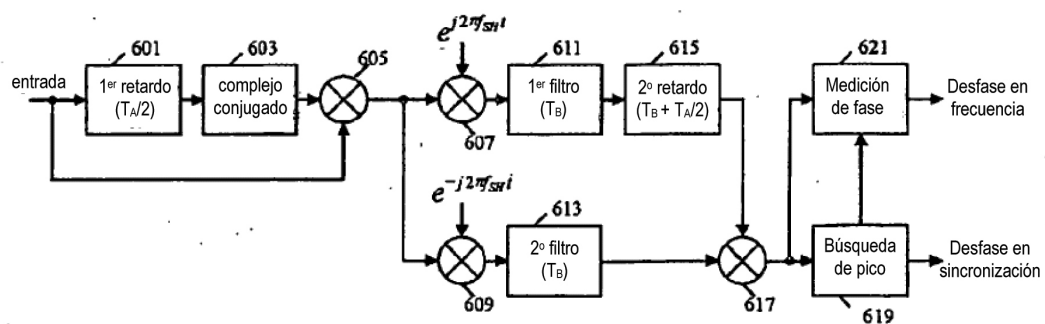


FIG. 57

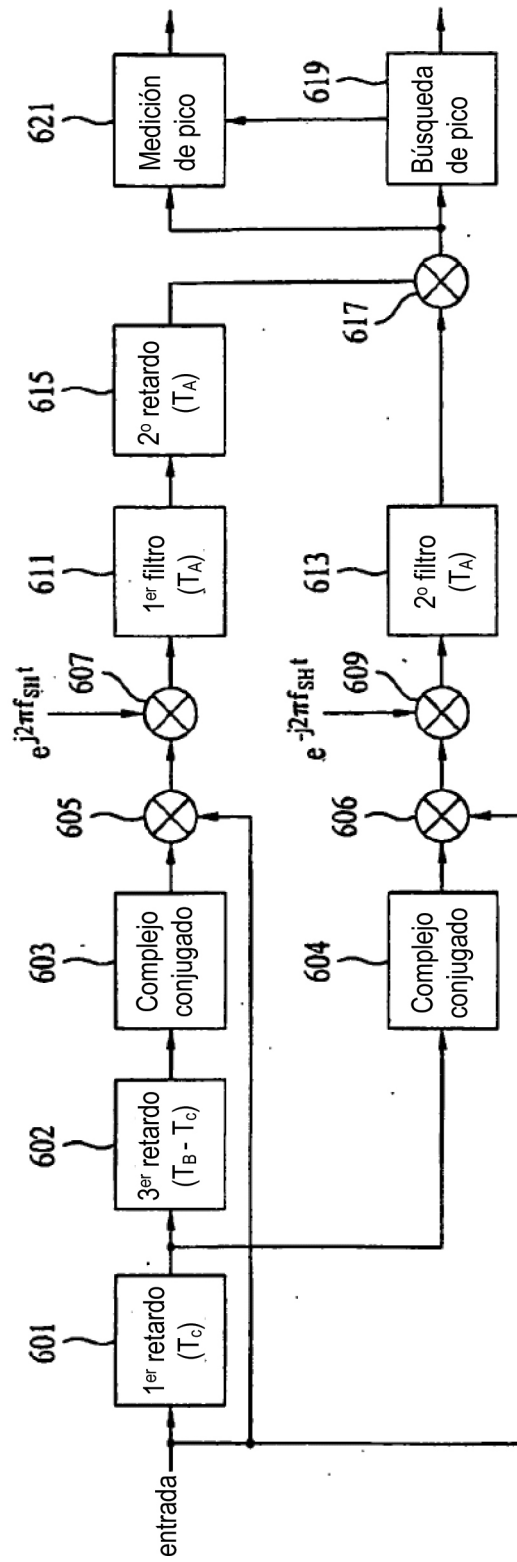


FIG. 58

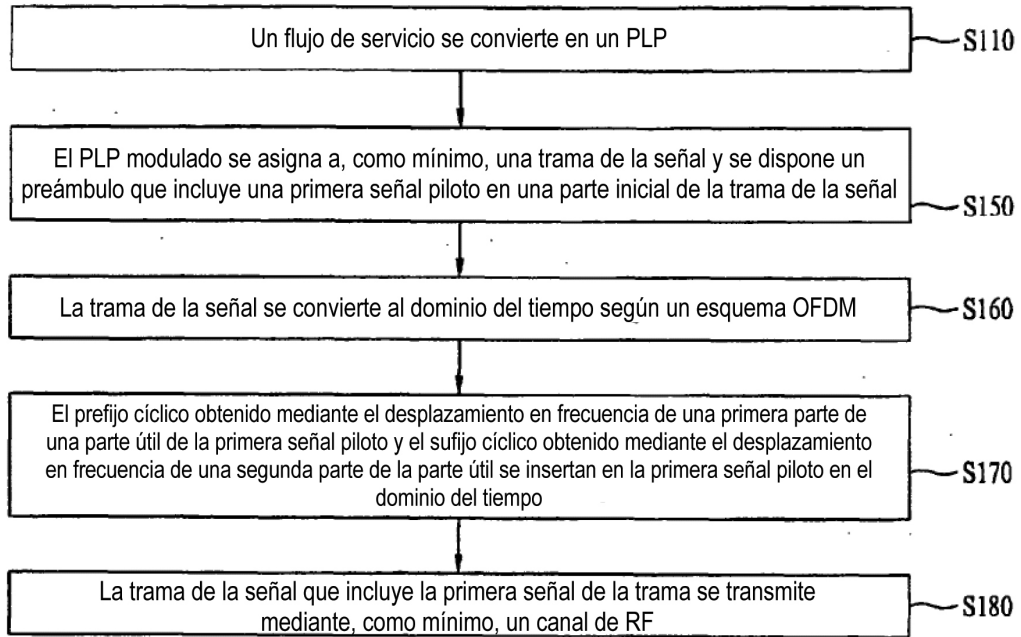


FIG. 59

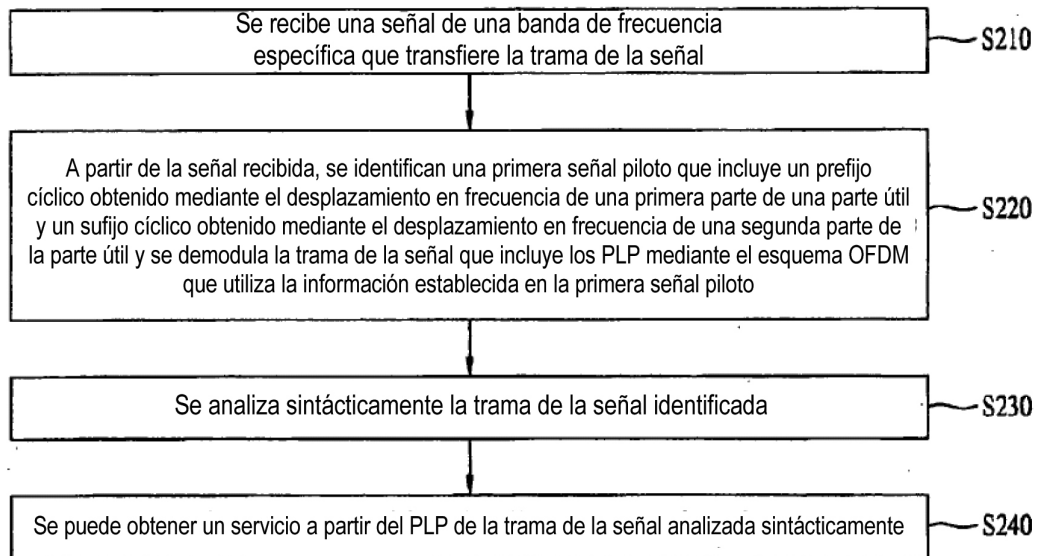


FIG. 60

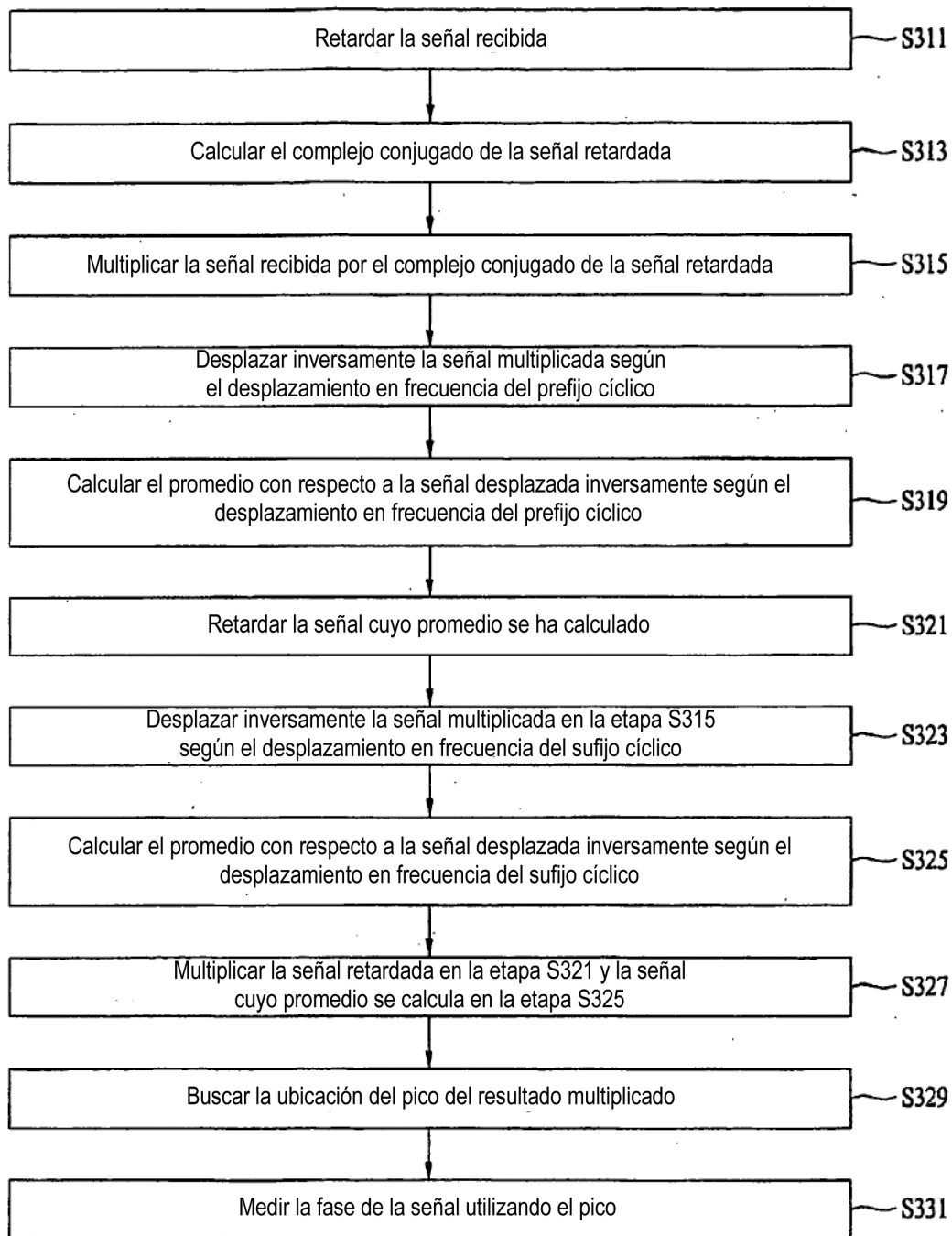


FIG. 61

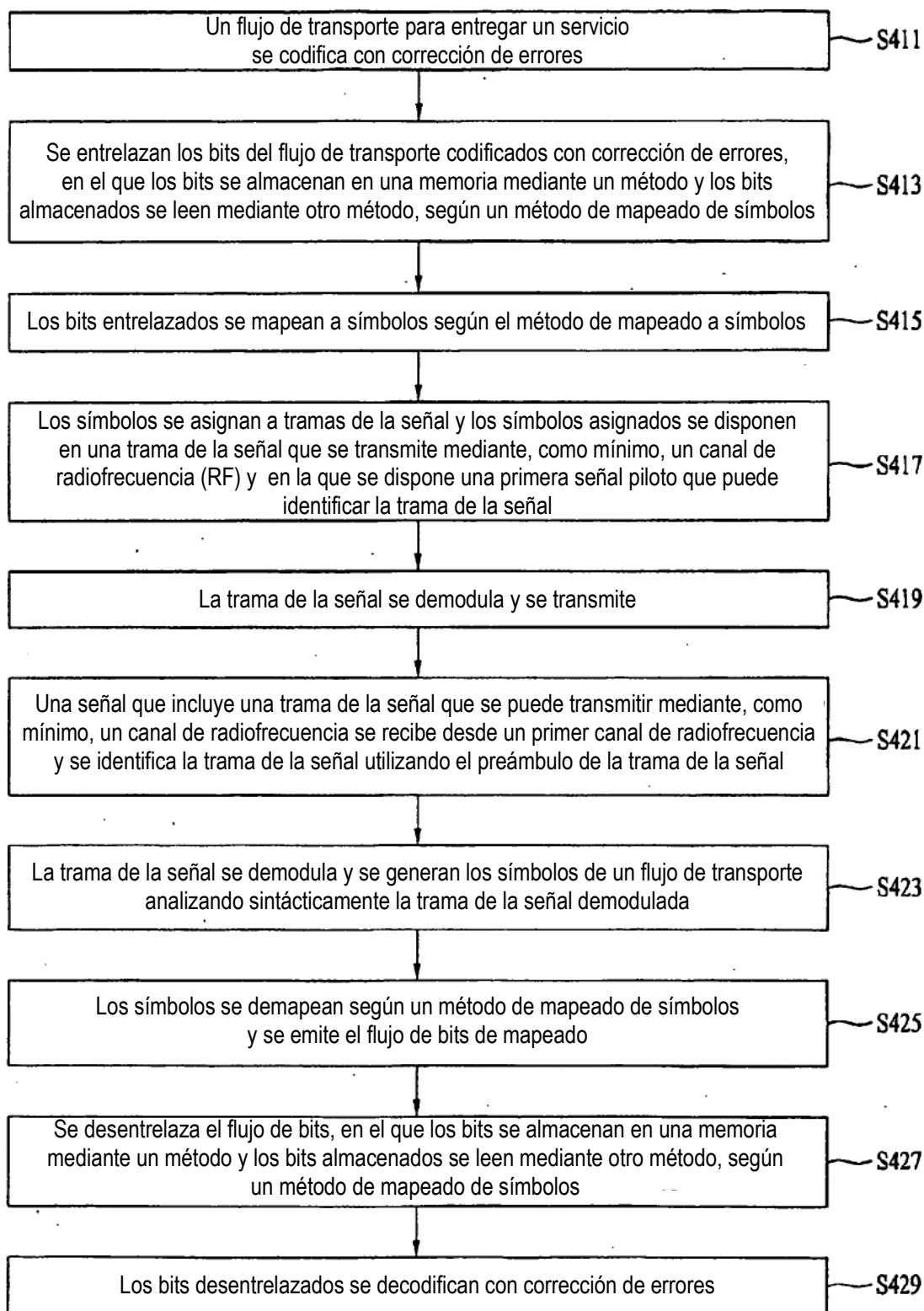


FIG. 62

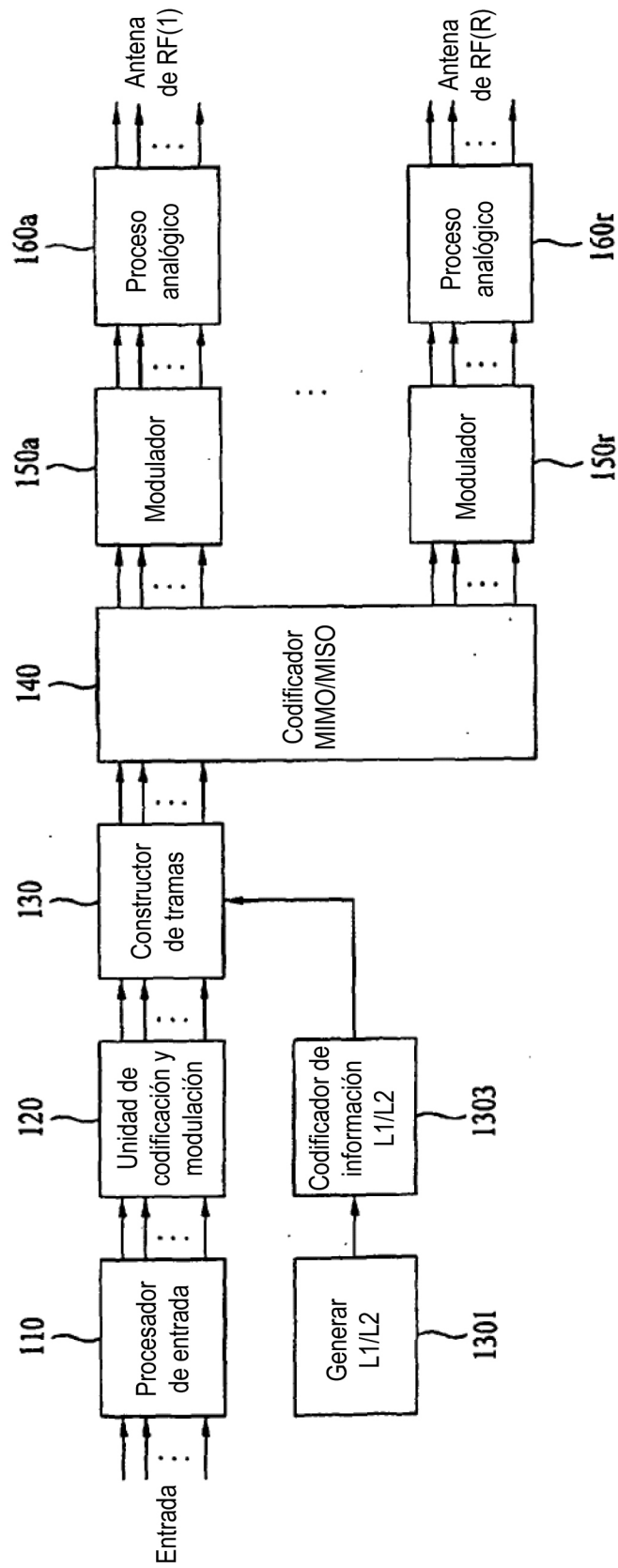


FIG. 63

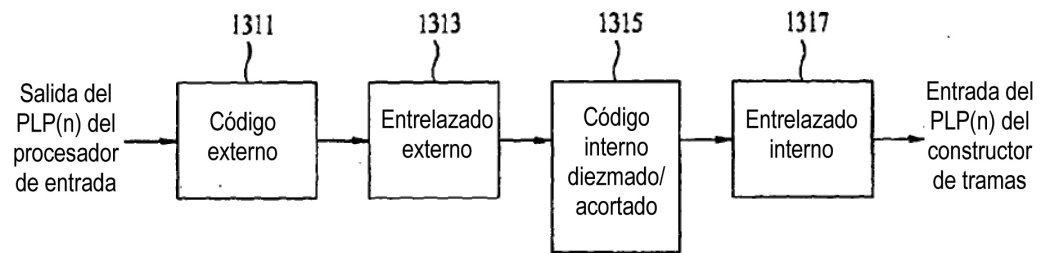


FIG. 64

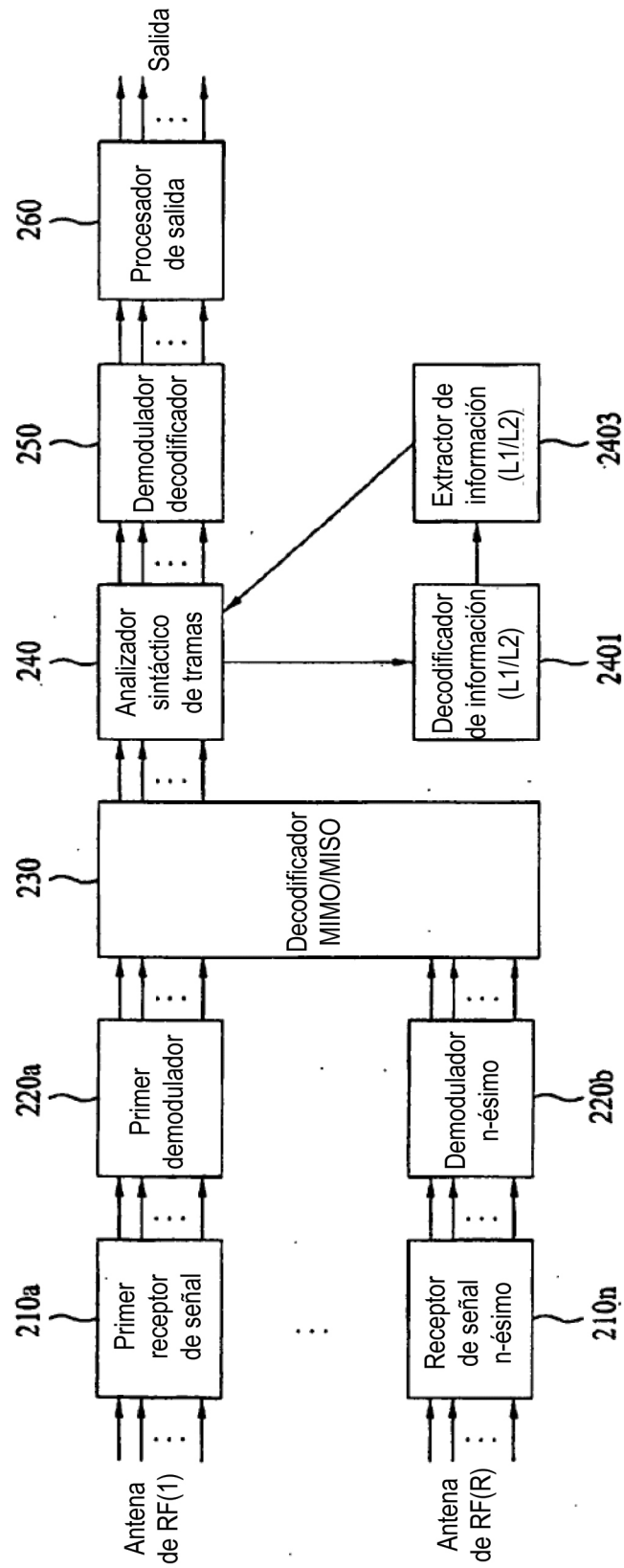


FIG. 65

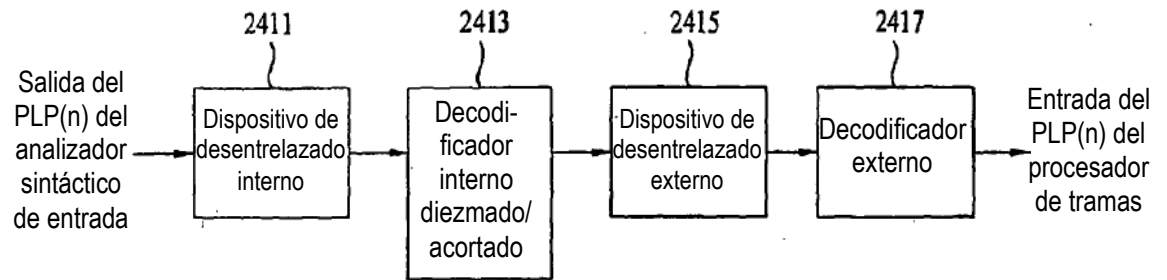


FIG. 66

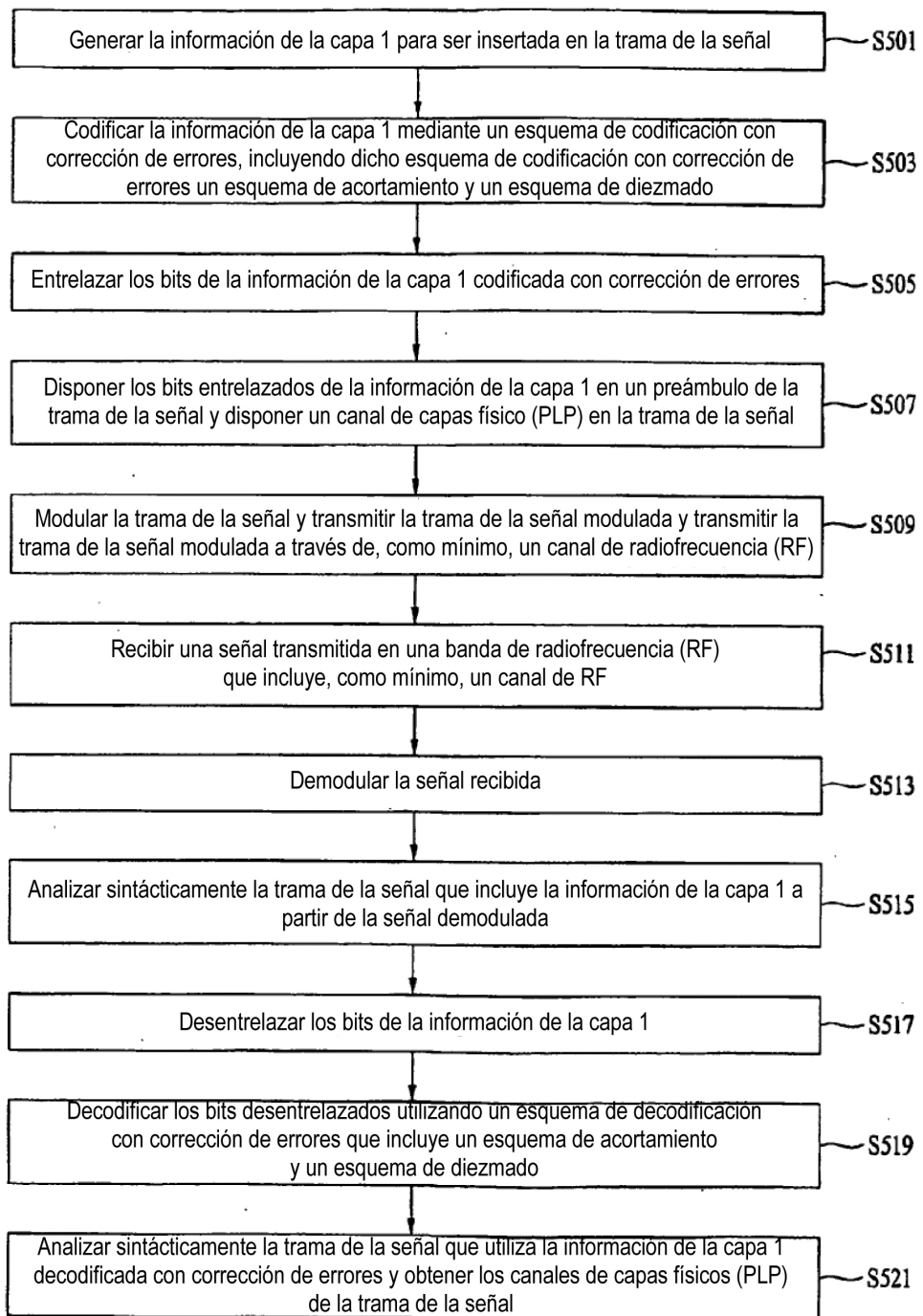


FIG. 67

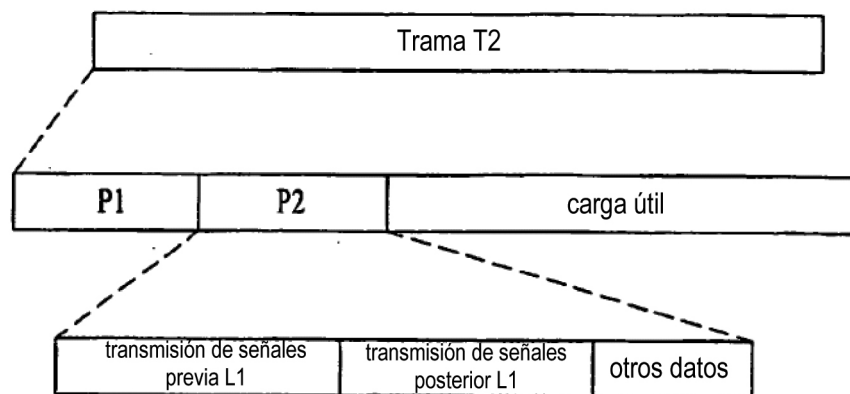


FIG. 68

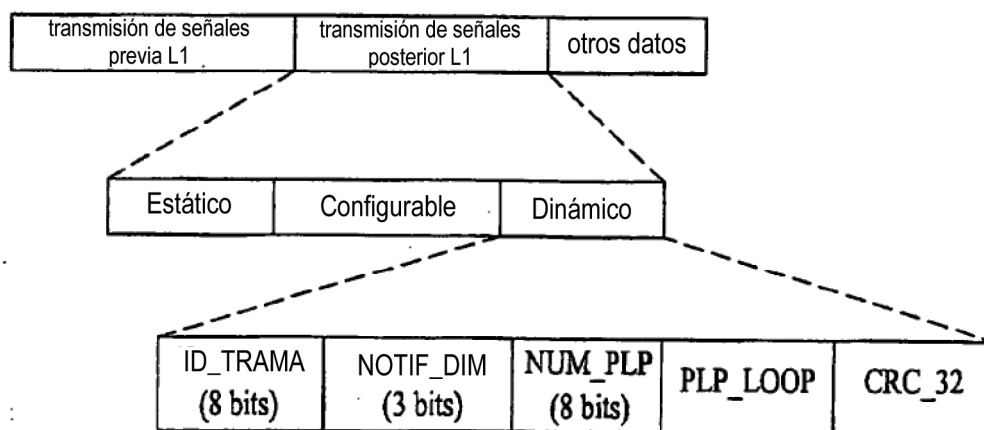


FIG. 69

