



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0078164
(43) 공개일자 2011년07월07일

(51) Int. Cl.

H03M 13/09 (2006.01) G06F 11/00 (2006.01)
G06F 9/38 (2006.01)

(21) 출원번호 10-2009-0134902

(22) 출원일자 2009년12월30일

심사청구일자 2009년12월30일

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김웅주

서울특별시 서초구 서초1동 신원아침2아파트
102-1102

임규삼

서울특별시 성북구 안암동1가 276번지 402호

(74) 대리인

특허법인씨엔에스

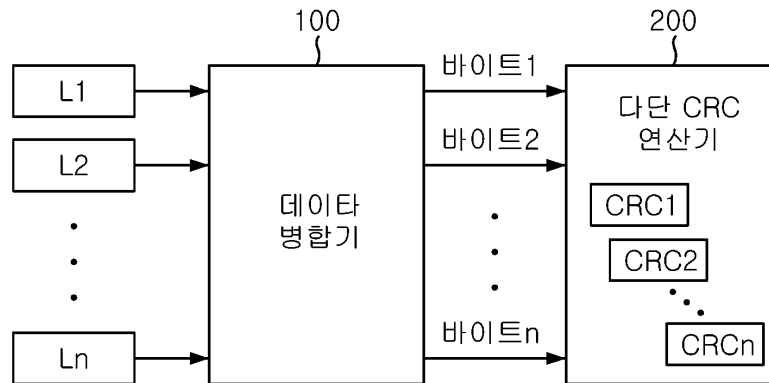
전체 청구항 수 : 총 3 항

(54) 다중 라인 구조를 갖는 MIPI CSI 수신장치

(57) 요약

본 발명은 MIPI CSI 수신장치에 관한 것으로, n개의 라인(L1-Ln)중 기설정된 라인 선택 신호에 따라 라인을 선택 하고, 상기 선택된 라인을 통한 데이터를 바이트 단위로 저장하는 데이터 병합기(100); 및 상기 데이터 병합기 (100)로부터의 제1 내지 제n 바이트를 갖는 데이터를 바이트 단위로 CRC 연산하고, 제k 바이트에 대한 CRC 연산 값을 이용하여 제k+1 바이트에 대한 CRC 연산을 수행하고, 각 바이트에 대한 CRC 연산값이 병합된 병합 CRC 연산 값을 이용하여 제1 바이트에 대한 CRC 연산을 수행하는 다단 CRC 연산기(200)를 포함할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

n개의 레인중 기설정된 레인 선택 신호에 따라 레인을 선택하고, 상기 선택된 레인을 통한 데이터를 바이트 단위로 저장하는 데이터 병합기; 및

상기 데이터 병합기로부터의 제1 내지 제n 바이트를 갖는 데이터를 바이트 단위로 CRC(Cyclic Redundancy Check) 연산하고, 제k 바이트에 대한 CRC 연산값을 이용하여 제k+1 바이트에 대한 CRC 연산을 수행하고, 각 바이트에 대한 CRC 연산값이 병합된 병합 CRC 연산값을 이용하여 제1 바이트에 대한 CRC 연산을 수행하는 다단 CRC 연산기

를 포함하는 MIPI CSI 수신장치.

청구항 2

제1항에 있어서, 상기 데이터 병합기는,

상기 n개 레인중에서 1개, 2개 내지 n-1개 레인을 선택하는 제1, 제2 내지 n-1 레인 선택부;

상기 제1, 제2 내지 n-1 레인 선택부중에서 선택된 하나의 레인 선택부로부터 출력되는 데이터 또는 복수의 레인 모두를 통한 데이터를 선택하는 레인모드 선택부; 및

상기 레인모드 선택부에 의해 선택된 데이터를 바이트 단위로 저장하는 데이터 레지스터를 포함하고,

상기 제1 레인 선택부는 상기 n개중에서 1개 레인을 선택하고,

상기 제2 레인 선택부는 상기 n개중에서 2개 레인을 선택하고,

상기 제n-1 레인 선택부는 상기 n개중에서 n-1개 레인을 선택하는 것을 특징으로 하는 MIPI CSI 수신장치.

청구항 3

제2항에 있어서, 상기 다단 CRC 연산기는,

상기 제1, 제2 내지 제n 바이트중 제1, 제2 내지 제n 바이트에 대해 CRC 연산을 수행하는 제1, 제2 내지 제n CRC 연산부;

상기 제1, 제2 내지 제n CRC 연산부 각각의 CRC 연산값을 병합하여 상기 병합 CRC 연산값을 출력하는 CRC 연산값 선택부; 및

상기 CRC 연산값 선택부로부터의 병합 CRC 연산값을 저장하는 임시 레지스터; 및

상기 CRC 연산값 선택부로부터의 최종 병합 CRC 연산값에 기초해서 CRC 에러를 검출하는 CRC 에러 검출부를 포함하고,

상기 제1 CRC 연산부(210-1)는, 상기 임시 레지스터(230)에 저장된 병합 CRC 연산값을 이용하여 제1 바이트에 대한 CRC 연산을 수행하고, 상기 제k+1 CRC 연산부는, 제k CRC 연산부의 CRC 연산값을 이용하여 제k+1 바이트에 대한 CRC 연산을 수행하는 것

을 특징으로 하는 MIPI CSI 수신장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 MIPI CSI 수신장치에 관한 것으로, 특히 다중 레인 구조에 적합한 데이터 병합 구조 및 다단 CRC(Cyclic Redundancy Check) 연산구조로 구현함으로써, 단일 레인 구조와 동일한 클럭 주파수를 사용할 수 있고, 이에 따라 전력 소모를 줄일 수 있는 다중 레인 구조를 갖는 MIPI CSI 수신장치에 관한 것이다.

배경 기술

- [0002] 일반적으로, 종래의 디지털 영상 시스템에 널리 사용되고 있는 병렬 인터페이스 방식은 영상의 고해상도에 따른 영상 데이터 량의 증가로 인하여 대역폭(Bandwidth) 한계에 직면하고 있다.
- [0003] 또한, 각각의 병렬 인터페이스 방식은 영상 장치마다 다소 상이한 방식을 채택하고 있어 상호간의 호환성 문제도 발생하고 있으며, 이러한 문제들을 해결하기 위하여 해외 및 국내의 관련 업체들은 모바일 인더스트리 프로세서 인터페이스(Mobile Industry Processor Interface: 이하 MIPI라 함) 연합이라는 단체를 결성하여 영상 장치들 사이의 데이터 전송을 위한 데이터 전송 표준들을 만들었다.
- [0004] 이러한 MIPI 연합의 표준들은 물리계층 표준(D-PHY 표준)과 영상 센서와의 통신을 위한 프로토콜 계층 표준(Camera Serial Interface (CSI-2) 표준) 그리고 영상 표시 장치와의 통신을 위한 프로토콜 계층 표준(Display Serial Interface (DSI) 표준) 등이 있다.
- [0005] 특히, MIPI 연합의 표준들은 현대의 영상시스템 개발에 있어 종래의 병렬 인터페이스 방식의 대역폭(Bandwidth) 한계와 영상 장치들 상호간의 호환성 문제점을 해결하며 또한 저전력 소모라는 장점 때문에 다양한 영상 시스템에 적용되고 있다.
- [0006] 종래의 MIPI CSI 수신 장치에서, 단일 레인인 경우에는, 전송받은 데이터가 단일 레인을 통해서 순차적으로 데이터 레지스터에 입력되고, 또한 데이터 레지스터에 순차적으로 입력된 패킷(Packet)내의 페이로드(Payload) 데이터에 대해 CRC 연산을 수행하여 전송 오류를 검출한다.
- [0007] 이때, MIPI CSI 표준에 정의된 페이로드 데이터의 CRC 연산을 수행하기 위해서는, 8번의 시프트 연산을 필요로 하는데, 종래 기술에서는, 페이로드 데이터에 대한 CRC 코드를 병렬연산 구조를 사용하여 단일 클럭 싸이클 내에 CRC 연산을 수행할 수 있으므로, 데이터 수신율 저하를 방지할 수 있다.
- [0008] 또한, 다중레인 구조를 갖는 MIPI CSI 수신장치의 경우에는, 데이터가 복수의 레인을 통해 순차로 분배되어 수신되므로 페이로드 데이터를 순차적으로 재정렬하기 위한 데이터 병합기를 포함하고, 상기 데이터 병합기에서 병합된 다수개의 페이로드 데이터에 대해 CRC 연산을 병렬로 수행하는 CRC 연산기를 포함한다.
- [0009] 그러나, 이와 같은 종래 MIPI CSI 수신장치에서는, 복수의 레인 구조를 이용하는 경우, 복수의 레인 각각을 통해 분배되어 수신되는 데이터를 순차적으로 정렬하여 CRC 연산을 수행하기 위해서, 데이터 병합기 및 CRC 연산기에서, 동작 클럭 주파수가 복수의 레인의 수만큼 배수로 증가되어야 하므로, 이와 같은 동작 클럭 주파수가 증가하면 그 만큼 전력소모가 상승되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0010] 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해서 제안된 것으로써, 그 목적은, 다중 레인 구조에 적합한 데이터 병합 구조 및 다단 CRC 연산구조로 구현함으로써, 단일 레인 구조와 동일한 클럭 주파수를 사용할 수 있고, 이에 따라 전력 소모를 줄일 수 있는 다중 레인 구조를 갖는 MIPI CSI 수신장치를 제공하는데 있다.

과제 해결수단

- [0011] 상기한 본 발명의 목적을 달성하기 위한 본 발명의 제1 기술적인 측면은, n개의 레인중 기설정된 레인 선택 신호에 따라 레인을 선택하고, 상기 선택된 레인을 통한 데이터를 바이트 단위로 저장하는 데이터 병합기; 및 상기 데이터 병합기로부터의 제1 내지 제n 바이트를 갖는 데이터를 바이트 단위로 CRC 연산하고, 제k 바이트에 대한 CRC 연산값을 이용하여 제k+1 바이트에 대한 CRC 연산을 수행하고, 각 바이트에 대한 CRC 연산값이 병합된 병합 CRC 연산값을 이용하여 제1 바이트에 대한 CRC 연산을 수행하는 다단 CRC 연산기를 포함하는 MIPI CSI 수

신장치를 제안한다.

[0012] 상기 데이터 병합기는, 상기 n 개 라인중에서 1개, 2개 내지 $n-1$ 개 라인을 선택하는 제1, 제2 내지 $n-1$ 라인 선택부; 상기 제1, 제2 내지 $n-1$ 라인 선택부중에서 선택된 하나의 라인 선택부로부터 출력되는 데이터 또는 복수의 라인 모두를 통한 데이터를 선택하는 라인모드 선택부; 및 상기 라인모드 선택부에 의해 선택된 데이터를 바이트 단위로 저장하는 데이터 레지스터를 포함하고, 상기 제1 라인 선택부는 상기 n 개중에서 1개 라인을 선택하고, 상기 제2 라인 선택부는 상기 n 개중에서 2개 라인을 선택하고, 상기 제 $n-1$ 라인 선택부는 상기 n 개중에서 $n-1$ 개 라인을 선택하는 것을 특징으로 한다.

[0013] 상기 다단 CRC 연산기는, 상기 제1, 제2 내지 제 n 바이트중 제1, 제2 내지 제 n 바이트에 대해 CRC 연산을 수행하는 제1, 제2 내지 제 n CRC 연산부; 상기 제1, 제2 내지 제 n CRC 연산부 각각의 CRC 연산값을 병합하여 상기 병합 CRC 연산값을 출력하는 CRC 연산값 선택부; 및 상기 CRC 연산값 선택부로부터의 병합 CRC 연산값을 저장하는 임시 레지스터; 및 상기 CRC 연산값 선택부로부터의 최종 병합 CRC 연산값에 기초해서 CRC 에러를 검출하는 CRC 에러 검출부를 포함하고, 상기 제1 CRC 연산부는, 상기 임시 레지스터(230)에 저장된 병합 CRC 연산값을 이용하여 제1 바이트에 대한 CRC 연산을 수행하고, 상기 제 $k+1$ CRC 연산부는, 제 k CRC 연산부의 CRC 연산값을 이용하여 제 $k+1$ 바이트에 대한 CRC 연산을 수행하는 것을 특징으로 한다.

효 과

[0014] 이와 같은 본 발명에 의하면, 다중 라인 구조에 적합한 데이터 병합 구조 및 다단 CRC 연산구조로 구현함으로써, 단일 라인 구조와 동일한 클럭 주파수를 사용할 수 있고, 이에 따라 전력 소모를 줄일 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0015] 이하, 본 발명의 실시 예를 첨부한 도면을 참조하여 상세히 설명한다.

[0016] 본 발명은 설명되는 실시 예에 한정되지 않으며, 본 발명의 실시 예는 본 발명의 기술적 사상에 대한 이해를 돕기 위해서 사용된다. 본 발명에 참조된 도면에서 실질적으로 동일한 구성과 기능을 가진 구성요소들은 동일한 부호를 사용할 것이다.

[0017] 도 1은 본 발명에 따른 MIPI CSI 수신장치의 블록도이다.

[0018] 도 1을 참조하면, 본 발명에 따른 MIPI CSI 수신장치는, n 개의 라인(L1-Ln)중 기설정된 라인 선택 신호에 따라 라인을 선택하고, 상기 선택된 라인을 통한 데이터를 바이트 단위로 저장하는 데이터 병합기(100)와, 상기 데이터 병합기(100)로부터의 제1 내지 제 n 바이트를 갖는 데이터를 바이트 단위로 CRC 연산하고, 제 k 바이트에 대한 CRC 연산값을 이용하여 제 $k+1$ 바이트에 대한 CRC 연산을 수행하고, 각 바이트에 대한 CRC 연산값이 병합된 병합 CRC 연산값을 이용하여 제1 바이트에 대한 CRC 연산을 수행하는 다단 CRC 연산기(200)를 포함할 수 있다.

[0019] 도 2는 본 발명의 데이터 병합기의 구성 블록도이다.

[0020] 도 2를 참조하면, 상기 데이터 병합기(100)는, 상기 n 개 라인중에서 1개, 2개 내지 $n-1$ 개 라인을 선택하는 제1, 제2 내지 $n-1$ 라인 선택부(110-1, 110-2~110- $n-1$)와, 상기 제1, 제2 내지 $n-1$ 라인 선택부(110-1, 110-2~110- $n-1$)중에서 선택된 하나의 라인 선택부로부터 출력되는 데이터 또는 복수의 라인 모두를 통한 데이터를 선택하는 라인모드 선택부(120)와, 상기 라인모드 선택부(120)에 의해 선택된 데이터를 바이트 단위로 저장하는 데이터 레지스터(130)를 포함할 수 있다.

[0021] 이때, 상기 제1 라인 선택부(110-1)는 상기 n 개 라인중에서 기설정된 1개 라인을 선택하고, 상기 제2 라인 선택부(110-2)는 상기 n 개 라인중에서 기설정된 2개 라인을 선택하고, 상기 제 $n-1$ 라인 선택부(110- $n-1$)는 상기 n 개 라인중에서 기설정된 $n-1$ 개 라인을 선택하도록 이루어질 수 있다.

- [0022] 도 3은 본 발명의 다단 CRC 연산기의 구성 블록도이다.
- [0023] 도 3을 참조하면, 상기 다단 CRC 연산기(200)는, 상기 제1, 제2 내지 제n 바이트중 제1, 제2 내지 제n 바이트 각각에 대해 CRC 연산을 수행하는 제1, 제2 내지 제n CRC 연산부(210-1, 210-2~210-n-1)와, 상기 제1, 제2 내지 제n CRC 연산부(210-1, 210-2~210-n-1) 각각의 CRC 연산값을 병합하여 상기 병합 CRC 연산값을 출력하는 CRC 연산값 선택부(220)와, 상기 CRC 연산값 선택부(220)로부터의 병합 CRC 연산값을 저장하는 임시 레지스터(230)와, 상기 CRC 연산값 선택부(220)로부터의 최종 병합 CRC 연산값에 기초해서 CRC 에러를 검출하는 CRC 에러 검출부(240)를 포함할 수 있다.
- [0024] 여기서, 상기 제1 CRC 연산부(210-1)는, 상기 임시 레지스터(230)에 저장된 병합 CRC 연산값을 이용하여 제1 바이트에 대한 CRC 연산을 수행하고, 상기 제k+1 CRC 연산부(210-k+1)는, 제k CRC 연산부(210-k)의 CRC 연산값을 이용하여 제k+1 바이트에 대한 CRC 연산을 수행하도록 이루어질 수 있다.
- [0025] 이하, 본 발명의 작용 및 효과를 첨부한 도면에 의거하여 상세히 설명한다.
- [0026] 도 1 내지 도 3을 참조하여 본 발명에 따른 MIPI CSI 수신장치를 설명하면, 먼저 도 1에서, 본 발명의 MIPI CSI 수신장치의 데이터 병합기(100)는, n개의 라인(L1-Ln)중 기설정된 라인 선택 신호에 따라 라인을 선택하고, 상기 선택된 라인을 통한 데이터를 바이트 단위로 저장한다.
- [0027] 예를 들어, 본 발명의 MIPI CSI 수신장치는, 4개의 라인(L1-L4)을 갖는 구조일 경우, 4개의 라인(L1-L4)중에서 기설정된 라인 선택 신호에 따라 적어도 하나의 라인, 예를 들면, 기설정된 1개 라인 또는 2개 라인 또는 3개 라인 또는 4개 라인 모두를 선택하고, 상기 선택된 라인을 통한 데이터를 바이트 단위로 저장한다.
- [0028] 본 발명의 다단 CRC 연산기(200)는, 상기 데이터 병합기(100)로부터의 제1 내지 제n 바이트를 갖는 데이터를 바이트 단위로 CRC 연산하고, 제k 바이트에 대한 CRC 연산값을 이용하여 제k+1 바이트에 대한 CRC 연산을 수행하고, 각 바이트에 대한 CRC 연산값이 병합된 병합 CRC 연산값을 이용하여 제1 바이트에 대한 CRC 연산을 수행한다.
- [0029] 예를 들어, 본 발명의 MIPI CSI 수신장치는, 4개의 라인(L1-L4)을 갖는 구조일 경우, 상기 다단 CRC 연산기(200)는, 상기 데이터 병합기(100)로부터 제1 내지 제4 바이트 각각에 대해 바이트 단위로 CRC 연산한다.
- [0030] 여기서, 제1 바이트에 대한 CRC 연산값을 이용하여 제2 바이트에 대한 CRC 연산을 수행하고, 제2 바이트에 대한 CRC 연산값을 이용하여 제3 바이트에 대한 CRC 연산을 수행하고, 제3 바이트에 대한 CRC 연산값을 이용하여 제4 바이트에 대한 CRC 연산을 수행하고, 상기 제1 내지 제4 바이트에 대한 CRC 연산값이 병합된 병합 CRC 연산값을 이용하여 상기 제1 바이트에 대한 CRC 연산을 수행한다.
- [0031] 이하, 도 2를 참조하여 데이터 병합기(100)에 대해 설명한다.
- [0032] 도 2를 참조하면, 상기 데이터 병합기(100)의 제1, 제2 내지 n-1 라인 선택부(110-1, 110-2~110-n-1)중에서 하나가 선택되는 경우, 상기 선택된 라인 선택부는, 상기 n개 라인(L1-Ln)중에서 기설정된 개수의 라인을 선택하여 라인모드 선택부(120)에 제공한다.
- [0033] 예를 들어, 본 발명의 MIPI CSI 수신장치는, 4개의 라인(L1-L4)을 갖는 구조일 경우, 상기 데이터 병합기(100)의 제1 내지 3 라인 선택부(110-1~110-3)중에서 하나의 라인 선택부가 선택되는 경우, 상기 선택된 라인 선택부는 상기 4개 라인중에서 1개 또는 2개 또는 3개 라인을 선택하여 라인모드 선택부(120)에 제공한다.
- [0034] 이때, 상기 제1 라인 선택부(110-1)는 상기 4개 라인중에서 1개 라인을 선택하고, 상기 제2 라인 선택부(110-2)는 상기 4개 라인중에서 2개 라인을 선택하고, 상기 제3 라인 선택부(110-3)는 상기 4개 라인중에서 3개 라인을 선택할 수 있다.
- [0035] 여기서, 4개의 라인은 상기 라인모드 선택부(120)에 직접 연결되어, 4개 라인 모두를 선택하는 경우에는 라인

선택부가 불필요하다.

- [0036] 상기 레인모드 선택부(120)는, 상기 제1 내지 $n-1$ 레인 선택부(110-1~110- $n-1$)중에서 선택된 하나의 레인 선택부로부터 출력되는 데이터 또는 복수의 레인 모두를 통한 데이터를 선택하여 데이터 레지스터(130)에 제공한다.
- [0037] 예를 들어, 본 발명의 MIPI CSI 수신장치는, 4개의 레인(L1-L4)을 갖는 구조일 경우, 상기 레인모드 선택부(120)는, 상기 제1 내지 3 레인 선택부(110-1~110-3)중에서 선택된 하나의 레인 선택부로부터 출력되는 데이터 또는 4개의 레인 모두를 통한 데이터를 선택하여 데이터 레지스터(130)에 제공한다.
- [0038] 결국, 상기 레인모드 선택부(120)에서는 기설정된 1개 레인 또는 2개 레인 또는 3개 레인 또는 4개 레인을 선택할 수 있고, 이와 같이 선택된 레인을 통한 데이터를 바이트 단위로 데이터 레지스터(130)에 저장할 수 있다.
- [0039] 상기 데이터 레지스터(130)는, 상기 레인모드 선택부(120)에 의해 선택된 데이터를 바이트 단위로 저장한다.
- [0040] 예를 들어, 본 발명의 MIPI CSI 수신장치는, 4개의 레인(L1-L4)을 갖는 구조일 경우, 상기 데이터 레지스터(130)는, 상기 레인모드 선택부(120)에 의해 선택된 데이터를 바이트 단위로 저장한다. 여기서 2개의 레인이 선택되는 경우에는, 레인당 1바이트씩 전체 32비트(4개 레인 X 8바이트)가 상기 데이터 레지스터(130)에 바이트 단위, 즉 바이트1, 바이트2, 바이트3 및 바이트4 순으로 순차 저장된다.
- [0041] 즉, 상기 데이터 레지스터(130)는, 상기 레인모드 선택부(120)에 의해 선택된 1개 레인을 통한 데이터, 또는 2개 레인을 통한 데이터, 또는 3개 레인을 통한 데이터, 또는 4개 레인을 통한 데이터를 바이트 단위로 저장할 수 있다.
- [0042] 이하, 도 3을 참조하여 본 발명의 다단 CRC 연산기(300)에 대해 설명한다.
- [0043] 도 3을 참조하면, 상기 다단 CRC 연산기(200)의 제1, 제2 내지 제 n CRC 연산부(210-1, 210-2~210- $n-1$) 각각은 상기 제1, 제2 내지 제 n 바이트 각각에 대해 CRC 연산을 수행할 수 있다.
- [0044] 여기서, 상기 제 $k+1$ CRC 연산부(210- $k+1$)는, 제 k CRC 연산부(210- k)의 CRC 연산값을 이용하여 제 $k+1$ 바이트에 대한 CRC 연산을 수행하도록 이루어질 수 있다.
- [0045] 예를 들어, 본 발명의 MIPI CSI 수신장치는, 4개의 레인(L1-L4)을 갖는 구조일 경우, 상기 다단 CRC 연산기(200)는 제1 내지 제4 CRC 연산부(210-1~210-4)를 포함하며, 이때, 상기 제1 CRC 연산부(210-1)는 상기 제1 바이트에 대해 CRC 연산을 수행하고, 상기 제2 CRC 연산부(210-2)는 상기 제2 바이트에 대해 CRC 연산을 수행하고, 상기 제3 CRC 연산부(210-3)는 상기 제3 바이트에 대해 CRC 연산을 수행한다. 그리고, 상기 제4 CRC 연산부(210-4)는 상기 제4 바이트에 대해 CRC 연산을 수행한다.
- [0046] 이때, 상기 제1 CRC 연산부(210-1)는, 상기 임시 레지스터(230)에 저장된 병합 CRC 연산값을 이용하여 제1 바이트에 대한 CRC 연산을 수행하고, 상기 제2 CRC 연산부(210-2)는, 제1 CRC 연산부(210-1)의 CRC 연산값을 이용하여 제2 바이트에 대한 CRC 연산을 수행하고, 상기 제3 CRC 연산부(210-3)는, 제2 CRC 연산부(210-2)의 CRC 연산값을 이용하여 제3 바이트에 대한 CRC 연산을 수행하고, 상기 제4 CRC 연산부(210-4)는, 제3 CRC 연산부(210- k)의 CRC 연산값을 이용하여 제4 바이트에 대한 CRC 연산을 수행한다.
- [0047] 상기 다단 CRC 연산기(200)의 CRC 연산값 선택부(220)는, 상기 제1, 제2 내지 제 n CRC 연산부(210-1, 210-2~210- $n-1$) 각각의 CRC 연산값을 병합하여 상기 병합 CRC 연산값을 출력한다.
- [0048] 예를 들어, 본 발명의 MIPI CSI 수신장치는, 4개의 레인(L1-L4)을 갖는 구조일 경우, 상기 다단 CRC 연산기(200)의 CRC 연산값 선택부(220)는, 상기 제1 내지 제4 CRC 연산부(210-1~210-4) 각각의 CRC 연산값을 병합하여 상기 병합 CRC 연산값을 출력한다.

[0049] 상기 다단 CRC 연산기(200)의 임시 레지스터(230)는, 상기 CRC 연산값 선택부(220)로부터의 병합 CRC 연산값을 저장하고, 상기 제1 CRC 연산부(210-1)에 제공한다.

[0050] 그리고, 상기 다단 CRC 연산기(200)의 CRC 에러 검출부(240)는, 상기 CRC 연산값 선택부(220)로부터의 최종 병합 CRC 연산값에 기초해서 CRC 에러를 검출한다.

[0051] 전술한 바와 같은 본 발명에서, 데이터 병합기와 다단 CRC연산기를 통해 라인수의 상관없이 단일 클럭 주파수 (Lane bps/8)로의 데이터 순차화와 CRC연산이 가능하다.

도면의 간단한 설명

[0052] 도 1은 본 발명에 따른 MIPI CSI 수신장치의 블록도.

[0053] 도 2는 본 발명의 데이터 병합기의 구성 블록도.

[0054] 도 3은 본 발명의 다단 CRC 연산기의 구성 블록도.

[0055] * 도면의 주요부분에 대한 부호의 설명 *

[0056] 100 : 데이터 병합기

[0057] 110-1~110-n-1 : 제1 내지 n-1 라인 선택부

[0058] 120 : 라인모드 선택부

[0059] 130 : 데이터 레지스터

[0060] 200 : 다단 CRC 연산기

[0061] 210-1~210-n-1 : 제1 내지 제n CRC 연산부

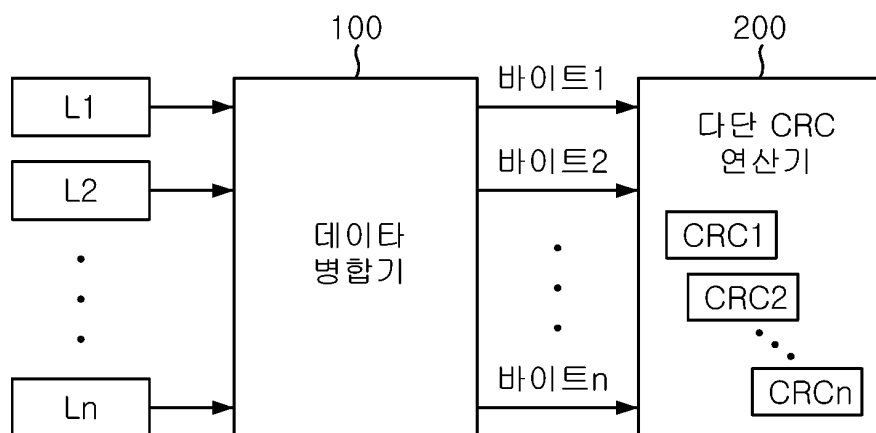
[0062] 220 : CRC 연산값 선택부

[0063] 230 : 임시 레지스터

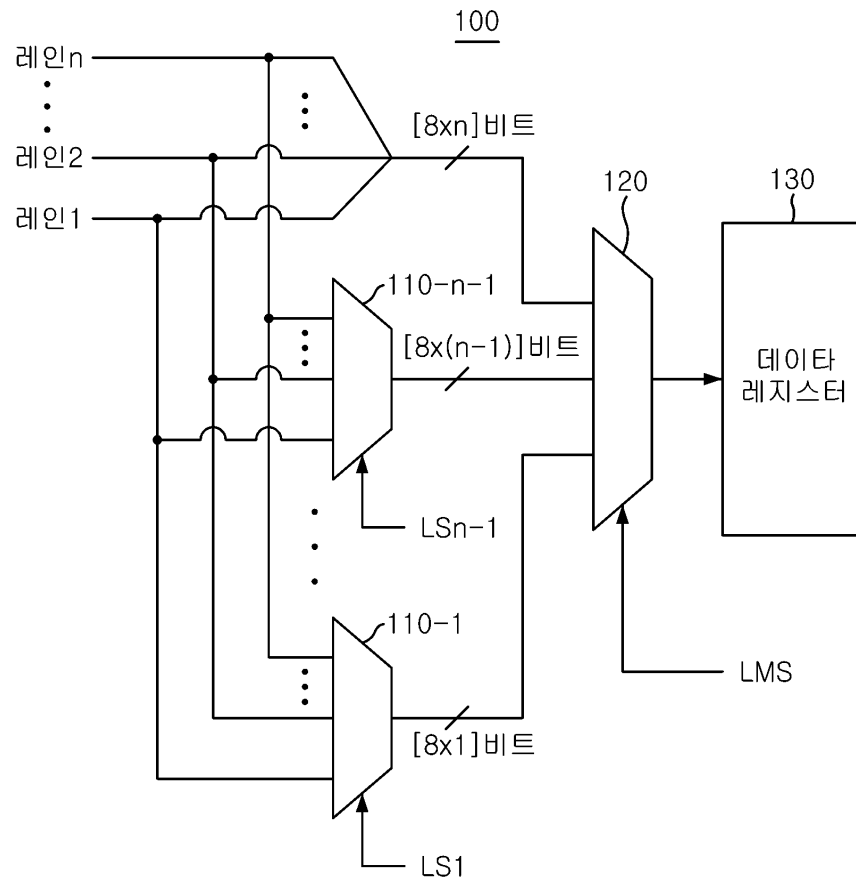
[0064] 240 : CRC 에러 검출부

도면

도면1



도면2



도면3

