(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4064036号
(P4064036)

(45)発行日　平成20年3月19日(2008.3.19)　(24)登録日　平成20年1月11日(2008.1.11)

(51)Int.Cl.			F I		
H04N	5/46	(2006.01)	H04N	5/46	
H04N	7/08	(2006.01)	H04N	7/08	Z
H04N	7/081	(2006.01)	H04N	7/13	Z
H04N	7/26	(2006.01)			

請求項の数 1　(全 32 頁)

(21)出願番号	特願2000-88649(P2000-88649)	(73)特許権者	000005821
(22)出願日	平成12年3月28日(2000.3.28)		松下電器産業株式会社
(65)公開番号	特開2000-350203(P2000-350203A)		大阪府門真市大字門真１００６番地
(43)公開日	平成12年12月15日(2000.12.15)	(74)代理人	100098291
審査請求日	平成14年3月26日(2002.3.26)		弁理士　小笠原　史朗
審判番号	不服2005-11516(P2005-11516/J1)	(72)発明者	後藤　昌一
審判請求日	平成17年6月17日(2005.6.17)		大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(31)優先権主張番号	特願平11-93958	(72)発明者	中谷　信太郎
(32)優先日	平成11年3月31日(1999.3.31)		大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(33)優先権主張国	日本国(JP)		

合議体
審判長　新宮　佳典
審判官　南　義明
審判官　五貫　昭一

(54)【発明の名称】インターレース方式とプログレッシブ方式が混在する映像ストリームのシームレス復号装置

(57)【特許請求の範囲】

【請求項１】

インターレース方式のストリームとプログレッシブ方式のストリームが混在する映像ストリームをデコードしてシームレスに出力する復号装置であって、

前記映像ストリームのヘッダ情報からフレームレートを抽出し、かつ前記映像ストリームを所定のタイミングでデコードしてデジタル映像信号を出力する映像デコード手段と、

前記映像デコード手段が出力する前記デジタル映像信号をエンコードして出力すると共に、前記デジタル映像信号に基づいて垂直同期信号及びパリティ信号を出力する映像出力手段と、

デコードの基本タイミングを示すデコード開始信号を生成する開始信号生成手段と、

前記映像デコード手段が抽出する前記フレームレートに基づいて、前記開始信号生成手段が生成する前記デコード開始信号を前記映像出力手段からの前記パリティ信号でマスクして前記所定のタイミングを決定し、決定された前記所定のタイミングで前記映像デコード手段にデコードを行わせると共に、前記映像デコード手段が抽出する前記フレームレートが変わると前記方式が切り替わる遷移時の所定期間の間、前記映像デコード手段のデコードを禁止する映像デコード制御手段と、を具備することを特徴とする復号装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、異なるフレームレートを有する複数のストリームの混在する映像ストームをシ

ームレス再生する復号装置に関し、さらに詳述すればインターレースストリームとプログレッシブストリームが混在して成るデジタルストリームの復号装置に関する。

【０００２】

【従来の技術】

１９９４年に米国において開始された衛星デジタル放送は、１９９６年には日本および欧州諸国等に波及して、本格的な実用化段階に突入した。デジタル放送においては、従来のアナログ放送には無い、高画質、多チャンネル、およびデータ放送等の様々なサービスの提供が可能である。放送事業者においてそのようなサービスを新たに実現するために、放送局システムや受信機に関して大きな変革がもたらされた。これらの新サービスとして、放送事業者の固有サービスである高画質放送と新たなサービスであるデータ放送が検討されている。２０００年の後半には、日本において、ＢＳデジタル放送が実用化が予定されている。

【０００３】

高画質化のアプローチとして、国内ＣＳ（衛星）デジタル放送においては、郵政省令第７号にて定められているプログレッシブ方式の採用が検討されている。プログレッシブ方式は、従来のインターレース方式に対して２倍の情報量を持ち、非常に高い垂直解像度が得られる。さらに、プログレッシブ方式は、インターレース方式に比べて、フリッカ等のインターレース操作に伴なう画質劣化が無く、高画質な映像を実現できる。

【０００４】

現有の映像コンテンツの殆どはインターレース方式で作成されている。また今後新たに作成される映像コンテンツも、その全てがプログレッシブ方式で作成されると言うのではなく、当初はインターレース方式で作成されるものもあり、順次プログレッシブ方式で作成されるものの割合が多くなっていくものと思われる。また、一度インターレース方式で作成された映像コンテンツを新たにプログレッシブ方式に作成し直すことも特別な理由が無い限り行われないと思われる。

【０００５】

このように事態から、少なくとも当面は、現状のインターレース方式放送にプログレッシブ方式放送が加わった、まだら編成と呼ばれる同一番組内でインターレース方式のストリーム（以降、「インターレースストリームＩＳ」と称す）とプログレッシブ方式のストリーム（以降、「プログレッシブストリームＰＳ」と称す）が混在した形態での放送が予定されている。まだら編成の割合は将来的に少なくなるが、かなりの時期の間は無くならないと考えられる。

【０００６】

このまだら編成は、デジタル放送だけでなく、ＤＶＤ等のＭＰＥＧストリームを扱う機器についても、同様のことが言える。つまり、インターレース方式で作成されたコンテンツと、プログレッシブ方式で作成されたコンテンツがまだら編成されたデジタルストリームが１枚のＤＶＤに記録されて提供されることが予期される。このＤＶＤを再生する場合には、上述のまだら編成されたデジタル放送と同様の事態になる。

【０００７】

【発明が解決しようとする課題】

上述のまだら編成されたデジタルストリーム放送を視聴する場合あるいはまだら編成されたデジタルストリームが記録されたＤＶＤを再生する場合、デコーダ側で、インターレース方式とプログレッシブ方式のようにそれぞれフレームレートの異なるＭＰＥＧストリームに正しく対応した配慮が成されていなければならない。さもなければ、インターレース方式／プログレッシブ方式の切替え時に、以下に図２７および図２８を参照して説明するように画面に乱れを引き起こしてしまう。つまり、フレームあるいはフィールド単位で画面が表示さなかったり、不完全に表されたりして画面展開に視認できる程の不連続性が生じ、視聴者に違和感を与えてしまう。

【０００８】

図２７に、インターレースストリームＩＳからプログレッシブストリームＰＳに変わるま

だら編成ストリームをデコードする従来の映像復号装置内の動作を示す。同図において、画像表示期間（以降、簡便化のために、必要に応じて「期間」と略称する）Ｔ０～Ｔ４迄は、ＰピクチャＰ９（期間Ｔ０）、ＢピクチャＢ７（期間Ｔ２）、およびＢピクチャＢ８（期間Ｔ４）から成るインターレースストリームＩＳが、ビットストリームＦＩＦＯを介して映像復号装置に入力される。

【０００９】

そして、画像表示期間Ｔ６～Ｔ１１迄は、ＩピクチャＩ０（期間Ｔ６）、ＰピクチャＰ３（期間Ｔ７）、ＢピクチャＢ１（期間Ｔ８）、ＢピクチャＢ２（期間Ｔ９）、ＰピクチャＰ６（期間Ｔ１０）、およびＢピクチャＢ４（期間Ｔ１１）からなるプログレッシブストリームＰＳが、ビットストリームＦＩＦＯを介して映像復号装置に入力される。以下に、各期間における映像復号装置の動作について説明する。

【００１０】

なお、各ピクチャの接尾辞の「Ｐ」はＰｒｅｄｉｃｔｉｖｅ　Ｐｉｃｔｕｒｅを意味し、「Ｉ」はＩｎｔｒａ　Ｐｉｃｔｕｒｅを意味し、そして「Ｂ」はＢｉｄｉｒｅｃｔｉｏｎａｌｌｙ　Ｐｒｅｄｉｃｔｉｖｅ　Ｐｉｃｔｕｒｅを意味している。そして、接尾辞Ｐ、Ｉ、およびＢのそれぞれに後続する数字はそのピクチャの表示順位を示している。

【００１１】

入力ストリームに含まれるインターレースストリームＩＳのピクチャデータのそれぞれは、対応するデコード開始信号に同期してデコードが開始されると同時に、指定されたフレームメモリＦＭｎに書き込まれる。フレームメモリＦＭｎに書き込まれたデコードされたピクチャデータは、所定のタイミングでフレームメモリＦＭｎから読み出されて、垂直同期信号に同期して（垂直信号がハイレベルの間）、表示パリティに従ってボトムフィールドあるいはトップフィールドが表示される。

【００１２】

なお、ＰピクチャおよびＩピクチャの場合は、フレームメモリＦＭｎ書き込まれてから所定時間後にフレームメモリＦＭｎから読み出されて表示されるが、Ｂピクチャの場合はフレームメモリＦＭｎに書き込まれると同時に、フレームメモリＦＭｎから読み出されて表示される。

【００１３】

なお、入力ストリームに含まれるプログレッシブストリームＰＳのピクチャデータについても、インターレースストリームＩＳのピクチャデータと同様に、デコードされ、フレームメモリＦＭｎに書き込まれ、そしてフレームメモリＦＭｎから読み出されて表示される。しかしながら、表示されるのはフィールドではなく、表示パリティに関係なくフレームである。以下に各画像表示期間における入力ストリームのデコードから表示までの動作について具体的に説明する。

【００１４】

先ず、期間Ｔ０において、フレームメモリＦＭ２およびフレームメモリＦＭ３には、期間Ｔ０以前にインターレースストリームＩＳに含まれていたＰピクチャＰ６およびＢピクチャＢ５（図示せず）のデコードされたデータがそれぞれ書き込まれている。そして、ＰピクチャＰ９は入力されながら順次デコードされて、フレームメモリＦＭ１に書き込まれる。

【００１５】

そして表示のための垂直同期信号に同期し、さらに表示パリティに従って、フレームメモリＦＭ２からはＰピクチャＰ６のデコードデータが読み出されて、表示パリティに従いボトムフィールドの表示が開始される。なお、ここに示す従来例の場合、インターレースストリームはボトムフィールドファーストである。

【００１６】

期間Ｔ１において、期間Ｔ０中に開始したＰピクチャＰ６のボトムフィールドの表示が終了後、表示パリティに従いＰピクチャＰ６のトップフィールドの表示が開始される。

【００１７】

期間Ｔ２において、ＢピクチャＢ７は入力されながら順次デコードされて、フレームメモリＦＭ３に書き込まれると共に、さらに読み出されて、表示パリティに従いボトムフィールドの表示が開始される。

【００１８】

期間Ｔ３において、期間Ｔ２中に開始したＢピクチャＢ７のボトムフィールドの表示が終了後、表示パリティに従いＢピクチャＢ７のトップフィールドの表示が開始される。

【００１９】

期間Ｔ４において、ＢピクチャＢ８は入力されながら順次デコードされて、フレームメモリＦＭ３に書き込まれると共に、さらに読み出されて、表示パリティに従いボトムフィールドの表示が開始される。

【００２０】

期間Ｔ５において、期間Ｔ４中に開始したＢピクチャＢ８のボトムフィールドの表示が終了後、表示パリティに従いＢピクチャＢ８のトップフィールドの表示が開始される。

【００２１】

期間Ｔ６において、プログレッシブストリームＰＳのＩピクチャＩ０が入力されながら順次デコードされて、フレームメモリＦＭ２に書き込まれる。同時に、フレームメモリＦＭ１からインターレースストリームＩＳのＰピクチャＰ９のデコードデータが読み出されて、表示パリティに従いボトムフィールドの表示が開始される。

【００２２】

期間Ｔ７において、プログレッシブストリームＰＳのＰピクチャＰ３が入力されながら順次デコードされてフレームメモリＦＭ１に書き込まれる。なお、フレームメモリＦＭ２からはプログレッシブストリームＰＳのＩピクチャＩ０が読みだされて、フレームが表示される。このため、期間Ｔ６で開始されたフレームメモリＦＭ１から読み出されているＰピクチャＰ９のトップフィールドの表示が行われない。このように、ＰピクチャＰ９のトップフィールドの代わりに、プログレッシブストリームＰＳのＩピクチャＩ０のフレームの表示が開始される時に、画像の乱れ（不連続性）が生じて、聴視者に不快感を与えてしまう。

【００２３】

期間Ｔ８において、プログレッシブストリームＰＳのＢピクチャＢ１が入力されながら順次デコードされてフレームメモリＦＭ３に書き込まれると同時に読み出されて、ＢピクチャＢ１のフレームが表示される。このように、インターレースストリームＩＳの最終表示データであるＰピクチャＰ９は完全に表示されること無く、プログレッシブストリームＰＳの表示に切り替わる。

【００２４】

期間Ｔ９においては、ＢピクチャＢ２が入力されながら順次デコードされて、フレームメモリＦＭ２に書き込まれると同時に読み出されて、ＢピクチャＢ２のフレームが表示される。

【００２５】

期間Ｔ１０においては、ＰピクチャＰ６が入力されながら順次デコードされてフレームメモリＦＭ２に書き込まれる。さらに、フレームメモリＦＭ１からＰピクチャＰ３のデコードデータが読み出されて、そのフレームが表示される。

【００２６】

期間Ｔ１１においては、ＢピクチャＢ４が入力されながら順次デコードされてフレームメモリＦＭ３に書き込まれると同時に読み出されてＢピクチャＢ４のフレームが表示される。

【００２７】

このように、画像表示期間Ｔ５の前後で、放送がインターレースストリームＩＳからプログレッシブストリームＰＳに切り替わる場合、画像表示期間Ｔ６～Ｔ７においてインターレースストリームＩＳのＰピクチャＰ９のトップフィールドが表示されないまま、次のプログレッシブストリームＰＳの映像が表示されてしまう。

【００２８】
次に、図２８に、プログレッシブストリームＰＳからインターレースストリームＩＳに変わるまだら編成ストリームをデコードする従来の映像復号装置（図示せず）内の動作を示す。同図において、画像表示期間Ｔ６～Ｔ１１迄は、ＰピクチャＰ６（期間Ｔ６）、ＢピクチャＢ４（期間Ｔ７）、ＢピクチャＢ５（期間Ｔ８）、ＰピクチャＰ９（期間Ｔ９）、ＢピクチャＢ７（期間Ｔ１０）、およびＢピクチャＢ８（期間Ｔ１１）から成るプログレッシブストリームＰＳがビットストリームＦＩＦＯを介して映像復号装置に入力される。
【００２９】
そして、画像表示期間Ｔ０～Ｔ４迄は、ＩピクチャＩ０（期間Ｔ０）、ＰピクチャＰ３（期間Ｔ２）、およびＢピクチャＢ１（期間Ｔ４）から成るインターレースストリームＩＳがビットストリームＦＩＦＯを介して映像復号装置に入力される。以下に、各期間における映像復号装置の動作について説明する。
【００３０】
期間Ｔ６において、プログレッシブストリームＰＳのＰピクチャＰ６が入力されながら順次デコードされてフレームメモリＦＭ２に書き込まれる。同時に、フレームメモリＦＭ１からプログレッシブストリームＰＳの先行するＰピクチャＰ３のデコードデータが読み出されて表示が開始される。
【００３１】
期間Ｔ７において、ＢピクチャＢ４が入力されながら順次デコードされてフレームメモリＦＭ３に書き込まれると共に読み出されて、ＢピクチャＢ４のフレームが表示される。
【００３２】
期間Ｔ８において、ＢピクチャＢ５が入力されながら順次デコードされてフレームメモリＦＭ３に書き込まれると共に読み出されて、ＢピクチャＢ５のフレームが表示される。
【００３３】
期間Ｔ９において、ＰピクチャＰ９が入力されながら順次デコードされてフレームメモリＦＭ１に書き込まれる。さらに、同時にフレームメモリＦＭ２からＰピクチャＰ６のデコードデータが読み出されて、ＰピクチャＰ６のフレームが表示される。
【００３４】
期間Ｔ１０において、ＢピクチャＢ７が入力されながら順次デコードされてフレームメモリＦＭ３に書き込まれると共に読み出されて、ＢピクチャＢ７のフレームが表示される。
【００３５】
期間Ｔ１１において、ＢピクチャＢ８が入力されながら順次デコードされてフレームメモリＦＭ３に書き込まれると共に読み出されて、ＢピクチャＢ８のフレームが表示される。
【００３６】
期間Ｔ０において、インターレースストリームＩＳのＩピクチャＩ０が入力されながらフレームメモリＦＭ２に書き込まれる。さらに、同時にフレームメモリＦＭ１からプログレッシブストリームＰＳのＰピクチャＰ９のデコードデータが読み出されて、ＰピクチャＰ９のフレームが表示される。
【００３７】
期間Ｔ１においては、期間Ｔ０で表示されたプログレッシブストリームＰＳのＰピクチャＰ９のフレームが引き続き表示される。
【００３８】
期間Ｔ２においては、インターレースストリームＩＳのＰピクチャＰ３が入力されながら順次デコードされてフレームメモリＦＭ１に書き込まれる。さらに、同時にフレームメモリＦＭ２からインターレースストリームＩＳのＩピクチャＩ０が読み出され、表示パリティに従いボトムフィールドが表示される。
【００３９】
期間Ｔ３において、期間Ｔ２で開始したＩピクチャＩ０のボトムフィールドの終了後に、表示パリティに従ってＩピクチャＩ０のトップフィールドが表示される。
【００４０】

期間Ｔ４において、インターレースストリームＩＳのＢピクチャＢ１が入力されながら順次デコードされてフレームメモリＦＭ３に書き込まれると共に読み出されて、表示パリティに従いＢピクチャＢ１のボトムフィールドが表示される。

【００４１】

期間Ｔ５において、期間Ｔ４で開始したＢピクチャＢ１のボトムフィールドの終了後に、表示パリティに従ってＢピクチャＢ１のトップフィールドが表示される。

【００４２】

上述のように、画像表示期間Ｔ１１とＴ０の間で、放送がプログレッシブストリームＰＳからインターレースストリームＩＳに切り替わる場合には、インターレースストリームＩＳがｔｏｐ＿ｆｉｅｌｄを先に表示しなければならない場合でも、画像表示期間Ｔ２～Ｔ３においてｂｏｔｔｏｍ＿ｆｉｅｌｄから先に表示してしまう。ｔｏｐ＿ｆｉｅｌｄとｂｏｔｔｏｍ＿ｆｉｅｌｄが逆の順番に表示（フレームメモリＦＭｎから出力）されると、フィールド単位の画像の時間関係がずれて見づらいものになる。

【００４３】

なぜなら、時間軸に対してｔｏｐ＿ｆｉｅｌｄが先に表示されるべき映像が、ｂｏｔｔｏｍ＿ｆｉｅｌｄから表示されると、映像が時間軸を遡ることになる。よって、映像ストリームＳＴｖの内容がプログレッシブストリームＰＳからインターレースストリームＩＳへ遷移する場合は、ｔｏｐ＿ｆｉｅｌｄから表示するのか、ｂｏｔｔｏｍ＿ｆｉｅｌｄから表示するのかを識別して、表示パリティに合わすことが最重要である。

【００４４】

さらに、インターレースストリームＩＳのデコードタイミングでプログレッシブストリームＰＳをデコードする場合には、データ処理量がインターレースストリームＩＳ処理時の２倍になるので、オーバーフローが発生する。一方、プログレッシブストリームＰＳのデコードタイミングでインターレース方式のストリームをデコードする場合には、逆にデータ処理がプログレッシブストリームＰＳ処理時の半分になるのでアンダーフローが発生する。その結果、デコード処理が破綻する。

【００４５】

図２７および図２８に示す例においては、フレームメモリ群は、それぞれストリームの画像データであるＩピクチャあるいはＰピクチャを格納するフレームメモリＦＭ１およびフレームメモリＦＭ２と、Ｂピクチャのみを格納するフレームメモリＦＭ３の３つから構成される。このように構成されたフレームメモリ群において、各フレームメモリＦＭｎ（ｎ＝１、２、３）に画像データを格納、つまり書き込むタイミングと、書き込まれた画像データを表示するためにフレームメモリＦＭｎから読み出すタイミングは互いに同期がとられている。

【００４６】

つまり、フレームメモリＦＭ１およびＦＭ２の何れかに格納されるべきＩピクチャあるいはＰピクチャがデコードされている最中（例えば、フレームメモリＦＭ１に格納）には、既にデコードされているピクチャ（例えば、フレームメモリＦＭ２に格納）が読み出されて表示される。そして、フレームメモリＦＭ３に格納されているＢピクチャをデコードする場合は、該Ｂピクチャをデコードしつつ読み出して表示する。

【００４７】

例えば、図２７において画像表示期間Ｔ０の場合、Ｐ９ピクチャをフレームメモリＦＭ１にデコードしているので、フレームメモリＦＭ２に格納されているＰ６ピクチャを表示する。そして、画像表示期間Ｔ２の場合、Ｂ７ピクチャをフレームメモリＦＭ３にデコードしているので、Ｂ７ピクチャを表示している。これは、Ｂピクチャはフレーム間の双方向予測によるデコードを行うため、前後のＩピクチャおよびＰピクチャを参照するために、フレームメモリＦＭ１およびＦＭ２にそれぞれのピクチャを保持しておく必要があるからである。

【００４８】

さらに、図２７および図２８に示したような入力ストリームにおいて、デコードと表示が

同時に行われるＢピクチャに関しては、表示の進行速度によってデコードタイミングを制御しなければならない。つまりＢピクチャが大き過ぎてそのデコード時間が垂直同期信号の周期（１６．７ｍｓ）内に収まらず、表示の乱れを引き起こすことがある。

【００４９】

以上の点から、本発明は、フレームレートの異なる複数の映像データから成るストリーム中のフレームレート、表示パリティ（ｔｏｐ／ｂｏｔｔｏｍ＿ｆｉｅｌｄのどちらを先に表示するかを決めるパラメータ）の解析を行い、ビデオデコードの起動のタイミングを制御することで、画面表示に乱れの生じないシームレス再生を実現する映像復号装置を提供することを目的とする。

【００５０】

【課題を解決するための手段および発明の効果】

インターレース方式のストリームとプログレッシブ方式のストリームが混在する映像ストリームをデコードしてシームレスに出力する復号装置であって、映像ストリームのヘッダ情報からフレームレートを抽出し、かつ映像ストリームを所定のタイミングでデコードしてデジタル映像信号を出力する映像デコード手段と、映像デコード手段が出力するデジタル映像信号をエンコードして出力すると共に、デジタル映像信号に基づいて垂直同期信号及びパリティ信号を出力する映像出力手段と、デコードの基本タイミングを示すデコード開始信号を生成する開始信号生成手段と、映像デコード手段が抽出するフレームレートに基づいて、開始信号生成手段が生成するデコード開始信号を映像出力手段からのパリティ信号でマスクして所定のタイミングを決定し、決定された所定のタイミングで映像デコード手段にデコードを行わせると共に、映像デコード手段が抽出するフレームレートが変わると方式が切り替わる遷移時の所定期間の間、映像デコード手段のデコードを禁止する映像デコード制御手段と、を具備することを特徴とする。

【００５１】

上述のように、第１の発明においては、デコードする前に予め抽出したデコードするストリームのフレームレートに基づいてデコーディングタイミングを決定するので、デコードするストリームに対して適切な処理を施すように準備できる。

【００７４】

【発明の実施の形態】

（第１の実施形態）

先ず、図１、図２、図３、および図４を参照して、本発明の第１の実施形態にかかる映像ストリームシームレス復号装置について説明する。図１のブロック図に示すように、本例における映像ストリームシームレス復号装置（以下「映像復号装置ＶＤＡ１」と略称する）は、大別して、入力されるＭＰＥＧデータである映像ストリームＳＴｖをデコードして、デジタル映像信号Ｂｓｔｖを生成する映像デコード部Ｄｄｖと、ビデオエンコーダＥＶ、デコード開始信号生成器１１、および映像デコード制御部ＣＤＶ１より構成される。

【００７５】

映像デコード部Ｄｄｖは、外部のデジタル映像信号源（図示せず）に接続されて、映像ストリームＳＴｖの入力を得る。なお、映像ストリームＳＴｖの具体的な構造については、後ほど図４を参照して詳しく説明する。そして、映像デコード部Ｄｄｖは、入力された映像ストリームＳＴｖに種々のデジタル処理を施してデコードし、デジタル映像信号Ｂｓｔｖを生成する。

【００７６】

ビデオエンコーダＥＶは、モニタに画像を表示するために、各表示方式毎に定められた垂直同期信号Ｖｓおよびパリティ信号Ｖｐを、映像デコード制御部ＣＤＶ１に出力する。さらに、ビデオエンコーダＥＶは、映像デコード部Ｄｄｖに接続されて、デジタル映像信号Ｂｓｔｖの入力を受けて、垂直同期信号Ｖｓとパリティ信号Ｖｐによって定められるタイミングで、デジタル映像信号Ｂｓｔｖをエンコードして、表示方式に適合した映像信号Ｓｖを出力する。この映像信号Ｓｖはそれぞれ表示方式の適合した表示装置によって画像表示される。

【００７７】
デコード開始信号生成器１１は、ビデオエンコーダＥＶから入力される垂直同期信号Ｖｓに基づいて、入力される映像ストリームＳＴｖのピクチャ構造に適合したタイミングでデコードするためのデコード開始信号Ｖｓｄを生成する。この意味において、垂直同期信号Ｖｓを第１の垂直同期信号、デコード開始信号Ｖｓｄを第２の垂直同期信号と見なすことができる。
【００７８】
映像デコード制御部ＣＤＶ１は、さらに、映像デコード部Ｄｄｖに接続されて、映像ストリームＳＴｖのデコード処理時に抽出されたヘッダ情報Ｉｈと、ヘッダ情報Ｉｈに基づいて生成される種々のデータの内ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅ（図１において、「Ｆｒｃ」と表記）との入力を受ける。そして、映像デコード制御部ＣＤＶ１は、ビデオエンコーダＥＶより入力される垂直同期信号Ｖｓおよびパリティ信号Ｖｐと、映像デコード部Ｄｄｖより入力されるヘッダ情報Ｉｈおよびｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅに基づいて、映像ストリームＳＴｖがその内容に応じて正しくデコードされるように、映像デコード部Ｄｄｖ全体の動作を制御する。
【００７９】
映像デコード部Ｄｄｖは、ビットストリームＦＩＦＯ１、ストリーム解析器２、ビデオデコーダ３、ヘッダ情報蓄積器４、書込フレームメモリ選択器５（図１において「書込ＦＭ選択器５」と表記）、フレームメモリ群６、および表示フレームメモリ選択器７（図１において「表示ＦＭ選択器７」と表記）を含む。ビットストリームＦＩＦＯ１は、外部のデジタル映像信号源から入力される映像ストリームＳＴｖを一旦保持する。
【００８０】
ストリーム解析器２は、ビットストリームＦＩＦＯ１から入力される映像ストリームＳＴｖ中のヘッダ情報を解析して、ヘッダ情報Ｉｈを抽出すると共に、ＭＰＥＧの圧縮画像データＭｂを抽出する。
【００８１】
ビデオデコーダ３は、ストリーム解析器２より入力された圧縮画像データＭｂを復号して復号化画像データＤＭｂを生成し、書込フレームメモリ選択器５に出力する。一方、ヘッダ情報蓄積器４は、ストリーム解析器２より入力されるヘッダ情報Ｉｈを蓄積する。そして、ヘッダ情報蓄積器４は蓄積されたヘッダ情報Ｉｈの内、ピクチャコーディングタイプＰＣＴ（つまりピクチャがＰ、Ｉ、およびＢの何れであるかを示すパラメータ）を、書込フレームメモリ選択器５および表示フレームメモリ選択器７からの要求に応じて、それぞれに出力する。さらに、ヘッダ情報蓄積器４は、映像デコード制御部ＣＤＶ１からの要求に応じて、ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅを出力する。
【００８２】
書込フレームメモリ選択器５は、ピクチャコーディングタイプＰＣＴに応じて、ビデオデコーダ３から出力される復号化画像データＤＭｂのピクチャデータを、フレームメモリＦＭ１～ＦＭ３の何れに書き込むかを示す書込フレームメモリ指示信号Ｗｆを生成して、フレームメモリ群６に出力する。フレームメモリ群６は、３つのフレームメモリ６ａ、６ｂおよび６ｃから構成され、これら３つのフレームメモリは第１のフレームメモリＦＭ１、第２のフレームメモリＦＭ２、および第３のフレームメモリＦＭ３と区別される。フレームメモリ群６は、フレームメモリ識別信号Ｗｆを受けて、指定されたフレームメモリＦＭｎ（ｎ＝１，２，３の何れか）に、ビデオデコーダ３から出力された復号化画像データＤＭｂをピクチャ単位（以降、「ピクチャデータ」と称する）で書き込む。
【００８３】
表示フレームメモリ選択器７は、ピクチャコーディングタイプＰＣＴに基づいて、それぞれに書き込まれているピクチャデータ（復号化画像データＤＭｂ）に対応するフレームメモリＦＭｎを示す読み出しフレームメモリ指示信号Ｒｆを生成して、フレームメモリ群６に出力する。フレームメモリ群６は、フレームメモリ指示信号Ｒｆが示すフレームメモリＦＭｎから所定の順番で復号化画像データＤＭｂのピクチャデータを読み出して、デジタ

ル映像信号Ｂｓｔｖをビデオエンコーダ ＥＶに出力する。

【００８４】

映像デコード制御部ＣＤＶ１は、シーケンサ１０、デコードタイミングマスク器１２、第１のＩ／Ｐ切替器１３、および第２のＩ／Ｐ切替器１４を含む。

デコードタイミングマスク器１２は、ビデオエンコーダＥＶ、シーケンサ１０、およびデコード開始信号生成器１１に接続されて、それぞれパリティ信号Ｖｐ、Ｉ／Ｐ識別信号Ｓａ、およびデコード開始信号Ｖｓｄの入力を受ける。Ｉ／Ｐ識別信号Ｓａは、映像デコード制御部ＣＤＶ１が映像デコード部Ｄｄｖのヘッダ情報蓄積器４から供給されるｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅに基づいて現在入力されている映像ストリームＳＴｖがインターレースストリームＩＳとプログレッシブストリームＰＳの何れであるかによって、ピクチャ単位でのデコードの要否を決定するパラメータｓｔａｔｅとパラメータｐｉｍｏｄｅを切り替える状態遷移信号ＩＰ１およびＩＰ２に応じて切り替わる二値信号である。

【００８５】

デコードタイミングマスク器１２は、Ｉ／Ｐ識別信号Ｓａに基づいて、デコード開始信号Ｖｓｄをパリティ信号Ｖｐでマスクして、第１のデコード開始信号Ｖｍを生成する。シーケンサ１０は、第１のデコード開始信号Ｖｍに基づいて第１のＩ／Ｐ切替器１３を制御する制御信号Ｓｃ３と、第２のＩ／Ｐ切替器１４を制御する制御信号Ｓｃ１を生成する。第１のＩ／Ｐ切替器１３は制御信号Ｓｃ３によって、ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅに基づいて第１の状態遷移信号ＩＰ１を生成する。

【００８６】

第２のＩ／Ｐ切替器１４は制御信号Ｓｃ１によって、第２の状態遷移信号ＩＰ２を生成する。さらに、シーケンサ１０は、第１の状態遷移信号ＩＰ１および第２の状態遷移信号ＩＰ２に基づいて、第１のデコード開始信号Ｖｍで規定されるタイミングでデコードして良いかどうかを判定して、必要に応じて第１のデコード開始信号Ｖｍを補正して第２のデコード開始信号Ｖｍｃを生成する。この意味において、第２のデコード開始信号が実際のデコード開始を規定するデコードタイミング信号と言える。なお、後ほど、図２のフローチャートおよび図３のタイミングチャートを参照して説明するように、本実施形態においては、第２のデコード開始信号Ｖｍｃは第１のデコード開始信号Ｖｍと同一である。

【００８７】

次に、図４を参照して、映像ストリームＳＴｖの構造について説明する。通常、映像ストリームＳＴｖは、図４（ａ）に示すようにシーケンス層、ＧＯＰ層、ピクチャ層ＰＬ、スライス層ＳＬから成る。シーケンス層は画面フォーマットを指定し、ＧＯＰ層はピクチャ層ＰＬ以下をグループ化したものである。ピクチャ層ＰＬは表示画面の１枚毎に付加され、スライス層ＳＬより下位に実際の符号化されたデータが存在する。なお、シーケンス層は、同図に示す例においては、シーケンスヘッダ、ＧＯＰヘッダ、およびピクチャヘッダより構成される。

【００８８】

上述のように、ピクチャには、画像符号化方法によって、Ｉピクチャ、Ｐピクチャ、およびＢピクチャの３種類がある。本明細書において、これらの３種類のピクチャを表すＩ、Ｐ、およびＢに数字から成る接尾辞を付して、ストリーム中に含まれるピクチャをそれぞれ識別するものとする。

【００８９】

図４（ｃ）に示すように、ピクチャデータがＭＰＥＧの規定に従いＩ０、Ｐ３、Ｂ１、Ｂ２、Ｐ６、Ｂ４、Ｐ９、Ｂ７、Ｂ８、・・・の順番で配列されている映像ストリームＳＴｖ（画像データＭｂ）が映像復号装置ＶＤＡ１に入力される場合には、これらのピクチャデータは映像復号装置ＶＤＡ１内にてＩ０、Ｂ１、Ｂ２、Ｐ３、Ｂ４、Ｂ５、Ｐ６、Ｂ７、Ｂ８、Ｐ９・・・のように表示順位どおりに表示されるように再配列された映像信号Ｓｖ（デジタル映像信号Ｂｓｔｖ）に変換されて出力される。

【００９０】

また、図４（ｂ）に示すように、インターレースストリームＩＳ（３０ｆｒａｍｅ／ｓ）

、プログレッシブストリームＰＳ（６０ｆｒａｍｅ／ｓ）、および映画素材のインターレースストリームＩＳ（２４ｆｒａｍｅ／ｓ）のようにそれぞれフレームレートの異なるストリームは、各ストリームのシーケンスヘッダ層に記述されているｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅパラメータの値（例えば、００１０、０１００、および０１１１）に基づいて識別される。

【００９１】

インターレースストリームＩＳを復号するには、トップフィールドおよびボトムフィールド（ｔｏｐ／ｂｏｔｔｏｍ＿ｆｉｅｌｄ）毎に飛び越し走査するが、ピクチャ毎にフレームメモリＦＭｎから出力されるフィールド（ｆｉｅｌｄ）がトップあるいはボトム（ｔｏｐ／ｂｏｔｔｏｍ）のどちらが先かを指定する情報が、そのピクチャ層ＰＬに含まれている。

【００９２】

なお、上述の図３に示す例では、画像表示期間Ｔ０～Ｔ３においてトップフィールド（ｔｏｐ＿ｆｉｅｌｄ）を先に表示している場合の例を示している。この場合、内部変数として、パラメータｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔを持ち、このパラメータｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔ＝１の時、トップフィールド（ｔｏｐ＿ｆｉｅｌｄ）を先に出力する。そして、パラメータｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔ＝０の時、ボトムフィールド（ｂｏｔｔｏｍ＿ｆｉｅｌｄ）を先に表示する。

【００９３】

画像表示期間Ｔ８～Ｔ１１は、フレーム単位で出力するので、この場合は、シーケンス層ＳＬのパラメータｐｒｏｇｒｅｓｓｉｖｅ＿ｓｅｑｕｅｎｃｅの値は１である。これらのパラメータに代表される、ストリーム中のヘッダ情報Ｉｈは、ヘッダ情報蓄積器４に格納される。

【００９４】

次に、図２に示すフローチャートを参照して、図１に示した映像復号装置ＶＤＡ１（主に映像デコード制御部ＣＤＶ１）の動作について説明する。

映像復号装置ＶＤＡ１に電源が投入されると、デコード開始信号生成器１１はビデオエンコーダＥＶから入力される垂直同期信号Ｖｓに基づいて、デコード開始信号Ｖｓｄの生成処理を開始する。

【００９５】

そして、ステップＳ１において、映像デコード制御部ＣＤＶ１は、デコード開始信号生成器１１からデコード開始信号Ｖｓｄが出力されているかどうかを監視する。そして、第２の垂直同期信号であるデコード開始信号Ｖｓｄが出力されている場合にのみ、Ｙｅｓと判断して、処理は次のステップＳ３に進む。上述のように、デコード開始信号Ｖｓｄは、本発明におけるストリームをデコードする基本のタイミングを決める第２の垂直同期信号である。そのために、本ステップによって、デコード開始信号Ｖｓｄが生成されていることを監視するデコード開始信号Ｖｓｄ監視ルーチン＃１００が構成されている。

【００９６】

ステップＳ３において、映像ストリームＳＴｖがインターレースストリームＩＳからプログレッシブストリームＰＳあるいはその逆に切り替わる遷移状態であることを表すパラメータｓｔａｔｅの値が８であるか、つまり映像ストリームＳＴｖがインターレースストリームＩＳからプログレッシブストリームＰＳに遷移しているかどうかを判断する。そして、ｓｔａｔｅの値が８でない、つまり映像ストリームＳＴｖがインターレースストリームＩＳからプログレッシブストリームＰＳに遷移していない場合には、Ｎｏと判断されて、処理は次のステップＳ５に進む。一方、ｓｔａｔｅの値が８である場合、つまり映像ストリームＳＴｖが遷移している場合には、ステップＳ１９に進む。

【００９７】

ステップＳ１９において、ｓｔａｔｅが０にリセットされた後に、処理はステップＳ１に戻り、スリープ処理を行う。なお、ステップＳ３およびステップＳ１９によって、第２のＩ／Ｐ切替ルーチン＃２００が構成されている。

【００９８】
ステップＳ５において、映像ストリームＳＴｖがインターレースストリームＩＳかプログレッシブストリームＰＳの何れであるかを示すフラグｐｉｍｏｄｅの値がＰであるか否かを判断する。そして、ｐｉｍｏｄｅ＝Ｉの場合、つまり現在の映像ストリームＳＴｖがインターレースストリームＩＳである場合には、ＮＯと判断されて、処理は次のステップＳ７に進む。
【００９９】
ステップＳ７において、トップフィールドとボトムフィールドの何れを先にフレームメモリＦＭｎから出力するかを示すパラメータｐａｒｉｔｙ＿ｍａｓｋの値とビデオエンコーダＥＶから入力されるパリティ信号Ｖｐ（表示パリティ）の値が同一であるかを判断する。そして、同一でない場合は、Ｎｏと判断されて、処理は次のステップＳ９に進む。
【０１００】
同一の場合は、Ｙｅｓと判断されて、ステップＳ１に戻りスリープ処理を行う。なお、ｐａｒｉｔｙ＿ｍａｓｋは、デコード開始信号生成器１１から入力されるデコード開始信号Ｖｓｄを、デコードタイミングマスク器１２がパリティ信号Ｖｐ（表示パリティ）によってマスク処理をするためのパラメータである。
【０１０１】
一方、ステップＳ５において、Ｙｅｓ、つまり現在の映像ストリームＳＴｖ（画像データＭｂ）がプログレッシブストリームＰＳである場合には、ステップＳ７を飛び越えてステップＳ９に進む。このようにして、ステップＳ５およびステップＳ７によって、デコード開始信号Ｖｓｄをマスクするマスク制御ルーチン＃３００が構成される。
【０１０２】
ステップＳ９においては、映像ストリームＳＴｖの遷移状態を示すパラメータｓｔａｔｅの値が０でない、つまり遷移状態である場合には、Ｎｏと判断されて、処理はステップＳ１３に進む。一方、ｓｔａｔｅの値が０、つまり遷移状態でない場合には、Ｙｅｓと判断されて、次のステップＳ１１に進む。
【０１０３】
ステップＳ１１においては、映像ストリームＳＴｖのフレームレートを表すｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅの値が７より小さいか否かが判断される。つまり映像ストリームＳＴｖがプログレッシブストリームＰＳではない時には、Ｙｅｓと判断されて、処理は次のステップＳ１３に進む。一方、ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅの値が７以上の場合には、Ｎｏと判断されて、処理はステップＳ２１に進む。
【０１０４】
ステップＳ２１においては、パラメータｐｉｍｏｄｅの値がＰであるか否かが判断される。Ｙｅｓの場合、つまり現在の映像ストリームＳＴｖがプログレッシブストリームＰＳであると判断される場合には、処理はステップＳ１３に進む。一方、Ｎｏの場合にはステップＳ２３に進む。
【０１０５】
ステップＳ２３においては、パラメータｐｉｍｏｄｅをＰにセットする。そして、処理は次のステップＳ２５に進む。
【０１０６】
ステップＳ２５においては、パラメータｓｔａｔｅを８にセットする。そして、処理は次のステップＳ１３に進む。このように、ステップＳ９、Ｓ１１、Ｓ２１、Ｓ２３、およびＳ２５によって、第１のＩ／Ｐ切替ルーチン＃６００が構成される。
【０１０７】
ステップＳ１３において、書込フレームメモリ選択器５および表示フレームメモリ選択器７が、ピクチャコーディングタイプＰＣＴに基づいて、画像データの書き込みおよび読み出すフレームメモリ群６の各フレームメモリを決定する出画設定ルーチンを実行する。そして、処理は、次のステップＳ１５に進む。
【０１０８】

ステップＳ１５において、ＳＬデコードルーチンが実行される。つまり、１ピクチャに含まれるスライス層ＳＬがデコードされる。そして、処理は次のステップＳ１７に進む。

【０１０９】

ステップＳ１７においては、ＰＬデコードルーチンが実行される。つまり、ステップＳ１５でデコードされたスライス層ＳＬに続くピクチャのピクチャ層ＰＬがデコードされる。そして、処理が終了される。

【０１１０】

なお、上述の如く、ステップＳ１５およびステップＳ１７において、同一画像表示期間内で先行するピクチャのスライス層ＳＬのデコードを先に実行してから、後続のピクチャのピクチャ層ＰＬのデコードを行っているのは、表示に必要なスライス層ＳＬのビデオデコードを素早く実行して、次の表示のタイミングで映像を切れ目無く表示するためである。

【０１１１】

つまり、スライス層ＳＬのデコードに必要な情報は、前のデコード時でヘッダ情報蓄積器４に蓄積されているので、スライス層ＳＬをの素早くいデコード処理が行なわれる。特に、デコードされながら同時に表示されるＢピクチャのデコードにおいて非常に有効である。これについては、以下に図３を参照して説明する。

【０１１２】

図３に示すタイミングチャートを参照して、映像ストリームＳＴｖがインターレースストリームＩＳからプログレッシブストリームＰＳに切り替わる場合の映像復号装置ＶＤＡ１のデコード動作についてさらに詳しく説明する。本例においては、期間Ｔ０～Ｔ４迄は、ＰピクチャＰ９のスライス層ＳＬとＢピクチャＢ７のピクチャ層ＰＬ（期間Ｔ０）、ＢピクチャＢ７のスライス層ＳＬとＢピクチャＢ８のピクチャ層ＰＬ（期間Ｔ２）、およびＢピクチャＢ８のスライス層ＳＬ（期間Ｔ４）から成るインターレースストリームＩＳである画像データＭｂがビデオデコーダ３に入力される。

【０１１３】

そして、期間Ｔ４～Ｔ１１迄は、ＩピクチャＩ０のピクチャ層ＰＬ（期間Ｔ４）、ＩピクチャＩ０のスライス層ＳＬとＰピクチャＰ３のピクチャ層ＰＬ（期間Ｔ６）、ＰピクチャＰ３のスライス層ＳＬとＢピクチャＢ１のピクチャ層ＰＬ（期間Ｔ８）、ＢピクチャＢ１のスライス層ＳＬとＢピクチャＢ２のピクチャ層ＰＬ（期間Ｔ９）、ＢピクチャＢ２のスライス層ＳＬとＰピクチャＰ６のピクチャ層ＰＬ（期間Ｔ１０）、およびＰピクチャＰ６のスライス層ＳＬと後続のピクチャのピクチャ層ＰＬ（期間Ｔ１１）から成るプログレッシブストリームＰＳである画像データＤＭｂがビデオデコーダ３に入力される。

【０１１４】

なお、同図に示すＶｓｄ、ＩＰ２、Ｖｍ、およびＩＰ１の値は、上述のデコード開始信号Ｖｓｄ監視ルーチン＃１００、第２のＩ／Ｐ切替ルーチン＃２００、マスク制御ルーチン＃３００、および第１のＩ／Ｐ切替ルーチン＃６００における処理にそれぞれ対応している。

【０１１５】

映像復号装置ＶＤＡ１において、ビデオエンコーダＥＶから入力される垂直同期信号Ｖｓに基づいて、デコード開始信号生成器１１によって生成されるデコード開始信号Ｖｓｄに応答して、図３においてデコード開始信号Ｖｓｄより下欄に示すデコード処理が実行される。ｓｔａｔｅ変数の値は、通常時は０、インターレース方式からプログレッシブ方式に切り替わる時は８となる。画像表示期間Ｔ０～Ｔ４までは通常のインターレースストリームＩＳであるのでｓｔａｔｅ＝０である。ｐｉｍｏｄｅ変数は、インターレースストリームＩＳ時はＩ、そしてプログレッシブストリームＰＳ時はＰとなる。

【０１１６】

ｐｉｍｏｄｅ＝Ｐの時はプログレッシブストリームＰＳなので垂直同期信号Ｖｓの１周期（パルス）毎にデコード処理を起動するが、インターレースストリームＩＳ時は、垂直同期信号Ｖｓの２周期に１回デコード処理を起動すれば良い。従って、一方のｆｉｅｌｄパリティに対してデコード処理をマスクする。図３におけるインターレースストリームＩＳ

は、ｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔ＝１なので、ｔｏｐ＿ｆｉｅｌｄをマスクする（ｐａｒｉｔｙ＿ｍａｓｋ＝１）。

【０１１７】

画像表示期間Ｔ６から、プログレッシブストリームＰＳのＩピクチャＩ０のスライス層ＳＬのデコードが開始される。この時ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅ＝７である。よって、期間Ｔ６において、ｐｉｍｏｄｅの値がＩからＰに変わると共に、ｓｔａｔｅの値は０から８に変わる。

【０１１８】

なお、ステップＳ１３の出画設定ルーチンにおいては、３つのフレームメモリＦＭ１、ＦＭ２、およびＦＭ３に対して、書き込む／読み出すフレームメモリＦＭｎを指定する。実際には、ピクチャコーディングタイプＰＣＴに基づいて書込フレームメモリ選択器５および表示フレームメモリ選択器７を制御する。

【０１１９】

ステップＳ１５のＳＬデコードルーチンにおいては、スライス層ＳＬ以下の実際の映像データ（図４（ａ））を、ビデオデコーダ３を制御することでデコードする。

【０１２０】

ステップＳ１７のＰＬデコードルーチンにおいては、ストリーム解析器２により、シーケンス層、ＧＯＰ層、ピクチャ層のヘッダ情報をデコードし、得られたヘッダ情報Ｉｈをヘッダ情報蓄積器４に蓄積する。

【０１２１】

また、本実施形態においては、デコード開始信号Ｖｍｃ（Ｖｍ、Ｖｓｄ）に応答してピクチャのスライス層ＳＬのデコードを先に実行してから、後続のピクチャのピクチャ層ＰＬのデコードを行っている。これは、スライス層ＳＬの表示を所定の表示タイミングで行うようにするために、そのスライス層ＳＬのビデオデコードを素早く実行しておくものである。つまり、ピクチャ層ＰＬに含まれるシーケンスヘッダ、ＧＯＰヘッダ、およびピクチャヘッダというスライス層ＳＬのデコードに必要な情報は、事前にヘッダ情報蓄積器４に蓄積されているので、素早くデコード処理が行なわれる。

【０１２２】

上述の処理を、ストリーム解析器２、ビデオデコーダ３および画像データＭｂ、復号化画像データＤＭｂとフレームメモリ群６の関係について説明する。

【０１２３】

画像表示期間Ｔ０において、フレームメモリＦＭ２にはＰピクチャＰ６のデコードデータが書き込まれており、フレームメモリＦＭ３にはピクチャＢ５のデコードデータが書き込まれている。

【０１２４】

シーケンサ１０は前回の画像表示期間においてピクチャをデコードした時に得られたＰピクチャＰ９のヘッダ情報Ｉｈに基づいて、ストリーム解析を行うか否かを決定する。すなわち図２の＃１００～＃６００の処理に相当する。そして、出画設定ルーチンＳ１３まで到達した場合、デコードして格納するフレームメモリＦＭと、表示するためのフレームメモリＦＭｎが設定される。ステップＳ１５およびＳ１７における処理は、シーケンサによって、映像デコード部Ｄｄｖのストリーム解析が起動されることを意味する。

【０１２５】

ストリーム解析器２は、ビットストリームＦＩＦＯ１から入力される映像ストリームＳＴｖ中のヘッダ情報Ｉｈを解析および抽出すると共に、ＭＰＥＧの圧縮画像データＭｂを抽出する。すなわちストリーム解析器２は画像データＭｂ中のＰピクチャＰ９のスライス層ＳＬを検出した場合、ビデオデコーダ３にＭＰＥＧの圧縮画像データＭｂを転送する。そして、ビデオデコーダ３はＰピクチャＰ９をデコードする。ＰピクチャＰ９のデコードされたデータは順次フレームメモリＦＭ１に書き込まれる。さらに、同時にフレームメモリＦＭ２からはＰピクチャＰ６のデコードデータが読み出されて、表示パリティ（パリティ信号Ｖｐ）に従いトップフィールドの表示が開始される。

【０１２６】
また、ストリーム解析器２がピクチャ層ＰＬのヘッダ情報を検出した場合は、デコードしてヘッダ情報Ｉｈを抽出し、ヘッダ情報蓄積器４に蓄積する。
【０１２７】
期間Ｔ１においては、期間Ｔ０に開始されたＰピクチャＰ６のトップフィールドの表示が終了後、表示パリティに従いＰピクチャＰ６のボトムフィールドの表示が開始される。期間Ｔ１においては、ピクチャデータのデコード処理はなされない、つまり上述のスリープ処理が行われている。
【０１２８】
期間Ｔ２において、期間Ｔ０と同様に、ストリーム解析器２によってＢピクチャＢ７のスライス層ＳＬが検出され、それに従いビデオデコーダ３はスライス層のＭＰＥＧデータをデコードし、ピクチャＢ７のデコードされたデータは順次フレームメモリＦＭ３に書き込まれると共に読み出されて、表示パリティに従いトップフィールドの表示が開始される。
【０１２９】
さらに、ストリーム解析器２は、後続のＢピクチャＢ８のピクチャ層ＰＬのヘッダ情報をデコードしてヘッダ情報Ｉｈを抽出し、ヘッダ情報蓄積器４に蓄積する。
【０１３０】
期間Ｔ３において、期間Ｔ２に開始されたＢピクチャＢ７のトップフィールドの表示が終了後、表示パリティに従いＢピクチャＢ７のボトムフィールドの表示が開始される。期間Ｔ３においては、ピクチャデータのデコード処理はなされない、つまり上述のスリープ処理が行われている。
【０１３１】
期間Ｔ４において、期間Ｔ２と同様に、ストリーム解析器２によってＢピクチャＢ８のスライス層ＳＬが検出され、それに従いビデオデコーダ３はスライス層のＭＰＥＧデータをデコードし、ピクチャＢ８のデコードされたデータは順次フレームメモリＦＭ３に書き込まれると共に読み出されて、表示パリティに従いトップフィールドの表示が開始される。
【０１３２】
さらに、ストリーム解析器２は、後続のプログレッシブストリームＰＳのＩピクチャＩ０のピクチャ層ＰＬのヘッダ情報をデコードしてヘッダ情報Ｉｈを抽出し、ヘッダ情報蓄積器４に蓄積する。
【０１３３】
期間Ｔ５において、期間Ｔ４に開始されたＢピクチャＢ８のトップフィールドの表示が終了後、表示パリティに従いＢピクチャＢ８のボトムフィールドの表示が開始される。期間Ｔ５においては、ピクチャデータのデコード処理はなされない、つまり上述のスリープ処理が行われている。
【０１３４】
期間Ｔ６において、期間Ｔ４と同様に、ストリーム解析器２によってＩピクチャＩ０のスライス層ＳＬが検出され、それに従いビデオデコーダ３はスライス層のＭＰＥＧデータをデコードし、ＩピクチャＩ０をデコードする。ＩピクチャＩ０のデコードされたデータは順次フレームメモリＦＭ２に書き込まれる。さらに、同時にフレームメモリＦＭ１からＰピクチャＰ９のデコードデータが読み出されて表示パリティに従いトップフィールドの表示が開始される。
【０１３５】
さらに、ストリーム解析器２は、後続のプログレッシブストリームＰＳのＰピクチャＰ３のピクチャ層ＰＬのヘッダ情報をデコードしてヘッダ情報Ｉｈを抽出し、ヘッダ情報蓄積器４に蓄積する。
【０１３６】
期間Ｔ７において、期間Ｔ６に開始されたＰピクチャＰ９のトップフィールドの表示が終了後、表示パリティに従いＰピクチャＰ９のボトムフィールドの表示が開始される。期間Ｔ７においては、ピクチャデータのデコード処理はなされない、つまり上述のスリープ処

理が行われている。なお、上述の期間Ｔ１、期間Ｔ３、および期間Ｔ５におけるスリープ処理は、映像ストリームＳＴｖがインターレースストリームＩＳであるので２フィールド毎に行われていることは上述の通りである。このようなスリープ処理はプログレッシブストリームＰＳのデコードの際には本来不要である。

【０１３７】

しかしながら、映像ストリームＳＴｖがインターレースストリームＩＳからプログレッシブストリームＰＳに変わるその変わり目においては、そのままプログレッシブストリームＰＳをデコードするとインターレースストリームＩＳの最後のピクチャが表示されないので、第２のＩ／Ｐ切替器１４によってスリープ処理を行わせているものである。

【０１３８】

期間Ｔ８において、期間Ｔ４と同様に、ストリーム解析器２によってプログレッシブストリームＰＳのＰピクチャＰ３のスライス層ＳＬが検出され、それに従いビデオデコーダ３はスライス層のＭＰＥＧデータをデコードし、Ｐピクチャ Ｐ３をデコードする。Ｐピクチャ Ｐ３のデコードされたデータは順次フレームメモリＦＭ１に書き込まれる。さらに、同時にフレームメモリＦＭ２からＩピクチャＩ０のデコードデータが読み出されてプログレッシブ表示が開始される。

さらにストリーム解析器２は、後続のＢピクチャＢ１のピクチャ層ＰＬのヘッダ情報をデコードしてヘッダ情報Ｉｈを抽出し、ヘッダ情報蓄積器４に蓄積する。

【０１３９】

期間Ｔ９において、期間Ｔ８と同様に、ストリーム解析器２によってプログレッシブストリームＰＳのＢピクチャＢ１のスライス層ＳＬが検出され、それに従いビデオデコーダ３はスライス層のＭＰＥＧデータをデコードし、Ｂピクチャ Ｂ１をデコードする。Ｂピクチャ Ｂ１のデコードされたデータは順次フレームメモリＦＭ３に書き込まれる。さらに、同時にフレームメモリＦＭ３からＢピクチャＢ１のデコードデータが読み出されてプログレッシブ表示が開始される。

さらにストリーム解析器２は、後続のＢピクチャＢ２のピクチャ層ＰＬのヘッダ情報をデコードしてヘッダ情報Ｉｈを抽出し、ヘッダ情報蓄積器４に蓄積する。

【０１４０】

期間Ｔ１０において、期間Ｔ９と同様に、ストリーム解析器２によってプログレッシブストリームＰＳのＢピクチャＢ２のスライス層ＳＬが検出され、それに従いビデオデコーダ３はスライス層のＭＰＥＧデータ、つまりＢピクチャＢ２をデコードする。Ｂピクチャ Ｂ２のデコードされたデータは順次フレームメモリＦＭ３に書き込まれる。さらに、同時にフレームメモリＦＭ３からＢピクチャＢ２のデコードデータが読み出されてプログレッシブ表示が開始される。

さらにストリーム解析器２は、後続のＰピクチャＰ６のピクチャ層ＰＬのヘッダ情報をデコードしてヘッダ情報Ｉｈを抽出し、ヘッダ情報蓄積器４に蓄積する。

【０１４１】

期間Ｔ１１において、期間Ｔ１０と同様に、ストリーム解析器２によってプログレッシブストリームＰＳのＰピクチャＰ６のスライス層ＳＬが検出され、それに従いビデオデコーダ３はスライス層のＭＰＥＧデータ、つまりＰピクチャＰ６をデコードする。Ｐピクチャ Ｐ６のデコードされたデータは順次フレームメモリＦＭ２に書き込まれる。さらに、同時にフレームメモリＦＭ１からＰピクチャＰ３のデコードデータが読み出されてプログレッシブ表示が開始される。

【０１４２】

さらにストリーム解析器２は、後続のピクチャ（図示せず）のピクチャ層ＰＬのヘッダ情報をデコードしてヘッダ情報Ｉｈを抽出し、ヘッダ情報蓄積器４に蓄積する。

【０１４３】

上述のように、第１のＩ／Ｐ切替ルーチン＃６００における処理によって、画像表示期間Ｔ６において、ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅの値を４から７に変え、ｓｔａｔｅの値を０から８に変え、そしてｐｉｍｏｄｅの値をＩからＰに変える。しかし、画像表示期間

Ｔ７に、第２のＩ／Ｐ切替器１４によって、ｓｔａｔｅ＝０にセットされて、ｓｌｅｅｐへジャンプすることで、Ｐピクチャ Ｐ３のデコード処理を禁止する。

【０１４４】

これにより、時間的にＩピクチャＩ０と重複するＰピクチャＰ９のボトム部分の表示が表示可能になる。　結果、デコードのタイミングを１Ｖｓだけシフトすることになる。これにより、インターレースストリームＩＳ（ｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔ＝１）からプログレッシブストリームへＰＳのコマ落ちの無い、シームレス再生が実現できる。

【０１４５】

本発明においては、画像表示期間Ｔ１０の処理が典型的に示すように、垂直同期信号Ｖｓの１周期前からデコードするのではなく、垂直同期信号Ｖｓの半周期程度前からデコードを開始することで、表示が半分程度終了して、フレームメモリＦＭに空きができたタイミングでデコードを行うことで、デコードによるフレームメモリＦＭの上書き制御による負荷を軽くすることができる。

【０１４６】

次に、図５および図６を参照して、本実施形態にかかる変形例について説明する。なお、本変形例における映像復号装置ＶＤＡ１の構成は、図１に示した構成のままであるが、映像デコード制御部ＣＤＶ１の制御動作が異なる。

【０１４７】

図５のフローチャートに示すように、本変形例においては、図２に示したフローチャートにおける第２のＩ／Ｐ切替ルーチン＃２００、および第１のＩ／Ｐ切替ルーチン＃６００が、それぞれ、変更されて第２のＩ／Ｐ切替ルーチン＃２１０、および第１のＩ／Ｐ切替ルーチン＃６１０となっている。

【０１４８】

第２のＩ／Ｐ切替ルーチン＃２１０は、新たなステップＳ２８およびステップＳ３０によって構成される。ステップＳ２８は、ｓｔａｔｅの値が２でない場合には、処理を次のマスク制御ルーチン＃３００に移す。ステップＳ２８でｓｔａｔｅの値が２であると判断される場合には、ステップＳ３０においてｓｔａｔｅの値を０にセットした後に処理をマスク制御ルーチン＃３００に移す。

【０１４９】

第１のＩ／Ｐ切替ルーチン＃６１０は、第１のＩ／Ｐ切替ルーチン＃６００からステップＳ２１、Ｓ２３、およびＳ２５が削除されると共に、ステップＳ１１のＹｅｓ側に、新たなステップＳ３２、Ｓ３４、およびＳ３６が設けられた構成である。ステップＳ３２において、ｐｉｍｏｄｅがＰの場合には、ステップＳ３４において、ｐｉｍｏｄｅをＩに設定した後、ステップＳ３６においてｓｔａｔｅを２に設定する。一方、ステップＳ３２において、ｐｉｍｏｄｅがＰでない場合には、出画設定ルーチンＳ１３に処理を移す。

【０１５０】

上述の処理の結果、本例におけるデコード処理は、図６のタイミングチャートに示すようになる。

すなわち、画像表示期間Ｔ４において、画像表示期間Ｔ３のＩピクチャ Ｉ０のピクチャ層ＰＬのヘッダ層を解析した結果が格納されるヘッダ情報蓄積器４のｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅの値が４であるので、ｓｔａｔｅの値を０から２に変え、ｐｉｍｏｄｅの値をＰからＩに変える。

画像表示期間Ｔ５において、第２のＩ／Ｐ切替ルーチン＃６１０によって、ｓｔａｔｅの値を２から０に変え、ｓｌｅｅｐへジャンプすることで、デコード処理を禁止している。これにより、画像表示期間Ｔ６～８にかけて表示されるべきＩピクチャＩ０はｔｏｐ＿ｆｉｅｌｄから表示できる。

【０１５１】

これにより、プログレッシブストリームＰＳから、インターレースストリームＩＳ（ｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔ＝１）への表示パリティの間違いの無い（すなわちｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔ＝１のストリームをｂｏｔｔｏｍ＿ｆｉｅｌｄから表示しない）

、シームレス再生が実現可能となる。

【０１５２】

（第２の実施形態）

次に、図７、図８および図９を参照して、本発明の第２の実施形態にかかる映像ストリームシームレス復号装置（以下「映像復号装置ＶＤＡ２」と略称する）について説明する。映像復号装置ＶＤＡ２は、図１に示した映像復号装置ＶＤＡ１の映像デコード制御部ＣＤＶ１が映像デコード制御部ＣＤＶ２に変更されている。

【０１５３】

映像デコード制御部ＣＤＶ２は、映像デコード制御部ＣＤＶ１に、マスク補正器２０が新たに設けられた構造を有している。マスク補正器２０は、ビデオエンコーダＥＶに接続されてパリティ信号Ｖｐの入力を受けると共に、映像デコード部Ｄｄｖのヘッダ情報蓄積器４に接続されてｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔ（図７において、「Ｔｆｆ」と略称す）の入力を受ける。マスク補正器２０は、入力されたパリティ信号Ｖｐとｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔに基づいて、ｐａｒｉｔｙ＿ｍａｓｋを反転させる制御信号ＭＡを生成してデコードタイミングマスク器１２に出力する。

【０１５４】

図８のフローチャートを参照して、映像復号装置ＶＤＡ２の動作について説明する。本実施形態においては、図５に示すフローチャートにおける第２のＩ／Ｐ切替ルーチン＃２１０、および第１のＩ／Ｐ切替ルーチン＃６１０が、第２のＩ／Ｐ切替ルーチン＃２２０および第１のＩ／Ｐ切替ルーチン＃６２０に変更されている。さらに、新たなマスク補正ルーチン＃４００が、マスク制御ルーチン＃３１０と第１のＩ／Ｐ切替ルーチン＃６２０の間に挿入されている。

【０１５５】

第２のＩ／Ｐ切替ルーチン＃２２０は、第２のＩ／Ｐ切替ルーチン＃２１０のステップＳ３０の次に、ステップＳ４０、ステップＳ４２、ステップＳ４４、およびステップＳ４６が新たに設けられている。

【０１５６】

ステップＳ４０においては、ステップＳ３０でｓｔａｔｅの値が０にセットされた後、ｐａｒｉｔｙ＿ｍａｓｋの値が表示ｐａｒｉｔｙ（パリティ信号Ｖｐ）の値と同じであるか否かが判断される。Ｎｏの場合には、ステップＳ４４でｐａｒｉｔｙ＿ｍａｓｋを反転させた後、ステップＳ４２に進む。一方、Ｙｅｓの場合は、処理は直接ステップＳ４２に進む。

【０１５７】

ステップＳ４２においては、ｓｔａｔｅの値が８であるか否かが判断される。Ｙｅｓの場合は、ステップＳ４６に進みｓｔａｔｅの値を０にセットした後、処理はデコード開始信号Ｖｓｄ監視ルーチン＃１００のステップＳ１へ戻りスリープ処理を行う。一方、Ｎｏの場合は、処理はマスク制御ルーチン＃３１０へ進む。

【０１５８】

マスク補正ルーチン＃４００は、ステップＳ４８、ステップＳ５０、およびステップＳ５２によって構成される。マスク制御ルーチン＃３１０の処理が終了すると、ステップＳ４８でｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅが７より小さいか否かが判断される。Ｎｏの場合は、処理は次の第１のＩ／Ｐ切替ルーチン＃６２０に進む。

【０１５９】

一方、Ｙｅｓの場合は、ステップＳ５０でｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔが表示ｐａｒｉｔｙ（パリティ信号Ｖｐ）と同一であるか否かが判断される。Ｎｏの場合は、処理は第１のＩ／Ｐ切替ルーチン＃６２０に進む。一方、Ｙｅｓの場合は、ステップＳ５２で、ｐａｒｉｔｙ＿ｍａｓｋを反転後、処理はデコード開始信号Ｖｓｄ監視ルーチン＃１００のステップＳ１に進みスリープ処理を行う。

【０１６０】

第１のＩ／Ｐ切替ルーチン＃６２０は、第１のＩ／Ｐ切替ルーチン＃６００（図２）と第

１のＩ／Ｐ切替ルーチン＃６１０（図５）とを組み合わせて構成されている。
【０１６１】
結果、ステップＳ１１でＹｅｓと判断された場合には、第１のＩ／Ｐ切替ルーチン＃６２０の場合と同様に、ステップＳ３２、Ｓ３４、およびＳ３８の処理が実行される。一方、Ｎｏと判断された場合には、第１のＩ／Ｐ切替ルーチン＃６１０の場合と同様に、ステップＳ２１、Ｓ２３、およびＳ２５の処理が実行される。
【０１６２】
上述の処理の結果、本例におけるデコード処理は、図９のタイミングチャートに示すようになる。本タイミングチャートでは、インターレースストリームＩＳはｔｏｐ＿ｆｉｅｌｄ＿ｆｉｒｓｔの値は０であるため、ｂｏｔｔｏｍ＿ｆｉｅｌｄが先に表示される。
【０１６３】
よって、プログレッシブストリームＰＳからインターレースストリームＩＳへ移ったとき、すなわち画像表示期間Ｔ９で、第１のＩ／Ｐ切替ルーチン＃６２０によってｓｔａｔｅの値を０から２に変える。
【０１６４】
画像表示期間Ｔ１０では、第２のＩ／Ｐ切替ルーチン＃２２０によって、ステップＳ４０において、ｐａｒｉｔｙ＿ｍａｓｋの値と表示パリティ（Ｖｐ）の値が等しくないと判断される。
【０１６５】
結果、ステップＳ４４において、ｐａｒｉｔｙ＿ｍａｓｋのレベルが反転される。
【０１６６】
さらに、マスク制御ルーチン＃３１０のステップＳ７において、ｐａｒｉｔｙ＿ｍａｓｋの値と表示パリティ（Ｖｐ）の値が等しいと判断されて、デコード開始信号Ｖｓｄ監視ルーチン＃１００のステップＳ１に進みスリープ処理を行う。
【０１６７】
さらに、画像表示期間Ｔ１１においては、マスク補正ルーチン＃４００のステップＳ５２において、ｐａｒｉｔｙ＿ｍａｓｋを反転（トグル）してステップＳ１に進みスリープ処理を行う。
【０１６８】
このようにして、２Ｖｓの期間、デコード処理を行わないことで、画像表示期間Ｔ１２～Ｔ１４にかけて、ｂｏｔｔｏｍ＿ｆｉｅｌｄを先に表示することが可能となる。結果、映像ストリームＳＴｖの内容がインターレースストリームＩＳあるいはプログレッシブストリームＰＳに変化する場合にもシームレス再生が可能となる。
【０１６９】
（第３の実施形態）
次に、図１０、図１１および図１２を参照して、本発明の第３の実施形態にかかる映像ストリームシームレス復号装置（以下「映像復号装置ＶＤＡ３」と略称する」）について説明する。映像復号装置ＶＤＡ３は、図７に示した映像復号装置ＶＤＡ２の映像デコード制御部ＣＤＶ２が映像デコード制御部ＣＤＶ３に変更されている。
【０１７０】
映像デコード制御部ＣＤＶ３は、映像デコード制御部ＣＤＶ２に、スタートアップ制御器２１が新たに設けられた構造を有している。スタートアップ制御器２１は、シーケンサ１０に接続されてｖｄｅｃ＿ｍｏｄｅを設定する制御信号ＳＴを相互に交換する。なお、ｖｄｅｃ＿ｍｏｄｅは映像デコード制御部ＣＤＶ３の初期状態を規定する二値の値を有する初期状態パラメータである。
【０１７１】
図１１に示すフローチャートを参照して、映像復号装置ＶＤＡ３の動作について説明する。本実施形態における動作は、既述のデコード開始信号Ｖｓｄ監視ルーチン＃１００の変形であるデコード開始信号Ｖｓｄ監視ルーチン＃１１０、既述の第２のＩ／Ｐ切替ルーチン＃２２０、マスク制御ルーチン＃３１０、マスク補正ルーチン＃４００、第１のＩ／Ｐ

切替ルーチン＃６２０、出画設定ルーチンＳ１３、ＳＬデコードルーチンＳ１５、およびＰＬデコードルーチンＳ１７より構成される。さらに、スタートアップ制御ルーチン＃８００が新たに、第１のＩ／Ｐ切替ルーチン＃６２０と出画設定ルーチンＳ１３の間に設けられている。

【０１７２】

デコード開始信号Ｖｓｄ監視ルーチン＃１１０は、デコード開始信号Ｖｓｄが生成されているか、それとも初期化が必要かを判断するステップＳ６０と、初期化ステップＳ６２によって構成される。

【０１７３】

ステップＳ６０において、デコード開始信号Ｖｓｄの生成が認められれば、デコード開始信号Ｖｓｄ監視ルーチン＃１００の場合と同様に、処理は第２のＩ／Ｐ切替ルーチン＃２２０に進む。一方、初期化が必要であると判断された場合には、ステップＳ６２でパラメータｖｄｅｃ＿ｍｏｄｅの値を０にセットし、ｓｔａｔｅの値を０にセットした後、処理をステップＳ６０に戻してスリープ処理を行う。

【０１７４】

なお、デコード開始信号Ｖｓｄ監視ルーチン＃１１０においては、最初のステップがステップＳ１ではなく、ステップＳ６０であるので、本フローチャートにおいて、スリープ処理のために各ステップが処理を移行させる相手先はステップＳ６０であることは言うまでも無い。

【０１７５】

スタートアップ制御ルーチン＃８００は、ステップＳ６４、Ｓ６６、Ｓ６７、Ｓ６８、Ｓ７０、およびＳ７２で構成される。第１のＩ／Ｐ切替ルーチン＃６２０における処理後、ステップＳ６４において、ｖｄｅｃ＿ｍｏｄｅが０であるか否かが判断される。

【０１７６】

Ｎｏの場合は、処理は出画設定ルーチンＳ１３に進む。一方、Ｙｅｓの場合は、次のステップＳ６６でｖｄｅｃ＿ｍｏｄｅが１に設定されて、処理はステップＳ６７に進む。

【０１７７】

ステップＳ６７において、記述のステップＳ１３におけるのと同様に、出画設定が行われる。

【０１７８】

＿そして、ステップＳ６８において、ＰＬデコードルーチンＳ１７におけるのと同様にピクチャ層ＰＬがデコードされた後に、処理はステップＳ７０に進む。

【０１７９】

ステップＳ７０において、ＳＬデコードルーチンＳ１５と同様にスライス層ＳＬがデコードされた後、処理はステップＳ７２に進む。

【０１８０】

ステップＳ７２において、さらに、ピクチャ層ＰＬがデコードされて、処理はデコード開始信号Ｖｓｄ監視ルーチン＃１１０のステップＳ６０へ戻って、スリープ処理を行う。

【０１８１】

上述の処理の結果、本例におけるデコード処理は、図１２のタイミングチャートに示すようになる。

【０１８２】

本タイミングチャートでは、画像表示期間Ｔ３～Ｔ４にかけて、初期化が行われている。初期化により、デコード開始信号Ｖｓｄ監視ルーチン＃１１０は、ステップＳ６２によりｖｄｅｃ＿ｍｏｄｅに０をセットすると共に、ｓｔａｔｅの値を０にセットする。

【０１８３】

画像表示期間Ｔ５では、スタートアップ制御器２１の、ステップＳ６６によりｖｄｅｃ＿ｍｏｄｅの値を０から１に変える。

これにより、チャンネル切替え等の操作に起因する初期化後のデコード開始するスタートアップが可能となる。

【０１８４】
次に、図１３、図１４、図１５、および図１６を参照して、本実施形態の変形例について、説明する。本変形例における映像復号装置ＶＤＡ３の構成は、図１０に示した構成のままであるが、映像デコード制御部ＣＤＶ３の制御動作が異なる。
【０１８５】
本変形例のフローチャートは、図１３に示すように、図１１に示したフローチャートにおけるデコード開始信号Ｖｓｄ監視ルーチン＃１１０に、新たなステップＳ７４が追加されてデコード開始信号Ｖｓｄ監視ルーチン＃１２０に変更されたものである。
【０１８６】
つまり、ステップＳ６２でｖｄｅｃ＿ｍｏｄｅを０にセットすると共にｓｔａｔｅの値を０にセットした後に、ステップＳ７４においてさらにｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅの値を７にセットした後、処理をステップＳ６０に戻してスリープ処理を行う。
【０１８７】
これは、図１４に示すタイミングチャートにおいて、ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅが４の場合、インターレースストリームＩＳでのスタートアップは正常に表示する。
【０１８８】
しかしながら、図１５において、初期化においてｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅを４に設定すれば、入力ストリームがプログレッシブの場合には、画像表示期間Ｔ４～Ｔ５にかけて表示されるＩピクチャＩ０が２回表示されることになる。
【０１８９】
よって、ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅを７にすることで、図１６（ａ）および図１６（ｂ）に示すように、どちらのストリームの場合でもスタートアップが正常に表示することができる。
【０１９０】
このように、図１５に示す例においては期間Ｔ４においてスリープ動作が発生する事態を、図１６（ｂ）に示す例においては、ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅを７に設定することによって防止している。
【０１９１】
上述の処理の結果、本例におけるデコード処理は、図１４、図１５、図１６（ａ）および図１６（ｂ）のタイミングチャートに示すようになる。
【０１９２】
（第４の実施形態）
次に、図１７、図１８、および図１９を参照して、本発明の第４の実施形態にかかる映像ストリームシームレス復号装置（以下「映像復号装置ＶＤＡ４」と略称する」）について説明する。映像復号装置ＶＤＡ４は、上述の第３の実施形態にかかる映像復号装置ＶＤＡ３の映像デコード制御部ＣＤＶ３にさらに、シーケンサ１０と補正比率を設定する制御信号ＦＬを交換するフレームレート補正器２２を追加して映像デコード制御部ＣＤＶ４としたものである。
【０１９３】
以下に、映像復号装置ＶＤＡ４による２４ｆｒａｍｅ／ＳＰのインターレースストリームＩＳからプログレッシブストリームＰＳに遷移する場合の俗に言われる３：２プルダウン処理に関して述べる。
【０１９４】
図１８に示すように、映像復号装置ＶＤＡ４におけるフローチャートは、図１１に示したフローチャートのマスク補正ルーチン＃４００が修正されてマスク補正ルーチン＃４１０に変更されている。さらに、新たに、フレームレート補正ルーチン＃５００が、マスク補正ルーチン＃４１０と第１のＩ／Ｐ切替ルーチン＃６２０の間に挿入されている。また、デコード開始信号Ｖｓｄ監視ルーチン＃１１０が図１３に示したデコード開始信号Ｖｓｄ監視ルーチン＃１２０に交換されている。
【０１９５】

マスク補正ルーチン＃４１０は、マスク補正ルーチン＃４００において、ステップＳ４８とステップＳ５０の間に、新たなステップＳ８０が挿入された構成を有している。つまり、ステップＳ４８で、ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅが７より小さいと判断され場合には、処理は挿入された、ｐｒｏｇｒｅｓｓｉｖｅ＿ｓｅｑｕｅｎｃｅの値が１であるか否かを判断するステップＳ８０に進む。

【０１９６】

ステップＳ８０において、Ｙｅｓの場合は、処理は、次のフレームレート補正ルーチン＃５００に進む。これはフレーム画像がｔｏｐ＿ｆｉｅｌｄ、ｂｏｔｔｏｍ＿ｆｉｅｌｄの区別が無いプログレッシブ画像であることを示しているので、ステップ５０によるパリティチェックをする必要が無いからである。一方、Ｎｏの場合は、処理はステップＳ５２に進む。以降の処理は、既にマスク補正ルーチン＃４００に関して述べた通りである。

【０１９７】

フレームレート補正ルーチン＃５００は、ステップＳ８２、Ｓ８６、Ｓ８８、およびＳ９０によって構成される。

ステップＳ８２において、ｆｒａｍｅ＿ｒａｔｅ＿ｃｏｄｅの値が２であるか否かが判断されて、Ｎｏの場合には処理は第１のＩ／Ｐ切替ルーチン＃６２０に進む。一方、Ｙｅｓの場合は、処理はフレームレート補正ルーチンＳ８６を経て、補正の比率が３：２であるか否かを判断するステップＳ８８に進む。

【０１９８】

ステップＳ８８において、Ｎｏの場合は、処理は、第１のＩ／Ｐ切替ルーチン＃６２０に進む。一方、Ｙｅｓの場合は、ステップＳ９０でｐａｒｉｔｙ＿ｍａｓｋのレベルを反転させた後に、処理はデコード開始信号Ｖｓｄ監視ルーチン＃１２０のステップＳ６０に進み、スリープを実行する。

【０１９９】

上述の処理の結果、本例におけるデコード処理は、図１９のタイミングチャートに示すようになる。

これにより、２４Ｐのインターレースストリーム ＩＳを３：２プルダウン処理してストリームに後続するプログレッシブストリームＰＳに関してもシームレス再生が可能となる。また、マスク補正ルーチン＃４１０とフレームレート補正ルーチン＃５００により、画像表示期間Ｔ０～Ｔ４に示すように、２４Ｐのインターレースストリーム ＩＳの再生が可能となる。

【０２００】

（第５の実施形態）

次に、図２０、図２１、および図２２を参照して、本発明の第５の実施形態にかかる映像ストリームシームレス復号装置（以下「映像復号装置ＶＤＡ５」と略称する）について説明する。映像復号装置ＶＤＡ５は、上述の第４の実施形態にかかる映像復号装置ＶＤＡ４の映像デコード制御部ＣＤＶ４にさらにシーケンスエンドを検出する制御信号ＳＥを交換するシーケンスエンド制御器２３を追加して映像デコード制御部ＣＤＶ５としたものである。

【０２０１】

図２１に示すように、映像復号装置ＶＤＡ５におけるフローチャートは、図１１に示した第１のＩ／Ｐ切替ルーチン＃６２０とスタートアップ制御ルーチン＃８００との間に新たにシーケンスエンド検出ルーチン＃７００が挿入されている。

【０２０２】

シーケンスエンド検出ルーチン＃７００は、シーケンスエンド検出の有無を判断するステップＳ９０、出画設定ルーチンＳ９２、ピクチャ層ＰＬをデコードするルーチンＳ９４、スライス層ＳＬをデコードするルーチンＳ９６、およびピクチャ層ＰＬをデコードするルーチンＳ９８から構成される。

【０２０３】

本実施形態においては、シーケンスエンドを検出すると処理を次のステップに進めること

に他の実施形態に無い特徴を有している。

【０２０４】

ステップＳ９０において、シーケンスエンドが検出されなければ、Ｎｏと判断されて、処理は、スタートアップ制御ルーチン＃８００に進む。一方、Ｙｅｓの場合は、ステップＳ９２において出画設定された後に、ステップＳ９４においてピクチャ層ＰＬがデコードされ、さらにステップＳ９６においてスライス層ＳＬがデコードされ、そして、ステップＳ９８においてピクチャ層ＰＬがデコードされる。その後、処理はデコード開始信号Ｖｓｄ監視ルーチン＃１２０のステップＳ６０に進み、スリープ処理が実行される。

【０２０５】

上述の処理の結果、本例におけるデコード処理は、図２２のタイミングチャートに示すようになる。同タイミングチャートは、図４（ｄ）に示したような構造を有する映像ストリームＳＴｖが入力された場合の動作を示す。これは主に、静止画サービスや、Ｉピクチャだけの特殊再生に用いることができる。

【０２０６】

（第６の実施形態）

次に、図２３、図２４、図２５および図２６を参照して、本発明の第６の実施形態にかかる映像ストリームシームレス復号装置（以下「映像復号装置ＶＤＡ６」と略称する））について説明する。映像復号装置ＶＤＡ６は、上述の第５の実施形態にかかる映像復号装置ＶＤＡ５の映像デコード制御部ＣＤＶ５にさらに、シーケンサ１０とアンダーフローを検出する制御信号ＵＦを交換するアンダーフロー制御器２４が追加された映像デコード制御部ＣＤＶ６としたものである。

【０２０７】

図２４に示すように、映像復号装置ＶＤＡ６におけるフローチャートは、図２１に示したフローチャートに対して、新たにアンダーフロー制御ルーチン＃９００が第１のＩ／Ｐ切替ルーチン＃６２０とシーケンスエンド検出ルーチン＃７００の間に挿入されている。

【０２０８】

アンダーフロー制御ルーチン＃９００は、アンダーフロー検出の有無を判断するステップＳ９１０、出画設定ルーチンＳ９２０、Ｉピクチャまたは、Ｐピクチャを検出するまでスキップするルーチンＳ９３０、ピクチャ層ＰＬをデコードするルーチンＳ９４０、スライス層ＳＬをデコードするルーチンＳ９５０、およびピクチャ層ＰＬをデコードするルーチンＳ９６０から構成される。

【０２０９】

ステップＳ９１０において、アンダーフローが検出されなければ、Ｎｏと判断されて、処理はシーケンスエンド検出ルーチン＃７００に進む。一方、Ｙｅｓの場合は、ステップＳ９２０において出画設定を行う。

【０２１０】

そして、ステップＳ９３０においてＩピクチャ、またはＰピクチャが見つかるまで、入力ストリームをサーチし続ける。ＩピクチャまたはＰピクチャの何れかが見つかると、処理はステップＳ９４０に進む。

【０２１１】

ステップＳ９４０において、ピクチャ層ＰＬがデコードされた後に、処理はステップＳ９５０に進む。

【０２１２】

ステップＳ９５０においてスライス層ＳＬがデコードされる。

【０２１３】

そして、ステップＳ９６０においてピクチャ層ＰＬがデコードされる。その後、処理はＶｓｄ生成／初期化ルーチン＃１２０のステップＳ６０に進み、スリープが処理が実行される。

【０２１４】

上述の処理の結果、本例におけるデコード処理は、図２５、図２６のタイミングチャート

に示すようになる。
【０２１５】
図２５および図２６は、映画素材の２４Ｐのインターレースストリーム ＩＳから、３０Ｐのインターレースストリーム ＩＳに切り替る際に、ストリームの到着が遅れてアンダーフローした場合の例を示す。ただし、図２５においては、３０Ｐのインターレースストリーム ＩＳの到着が遅れた場合を示し、図２６は２４Ｐのインターレースストリーム ＩＳの最後のＢピクチャのスライス層ＳＬの到着が遅れた場合を示す。
【０２１６】
先ず、図２５に示す場合について述べる。画像表示期間Ｔ０～Ｔ５においては、第４の実施形態に関して説明した２４Ｐインターレースストリーム ＩＳの３：２プルダウン処理（Ｔ０～Ｔ５）を示す。画像表示期間Ｔ９から以降は、第１の実施形態に関して説明した３０Ｐインターレースストリーム ＩＳの処理を示す。
【０２１７】
期間Ｔ６～Ｔ７においては次のストリームを検出できていない状態を示している。つまり、期間Ｔ５において開始したＢピクチャＢ８のスライス層ＳＬのデコードが、期間Ｔ６および期間Ｔ７に渡って完了していないことを持ってアンダーフローを検出している。
【０２１８】
期間Ｔ７においては、まだ次の表示が２４Ｐストリーム（Ｐ９）であるため、フレームレート補正器で３：２プルダウン処理が行われている。
【０２１９】
期間Ｔ８においては、アンダーフロー制御器２４でアンダーフローを検出し、Ｉピクチャまたは、Ｐピクチャのサーチを行う。また、同時に、出画設定を行い直前にデコードしたＩピクチャまたはＰピクチャを表示する。本例においては、ＰピクチャＰ９が表示される。
【０２２０】
期間Ｔ８の終わりから期間Ｔ９にかけてＩピクチャのヘッダ解析が終了し、スライス層ＳＬのデコードが行われる。
【０２２１】
一方、図２６に示す場合においては、期間Ｔ５～Ｔ７にかけてＢ８ピクチャのスライス層ＳＬのデコードが行われているが、ストリームの到着が遅れてスライス層ＳＬの最後までデコードできていない状態を示している。つまり、期間Ｔ５において開始したＩピクチャＩ０のピクチャ層ＰＬのデコードが、期間Ｔ６、期間Ｔ７、および期間Ｔ８に渡って完了していないことを持ってアンダーフローを検出する。
【０２２２】
期間Ｔ８において、アンダーフロー制御器２４でアンダーフローを検出した時点でＢ８ピクチャのデコードを中止し、次のＩピクチャまたはＰピクチャのサーチを行う。また、同時に、出画設定を行って直前にデコードしたＩピクチャまたはＰピクチャを表示する。この場合、期間Ｔ８の終わりから期間Ｔ９にかけてＩピクチャのヘッダ解析が終了し、スライス層ＳＬのデコードが行われる。
【０２２３】
これにより、通常のインターレースストリーム ＩＳ間のシームレス再生、すなわち２４Ｐから３０Ｐへの再生が途切れた、つまりストリームが途中で途切れた場合でも、スムーズに行われる。
【０２２４】
上述のように、本実施形態においては、アンダーフローを検出した時点で、次のＩピクチャあるいはＰピクチャをサーチする。アンダーフローが同一のストリームの復号中に生じた場合には、次のＰピクチャを見つけることでアンダーフローによる画像再生中断時間を最小に抑えることができる。なぜならば、映像ストリームＳＴｖ中においてＰピクチャＰはＩピクチャに比べて間隔が密に配列されているからである。
【０２２５】

また次のピクチャがＩピクチャである場合にも、やはりアンダーフローによる画像再生中断時間を最小に抑えることができる。なぜならば、Ｉピクチャがアンダーフロー発生後の最初でピクチャデータであれば、わざわざその時間的にＩピクチャの後に配列されたＰピクチャを探す必要は無いからである。また、映像ストリームＳＴｖが、例えばインターレースストリームＩＳとプログレッシブストリームＰＳやインターレースストリームＩＳ同士であってもフレームレートの異なるストリームから成るまだら編成ストリームであって、その異種ストリーム間における切替直前にアンダーフローが生じた場合にも、Ｉピクチャを探すことによってストリームの切替を問題なく行える。

【図面の簡単な説明】

【図１】本発明の第１の実施形態にかかる映像ストリームシームレス復号装置の構造を示すブロック図である。

【図２】図１に示した映像ストリームシームレス復号装置の動作を示すフローチャートである。

【図３】図１に示した映像ストリームシームレス復号装置において、観察される各種信号の処理タイミングを示すタイミングチャートである。

【図４】図１に示した映像ストリームシームレス復号装置に入力される映像ストリームの構造を示す説明図である。

【図５】図１に示した映像ストリームシームレス復号装置の変形例において、その動作を示すフローチャートである。

【図６】図１に示した映像ストリームシームレス復号装置の変形例において、観察される各種信号の処理タイミングを示すタイミングチャートである。

【図７】本発明の第２の実施形態にかかる映像ストリームシームレス復号装置の構造を示すブロック図である。

【図８】図７に示した映像ストリームシームレス復号装置の動作を示すフローチャートである。

【図９】図７に示した映像ストリームシームレス復号装置において、観察される各種信号の処理タイミングを示すタイミングチャートである。

【図１０】本発明の第３の実施形態にかかる映像ストリームシームレス復号装置の構造を示すブロック図である。

【図１１】図１０に示した映像ストリームシームレス復号装置の動作を示すフローチャートである。

【図１２】図１０に示した映像ストリームシームレス復号装置において、観察される各種信号の処理タイミングを示すタイミングチャートである。

【図１３】図１０に示した映像ストリームシームレス復号装置の変形例において、その動作を示すフローチャートである。

【図１４】図１０に示した映像ストリームシームレス復号装置の変形例において、観察される各種信号の処理タイミングを示すタイミングチャートである。

【図１５】図１０に示した映像ストリームシームレス復号装置の変形例において、観察される各種信号の処理タイミングを示すタイミングチャートである。

【図１６】図１０に示した映像ストリームシームレス復号装置の変形例において、観察される各種信号の処理タイミングを示すタイミングチャートである。

【図１７】本発明の第４の実施形態にかかる映像ストリームシームレス復号装置の構造を示すブロック図である。

【図１８】図１７に示した映像ストリームシームレス復号装置の動作を示すフローチャートである。

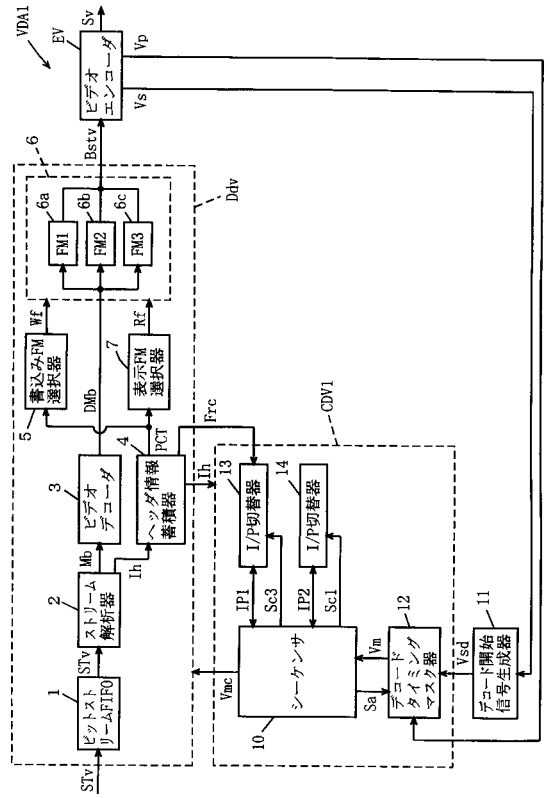
【図１９】図１７に示した映像ストリームシームレス復号装置において、観察される各種信号の処理タイミングを示すタイミングチャートである。

【図２０】本発明の第５の実施形態にかかる映像ストリームシームレス復号装置の構造を示すブロック図である。

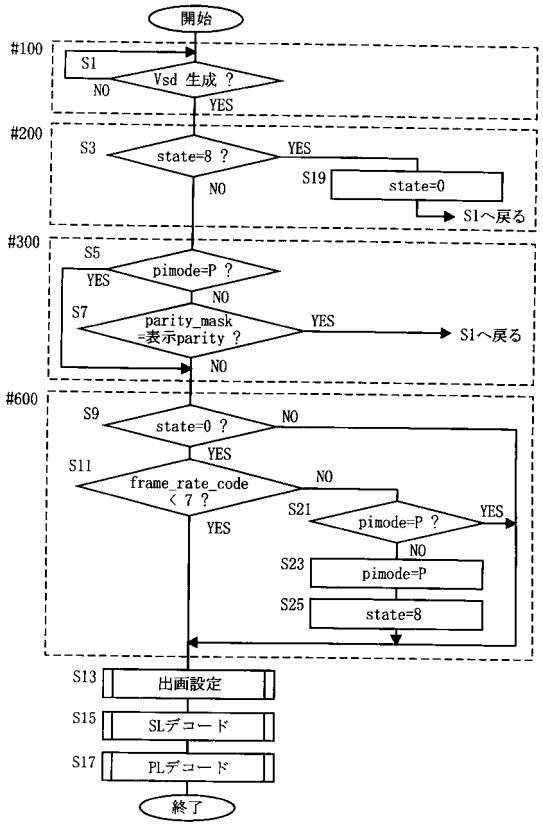
【図２１】図２０に示した映像ストリームシームレス復号装置の動作を示すフローチャー

トである。
【図２２】図２０に示した映像ストリームシームレス復号装置において、観察される各種信号の処理タイミングを示すタイミングチャートである。
【図２３】本発明の第６の実施形態にかかる映像ストリームシームレス復号装置の構造を示すブロック図である。
【図２４】図２３に示した映像ストリームシームレス復号装置の動作を示すフローチャートである。
【図２５】図２３に示した映像ストリームシームレス復号装置において、観察される各種信号の処理タイミングを示すタイミングチャートである。
【図２６】図２５と同様に、図２３に示した映像ストリームシームレス復号装置において、観察される各種信号の処理タイミングを示すタイミングチャートである。
【図２７】従来の映像ストリームシームレス復号装置による映像ストリームデコード処理時に観察される各種信号の処理タイミングを表すタイミングチャートである。
【図２８】図２７と同様に、従来の映像ストリームシームレス復号装置による映像ストリームデコード処理時に観察される各種信号の処理タイミングを表すタイミングチャートである。
【符号の説明】
ＶＤＡ１、ＶＤＡ２、ＶＤＡ３、ＶＤＡ４、ＶＤＡ５、ＶＤＡ６　映像復号装置
Ｄｄｖ　映像デコード部
１　ビットストリームＦＩＦＯ
２　ストリーム解析器
３　ビデオデコーダ
４　ヘッダ情報蓄積器
５　書込フレームメモリ選択器
６　フレームメモリ群
７　表示フレームメモリ選択器
ＥＶ　ビデオエンコーダ
１１　デコード開始信号生成器
ＣＤＶ１、ＣＤＶ２、ＣＤＶ３、ＣＤＶ４、ＣＤＶ５、ＣＤＶ６　映像デコード制御部
１０　シーケンサ
１１　デコード開始信号生成器
１２　デコードタイミングマスク器
１３　第１のＩ／Ｐ切替器
１４　第２のＩ／Ｐ切替器
２０　マスク補正器
２１　スタートアップ制御器
２２　フレームレート補正器
２３　シーケンスエンド制御器

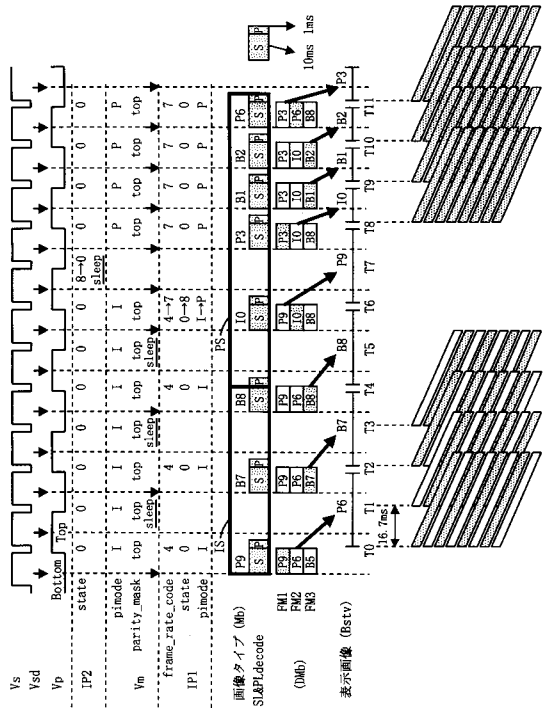
【図１】


VDA1
ビデオエンコーダ
EV
Sv
Vp
Vs
Bstv
Ddv
6
6a
6b
6c
FM1
FM2
FM3
書込みFM選択器
表示FM選択器
Wf
Rf
DMb
PCT
Frc
CDV1
ビデオデコーダ
ヘッダ情報蓄積器
Mb
Ih
ストリーム解析器
STv
ビットストリームFIFO
I/P切替器
IP1
IP2
Sc1
Sc3
シーケンサ
Vmc
Vm
Sa
デコードタイミングマスク器
デコード開始信号生成器
Vsd
STv

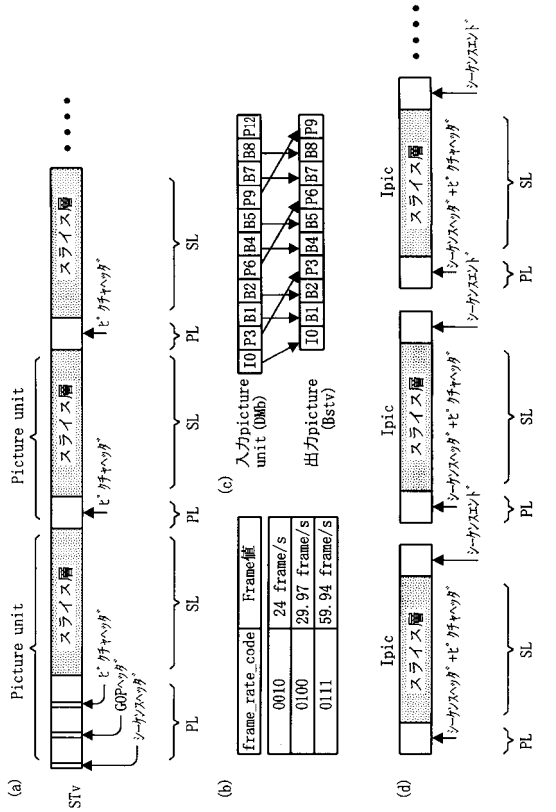
【図２】


開始
#100
S1
Vsd 生成 ?
NO
YES
#200
S3
state=8 ?
YES
S19
state=0
S1へ戻る
NO
#300
S5
pimode=P ?
YES
NO
S7
parity_mask =表示parity ?
YES
S1へ戻る
NO
#600
S9
state=0 ?
NO
YES
S11
frame_rate_code < 7 ?
NO
S21
pimode=P ?
YES
NO
S23
pimode=P
S25
state=8
YES
S13
出画設定
S15
SLデコード
S17
PLデコード
終了

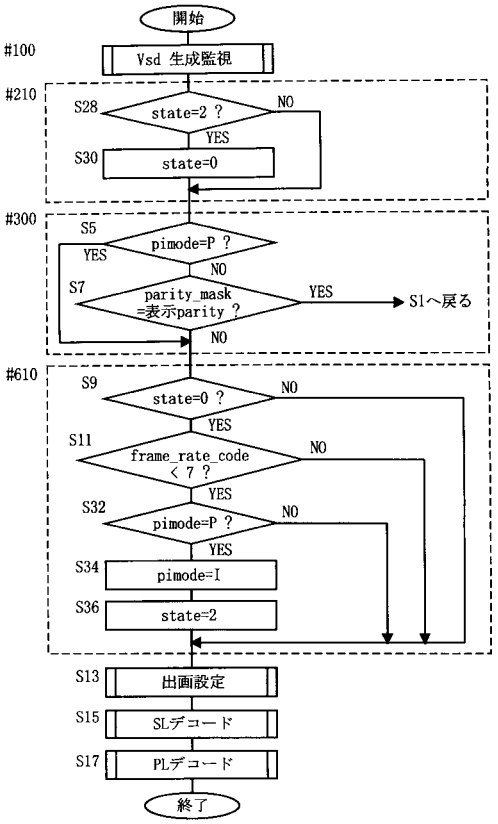
【図３】


Vs
Vsd
Vp
IP2
Vm
IP1
Bottom
Top
state
pimode
parity_mask
frame_rate_code
画像タイプ (Mb)
SL&PLdecode
(DMb)
表示画像 (Bstv)
FM1
FM2
FM3
10ms
1ms
16.7ms

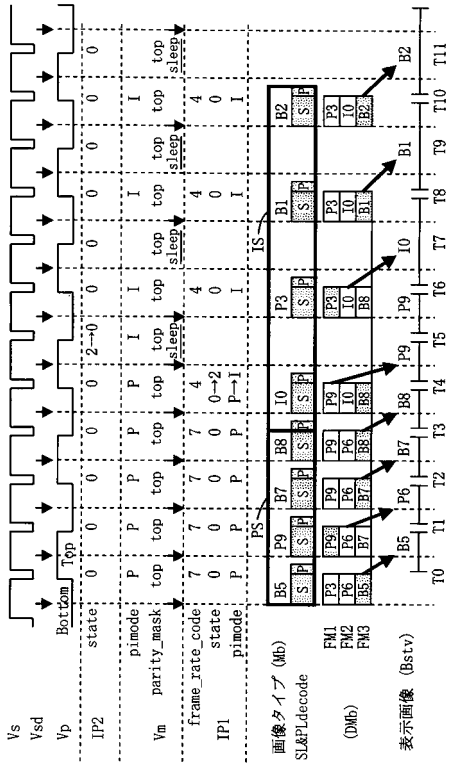
【図４】


(a)
STv
Picture unit
スライス層
ピクチャヘッダ
GOPヘッダ
シーケンスヘッダ
PL
SL
(b)
frame_rate_code
Frame値
0010
24 frame/s
0100
29.97 frame/s
0111
59.94 frame/s
(c)
入力picture unit (DMb)
出力picture (Bstv)
(d)
Ipic
シーケンスヘッダ+ピクチャヘッダ
シーケンスエンド

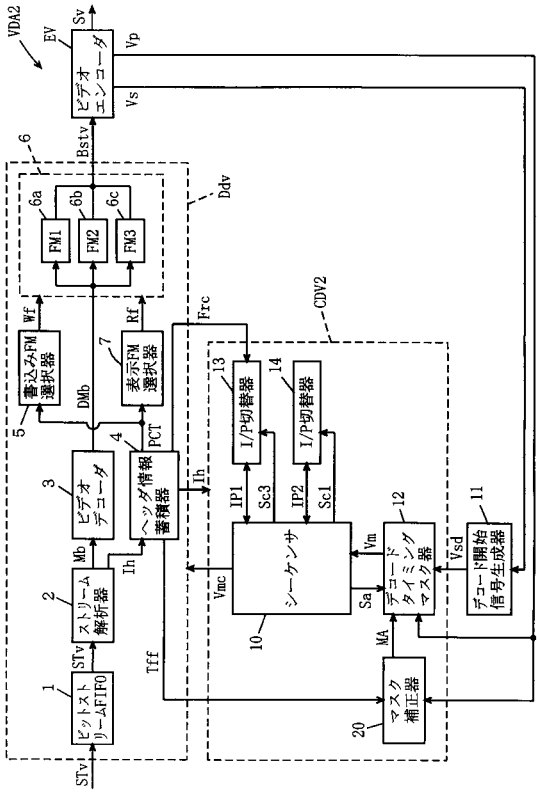
【図５】


開始
#100
Vsd 生成監視
#210
S28
state=2 ?
NO
YES
S30
state=0
#300
S5
pimode=P ?
YES
NO
S7
parity_mask
=表示parity ?
YES
S1へ戻る
NO
#610
S9
state=0 ?
NO
YES
S11
frame_rate_code
< 7 ?
NO
YES
S32
pimode=P ?
NO
YES
S34
pimode=I
S36
state=2
S13
出画設定
S15
SLデコード
S17
PLデコード
終了

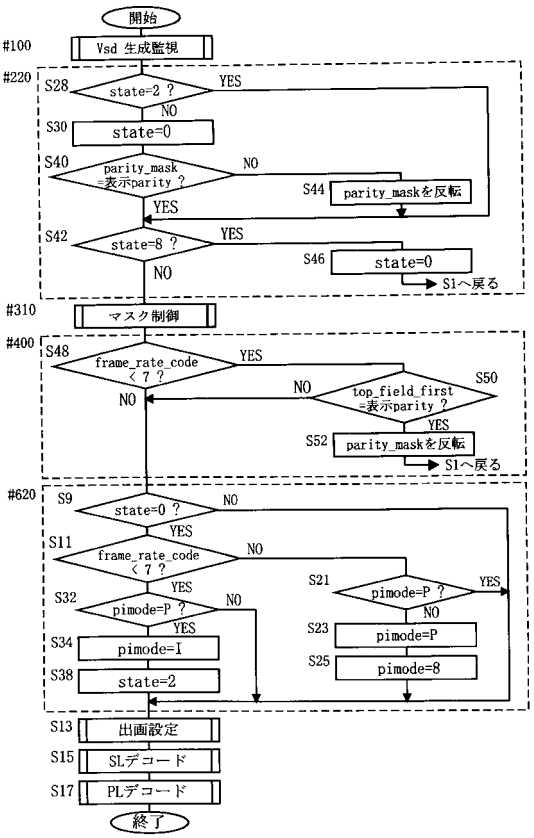
【図６】


Vs
Vsd
Vp
IP2
Vm
IP1
Bottom
Top
state
pimode
parity_mask
frame_rate_code
state
pimode
画像タイプ (Mb)
SL&PLdecode
(DMb)
表示画像 (Bstv)
IS
PS
T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11

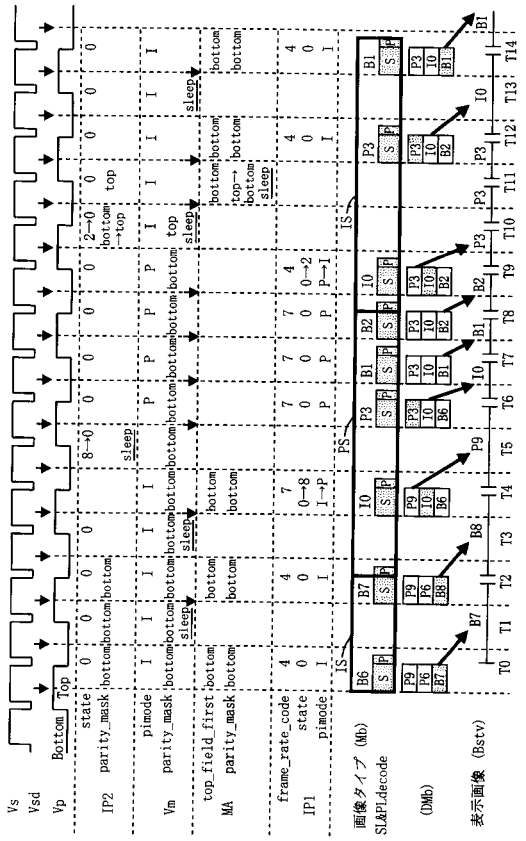
【図７】


VDA2
EV
Sv
Vp
Vs
ビデオ
エンコーダ
Bstv
6
6a
6b
6c
FM1
FM2
FM3
Ddv
Wf
Rf
書込みFM
選択器
表示FM
選択器
DMb
PCT
5
7
4
3
ビデオ
デコーダ
ヘッダ情報
蓄積器
Mb
Ih
2
ストリーム
解析器
STv
1
ビットスト
リームFIFO
Tff
Frc
CDV2
13
14
I/P切替器
I/P切替器
IP1
Sc3
IP2
Sc1
シーケンサ
10
Vmc
Vm
Sa
12
デコード
タイミング
マスク器
Vsd
11
デコード開始
信号生成器
MA
マスク
補正器
20

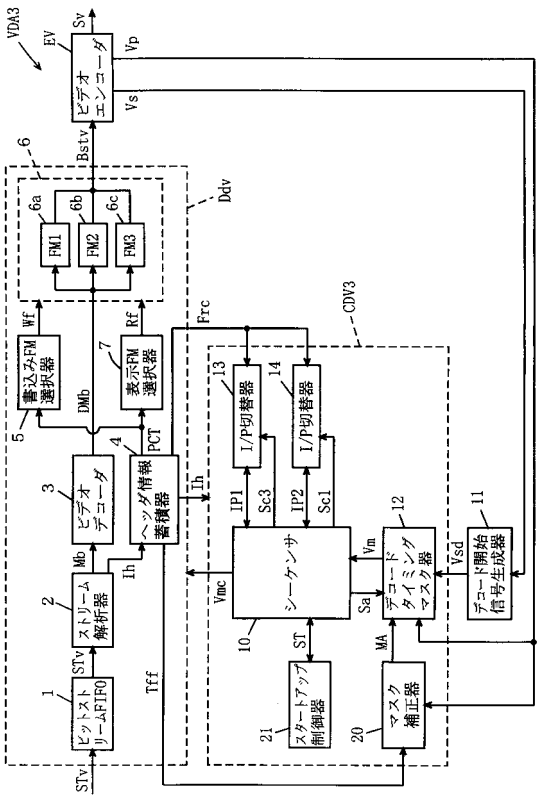
【図８】


開始
#100
Vsd 生成監視
#220
S28
state=2 ?
YES
NO
S30
state=0
S40
parity_mask
=表示parity ?
NO
S44
parity_maskを反転
YES
S42
state=8 ?
YES
S46
state=0
S1へ戻る
NO
#310
マスク制御
#400
S48
frame_rate_code
< 7 ?
YES
NO
S50
top_field_first
=表示parity ?
NO
YES
S52
parity_maskを反転
S1へ戻る
#620
S9
state=0 ?
NO
YES
S11
frame_rate_code
< 7 ?
NO
YES
S32
pimode=P ?
NO
YES
S21
pimode=P ?
YES
NO
S23
pimode=P
S25
pimode=8
S34
pimode=I
S38
state=2
S13
出画設定
S15
SLデコード
S17
PLデコード
終了

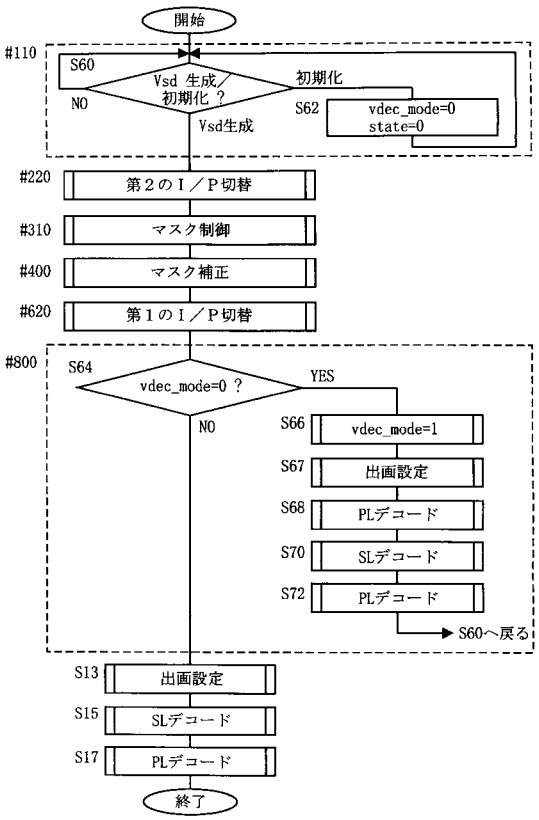
【図９】



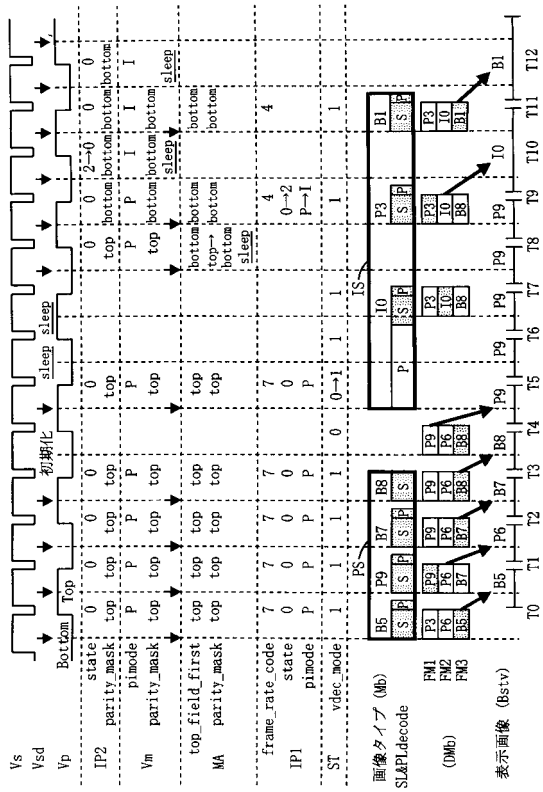
【図１０】



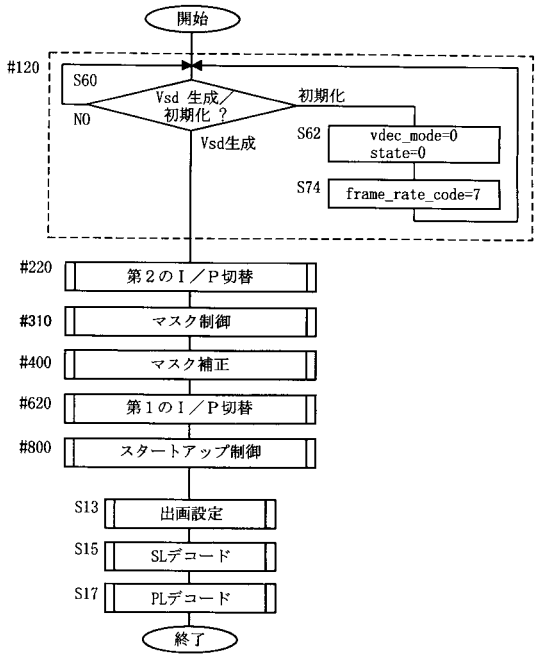
【図１１】



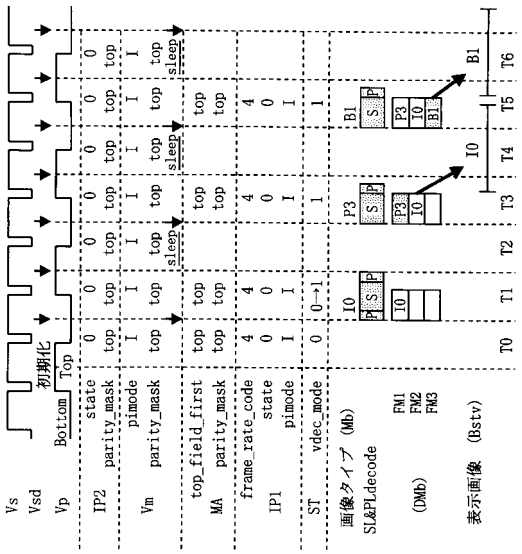
【図１２】



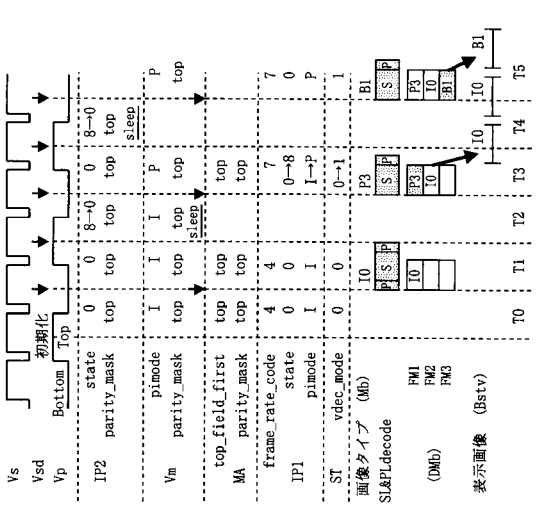
【図１３】



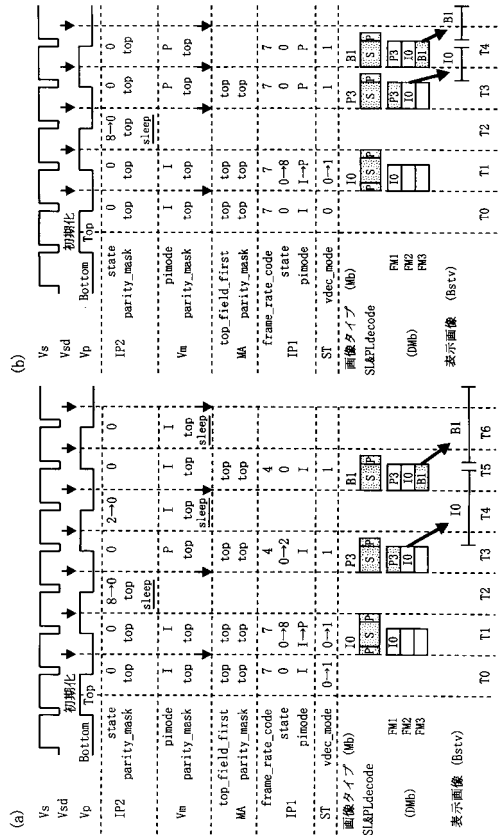
【図１４】



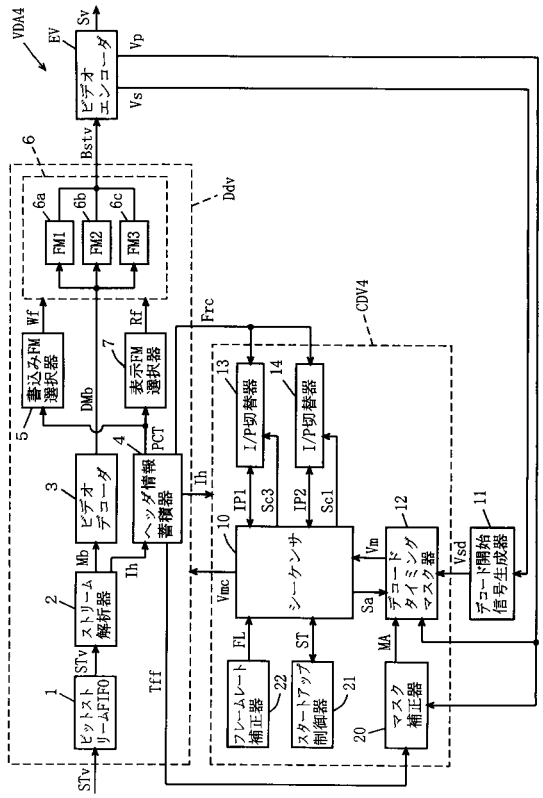
【図１５】



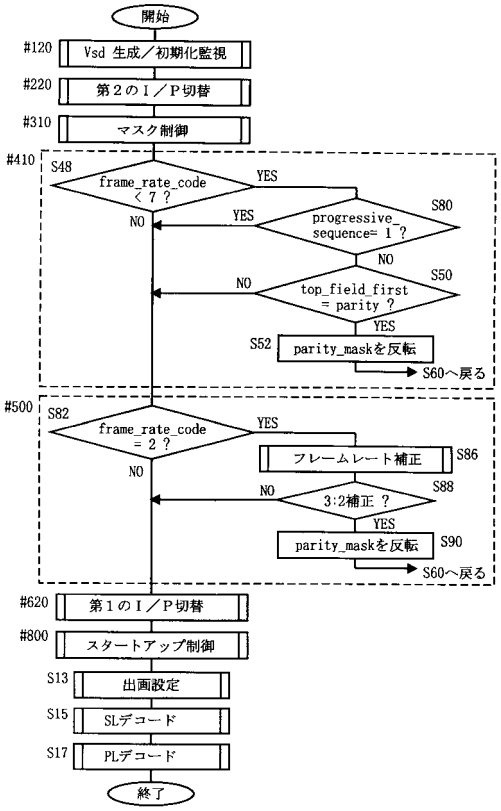
【図１６】



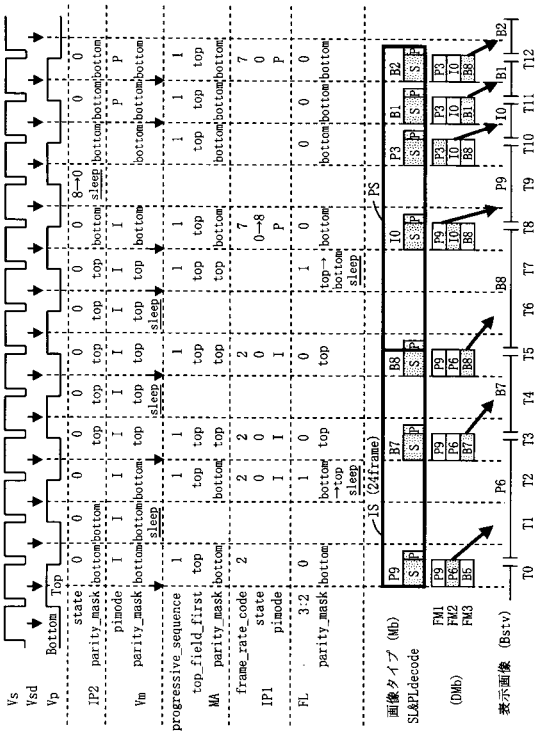
【図１７】



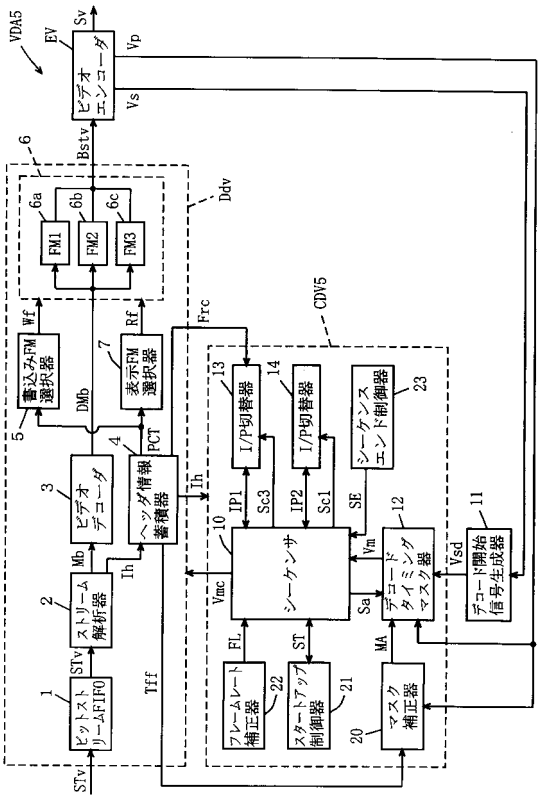
【図１８】



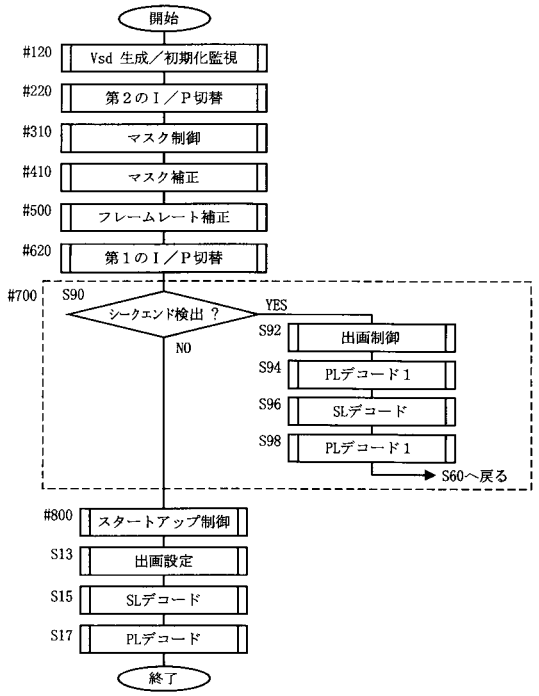
【図１９】



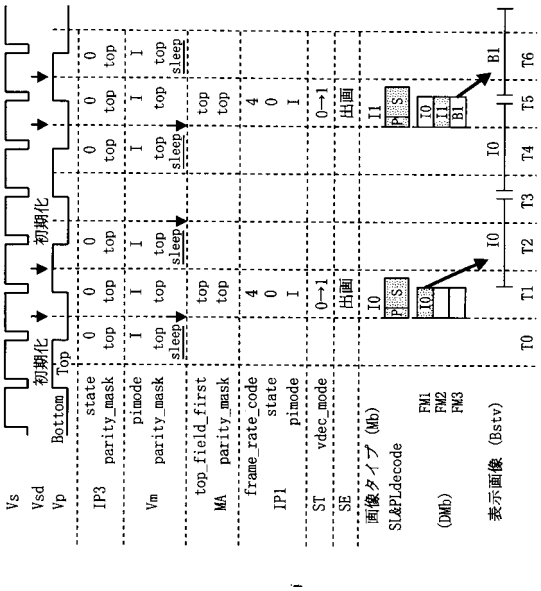
【図２０】



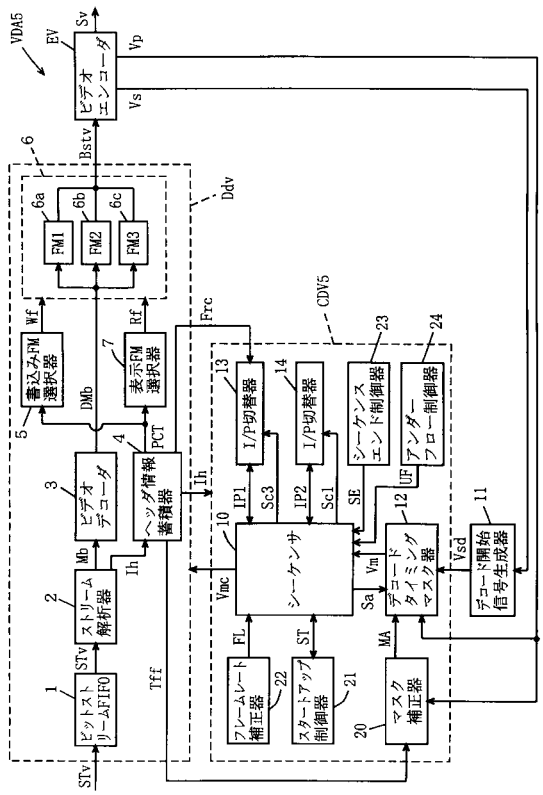
【図２１】



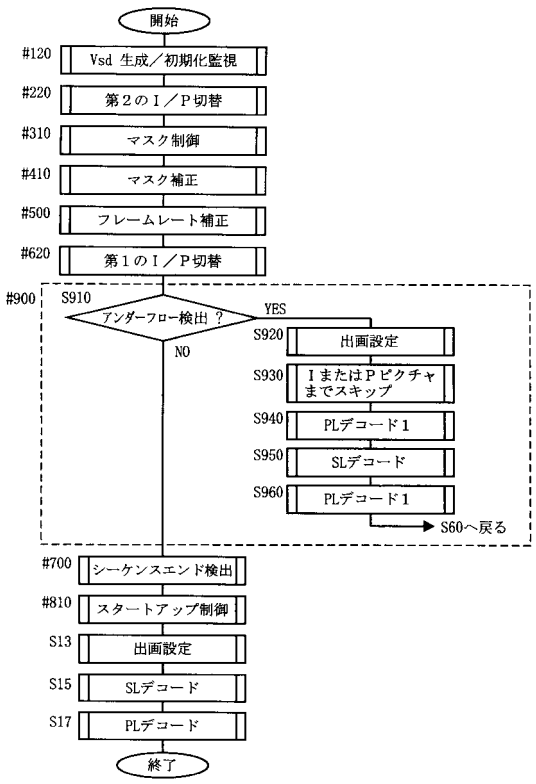
【図２２】



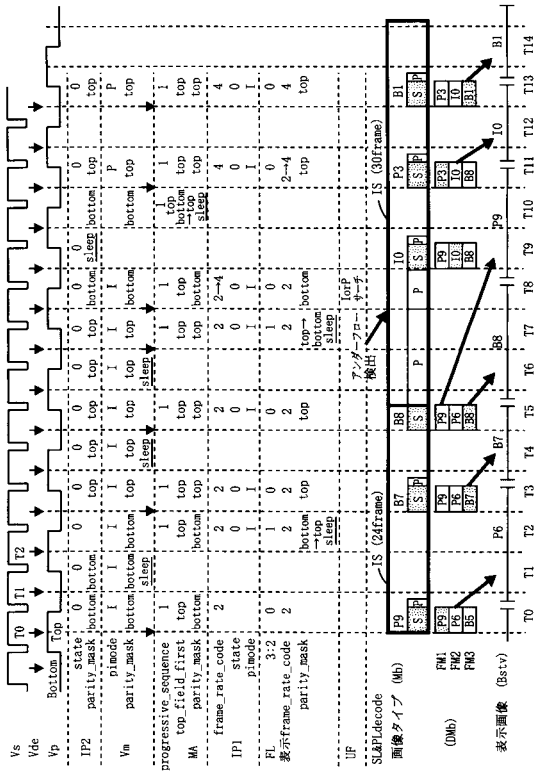
【図２３】



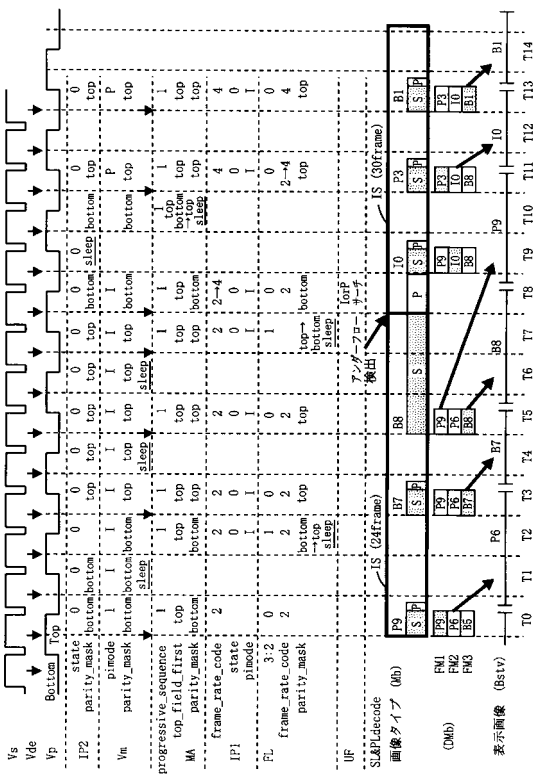
【図２４】



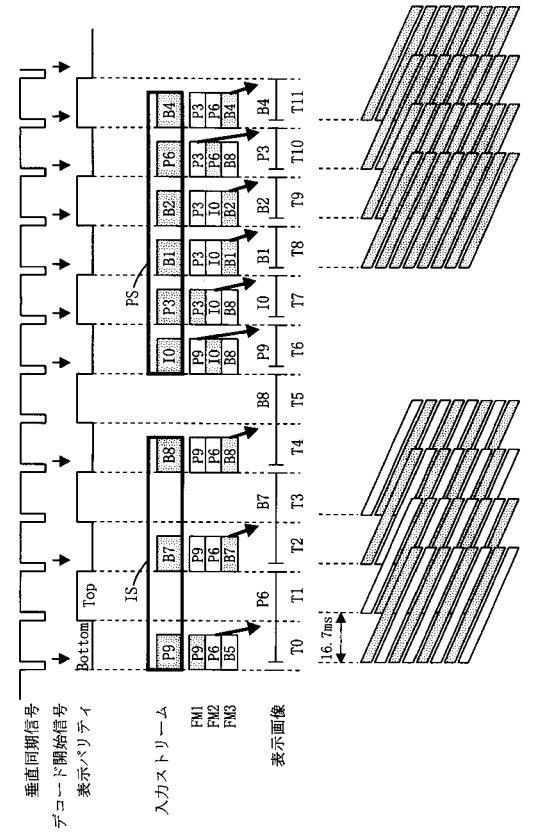
【図２５】



【図２６】



【図２７】



【図２８】

