(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3868735号
(P3868735)
(45)発行日　平成19年1月17日(2007.1.17)　(24)登録日　平成18年10月20日(2006.10.20)

(51)Int.Cl.　F I
H01L 29/786 (2006.01)　H01L 29/78 612B
H01L 21/336 (2006.01)　H01L 29/78 616S
H01L 29/78 617N
H01L 29/78 617S
H01L 29/78 627G

請求項の数 9　(全 16 頁)

(21)出願番号　特願2000-365654(P2000-365654)
(22)出願日　平成12年11月30日(2000.11.30)
(62)分割の表示　特願平6-180950の分割
原出願日　平成6年7月7日(1994.7.7)
(65)公開番号　特開2001-203367(P2001-203367A)
(43)公開日　平成13年7月27日(2001.7.27)
審査請求日　平成13年7月4日(2001.7.4)

前置審査

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(74)代理人　100116159
弁理士　玉城　信一
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　竹村　保彦
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　棚田　一也

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

複数の第１のゲート配線、複数の第２のゲート配線、前記複数の第１のゲート配線と交差する複数のソース配線、並びに、薄膜トランジスタ及び前記薄膜トランジスタに接続された画素電極を含む複数の画素を有し、

前記薄膜トランジスタは、第１のゲート電極、前記第１のゲート電極上の第１の絶縁膜、前記第１の絶縁膜上の非晶質半導体層、前記非晶質半導体層上の第２の絶縁膜及び前記第２の絶縁膜上の第２のゲート電極を含み、

前記第１のゲート配線と前記第２のゲート配線は並行に設けられ、前記第２のゲート配線は、前記第１の絶縁膜及び前記第２の絶縁膜に設けられたコンタクトホールにおいて前記画素ごとに前記第１のゲート配線に電気的に接続され、

前記第１のゲート配線は、前記第１のゲート電極から延在する配線であり、前記第２のゲート配線は前記第２のゲート電極から延在する配線であり、

前記ソース配線は、前記第２のゲート配線上の層間絶縁物の上に設けられ、前記第１のゲート配線と交差する部分では前記第１のゲート配線と前記第１の絶縁膜及び前記層間絶縁物のみを介して交差することを特徴とする半導体装置。

【請求項２】

複数の第１のゲート配線、複数の第２のゲート配線、前記複数の第１のゲート配線と交差する複数のソース配線、並びに、薄膜トランジスタ及び前記薄膜トランジスタに接続された画素電極を含む複数の画素を有し、

前記薄膜トランジスタは、第１のゲート電極、前記第１のゲート電極上の第１の絶縁膜、前記第１の絶縁膜上の非晶質半導体層、前記非晶質半導体層上の第２の絶縁膜及び前記第２の絶縁膜上の第２のゲート電極を含み、

前記第１のゲート配線と前記第２のゲート配線は並行に設けられ、前記第２のゲート配線は、前記第１の絶縁膜及び前記第２の絶縁膜に設けられたコンタクトホールにおいて前記画素ごとに前記第１のゲート配線に電気的に接続され、

前記第１の絶縁膜と前記第２の絶縁膜とは膜厚が異なり、

前記第１のゲート配線は、前記第１のゲート電極から延在する配線であり、前記第２のゲート配線は前記第２のゲート電極から延在する配線であり、

前記ソース配線は、前記第２のゲート配線上の層間絶縁物の上に設けられ、前記第１のゲート配線と交差する部分では前記第１のゲート配線と前記第１の絶縁膜及び前記層間絶縁物のみを介して交差することを特徴とする半導体装置。

【請求項３】

複数の第１のゲート配線、複数の第２のゲート配線、前記複数の第１のゲート配線と交差する複数のソース配線、並びに、薄膜トランジスタ及び前記薄膜トランジスタに接続された画素電極を含む複数の画素を有し、

前記薄膜トランジスタは、第１のゲート電極、前記第１のゲート電極上の第１の絶縁膜、前記第１の絶縁膜上の非晶質半導体層、前記非晶質半導体層上の第２の絶縁膜及び前記第２の絶縁膜上の第２のゲート電極を含み、

前記第１のゲート配線と前記第２のゲート配線は並行に設けられ、前記第２のゲート配線は、前記第１の絶縁膜及び前記第２の絶縁膜に設けられたコンタクトホールにおいて前記画素ごとに前記第１のゲート配線に電気的に接続され、

前記第１の絶縁膜と前記第２の絶縁膜とは膜厚及び誘電率が異なり、

前記第１のゲート配線は、前記第１のゲート電極から延在する配線であり、前記第２のゲート配線は前記第２のゲート電極から延在する配線であり、

前記ソース配線は、前記第２のゲート配線上の層間絶縁物の上に設けられ、前記第１のゲート配線と交差する部分では前記第１のゲート配線と前記第１の絶縁膜及び前記層間絶縁物のみを介して交差することを特徴とする半導体装置。

【請求項４】

請求項１乃至請求項３のいずれか一において、前記非晶質半導体層はソース領域、ドレイン領域及びチャネル形成領域を含み、前記ソース領域及び前記ドレイン領域にはシリサイドが形成されていることを特徴とする半導体装置。

【請求項５】

請求項１乃至請求項４のいずれか一項において、前記第２のゲート配線は前記画素ごとに分割されていることを特徴とする半導体装置。

【請求項６】

請求項１乃至請求項４のいずれか一項において、前記第２のゲート配線は、前記画素ごとに分割され、前記画素ごとに２箇所で前記第１のゲート配線に接続されていることを特徴とする半導体装置。

【請求項７】

請求項１乃至請求項６のいずれか一において、前記第２のゲート配線は、アルミニウム膜、チタン膜、タンタル膜、アルミニウム合金膜、チタン合金膜もしくはタンタル合金膜を含むことを特徴とする半導体装置。

【請求項８】

請求項１乃至請求項７のいずれか一において、前記薄膜トランジスタは、有機樹脂の上に設けられていることを特徴とする半導体装置。

【請求項９】

請求項１乃至請求項８のいずれか一に記載の半導体装置は、液晶ディスプレイであることを特徴とする半導体装置。

【発明の詳細な説明】

【０００１】
【発明の属する利用分野】
本発明は、ガラス等の絶縁材料、あるいは珪素ウェハー上に酸化珪素等の絶縁被膜を形成した材料等の絶縁表面上に形成される絶縁ゲイト型トランジスタ（ＴＦＴ）およびその作製方法、さらには、このようなＴＦＴを複数形成した集積回路等の半導体装置に関する。本発明におけるＴＦＴは非晶質半導体もしくは多結晶等の結晶性半導体を活性層とすることを特徴とする。本発明は、特にガラス転移点（歪み温度、歪み点とも言う）が７５０℃以下のガラス基板上に形成されるＴＦＴに効果的であるが、その他の高融点ガラス基板や単結晶半導体ウェハーに形成された絶縁膜上に設けた場合にも利用できる。本発明による半導体装置は、液晶ディスプレー等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはいくつもの集積回路層を設けた３次元集積回路に使用される。
【０００２】
【従来の技術】
従来より、アクティブマトリクス型の液晶表示装置やイメージセンサー等の駆動の目的で、ＴＦＴ（薄膜トランジスタ）を形成することが広く知られている。これらのＴＦＴにおいては、ＣＶＤ（化学的気相成長法）やスパッタリング法等の気相成長法によって堆積した膜状の半導体をそのまま、あるいは熱アニール、レーザーアニール等のアニール処理を施して用いている。このようにして得られた半導体は多くの場合、非晶質状態あるいは多結晶状態である。
【０００３】
【発明が解決しようとする課題】
最近になって、大容量のマトリクス等のようにゲイト配線の長い装置が作製されるようになると、ゲイト配線の抵抗のため、信号遅延やパルスのゆがみ等が問題となるようになった。
また、活性層（チャネル形成領域）に用いられる半導体は、通常、非単結晶状態であるため、ゲイト電極の設けられていない部分（例えば、トップゲイト型においては下側、ボトムゲイト型においては上側）に非意図的にチャネルが形成されてしまい、リーク電流が生じることが問題となった。
さらに、特に非晶質半導体を用いる場合には、ソース／ドレインのシート抵抗が高いことも無視できなくなっていた。本発明はこれらの問題の１つもしくは複数を解決することを課題とする。
【０００４】
【課題を解決するための手段】
本発明のＴＦＴは、半導体活性層の上下に第１（下方）および第２（上方）のゲイト電極、および、第１のゲイト電極と半導体層の間、および、第２のゲイト電極と半導体層の間に、それぞれ、第１の絶縁膜と第２の絶縁膜（これらはゲイト絶縁膜として機能する）が設けられ、かつ、第２のゲイト電極は、陽極酸化処理によって、その上面および側面に該ゲイト電極を構成する材料の陽極酸化物被膜が形成されていることを特徴とする。
【０００５】
このため、第２のゲイト電極は陽極酸化可能な材料、例えば、アルミニウム、チタン、タンタルを主成分とする金属によって構成することが必要である。これらの金属は合金であってもよい。また、以下の文章では、特に断らない限り、例えば、アルミニウムといえば、純粋なアルミニウムだけではなく、１０％以下の添加物を含有するものも含むものとする。チタンやその他の金属についても同様である。
【０００６】
本発明において、第１のゲイト電極は第２のゲイト電極と常に同じ電位に保たれる。そのためには、第１のゲイト電極は第２のゲイト電極と電気的に接続すべく、コンタクトを持つことが必要であり、第１の絶縁膜と第２の絶縁膜をエッチングすることによって第１のゲイト電極から延在する配線（第１のゲイト配線）にコンタクトホールが形成されることが特徴でもある。

さらに、第１のゲイト配線と第２のゲイト配線は実質的に重なって形成されることも特徴である。ただし、部分的には第１のゲイト配線上に第２のゲイト配線が存在しない場合や、その逆の場合もあり得る。特に、第１のゲイト配線と第２のゲイト配線が重なって存在する場合には段差が大きくなるので、より上層の配線と交差する場所においては、段差を低減する目的で、いずれか一方のみの配線と交差するように設計すると、交差部での断線を防止する上で効果的である。

【０００７】

さらに、第２のゲイト電極およびその側面の陽極酸化物をマスクとして自己整合的に形成されたソース／ドレインを有することも特徴とする。ソース／ドレインを形成するにはイオンドーピング等の加速した不純物イオンを照射する方法や熱拡散、レーザー拡散等の方法を用いて、実施される。

加えて、本発明のＴＦＴにおいてはソース／ドレインを覆って、あるいはその一部をシリサイド化することにより、シリサイド領域を設けることも特徴とする。特に、非晶質半導体を用いたＴＦＴにおいては、ソース／ドレインも非晶質もしくはそれと同等な材料によって構成されるため、シート抵抗が１０ｋΩ／□以上と極めて高かった。しかしながら、この領域にシリサイドを設けることによって、実質的なシート抵抗を１０００Ω／□以下、より好ましい条件では、１００Ω／□以下とすることができる。

【０００８】

本発明において、第２のゲイト電極が陽極酸化物で被覆されていることは、このシリサイド化の工程において重要である。すなわち、シリサイド化は以下のようにおこなわれる。まず、陽極酸化物で被覆された第２のゲイト電極をマスクとして、第２の絶縁膜をエッチングすることによって、半導体活性層を露出せしめる。

その後、シリサイドを形成するための金属被膜を成膜する。半導体としてシリコンを用いる場合には、シリサイドを形成するための金属材料は、そのシリサイドが、Ｎ型あるいはＰ型のシリコンに対してオーミックもしくはオーミックに近い低抵抗なコンタクトを形成できるような材料であることが望まれる。例えば、モリブテン（Ｍｏ）、タングステン（Ｗ）、プラチナ（Ｐｔ）、クロム（Ｃｒ）、チタン（Ｔｉ）、コバルト（Ｃｏ）等が適当である。この段階では、半導体活性層の露出された部分と上記金属被膜は密着した状態にある。

【０００９】

その後、熱アニール、あるいは、レーザーもしくはそれと同等な強光を照射することにより、半導体活性層のうち金属被膜と密着した部分をシリサイド化させる。一方、半導体層以外の陽極酸化物上や絶縁膜上にも金属被膜が形成されているが、このような場所に形成された金属被膜はこれらの材料とは反応しない。

最後に、未反応の金属被膜を除去する。以上の工程において、もし、第２のゲイト電極が陽極酸化物によって被覆されていなければ、シリサイド化のために成膜された金属被膜がゲイト電極材料と反応してしまい、また、金属被膜を除去する工程でゲイト電極をもエッチングしてしまう可能性が高く、好ましくない。このように、陽極酸化物は金属被膜とゲイト電極が反応することを防止し、また、エッチングストッパーとして機能する。

【００１０】

また、陽極酸化物は、ソース／ドレイン上のシリサイドとゲイト電極が短絡することを防止する役割も果たす。すなわち、シリサイドはソース／ドレインの実質的に全面に設けられるので、結果的にゲイト電極に近接することとなる。ソース／ドレインとゲイト電極はゲイト絶縁膜によって隔てられているが、シリサイドはプロセス上、一度、ソース／ドレイン上のゲイト絶縁膜を除去した後に形成されるので、シリサイドがゲイト電極と接触する可能性が著しく大きい。しかしながら、ゲイト電極の側面に陽極酸化物が存在すれば、シリサイドとゲイト電極の接触を防止することが可能であり、しかも、陽極酸化物は非常に緻密で絶縁性の良好なものを得ることができるので、短絡の確率は著しく低減できる。

【００１１】

本発明のＴＦＴあるいは集積回路を得るための典型的な工程は以下のようなものである。

第１に絶縁表面上に第１のゲイト配線を形成する。第１のゲイト配線の材料としては、シリコンやモリブテン、タングステン等の耐熱性のある材料が望ましいが、その他の材料であってもよい。また、その表面を陽極酸化物によって被覆してもよい。

【００１２】

第２に前記第１のゲイト配線を覆って、第１の絶縁膜を形成する。この絶縁膜は第１のゲイト電極に対してゲイト絶縁膜として機能する。半導体としてシリコンを用いる場合には、例えば、窒化珪素や酸化珪素、酸化窒化珪素（ＳｉＯｘ Ｎｙ）等を用いればよい。また、単層でも多層でもよい。

第３に前記第１の絶縁膜上に島状の半導体層を形成する。半導体層は非晶質でも結晶性でもよい。また、基板上の特定の部分のみを結晶性半導体とし、その他の部分を非晶質半導体とすることも、レーザーアニール等の局所的なアニール手段を用いれば実施できる。

【００１３】

第４に前記半導体層上に第２の絶縁膜を形成する。この絶縁膜は第２のゲイト電極に対してゲイト絶縁膜として機能する。半導体としてシリコンを用いる場合には、例えば、窒化珪素や酸化珪素、酸化窒化珪素（ＳｉＯｘ Ｎｙ）等を用いればよい。また、単層でも多層でもよい。

第５に第１および第２の絶縁膜をエッチングして第１のゲイト配線に対してコンタクトホールを形成する。コンタクトホールの頻度は集積回路の種類によって異なるが、１つのＴＦＴに対して１～２個の比率で構成することが望ましい。

【００１４】

第６に前記第２の絶縁膜上および前記コンタクトホールを覆って、第２のゲイト配線を形成する。第２のゲイト配線は第１のゲイト配線と実質的に平行であり、また、好ましくは同じ形状を有する。また、後の第３の配線と交差する部分においては段差を緩和するために、第２の配線を設けない場合もある。

第７に前記第２のゲイト配線に電解溶液中で電流を印加することによって、該ゲイト配線の側面および上面に陽極酸化物層を形成する。この工程で形成される陽極酸化物の少なくとも１種類は、いわゆるバリヤ型の陽極酸化物であることが好ましい。バリヤ型の陽極酸化物とは、実質的に中性の電解溶液中の陽極酸化によって得られるもので、陽極酸化物の成長とともに、印加する電圧が増加することを特徴とする。バリヤ型の陽極酸化物は耐圧が高く、緻密な膜質である。

【００１５】

第８に前記第２のゲイト配線およびその側面の陽極酸化物層をマスクとして、前記半導体層に自己整合的にＮ型もしくはＰ型の不純物を導入する。不純物導入に先立って、第２の絶縁膜をエッチングすることによって、半導体層を露出させておいてもよいし、イオンドーピング等の手段であれば、第２の絶縁膜を通して、不純物を注入することも可能である。イオンドーピング等を利用した場合には熱アニールあるいはレーザーアニール等のアニールによって、不純物の活性化をおこなうことが必要である。不純物注入の前あるいは後に上述のシリサイド化をおこなってもよい。

第９に前記半導体層に形成されたソース／ドレインの少なくとも一方、あるいはシリサイドに接続する第３の配線を形成する。

【００１６】

【作用】

本発明においては、ゲイト配線を２層とすることができる。このため、ゲイト配線が単層である場合に比較して、ゲイト配線全体の抵抗を低減せしめることが可能である。すなわち、従来においては、ゲイト配線が単層であったがために、ゲイト配線の抵抗を低減させるためには、ゲイト配線の厚みを増すことが要求された。例えば、従来の通常のゲイト配線の厚みは３００～５００ｎｍであったが、大容量のマトリクスでは、ゲイト配線の低抵抗化が必要であり、その倍の厚みすることが必要とされた。

【００１７】

しかしながら、単層のゲイト配線の厚みを増すと段差が拡大し、その上に形成される絶縁

膜がゲイト電極・配線を十分に被覆することに困難があった。特に、絶縁膜が基板温度４２０℃未満のＣＶＤ法、例えば、プラズマＣＶＤ法によって形成される場合には、段差が５００ｎｍを境に急速に被覆性が悪化し、層間のショート等の原因となった。
本発明においては、ゲイト配線は上下合わせた厚さは十分に厚くなるが、それぞれのゲイト配線に対する絶縁膜の被覆性が十分良好な状態であるので、上記のような問題は生じない。

【００１８】

さらに、従来においては、ゲイト配線に１か所にでも断線があると、その行は線欠陥となり、その行の全ての素子が無駄になってしまったが、本発明においては上下２層のゲイト配線が適当な間隔でコンタクトを形成して、延びているので、ゲイト配線の断線による歩留りの低下は全くなかった。
また、本発明では活性層の上下にゲイト電極が存在するため、ゲイト電極の反対側の活性層における非意図的なチャネルが形成されることがなく、リーク電流の低減が達成される。
この点に関して、特に本発明は半導体活性層の結晶性が上側と下側で異なる場合には好ましいものであった。結晶性シリコン半導体の場合には、一般に、結晶は下方から成長することが知られており、下側の結晶シリコンと絶縁膜の界面特性の方が上側の結晶シリコンと絶縁膜のものに比較して優れている。したがって、このような場合に下方にゲイト電極が存在することは好ましいことである。

【００１９】

さらに、本発明において、ソース／ドレインに隣接してシリサイド領域を設けた場合にはシート抵抗を低減せしめる上で効果があった。
本発明は特に外部から光の照射されるデバイス、例えば、液晶ディスプレーやイメージセンサー等の装置においてはＴＦＴに光が照射されることがある。その場合、ゲイト電極の方向から活性層の方向に向けて照射された光に関しては、ゲイト電極が影となって特性に影響を及ぼすことは少ないが、ゲイト電極の存在しない方から照射された光に対してはフォト電流が発生し、ＴＦＴの特性が著しく低下するという問題があった。しかも、一般に光は一方向からのみ侵入するわけではなく、散乱等による微量な光までも制御することは不可能であった。この問題に対しては、ゲイト電極の反対側に遮光膜を形成するという方法が一般的であるが、本発明では活性層の上下にゲイト電極が存在し、これが遮光膜となって活性層に侵入する光を抑制することができるという効果を有する。

【００２０】

本発明においては、第１のゲイト絶縁膜の膜厚と誘電率、第２のゲイト絶縁膜の膜厚と誘電率を加減することにより、そのＴＦＴの支配的なゲイト電極が第１のゲイト電極と第２のゲイト電極のいずれかとすることも可能である。すなわち、第１のゲイト絶縁膜と第２のゲイト絶縁膜を同じ材質の絶縁体で形成し、かつ、第１の絶縁膜を第２のゲイト絶縁膜よりも薄くすると、第１のゲイト電極が中心となってＴＦＴが動作する。逆の場合には第２のゲイト電極が支配的となる。第１のゲイト電極と第２のゲイト電極のいずれを支配的とするかは、活性層と第１の絶縁膜の界面と活性層と第２の絶縁膜の界面のいずれがより好ましいものであるかを考慮して選択すればよい。

【００２１】

本発明を利用した集積回路にはいくつかのバリエーションが考えられる。集積回路として、アクティブマトリクス回路とその駆動をおこなうための周辺論理回路という大きく分けて１種類の回路を有するモノリシック型アクティブマトリクス回路（周辺回路一体型アクティブマトリクス回路）を考えると、第１に、周辺回路にはトップゲイト型ＴＦＴを、アクティブマトリクス回路には本発明のＴＦＴを用いた構造がある。この場合では、マトリクス回路のＴＦＴのリーク電流が低減でき、また、周辺回路ではソース／ドレインを自己整合的に形成できるので、寄生容量が低減されるという特色を有する。
第２は、周辺回路は結晶性半導体によって、また、アクティブマトリクス回路は非晶質半導体によって構成する場合である。一般に、結晶性半導体を用いたＴＦＴは動作速度が早

く、非晶質半導体を用いたＴＦＴではリーク電流が少ないという特色を有し、それぞれ、周辺回路、アクティブマトリクス回路に適している。

【００２２】

【実施例】

〔実施例１〕　図１、図２および図４に本実施例を示す。本実施例は、モノリシック型アクティブマトリクス回路の作製工程および構造について説明したものである。モノリシック型アクティブマトリクス回路とは、図６に示すようなブロック構成を有するもので１枚の基板６０１上にアクティブマトリクス回路領域６０４と、それを取り囲むようにデータドライバー回路６０２、６０５、スキャンドライバー回路６０３が設けられているものである。データドライバー回路およびスキャンドライバー回路の数については、図６に示したもの以外にさまざまなバリエーションが可能である。データドライバー回路、スキャンドライバー回路その他の補助的な駆動回路を総称して、周辺回路という。周辺回路ではＰチャネル型ＴＦＴとＮチャネル型ＴＦＴを用いて相補ＭＯＳ回路が構成されるため、図２では相補ＭＯＳ回路によるインバータ回路の作製工程を示した。

【００２３】

図１はアクティブマトリクス回路部分の、また、図２は周辺回路部分の典型的な部分の断面図であり、図１と図２における工程順を示す（Ａ）、（Ｂ）、（Ｃ）、．．．はそれぞれ対応し、また、図１、図２および図４における符号番号が同じ場合は同じものを指し示す。図４（Ａ）は完成したマトリクス回路を上方より見た様子を示し、図１は図４（Ａ）のＡ－Ｂ－Ｃの断面を示したものである。また、図４（Ｂ）は、図４（Ａ）のａ－ｂの断面を示す。図４（Ｃ）は本実施例で作製するアクティブマトリクス回路の回路図を示す。以下に図１および図２を用いて、本実施例の作製工程を説明する。

【００２４】

まず、厚さ１００ｎｍの窒化珪素膜（図示せず）を形成した基板（コーニング７０５９、１００ｍｍ×１００ｍｍ）の絶縁表面１０１上に第１のゲイト配線・電極１０２、１０３、１０４、１０５を形成した。ゲイト配線・電極は、厚さ３００ｎｍの燐をドーピングして抵抗を低減せしめた多結晶シリコン膜をエッチングすることによって形成した。多結晶シリコン膜は減圧ＣＶＤ法によって形成した。この場合には成膜した状態で多結晶状態であった。

多結晶シリコン膜を得るには、上記の方法以外に、プラズマＣＶＤ法、減圧ＣＶＤ法によって真性の非晶質シリコン膜を形成し、これにイオンドーピング法等の手段によって燐等の不純物を導入せしめ、さらに、これを５００～６００℃で熱アニールしてもよい。また、熱アニールの際にはニッケル等の結晶化を促進せしめる元素を微量添加してもよい。

【００２５】

本実施例ではシリコンを用いたが、他に珪化金属を用いてもよかった。

その後、プラズマＣＶＤ法によって厚さ３００～６００ｎｍ、例えば、４００ｎｍの窒化珪素膜１０６を堆積した。これはゲイト絶縁膜としても機能する。そして、厚さ３０～１００ｎｍ、例えば、５０ｎｍの非晶質シリコン膜をプラズマＣＶＤ法によって形成した。そして、これをエッチングして、島状の領域１０７、１０８、１０９を形成した。（図１（Ａ）、図２（Ａ））

さらに、プラズマＣＶＤ法によって厚さ３００～６００ｎｍ、例えば、２００ｎｍの窒化珪素膜１１０を堆積した。これはゲイト絶縁膜としても機能する。この状態で、周辺回路の部分のみにレーザー光を照射して、島状のシリコン膜を結晶化させた。レーザーはＸｅＣｌエキシマーレーザー（波長３０８ｎｍ）を用いた。レーザーの照射エネルギー密度、パルス数はシリコン膜の膜質、窒化珪素膜１１０の膜質によって加減した。

【００２６】

その後、図には示していないが、窒化珪素膜１１０と１０６をエッチングして第１のゲイト配線に到達するコンタクトホールを形成した。このコンタクトホールは、第１のゲイト配線とその上に形成される第２のゲイト配線の間のコンタクトを形成するためのもので、図４（Ａ）および同図（Ｂ）のコンタクト１４５に相当するものである。

コンタクトホールを形成した後、スパッタ法によって、厚さ３００～８００ｎｍ、例えば、５００ｎｍのアルミニウム膜１１１を形成した。アルミニウム膜には０．１～０．５重量％のスカンジウム（Ｓｃ）を含有せしめておくと、ヒロックの発生を抑止する上で効果があった。（図１（Ｂ）、図２（Ｂ））

【００２７】

次いで、アルミニウム膜をエッチングし、第２のゲイト配線・電極１１２、１１３、１１４、１１５を形成した。この結果、先に形成されたコンタクトホールを介して、第１のゲイト配線と第２のゲイト配線のコンタクトが形成された。この際には、第２のゲイト配線でコンタクトホールが完全に覆われるように設計することが必要であった。これは、コンタクトホールにおいてシリコンで構成された第１のゲイト配線が露出されていると、後の陽極酸化の工程において、この露出された部分を通して電流が漏れてしまい、陽極酸化反応が進まないためである。（図１（Ｃ）、図２（Ｃ））

【００２８】

次に、電解溶液中において、ゲイト電極に電流を印加した。その際、３～１０％の酒石酸にアンモニアを添加して、ｐＨ＝６．８～７．２に調整したエチレングルコール溶液を用いた。溶液の温度は１０℃前後の室温より低い方が良好な酸化膜が得られた。このため、第２のゲイト配線・電極の上面および側面にバリヤ型の陽極酸化物１１６、１１７、１１８、１１９が形成された。陽極酸化物の厚さは印加電圧に比例し、印加電圧が１５０Ｖで２００ｎｍの陽極酸化物が形成された。陽極酸化物の厚さは１００～３００ｎｍが好ましかった。３００ｎｍ以上の厚さの陽極酸化物を得るには２５０Ｖ以上の高電圧が必要であり、ＴＦＴの特性に悪影響を及ぼすので好ましくなかった。（図１（Ｄ）、図２（Ｄ））

【００２９】

その後、ドライエッチング法によって窒化珪素膜１１０をエッチングした。この際には、陽極酸化物はエッチングされないので、自己整合的に窒化珪素膜１１０がエッチングされ、ゲイト配線・電極と島状シリコン層の間にはゲイト絶縁膜１２０、１２１、１２２、１２３が残された。（図１（Ｅ）、図２（Ｅ））

【００３０】

次に、イオンドーピング法によって、島状シリコン層１０７、１０８、１０９に、ゲイト電極部（すなわちゲイト電極とその周囲の陽極酸化膜）をマスクとして自己整合的にＮ型およびＰ型の不純物を注入し、Ｎ型不純物領域（ソース／ドレイン領域）１２４、１２５、１２６、１２７、Ｐ型不純物領域１２８、１２９を形成した。ドーピングガスとしては、Ｎ型不純物のドーピングにはフォスフィン（PH_3）を、Ｐ型不純物のドーピングにはジボラン（B_2H_6）を、それぞれドーピングガスとして用いた。ドーズ量は5×10^{14}～5×10^{15}原子／cm^2、加速エネルギーは１０～３０ｋｅＶとした。その後、ＫｒＦエキシマーレーザー（波長２４８ｎｍ、パルス幅２０ｎｓｅｃ）を照射して、活性層中に導入された不純物イオンの活性化をおこなった。（図１（Ｆ）、図２（Ｆ））

【００３１】

その後、全面に適当な金属、例えば、厚さ５～５０ｎｍのチタン膜１３０をスパッタ法によって形成した。（図１（Ｇ）、図２（Ｇ））

そして、４５０～５５０℃、例えば、５００℃で１０～６０分、熱アニールすることによって、チタンとシリコンを反応させ、シリサイド（珪化チタン）領域１３１、１３２、１３３、１３４、１３５、１３６を形成した。この熱アニールの間にドーピングされた不純物のさらなる活性化もおこなわれた。

熱アニールによるシリサイド化の代わりに、レーザー光の照射や、可視光線もしくは近赤外光の照射によるランプアニールによるものでもよい。

【００３２】

この後、過酸化水素とアンモニアと水とを５：２：２で混合したエッチング液でＴｉ膜をエッチングした。露出した活性層と接触した部分以外のチタン膜（例えば、窒化珪素膜１０６や陽極酸化膜上に存在したチタン膜）はそのまま金属状態で残っているので、このエッチングで除去できる。一方、珪化チタンはエッチングされないので、残存させることが

できる。（図１（Ｈ）、図２（Ｈ））
【００３３】
さらに、全面に第１の層間絶縁物１３７として、ＣＶＤ法によって酸化珪素膜を厚さ５００ｎｍ形成した。そして、ＴＦＴのソース／ドレインにコンタクトホールを形成した。第１の層間絶縁物形成後、４００℃で１０～３０分アニールした。その後、アルミニウム配線・電極１３８、１３９、１４０、１４１を形成した。さらに、ＩＴＯ膜によって、画素電極１４２も形成した。最後に外部からの水分、可動イオン等がＴＦＴに侵入しないように厚さ２００～５００ｎｍ、例えば、３００ｎｍの窒化珪素膜１４３をプラズマＣＶＤ法によって形成し、画素部分１４４を開孔し、ＩＴＯ膜を露出させた。（図１（Ｉ）、図２（Ｉ））
【００３４】
以上によって、アクティブマトリクス回路における配線交差部１４７、画素に接続するＴＦＴ１４８、周辺回路のＮチャネル型ＴＦＴ１４９、Ｐチャネル型ＴＦＴ１５０が完成し、モノリシック型アクティブマトリクス回路が完成された。本実施例による画素の部分に設けられたＴＦＴを上方から見た図を図４（Ａ）に示す。スキャンドライバーから延びてきたゲイト線は図では１本の線のように見えるが、実際には、第２のゲイト線１１２の下には、これと並行に第１のゲイト線１０２が設けられている。そして、第１のゲイト線と第２のゲイト線は、コンタクト１４５において、接続されている。本実施例のアクティブマトリクス回路においては、ＴＦＴ１個に付き１か所のコンタクトを設けた。
【００３５】
このため、上下いずれかのゲイト配線に断線があったとしても、その行全体が不良となることはなかった。特に、本実施例では図４（Ａ）に示すように、ゲイト線の分岐する部分にコンタクトを設けたが、それは、コンタクトを形成するためのパッド領域（配線の幅の太い領域）を設けるに際して、当該部分では、特別なスペースを必要とせず、レイアウト上、有利であるためである。
図４（Ａ）におけるゲイト線にそったａ－ｂの断面構造を図４（Ｂ）に示す。また、図４（Ａ）の回路を複数並べたマトリクスの回路図を図４（Ｃ）に示す。図４（Ａ）において、ゲイト線１１２（および１０２）は上の行の画素電極の下に延びる配線１４６にも別れているが、この配線１４６は画素電極との間に容量を形成し、回路上は画素電極によって形成される液晶の容量と並列に存在する。
【００３６】
〔実施例２〕　図３および図５に本実施例を示す。本実施例はアクティブマトリクス回路の作製工程および構造について説明したものである。本実施例においてはアクティブマトリクス回路の作製方法に関するものであるが、モノリシック型アクティブマトリクス回路を作製せんとする場合の周辺回路についても同様なプロセスである。
　図３はアクティブマトリクス回路の断面図である。図３および図５における符号番号は同じものを指し示す。図５（Ａ）は完成したマトリクス回路を上方より見た様子を示し、図３は図５（Ａ）のＡ－Ｂ－Ｃの断面を示したものである。また、図５（Ｂ）は、図５（Ａ）のａ－ｂの断面を示す。図５（Ｃ）は本実施例で作製するアクティブマトリクス回路の回路図を示す。以下に図３を用いて、本実施例の作製工程を説明する。
【００３７】
まず、厚さ１００ｎｍの窒化珪素膜（図示せず）を形成した基板（コーニング７０５９、１００ｍｍ×１００ｍｍ）の絶縁表面２０１上に第１のゲイト配線・電極２０２、２０３を形成した。ゲイト配線・電極は、厚さ３００ｎｍのタングステン膜をスパッタ法によって成膜し、これをエッチングすることによって形成した。タングステン以外にモリブテン、チタン等の耐熱性金属であってもよい。
【００３８】
その後、プラズマＣＶＤ法によって厚さ３００～６００ｎｍ、例えば、４００ｎｍの窒化珪素膜２０４を堆積した。これはゲイト絶縁膜としても機能する。そして、厚さ３０～１００ｎｍ、例えば、８０ｎｍの非晶質シリコン膜をプラズマＣＶＤ法によって形成した。

そして、これにニッケルを微量添加し、５００～５８０℃、例えば、５５０℃でアニールすることによって結晶化せしめた。さらに、レーザー光を照射して、シリコン膜の結晶性を改善せしめた。レーザーはＸｅＣｌエキシマーレーザー（波長３０８ｎｍ）を用いた。レーザーの照射エネルギー密度、パルス数はシリコン膜の膜質によって加減した。そして、これをエッチングして、島状の領域２０５を形成した。（図３（Ａ））

【００３９】

さらに、プラズマＣＶＤ法によって厚さ３００～６００ｎｍ、例えば、１００ｎｍの酸化珪素膜２０６を堆積した。これはゲイト絶縁膜としても機能する。　その後、図には示していないが、窒化珪素膜２０４と酸化珪素膜２０６をエッチングして第１のゲイト配線に到達するコンタクトホールを形成した。このコンタクトホールは、図５（Ａ）および同図（Ｂ）のコンタクト２２３、２２４に相当するものである。コンタクトホールを形成した後、スパッタ法によって、厚さ３００～８００ｎｍ、例えば、５００ｎｍのアルミニウム膜２０７を形成した。（図３（Ｂ））

次いで、アルミニウム膜をエッチングし、第２のゲイト配線・電極２０８、２２１、２２２を形成した。本実施例ではその上にドライバーから延びるソース線２１６が形成される部分（図３（Ｃ）の第１のゲイト配線２０２の部分）には第２のゲイト配線は形成しなかった。（図３（Ｃ）、ゲイト配線２２１、２２２に関しては図５（Ａ）参照）

【００４０】

この結果、先に形成されたコンタクトホール２２３、２２４を介して、第１のゲイト配線と第２のゲイト配線のコンタクトが形成された。本実施例では、上述の通り、ソース線２１６が存在する部分においては第２のゲイト配線を設けないので、コンタクトホールはソース線をはさんで、２か所設けてあり、すなわち、ＴＦＴ１個に付き、２か所のコンタクトを形成した。（図３（Ｃ））

次に、電解溶液中において、ゲイト電極に電流を印加し、実施例１と同様に陽極酸化をおこない、第２のゲイト配線・電極２０８の上面および側面にバリヤ型の陽極酸化物２０９が形成された。陽極酸化物の厚さは１５０ｎｍとした。（図３（Ｄ））

【００４１】

その後、ウェットエッチング法によって酸化珪素膜２０６をエッチングした。エッチャントとしては、フッ酸、フッ化アンモニウム、酢酸の混合溶液を用いた。このエッチャントは酸化珪素膜、特にプラズマＣＶＤ法によって形成された酸化珪素膜に対してはエッチングレートが大きく、酸化アルミニウム、シリコン、窒化珪素に対しては十分に小さいという特徴を有している。そのため、ほぼ酸化珪素膜２０６のみをゲイト電極部（すなわちゲイト電極とその周囲の陽極酸化膜）をマスクとして自己整合的に選択的にエッングすることができた。ゲイト配線・電極と島状シリコン層の間にはゲイト絶縁膜２１０が残された。（図３（Ｅ））

【００４２】

　次に、イオンドーピング法によって、島状シリコン層２０５に、ゲイト電極部をマスクとして自己整合的にＰ型の不純物を注入し、ソース／ドレイン２１１、２１２を形成した。ドーズ量は1×10^{14}～5×10^{15}原子／cm^2、加速エネルギーは１０～３０ｋｅＶとした。例えば、ドーズ量を2×10^{14}原子／cm^2、加速電圧を２０ｋＶとした。その後、ＫｒＦエキシマーレーザー（波長２４８ｎｍ、パルス幅２０ｎｓｅｃ）を照射して、活性層中に導入された不純物イオンの活性化をおこなった。（図３（Ｆ））

【００４３】

その後、全面に厚さ５～５０ｎｍのチタン膜２１３をスパッタ法によって形成した。（図３（Ｇ））

そして、４５０～５５０℃、例えば、５００℃で１０～６０分、熱アニールすることによって、チタンとシリコンを反応させ、シリサイド（珪化チタン）領域２１４、２１５を形成した。その後、過酸化水素とアンモニアと水とを５：２：２で混合したエッチング液で未反応のＴｉ膜をエッチングした。（図３（Ｈ）、）

【００４４】

その後、ソース線となるアルミニウム配線・電極２１６を形成した。すなわち、本実施例ではソース線とゲイト線の交差する部分においては、第２のゲイト配線が存在しないので、第１の絶縁膜（厚さ４００ｎｍの窒化珪素）２０４を層間絶縁物として利用することができ、実施例１の場合に比較して、成膜工程を減らすことができた。さらに、外部からの水分、可動イオン等がＴＦＴに侵入しないように厚さ２００～５００ｎｍ、例えば、３００ｎｍの窒化珪素膜２１７をプラズマＣＶＤ法によって形成した。最後に、ＩＴＯ膜によって、画素電極２１８を形成した。（図３（Ｉ））

【００４５】

以上によって、アクティブマトリクス回路における配線交差部２２６、画素に接続するＴＦＴ２２７が完成した。

本実施例による画素の部分に設けられたＴＦＴを上方から見た図を図５（Ａ）に示す。スキャンドライバーから延びてきたゲイト線は第１のゲイト線２０２と第２のゲイト線２２１、２２２の２層構造となっている。ただし、ソース線とゲイト線が交差する部分２２６においては第２のゲイト線は設けられていない。第１のゲイト線と第２のゲイト線は、コンタクト２２３、２２４において、接続されている。本実施例のアクティブマトリクス回路においては、ＴＦＴ１個に付き２か所のコンタクトを設けた。

【００４６】

本実施例のようにソース線とゲイト線が交差する部分においては第２のゲイト配線を設けないという構成とすると、図３（Ｉ）から一目瞭然であるが、交差部での段差を小さくすることができる。そのため、ソース線の断線の確率が低下し、歩留りの向上に寄与する。

図５（Ａ）におけるゲイト線にそったａ－ｂの断面構造を図５（Ｂ）に示す。また、図５（Ａ）の回路を複数並べたマトリクスの回路図を図５（Ｃ）に示す。図５（Ａ）において、ゲイト線２２２（および２０２）は上の行の画素電極の下に延びる配線２２５に別れ、画素電極との間に容量を形成する。

【００４７】

〔実施例３〕　本実施例を図７に示す。図７（Ａ）はアクティブマトリクス回路のトランジスタを中心とした部分を、図７（Ｂ）は周辺回路の部分を示す。本実施例ではアクティブマトリクス回路においては、ＴＦＴを本発明の上下のゲイト電極を有する構造としたのに対し、周辺回路においてはトップゲイト型のＴＦＴとしたことを特徴とする。このような構造を得るために、本実施例では、アクティブマトリクス領域にのみ第１のゲイト配線を設けた。以下、図面の説明をする。

【００４８】

アクティブマトリクス回路領域においては、第１のゲイト電極・配線３０１、３０２が形成され、実施例２と同様に第１のゲイト配線３０１が第３の配線３０７と交差する部分を除いて、陽極酸化物で被覆された第２のゲイト配線・電極３０３が設けられた。本実施例では、第１のゲイト絶縁膜（第１のゲイト電極３０２と活性層の間の絶縁膜）および第２のゲイト絶縁膜（第２のゲイト電極３０３と活性層の間の絶縁膜）は共に酸化珪素で構成し、前者の厚さを１２０ｎｍ、後者の厚さを１８０ｎｍとした。そのため、アクティブマトリクス回路においては、第１のゲイト電極３０２の影響が大きかった。ＴＦＴのソース／ドレインやシリサイドの構造は他の実施例と同様であった。（図７（Ａ））

一方、周辺回路領域においては第１のゲイト電極・配線は設けられず、陽極酸化物で被覆された第２のゲイト配線・電極３０４、３０５のみが設けられた。上述のように、第１および第２のゲイト絶縁膜の厚さはそれぞれ異なっていたが、周辺回路においては第１のゲイト電極は存在しないのでその効果は観測できなかった。（図７（Ｂ））

【００４９】

第２のゲイト配線・電極３０３～３０５を覆って、第１の層間絶縁物３０６が厚さ２００ｎｍの窒化珪素膜によって形成された。そして、第１の層間絶縁物３０６にコンタクトホールが形成された。この際、アクティブマトリクス回路のＴＦＴにおいては、ソース線（第３の配線）３０７と接続する方のみならず、画素電極３１２と接続する方にもコンタクトホールが形成された。

その後、第３の配線３０７～３１０が形成された。この配線材料としてはチタン（厚さ５０ｎｍ）とアルミニウム（厚さ４００ｎｍ）の多層膜を用いた。アルミニウムには１％のシリコンを含有せしめた。（図７（Ａ）、図７（Ｂ））

【００５０】

さらに、第２の層間絶縁物３１１が厚さ３００ｎｍの酸化珪素によって形成された。そして、アクティブマトリクス回路において、画素電極とＴＦＴとのコンタクトを形成する部分にコンタクトホールが形成された。今回のコンタクトホールは、先に設けられたコンタクトホールの内側に形成された。最後に、画素電極３１２が設けられた。（図７（Ａ））

以上のようにして、アクティブマトリクス回路のＴＦＴ３１６、配線交差部３１５、周辺回路のＮチャネル型ＴＦＴ３１３、Ｐチャネル型ＴＦＴ３１４が完成した。

【００５１】

〔実施例４〕　本実施例を図８に示す。図８（Ａ）はアクティブマトリクス回路のトランジスタを中心とした部分を、図８（Ｂ）は周辺回路の部分を示す。本実施例でも実施例３と同様に、周辺回路においてはトップゲイト型のＴＦＴとしたが、周辺回路領域にも第１のゲイト配線を残し、配線交差部は第１の配線と第３の配線を交差させる構造とした。以下、図面の説明をする。

アクティブマトリクス回路領域においては、第１のゲイト電極・配線４０１、４０２が形成され、実施例２と同様に第１のゲイト配線４０１が第３の配線４０７と交差する部分を除いて、陽極酸化物で被覆された第２のゲイト配線・電極４０４が設けられた。本実施例では、第１のゲイト絶縁膜（第１のゲイト電極４０２と活性層の間の絶縁膜）を窒化珪素膜で、第２のゲイト絶縁膜（第２のゲイト電極４０４と活性層の間の絶縁膜）を酸化珪素膜で、それぞれ構成し、前者の厚さを４００ｎｍ、後者の厚さを１２０ｎｍとした。誘電率を考慮すると、第１のゲイト電極と第２のゲイト電極の寄与はほぼ同じであった。ＴＦＴのソース／ドレインやシリサイドの構造は他の実施例と同様であった。（図８（Ａ））

【００５２】

一方、周辺回路領域においてはＴＦＴの部分においては第１のゲイト電極は設けられなかったが、その他の部分には第１のゲイト配線４０３を設けた。そして、ＴＦＴの部分には陽極酸化物で被覆された第２のゲイト配線・電極４０５，４０６が設けられたが、第１の配線と第３の配線４０９と交差する部分においては第２のゲイト配線は設けられなかった。これは、実施例２と同様に配線の段差を減らすためである。（図８（Ｂ））

そして、その上に第３の配線４０７～４１０が形成された。このとき、アクティブマトリクス回路および周辺回路において第１のゲイト配線４０１、４０３と第３の配線４０８、４０９は第１のゲイト配線上に形成された第１のゲイト絶縁膜によって層間分離される。（図８（Ａ）、図８（Ｂ））

【００５３】

その後、層間絶縁物４１１が厚さ３００ｎｍの窒化珪素によって形成された。そして、アクティブマトリクス回路において、画素電極とＴＦＴとのコンタクトを形成する部分にコンタクトホールが形成され、画素電極４１２が設けられた。（図８（Ｂ））

以上のようにして、アクティブマトリクス回路のＴＦＴ４１４、配線交差部４１３、周辺回路のＮチャネル型ＴＦＴ４１５、Ｐチャネル型ＴＦＴ４１６が完成した。

【００５４】

【発明の効果】

本発明によって得られる効果をまとめると以下のようになる。

第１にゲイト配線を２層構造とすることによるゲイト配線の抵抗を低減させることができた。第２にゲイト配線を２層構造とすることによって、ゲイト配線の断線による不良を減らすことができた。第３にソース／ドレインに隣接してシリサイド領域を設けることにより、ＴＦＴのシート抵抗を低減せしめることができた。

【００５５】

本発明のＴＦＴは、半導体集積回路が形成された基板上に３次元集積回路を形成する場合

でも、ガラスまたは有機樹脂等の上に形成される場合でも同様に形成されることはいうまでもないが、いずれの場合にも絶縁表面上に形成されることを特徴とする。特に周辺回路を同一基板上に有するモノリシック型アクティブマトリクス回路等の電気光学装置に対する本発明の効果は著しい。

以上のように本発明は工業上、有益である。

【図面の簡単な説明】

【図１】　実施例１によるＴＦＴの作製方法を示す。

【図２】　実施例１によるＴＦＴの作製方法を示す。

【図３】　実施例２によるＴＦＴの作製方法を示す。

【図４】　実施例１によって作製したＴＦＴ回路の構造を示す。

【図５】　実施例１によって作製したＴＦＴ回路の構造を示す。

【図６】　モノリシック型アクティブマトリクス回路のブロック図を示す。

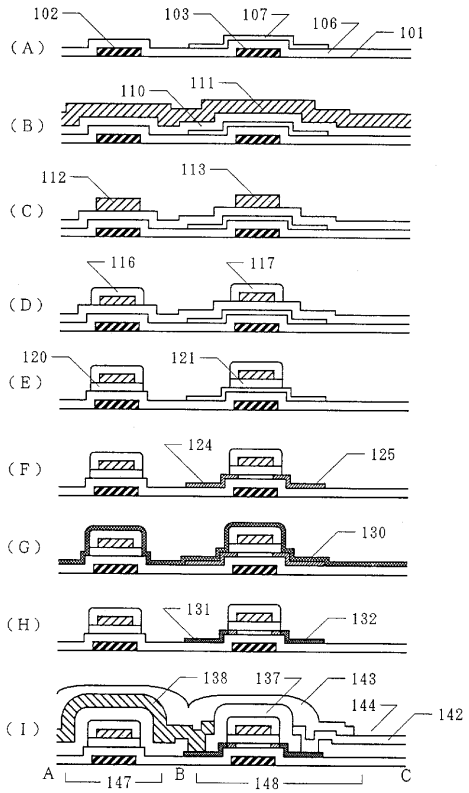
【図７】　実施例３によって作製したＴＦＴ回路の構造を示す。

【図８】　実施例４によって作製したＴＦＴ回路の構造を示す。

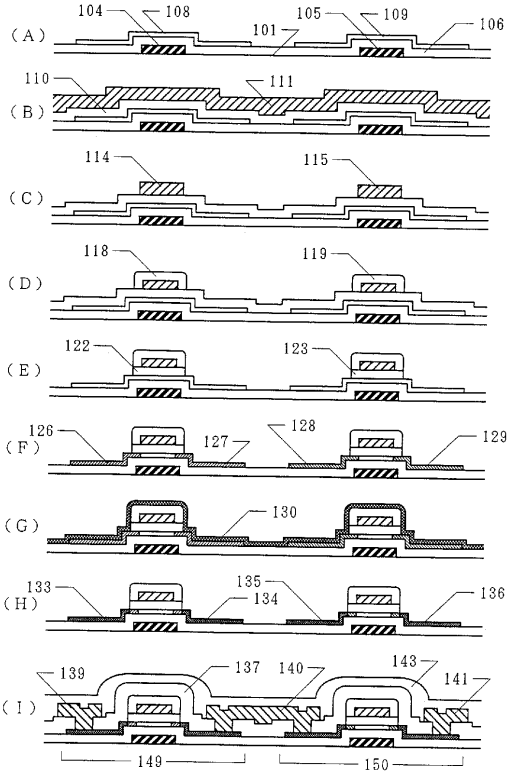
【符号の説明】

１０１	絶縁表面
１０２～１０５	第１のゲイト配線・電極（多結晶シリコン）
１０６	第１の絶縁膜（窒化珪素）
１０７～１０９	活性層（シリコン）
１１０	第２の絶縁膜（窒化珪素）
１１１	金属膜（アルミニウム）
１１２～１１５	第２のゲイト配線・電極（アルミニウム）
１１６～１１９	陽極酸化物（酸化アルミニウム）
１２０～１２３	ゲイト絶縁膜
１２４～１２９	Ｎ型もしくはＰ型不純物領域
１３０	金属膜（チタン）
１３１～１３６	シリサイド領域（珪化チタン）
１３７	第１の層間絶縁物（酸化珪素）
１３８～１４１	金属配線（アルミニウム）
１４２	画素電極（ＩＴＯ）
１４３	第２の層間絶縁物（窒化珪素）
１４４	画素開孔部
１４５	第１および第２のゲイト配線のコンタクト部
１４６	補助容量様配線
１４７	ソース線とゲイト線の交差部
１４８	画素電極に設けられたＴＦＴ
１４９	周辺回路のＮチャネル型ＴＦＴ
１５０	周辺回路のＰチャネル型ＴＦＴ

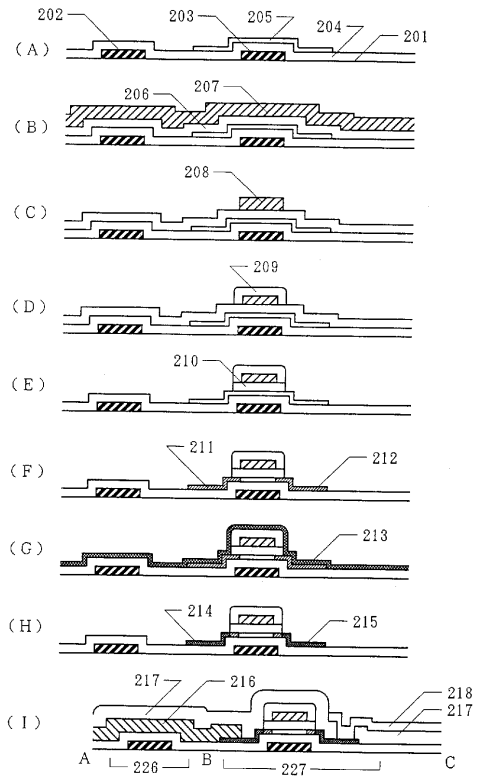
【図１】


(A)
(B)
(C)
(D)
(E)
(F)
(G)
(H)
(I)
A
B
C
147
148

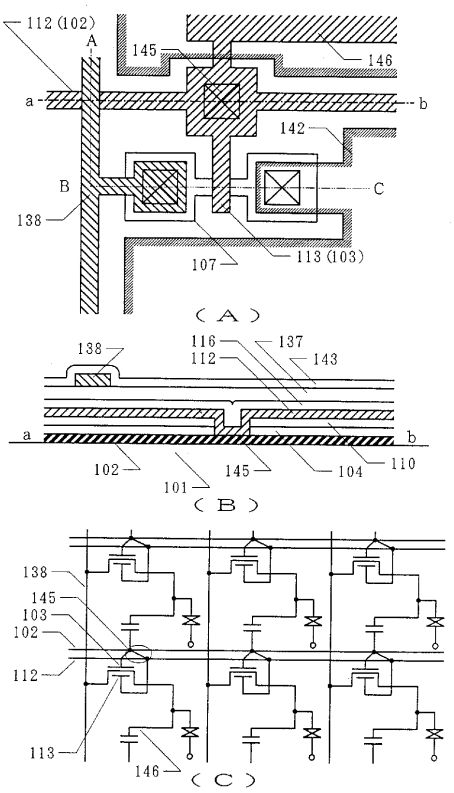
【図２】


(A)
(B)
(C)
(D)
(E)
(F)
(G)
(H)
(I)
149
150

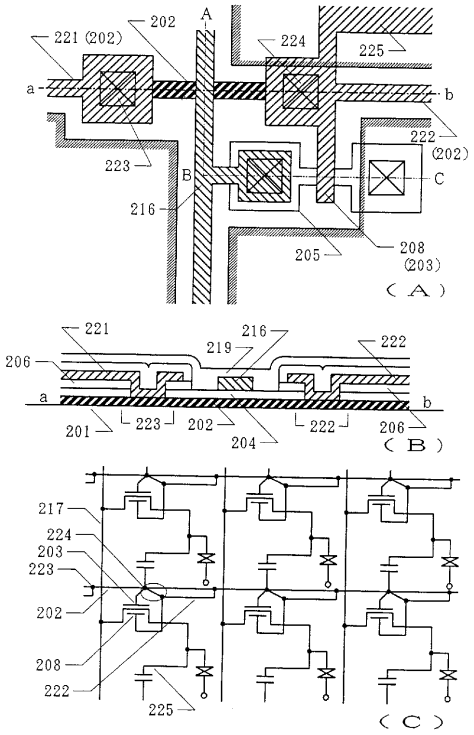
【図３】


(A)
(B)
(C)
(D)
(E)
(F)
(G)
(H)
(I)
A
B
C
226
227

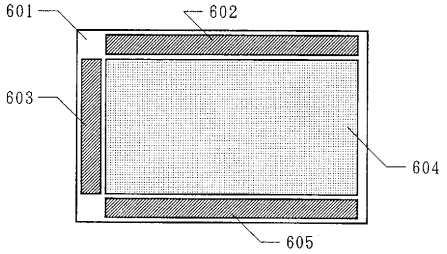
【図４】


(A)
(B)
(C)

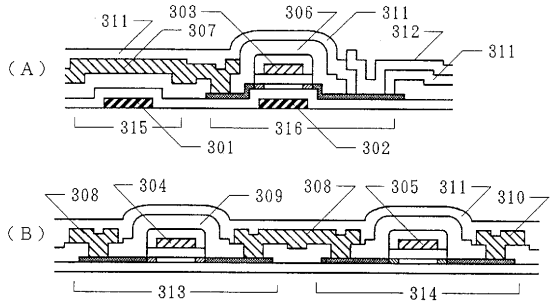
【図５】


A
221 (202)
202
224
225
a
b
222
(202)
223
B
C
216
205
208
(203)
(A)
221
216
219
222
206
a
b
201
223
202
204
222
206
(B)
217
224
203
223
202
208
222
225
(C)

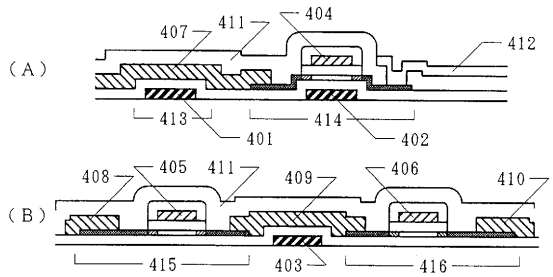
【図６】


601
602
603
604
605

【図７】


(A)
311
303
307
306
311
312
311
315
301
316
302
(B)
308
304
309
308
305
311
310
313
314

【図８】


(A)
407
411
404
412
413
401
414
402
(B)
408
405
411
409
406
410
415
403
416

フロントページの続き

(56)参考文献 特開平０４－１８１７７９（ＪＰ，Ａ）
特開平０２－２０８６３５（ＪＰ，Ａ）
特開平０６－１２４９６２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/786
H01L 21/336