

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年3月23日(23.03.2017)

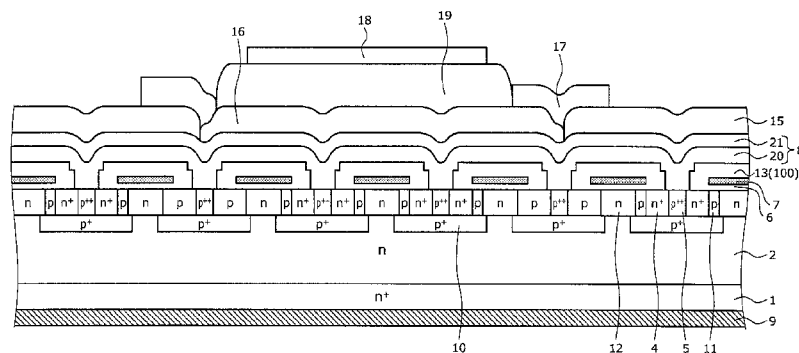


(10) 国際公開番号
WO 2017/047283 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 23/48* (2006.01)
H01L 21/336 (2006.01) *H01L 29/12* (2006.01)
- (21) 国際出願番号: PCT/JP2016/073366
- (22) 国際出願日: 2016年8月8日(08.08.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-184247 2015年9月17日(17.09.2015) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 星 保幸(HOSHI, Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 原田 祐一(HARADA, Yuichi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 椎木 崇(SHIIGI, Takashi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1020094 東京都千代田区紀尾井町3番12号 紀尾井町ビル7階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: A semiconductor device is provided with a source electrode (8), a protective film (15) provided on the source electrode (8), and a plating film (16) on the portion of the source electrode (8) on which the protective film (15) is not provided, channels not being provided directly under the triple-point portions in which the plating film (16), the protective film (15), and the source electrode (8) contact each other. A second first-conductivity-type region (4) is also not provided to the semiconductor device directly under the triple-point portions in which the plating film (16), the protective film (15), and the source electrode (8) contact each other. This configuration makes it possible to improve reliability in a semiconductor device in which pin-shaped electrodes are joined by solder.

(57) 要約:

[続葉有]

WO 2017/047283 A1



半導体装置は、ソース電極（８）と、ソース電極（８）上に保護膜（１５）と、ソース電極（８）上に保護膜（１５）が設けられていない部分にめっき膜（１６）と、を備え、めっき膜（１６）と保護膜（１５）とソース電極（８）がお互いに接する３重点部分の直下にチャネルが設けられていない。また、半導体装置は、めっき膜（１６）と保護膜（１５）とソース電極（８）がお互いに接する３重点部分の直下に第２の第１導電型領域（４）が設けられていない。このようにすることで、ピン状電極を半田で接合した半導体装置の信頼性を向上させることができる。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] この発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 従来、高電圧や大電流を制御するパワー半導体装置の構成材料として、シリコン（Si）が用いられている。パワー半導体装置は、バイポーラトランジスタやIGBT（Insulated Gate Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ）、MOSFET（Metal Oxide Semiconductor Field Effect Transistor：絶縁ゲート型電界効果トランジスタ）など複数種類あり、これらは用途に合わせて使い分けられている。

[0003] 例えば、バイポーラトランジスタやIGBTは、MOSFETに比べて電流密度は高く大電流化が可能であるが、高速にスイッチングさせることができない。具体的には、バイポーラトランジスタは数kHz程度のスイッチング周波数での使用が限界であり、IGBTは数十kHz程度のスイッチング周波数での使用が限界である。一方、パワーMOSFETは、バイポーラトランジスタやIGBTに比べて電流密度が低く大電流化が難しいが、数MHz程度までの高速スイッチング動作が可能である。

[0004] しかしながら、市場では大電流と高速性とを兼ね備えたパワー半導体装置への要求が強くなり、IGBTやパワーMOSFETはその改良に力が注がれ、現在ではほぼ材料限界に近いところまで開発が進んでいる。パワー半導体装置の観点からシリコンに代わる半導体材料が検討されており、低オン電圧、高速特性、高温特性に優れた次世代のパワー半導体装置を作製（製造）可能な半導体材料として炭化珪素（SiC）が注目を集めている（下記、非特許文献1参照）。

[0005] 炭化珪素は、化学的に非常に安定した半導体材料であり、バンドギャップ

が3 eVと広く、高温でも半導体として極めて安定的に使用することができる。また、炭化珪素は、最大電界強度もシリコンより1桁以上大きいため、オン抵抗を十分に小さくすることができる半導体材料として期待される。このような炭化珪素の特長は、他の、シリコンよりバンドギャップが広いワイドバンドギャップ半導体である、例えば窒化ガリウム（GaN）にもあてはまる。このため、ワイドバンドギャップ半導体を用いることにより、半導体装置の高耐圧化を図ることができる（例えば、下記非特許文献2参照）。

[0006] このような炭化珪素を用いた高耐圧半導体装置では発生損失が少なくなった分、インバータで使われる際、キャリア周波数を従来のシリコンを用いた半導体装置よりも1桁高い周波数で適用される。半導体装置を高い周波数で適用するとチップへの発熱温度が高くなり、半導体装置への信頼性に影響する。特に、基板おもて面側のおもて面電極には、おもて面電極の電位を外部に取り出す配線材としてボンディングワイヤが接合されており、半導体装置を高温度で使用すると、おもて面電極とボンディングワイヤとの密着が低下し信頼性に影響を及ぼす。

[0007] また、おもて面電極の電位を外部に取り出す別の配線材として、ワイヤボンディング以外の板状導体部材を用いた技術がある（例えば、下記特許文献1参照）。

[0008] また、おもて面電極にピン状電極を半田で接合する従来の炭化珪素半導体装置がある。図3は、従来の炭化珪素半導体装置の構成を示す断面図である。n⁺型炭化珪素基板1の表面にn型炭化珪素エピタキシャル層2が堆積され、n型炭化珪素エピタキシャル層2の表面に複数のp⁺型領域10が設けられる。p⁺型領域10の表面にp型炭化珪素エピタキシャル層11が設けられる。p⁺型領域10が設けられていないn型炭化珪素エピタキシャル層2上のp型炭化珪素エピタキシャル層11にn型ウェル領域12が設けられる。p型炭化珪素エピタキシャル層11の表面には、n⁺型ソース領域4とp⁺型コンタクト領域5が設けられる。

[0009] p型炭化珪素エピタキシャル層11の、n⁺型ソース領域4とn型ウェル領

域 1 2 とに挟まれた表面にゲート絶縁膜 6 を介して、ゲート電極 7 が設けられ、ゲート電極 7 の上部には層間絶縁膜 1 3 として、P S G (P h o s p h o S i l i c a t e G l a s s) 膜 1 4 が選択的に設けられている。n⁺型ソース領域 4 と p⁺⁺型コンタクト領域 5 との表面に、ソース電極 8 が設けられる。ソース電極 8 は、例えば、T i 膜 2 0 と A l - S i 膜 2 1 の 2 層構造である。ソース電極 8 の上部には、保護膜 1 5 が選択的に設けられ、保護膜 1 5 が設けられていない部分にめっき膜 1 6 が設けられる。

[0010] めっき膜 1 6 と保護膜 1 5 とが隣接する部分を覆うように第 2 の保護膜 1 7 が設けられる。めっき膜 1 6 の部分に外部信号と接続されるピン状電極 1 8 を接続する半田 1 9 が設けられる。n⁺型炭化珪素基板 1 の裏面側にはドレイン電極 9 が設けられる。

[0011] 図 3 の構造の M O S F E T において、ソース電極 8 に対しドレイン電極 9 に正の電圧が印加された状態でゲート電極 7 にゲート閾値以下の電圧が印加されている場合には、p 型炭化珪素エピタキシャル層 1 1 と n 型ウェル領域 1 2 との p n 接合が逆バイアスされた状態であり、活性領域の耐圧が確保されて電流は流れない。一方、ゲート電極 7 にゲート閾値以上の電圧を印加するとゲート電極 7 直下の p 型炭化珪素エピタキシャル層 1 1 表面には反転層が形成されることにより電流が流れる。このように、ゲート電極 7 に印加する電圧によって M O S F E T のスイッチング動作を行うことができる。

先行技術文献

特許文献

[0012] 特許文献 1 : 特開 2 0 1 4 - 9 9 4 4 4 号公報

非特許文献

[0013] 非特許文献 1 : ケイ・シェナイ (K . S h e n a i) 、外 2 名、オプティウム セミコンダクターズ フォー ハイパワー エレクトロニクス (O p t i m u m S e m i c o n d u c t o r s f o r H i g h - P o w e r E l e c t r o n i c s) 、アイ・トリプル・イー トランザクションズ オン エレクトロン デバイス (I E E E T r a n s a c t i o n s

on Electron Devices)、1989年9月、第36巻、第9号、p. 1811-1823

非特許文献2: ビー・ジャヤン・バリガ (B. Jayant Baliga) 著、シリコン カーバイド パワー デバイスズ (Silicon Carbide Power Devices)、(米国)、ワールド サイエнтиフィック パブリッシング カンパニー (World Scientific Publishing Co.)、2006年3月30日、p. 61

発明の概要

発明が解決しようとする課題

[0014] しかしながら、従来構造では、層間絶縁膜13の被覆性（ステップカバレッジ）が悪く層間絶縁膜13の表面に下層の凹凸による段差が生じているため、ソース電極8にめっき膜16を介してピン状電極18を半田接合する際に、層間絶縁膜13の段差の部分に応力が集中して掛かる。ここで、層間絶縁膜13の段差とは、層間絶縁膜13がゲート電極7を覆うことにより生じる、 n^+ 型炭化珪素基板1と n 型炭化珪素エピタキシャル層2とを併せた炭化珪素半導体基体からの層間絶縁膜13の高さである。また、ピン状電極18の半田接合時や半導体装置のスイッチング時に、半田19と周囲との温度差が大きくなるため、半田19の端部付近、特にめっき膜16と保護膜15とソース電極8がお互いに接する3重点部分に熱膨張差により応力が集中する。このように応力が集中することにより、半導体装置の特性が劣化し、信頼性が低下する。最悪の場合、層間絶縁膜13が割れてしまい、ゲート電極7とソース電極8とがショートし、半導体装置が不良になる。

[0015] この発明は、ピン状電極を半田で接合した半導体装置の信頼性を向上させる半導体装置および半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0016] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。この発明にかかる半導体装置は、第1導

電型ワイドバンドギャップ半導体基板と、第1導電型ワイドバンドギャップ半導体堆積層と、第2導電型半導体領域と、第2導電型ワイドバンドギャップ半導体層と、第1の第1導電型領域と、第2の第1導電型領域と、ゲート電極と、ソース電極と、層間絶縁膜と、ドレイン電極と、保護膜と、めっき膜と、ピン状電極と、を備える。第1導電型ワイドバンドギャップ半導体基板は、シリコンよりもバンドギャップが広い半導体からなる。第1導電型ワイドバンドギャップ半導体堆積層は、前記第1導電型ワイドバンドギャップ半導体基板のおもて面に堆積され、前記第1導電型ワイドバンドギャップ半導体基板よりも不純物濃度が低い。第2導電型半導体領域は、前記第1導電型ワイドバンドギャップ半導体堆積層の、前記第1導電型ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に設けられている。第2導電型ワイドバンドギャップ半導体層は、前記第1導電型ワイドバンドギャップ半導体堆積層および前記第2導電型半導体領域の表面に設けられ、シリコンよりもバンドギャップが広い半導体からなる。第1の第1導電型領域は、前記第2導電型ワイドバンドギャップ半導体層内の前記第1導電型ワイドバンドギャップ半導体堆積層上に選択的に設けられている。第2の第1導電型領域は、前記第2導電型ワイドバンドギャップ半導体層内に選択的に設けられている。ゲート電極は、前記第2の第1導電型領域および前記第1の第1導電型領域の上にゲート絶縁膜を介して設けられている。ソース電極は、前記第2導電型ワイドバンドギャップ半導体層および前記第2の第1導電型領域に接する。層間絶縁膜は、前記ゲート電極を覆う。ドレイン電極は、前記第1導電型ワイドバンドギャップ半導体基板の裏面に設けられている。保護膜は、前記ソース電極上に、選択的に設けられている。めっき膜は、前記ソース電極上の、前記保護膜が設けられていない部分に、選択的に設けられている。ピン状電極は、前記めっき膜に半田を介して接続され、外部信号をとり出す。また、前記めっき膜と前記保護膜と前記ソース電極がお互いに接する3重点部分の直下にチャンネルが設けられていない。

[0017] また、この発明にかかる半導体装置は、上述した発明において、前記3重

点部分の直下に前記チャネルが設けられていないことは、前記第1導電型ワイドバンドギャップ半導体堆積層の表面層に前記第2導電型半導体領域が設けられ、前記第2導電型ワイドバンドギャップ半導体層内に、前記第1の第1導電型領域が設けられ、前記第2導電型ワイドバンドギャップ半導体層内に、前記第2の第1導電型領域が設けられていないことであることを特徴とする。

[0018] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。シリコンよりもバンドギャップが広い半導体からなる第1導電型ワイドバンドギャップ半導体基板のおもて面に、前記第1導電型ワイドバンドギャップ半導体基板よりも不純物濃度の低い第1導電型ワイドバンドギャップ半導体堆積層を形成する工程を含む。前記第1導電型ワイドバンドギャップ半導体堆積層の表面層に、第2導電型半導体領域を選択的に形成する工程を含む。前記第1導電型ワイドバンドギャップ半導体堆積層の表面に、シリコンよりもバンドギャップが広い半導体からなる、第2導電型ワイドバンドギャップ半導体層を形成する工程を含む。前記第2導電型ワイドバンドギャップ半導体層の内部の、前記第1導電型ワイドバンドギャップ半導体堆積層上に第1の第1導電型領域を選択的に形成する工程を含む。前記第2導電型ワイドバンドギャップ半導体層の内部に第2の第1導電型領域を選択的に形成する工程と、前記第2の第1導電型領域および前記第1の第1導電型領域の上にゲート絶縁膜を介してゲート電極を形成する工程を含む。前記第2導電型ワイドバンドギャップ半導体層および前記第2の第1導電型領域に接するソース電極を形成する工程を含む。前記ゲート電極を覆う層間絶縁膜を形成する工程を含む。前記第1導電型ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程を含む。前記ソース電極上に、選択的に保護膜を形成する工程を含む。前記ソース電極上の、前記保護膜が形成されていない部分に、選択的にめっき膜を形成する工程を含む。前記めっき膜に半田を介して接続された、外部信号をとり出すピン状電極を形成する工程を含む。そして、前記第2の第1導電型領域

を選択的に形成する工程において、前記めっき膜と前記保護膜と前記ソース電極がお互いに接する３重点部分の直下にチャンネルを形成しない。

[0019] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第２の第１導電型領域を選択的に形成する工程において、前記３重点部分の直下に前記チャンネルを形成しないことは、前記第１導電型ワイドバンドギャップ半導体堆積層の表面層に前記第２導電型半導体領域を形成し、前記第２導電型ワイドバンドギャップ半導体層内に、前記第１の第１導電型領域を形成し、前記第２導電型ワイドバンドギャップ半導体層内に、前記第２の第１導電型領域を形成しないことであることを特徴とする。

[0020] 上述した発明によれば、めっき膜と保護膜とソース電極がお互いに接する３重点部分の直下に、チャンネルを形成しないことにより、応力が集中して掛かる部分に電流が流れることがなくなり、応力が集中して掛かる部分による半導体装置の特性劣化が抑制される。このため、半導体装置の信頼性の低下が抑制される。また、応力が集中して掛かる部分に電流が流れることがなくなるため、例え、３重点部分の直下の層間絶縁膜が割れてしまっても、ゲート電極とソース電極とがショートし半導体装置が不良になることを抑制できる。

発明の効果

[0021] 本発明にかかる半導体装置および半導体装置の製造方法によれば、半導体装置の特性劣化が抑制され、良好な特性を有する半導体装置を提供することができるという効果を奏する。

図面の簡単な説明

[0022] [図１]図１は、実施の形態にかかる炭化珪素半導体装置の構成を示す断面図である。

[図２]図２は、実施の形態にかかる炭化珪素半導体装置の要部を示す平面図である。

[図３]図３は、従来の炭化珪素半導体装置の構成を示す断面図である。

発明を実施するための形態

[0023] 以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。 $+$ および $-$ を含めた n や p の表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“ $-$ ”はその直後の指数につくバーを意味しており、指数の前に“ $-$ ”を付けることで負の指数をあらわしている。

[0024] (実施の形態)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態においては、ワイドバンドギャップ半導体として、例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について、MOSFETを例に説明する。図1は、実施の形態にかかる炭化珪素半導体装置の構成を示す断面図である。図1には、活性領域の状態を図示する。

[0025] 図1に示すように、実施の形態にかかる炭化珪素半導体装置は、 n^+ 型炭化珪素基板(第1導電型ワイドバンドギャップ半導体基板)1の第1主面(おもて面)に n 型炭化珪素エピタキシャル層(第1導電型ワイドバンドギャップ半導体堆積層)2が堆積されている。

[0026] n^+ 型炭化珪素基板1は、例えば窒素(N)がドーピングされた炭化珪素単結晶基板である。 n 型炭化珪素エピタキシャル層2は、 n^+ 型炭化珪素基板1よりも低い不純物濃度で、例えば窒素がドーピングされている低濃度 n 型ドリフト層である。以下、 n^+ 型炭化珪素基板1と n 型炭化珪素エピタキシャル層2とを併せて炭化珪素半導体基体とする。

[0027] 炭化珪素半導体基体のおもて面側には、MOSゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造(素子構造)が形成されている。具体的には

、 n 型炭化珪素エピタキシャル層2の n^+ 型炭化珪素基板1に対して反対側（炭化珪素半導体基体のおもて面側）の表面層には、 p ベース層として機能する p^+ 型領域（第2導電型半導体領域）10が選択的に設けられている。

[0028] n 型炭化珪素エピタキシャル層2および p^+ 型領域10の表面には、 p 型炭化珪素エピタキシャル層11（第2導電型ワイドバンドギャップ半導体層）が堆積されている。また、 p 型炭化珪素エピタキシャル層11の、 n 型炭化珪素エピタキシャル層2上の部分には、深さ方向に p 型炭化珪素エピタキシャル層11を貫通し n 型炭化珪素エピタキシャル層2に達する n 型ウェル領域12（第1の第1導電型領域）が設けられている。 n 型ウェル領域12は、 n 型炭化珪素エピタキシャル層2とともにドリフト領域を構成する。

[0029] p 型炭化珪素エピタキシャル層11の内部の、深さ方向に p^+ 型領域10に対向する部分に、 n 型ウェル領域12と離して、 n^+ 型ソース領域4（第2の第1導電型領域）が選択的に設けられている。また、 p 型炭化珪素エピタキシャル層11内の n^+ 型ソース領域4の間に p 型炭化珪素エピタキシャル層11より高不純物濃度の p^{++} 型コンタクト領域5（第2導電型領域）が選択的に設けられている。

[0030] p 型炭化珪素エピタキシャル層11の、 n^+ 型ソース領域4と n 型ウェル領域12とに挟まれた部分の表面には、ゲート絶縁膜6を介してゲート電極7が設けられている。ゲート電極7は、ゲート絶縁膜6を介して、 n 型ウェル領域12の表面に設けられていてもよい。

[0031] 炭化珪素半導体基体のおもて面側の全面に、ゲート電極7を覆うように層間絶縁膜13が設けられている。層間絶縁膜13として、例えば、BPSG（Boron Phospho Silicate Glass）膜100が積層されている。

[0032] 層間絶縁膜13に開口されたコンタクトホールを介して、 n^+ 型ソース領域4および p^{++} 型コンタクト領域5に接し、 n^+ 型ソース領域4および p^{++} 型コンタクト領域5と電氣的に接続されるソース電極8が設けられている。ソース電極8は、例えば、Ti膜20とAl-Si膜21の2層構造とすることが

できる。Al-Si膜21は、例えば、1%割合でシリコンを含んだアルミニウム膜である。

[0033] また、炭化珪素半導体基体の裏面には、ドレイン電極9が設けられている。ソース電極8上に保護膜15が選択的に設けられ、保護膜15が設けられていないソース電極8上にめっき膜16が設けられている。保護膜15は、半導体装置のおもて面を保護する機能を有する。また、保護膜15は、めっき膜16を形成する際、めっき膜16のめっきが外部に流れ出ないようにする機能を有する。また、保護膜15は、活性領域の周囲を囲むエッジ終端構造部（不図示）を保護する機能を有する。ここで、活性領域とは、半導体装置がオン状態のときに電流が流れる領域である。また、エッジ終端構造部とは、活性領域の周囲を囲むように設けられ、ドリフト領域の基板おもて面側の電界を緩和し耐圧を保持する領域である。

[0034] また、めっき膜16と保護膜15が接する部分を選択的に覆うように第2の保護膜17が設けられている。第2の保護膜17は、めっき膜16と保護膜15との隙間を覆い、例えば半田19などが基体側へ侵入することを防止する機能を有する。第2の保護膜17は、半田19を形成する際のマスクとして機能する。また、第2の保護膜17は、保護膜15の全面を覆ってもよい。また、めっき膜16部分に半田19を介して接続された、ソース電極8の電位を外部に取り出す配線材であるピン状電極18が設けられている。ピン状電極18は、針状の形状を有し、ソース電極8に直立した状態で接合されている。

[0035] ソース電極8にピン状電極18を半田接合する際の応力、および、熱膨張差による応力は、3重点部分の直下の段差に集中する。言い換えれば、3重点部分の直下から離れた領域にある段差には、応力は掛からない。このため、3重点部分の直下から離れた領域にある段差では、半導体装置の特性が劣化せず、信頼性が低下することがない。また、層間絶縁膜13が割れてしまわず、ゲート電極7とソース電極8とがショートせず、半導体装置が不良になることもない。

[0036] このため、実施の形態では、めっき膜 16 と保護膜 15 とソース電極 8 がお互いに接する 3 重点部分の直下に、MOS 構造のチャネルを設けていない。また、3 重点部分の直下とは、3 重点部分から炭化珪素半導体基体側に垂直におろした直線と p 型炭化珪素エピタキシャル層 11 が交わる交点の近傍である。また、近傍とは、交点からセルの大きさの 3 倍程度の距離までの領域である。具体的に、セルの大きさが $10\ \mu\text{m}$ 程度とすると、交点から $30\ \mu\text{m}$ 程度の距離までの領域である。

[0037] 図 2 は、実施の形態にかかる炭化珪素半導体装置の要部を示す平面図である。図 2 は、実施の形態にかかる炭化珪素半導体装置の表面構造がストライプ構造を有し、MOS 構造のチャネルが設けられていない箇所を示す。図 2 では、p⁺型領域 10 とめっき膜 16 のみを図示する。めっき膜 16 と保護膜 15 とソース電極 8 とがお互いに接する 3 重点部分は、めっき膜 16 と保護膜 15 との境界部分となる。3 重点部分は、図 2 では、p⁺型領域 10 の斜線が付けられた領域となり、この領域の表面には、MOS 構造のチャネルが設けられていない。

[0038] また、例えば、n 型炭化珪素エピタキシャル層 2 の表面層に、p⁺型領域 10 が設けられ、n 型ウェル領域 12 と p⁺⁺型コンタクト領域 5 との間に n⁺型ソース領域 4 が設けられないことにより、MOS 構造のチャネルが設けられていない。

[0039] MOS 構造のチャネルが設けられていないため、ゲート電極 7 に閾値以上の電圧が印加されても、電流は流れなくなる。例えば、n 型ウェル領域 12 と p⁺⁺型コンタクト領域 5 との間に n⁺型ソース領域 4 が設けられていない。このため、ゲート電極 7 に閾値以上の電圧が印加され、p 型炭化珪素エピタキシャル層 11 に反転層が形成されても、コンタクト領域に n 型の半導体層がないため、3 重点部分の直下には、電流が流れなくなる。

[0040] (実施の形態にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態にかかる炭化珪素半導体装置の製造方法について、例えば、1200V の耐圧クラスの MOSFET を作成する場合を例に説明する

。まず、例えば $2 \times 10^{19} \text{ cm}^{-3}$ 程度の不純物濃度で窒素がドーピングされた n^+ 型炭化珪素基板 1 を用意する。 n^+ 型炭化珪素基板 1 は、主面が例えば、 $\langle 11-20 \rangle$ 方向に 4 度程度のオフ角を有する $(000-1)$ 面であってもよい。

[0041] 次に、 n^+ 型炭化珪素基板 1 の $(000-1)$ 面上に、 $1.0 \times 10^{16} \text{ cm}^{-3}$ の不純物濃度で窒素がドーピングされた厚さ $10 \mu\text{m}$ の n 型炭化珪素エピタキシャル層 2 をエピタキシャル成長させる。

[0042] 次に、 n 型炭化珪素エピタキシャル層 2 の表面上に、フォトリソグラフィ技術によって所望の開口部を有するマスクを、例えばレジストで形成する。そして、このレジストマスクをマスクとしてイオン注入法によって p 型の不純物、例えばアルミニウム原子をイオン注入する。それによって、 n 型炭化珪素エピタキシャル層 2 の表面領域の一部に、 p^+ 型領域 10 が形成される。次に、 p^+ 型領域 10 を形成するためのイオン注入時に用いたマスクを除去する。

[0043] 次に、 n 型炭化珪素エピタキシャル層 2 の表面上に、 p 型炭化珪素エピタキシャル層 11 を、例えば $0.5 \mu\text{m}$ の厚さでエピタキシャル成長させる。このとき、例えば、 p 型炭化珪素エピタキシャル層 11 の不純物濃度が $2.0 \times 10^{16} \text{ cm}^{-3}$ となるようにエピタキシャル成長させてもよい。

[0044] 次に、 p 型炭化珪素エピタキシャル層 11 の表面上に、フォトリソグラフィ技術によって所望の開口部を有するマスクを、例えばレジストで形成する。ここで、後に形成されるめっき膜 16 と保護膜 15 とソース電極 8 がお互いに接する 3 重点部分の直下に開口部を有しないマスクを形成する。そして、このレジストマスクをマスクとしてイオン注入法によって n 型の不純物、例えば窒素をイオン注入する。それによって、 p 型炭化珪素エピタキシャル層 11 の表面領域の一部に、 n^+ 型ソース領域 4 が形成される。ここで、 n^+ 型ソース領域 4 は、3 重点部分の直下の p 型炭化珪素エピタキシャル層 11 上には形成されない。次に、 n^+ 型ソース領域 4 を形成するためのイオン注入時に用いたマスクを除去する。

[0045] 次に、p型炭化珪素エピタキシャル層11の表面上に、フォトリソグラフィ技術によって所望の開口部を有するマスクを、例えばレジストで形成する。ここで、後に形成されるめっき膜16と保護膜15とソース電極8が互いに接する3重点部分の直下に開口部を有するマスクを利用する。そして、このレジストマスクをマスクとしてイオン注入法によってp型の不純物、例えばアルミニウムをイオン注入する。それによって、p型炭化珪素エピタキシャル層11の表面領域の一部に、p⁺⁺型コンタクト領域5が形成される。次に、p⁺⁺型コンタクト領域5を形成するためのイオン注入時に用いたマスクを除去する。

[0046] 次に、p型炭化珪素エピタキシャル層11の表面上に、フォトリソグラフィ技術によって所望の開口部を有するマスクを、例えばレジストで形成する。そして、このレジストマスクをマスクとしてイオン注入法によってn型の不純物、例えば窒素をイオン注入する。それによって、p型炭化珪素エピタキシャル層11の表面領域の一部に、n型ウェル領域12が形成される。次に、n型ウェル領域12を形成するためのイオン注入時に用いたマスクを除去する。

[0047] 次に、n⁺型ソース領域4、p⁺⁺型コンタクト領域5およびn型ウェル領域12を活性化させるための熱処理（アニール）を行う。このときの熱処理温度および熱処理時間は、それぞれ1620℃および2分間であってもよい。

[0048] n⁺型ソース領域4、p⁺⁺型コンタクト領域5およびn型ウェル領域12を形成する順序は種々変更可能である。

[0049] 次に、炭化珪素半導体基体のおもて面側を熱酸化し、ゲート絶縁膜6を100nmの厚さで形成する。この熱酸化は、酸素（O₂）と水素（H₂）の混合雰囲気中において1000℃程度の温度の熱処理によって行ってもよい。これにより、p型炭化珪素エピタキシャル層11およびn型炭化珪素エピタキシャル層2の表面に形成された各領域がゲート絶縁膜6で覆われる。

[0050] 次に、ゲート絶縁膜6上に、ゲート電極7として、例えばリン（P）がドーパされた多結晶シリコン層を形成する。次に、多結晶シリコン層をパター

ニングして選択的に除去し、p型炭化珪素エピタキシャル層11のn⁺型ソース領域4とn型ウェル領域12に挟まれた部分上に多結晶シリコン層を残す。このとき、n型ウェル領域12上に多結晶シリコン層を残してもよい。この残った多結晶シリコン層が、ゲート電極7となる。

[0051] 次に、ゲート電極7を覆うように、層間絶縁膜13として、BPSG膜100を形成する。例えば、ボロンリンガラス（BPSG）を1.0 μ mの厚さで成膜する。次に、BPSG膜100の平坦化を行うためにリフロー処理を行う。リフロー処理後、BPSG膜100を選択的に除去して、コンタクトホールを形成する。

[0052] 次に、ソース電極8として、Ti膜20、Al-Si膜21を形成する。例えば、スパッタ法によりTi膜20を形成して、スパッタ法により、Ti膜20上部へAl-Si膜21を形成する。

[0053] 次に、n⁺型炭化珪素基板1の表面（炭化珪素半導体基体の裏面）に、ドレイン電極9として、例えばニッケル膜を成膜する。そして、例えば970℃の温度で熱処理し、n⁺型炭化珪素基板1とドレイン電極9とのオーミック接合を形成する。

[0054] 次に、ニッケル膜の表面に、ドレイン電極9として例えばチタン、ニッケル（Ni）および金（Au）をこの順に成膜する。次に、炭化珪素半導体基体のおもて面側の、ソース電極8上に選択的に保護膜15を形成する。

[0055] 次に、保護膜15をマスクとして用いて、ソース電極8上の保護膜15がない部分に、選択的にめっき膜16を形成する。これにより、めっき膜16は、めっきがエッジ終端構造部に流れることなくソース電極8上に形成される。次に、例えば、高分子樹脂等を用いて、めっき膜16と保護膜15とが隣接する部分を覆うように第2の保護膜17を選択的に形成する。

[0056] 次に、保護膜15および第2の保護膜17を半田付け時のマスクとして用いて、めっき膜16に半田19を介してピン状電極18を形成する。これにより、図1に示したMOSFETが完成する。

[0057] 以上、説明したように、実施の形態によれば、めっき膜と保護膜とソース

電極とがお互いに接する３重点部分の直下にチャネルを形成しないことにより、応力が集中して掛かる部分に電流が流れることがなくなり、応力が集中して掛かる部分による半導体装置の特性劣化が抑制される。このため、半導体装置の信頼性の低下が抑制される。また、応力が集中して掛かる部分に電流が流れることがなくなるため、例え、３重点部分の直下の層間絶縁膜が割れてしまっても、ゲート電極とソース電極とがショートし半導体装置が不良になることを抑制できる。

[0058] 本発明の実施の形態では、MOSFETを例に説明したが、これに限らず、IGBTなどのMOS型半導体装置や、層間絶縁膜の段差により素子構造に応力集中が生じる構成の半導体装置など様々な構成の半導体装置に適用可能である。また、上述した各実施の形態では、ワイドバンドギャップ半導体として炭化珪素を用いた場合を例に説明したが、窒化ガリウム（GaN）など炭化珪素以外のワイドバンドギャップ半導体を用いた場合においても同様の効果が得られる。また、各実施の形態では第１導電型をn型とし、第２導電型をp型としたが、本発明は第１導電型をp型とし、第２導電型をn型としても同様に成り立つ。

産業上の利用可能性

[0059] 以上のように、本発明にかかる半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用であり、特に、おもて面電極の電位を外部に取り出す配線材としてピン状電極を用いた炭化珪素半導体装置に適している。

符号の説明

- [0060]
- 1 n⁺型炭化珪素基板
 - 2 n型炭化珪素エピタキシャル層
 - 4 n⁺型ソース領域
 - 5 p⁺⁺型コンタクト領域
 - 6 ゲート絶縁膜
 - 7 ゲート電極

- 8 ソース電極
- 9 ドレイン電極
- 10 p⁺型領域
- 11 p型炭化珪素エピタキシャル層
- 12 n型ウェル領域
- 13 層間絶縁膜
- 14 P S G膜
- 15 保護膜
- 16 めっき膜
- 17 第2の保護膜
- 18 ピン状電極
- 19 半田
- 20 T i 膜
- 21 A l - S i 膜
- 100 B P S G膜

請求の範囲

- [請求項1] シリコンよりもバンドギャップが広い半導体からなる第1導電型ワイドバンドギャップ半導体基板と、
- 前記第1導電型ワイドバンドギャップ半導体基板のおもて面に堆積された、前記第1導電型ワイドバンドギャップ半導体基板よりも不純物濃度の低い第1導電型ワイドバンドギャップ半導体堆積層と、
- 前記第1導電型ワイドバンドギャップ半導体堆積層の、前記第1導電型ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に設けられた第2導電型半導体領域と、
- 前記第1導電型ワイドバンドギャップ半導体堆積層および前記第2導電型半導体領域の表面に設けられた、シリコンよりもバンドギャップが広い半導体からなる第2導電型ワイドバンドギャップ半導体層と、
- 前記第2導電型ワイドバンドギャップ半導体層内の前記第1導電型ワイドバンドギャップ半導体堆積層上に選択的に設けられた第1の第1導電型領域と、
- 前記第2導電型ワイドバンドギャップ半導体層内に選択的に設けられた第2の第1導電型領域と、
- 前記第2の第1導電型領域および前記第1の第1導電型領域の上にゲート絶縁膜を介して設けられたゲート電極と、
- 前記第2導電型ワイドバンドギャップ半導体層および前記第2の第1導電型領域に接するソース電極と、
- 前記ゲート電極を覆う層間絶縁膜と、
- 前記第1導電型ワイドバンドギャップ半導体基板の裏面に設けられたドレイン電極と、
- 前記ソース電極上に、選択的に設けられた保護膜と、
- 前記ソース電極上の、前記保護膜が設けられていない部分に、選択的に設けられためっき膜と、

前記めっき膜に半田を介して接続された、外部信号をとり出すピン状電極と、

を備え、

前記めっき膜と前記保護膜と前記ソース電極がお互いに接する3重点部分の直下にチャンネルが設けられていないことを特徴とする半導体装置。

[請求項2]

前記3重点部分の直下に前記チャンネルが設けられていないことは、

前記第1導電型ワイドバンドギャップ半導体堆積層の表面層に前記第2導電型半導体領域が設けられ、

前記第2導電型ワイドバンドギャップ半導体層内に、前記第1の第1導電型領域が設けられ、

前記第2導電型ワイドバンドギャップ半導体層内に、前記第2の第1導電型領域が設けられていないことであることを特徴とする請求項1に記載の半導体装置。

[請求項3]

シリコンよりもバンドギャップが広い半導体からなる第1導電型ワイドバンドギャップ半導体基板のおもて面に、前記第1導電型ワイドバンドギャップ半導体基板よりも不純物濃度の低い第1導電型ワイドバンドギャップ半導体堆積層を形成する工程と、

前記第1導電型ワイドバンドギャップ半導体堆積層の表面層に、第2導電型半導体領域を選択的に形成する工程と、

前記第1導電型ワイドバンドギャップ半導体堆積層の表面に、シリコンよりもバンドギャップが広い半導体からなる、第2導電型ワイドバンドギャップ半導体層を形成する工程と、

前記第2導電型ワイドバンドギャップ半導体層の内部の、前記第1導電型ワイドバンドギャップ半導体堆積層上に第1の第1導電型領域を選択的に形成する工程と、

前記第2導電型ワイドバンドギャップ半導体層の内部に第2の第1導電型領域を選択的に形成する工程と、

前記第2の第1導電型領域および前記第1の第1導電型領域の上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記第2導電型ワイドバンドギャップ半導体層および前記第2の第1導電型領域に接するソース電極を形成する工程と、

前記ゲート電極を覆う層間絶縁膜を形成する工程と、

前記第1導電型ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程と、

前記ソース電極上に、選択的に保護膜を形成する工程と、

前記ソース電極上の、前記保護膜が形成されていない部分に、選択的にめっき膜を形成する工程と、

前記めっき膜に半田を介して接続された、外部信号をとり出すピン状電極を形成する工程と、

を含み、

前記第2の第1導電型領域を選択的に形成する工程において、前記めっき膜と前記保護膜と前記ソース電極がお互いに接する3重点部分の直下にチャネルを形成しないことを特徴とする半導体装置の製造方法。

[請求項4]

前記第2の第1導電型領域を選択的に形成する工程において

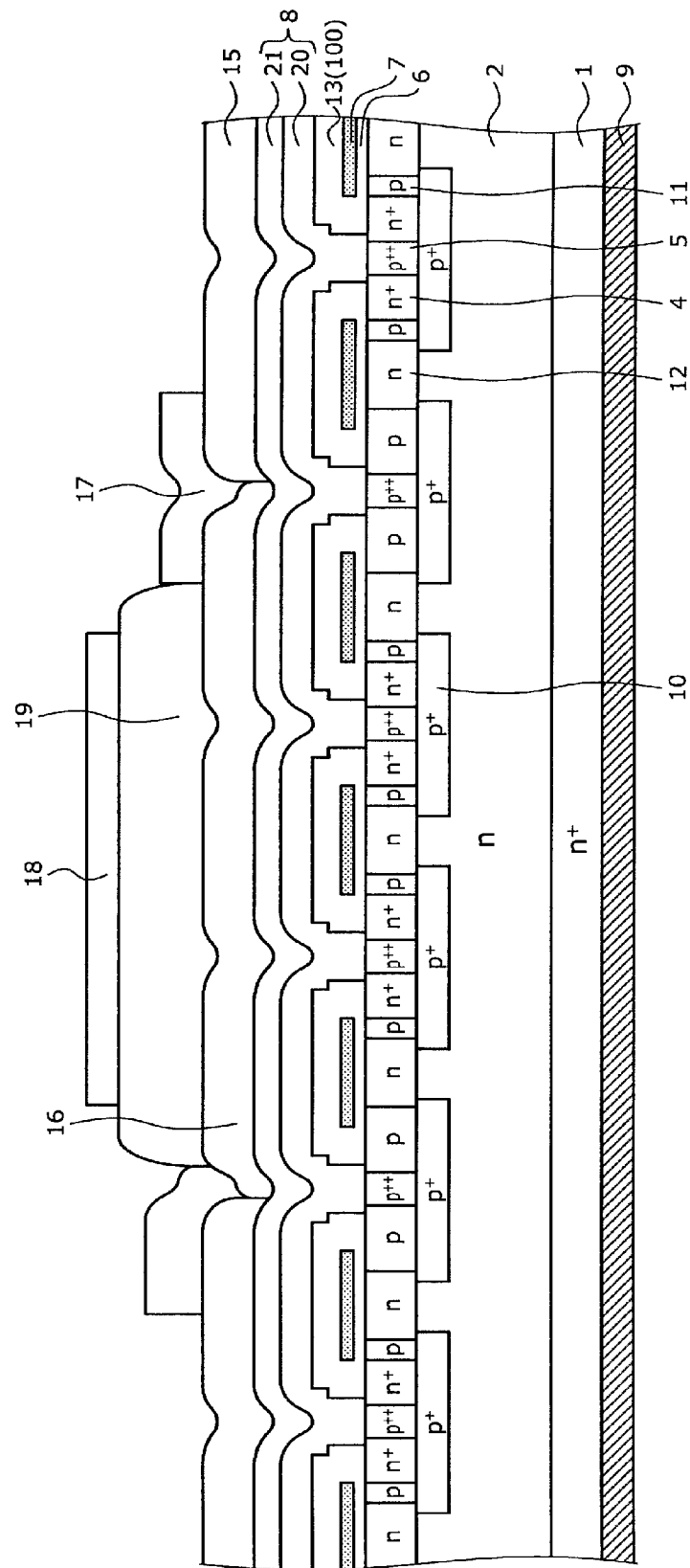
前記3重点部分の直下に前記チャネルを形成しないことは、

前記第1導電型ワイドバンドギャップ半導体堆積層の表面層に前記第2導電型半導体領域を形成し、

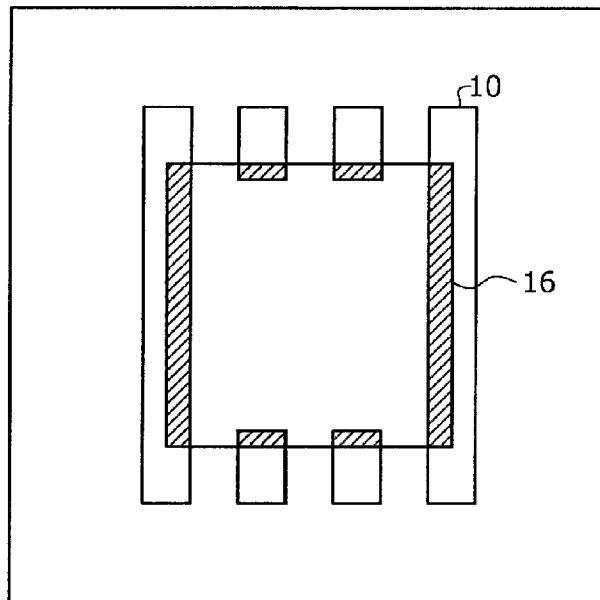
前記第2導電型ワイドバンドギャップ半導体層内に、前記第1の第1導電型領域を形成し、

前記第2導電型ワイドバンドギャップ半導体層内に、前記第2の第1導電型領域を形成しないことであることを特徴とする請求項3に記載の半導体装置の製造方法。

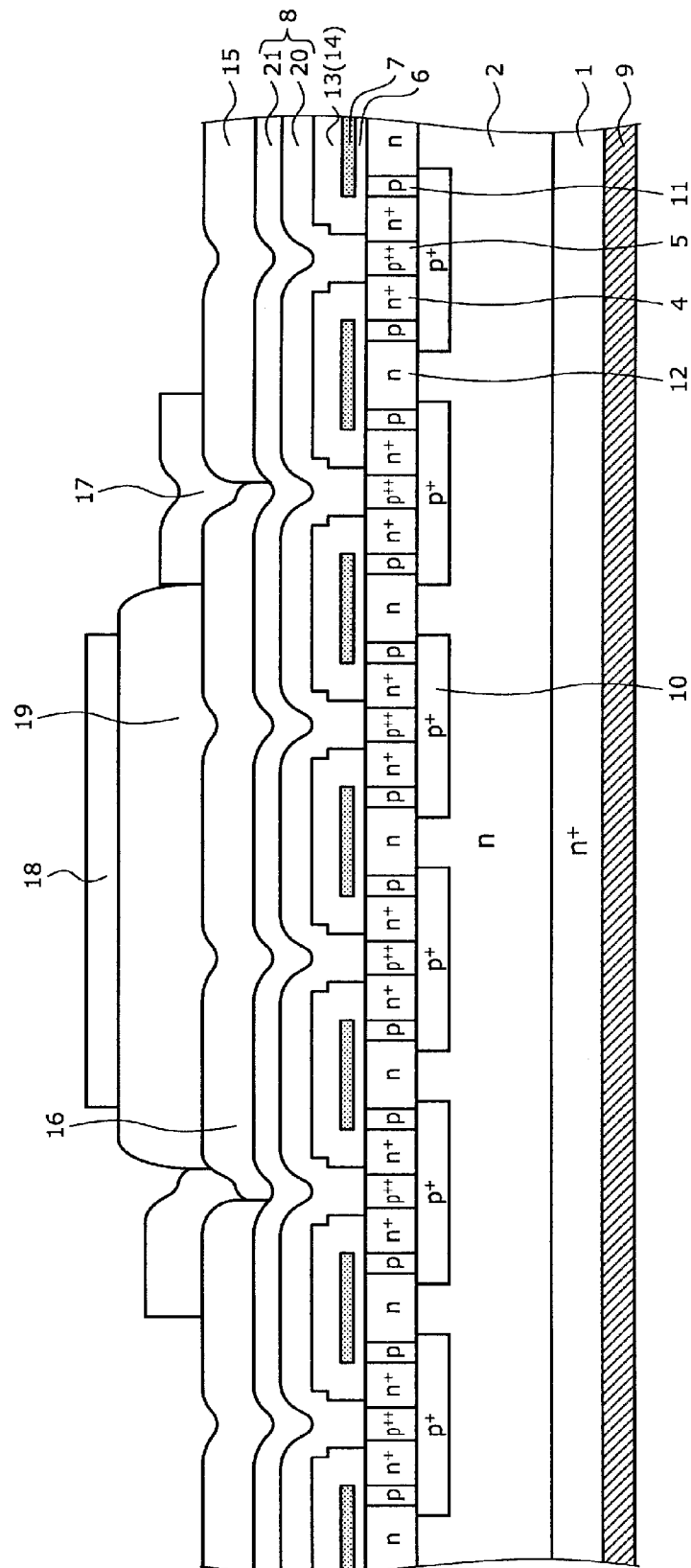
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/073366

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L23/48(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L23/48, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-232564 A (National Institute of Advanced Industrial Science and Technology), 14 November 2013 (14.11.2013), paragraphs [0055] to [0081]; fig. 5 & US 2015/0115285 A1 paragraphs [0066] to [0092]; fig. 5 & WO 2013/161449 A1 & CN 104321873 A	1-4
A	JP 2012-191010 A (Fuji Electric Co., Ltd.), 04 October 2012 (04.10.2012), entire text; fig. 1 to 5 (Family: none)	1-4
A	JP 2000-12845 A (Fuji Electric Co., Ltd.), 14 January 2000 (14.01.2000), entire text; fig. 3 (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason(as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 October 2016(24.10.16)

Date of mailing of the international search report
01 November 2016(01.11.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/073366

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-54294 A (Mitsubishi Electric Corp.), 15 March 2012 (15.03.2012), entire text; fig. 1 to 3 (Family: none)	1-4
A	JP 2004-207509 A (Matsushita Electric Industrial Co., Ltd.), 22 July 2004 (22.07.2004), entire text; fig. 1 to 5 (Family: none)	1-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L23/48(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/78, H01L21/336, H01L23/48, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-232564 A (独立行政法人産業技術総合研究所) 2013. 11. 14, 段落番号[0055]-[0081], 図 5 & US 2015/0115285 A1, 段落番号[0066]-[0092], 図 5 & WO 2013/161449 A1 & CN 104321873 A	1-4
A	JP 2012-191010 A (富士電機株式会社) 2012. 10. 04, 全文, 図 1-5 (ファミリーなし)	1-4

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

2 4 . 1 0 . 2 0 1 6

国際調査報告の発送日

0 1 . 1 1 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

早川 朋一

5 F

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-12845 A (富士電機株式会社) 2000. 01. 14, 全文, 図 3 (ファミリーなし)	1-4
A	JP 2012-54294 A (三菱電機株式会社) 2012. 03. 15, 全文, 図 1-3 (ファミリーなし)	1-4
A	JP 2004-207509 A (松下電器産業株式会社) 2004. 07. 22, 全文, 図 1-5 (ファミリーなし)	1-4