(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3561877号
(P3561877)
(45)発行日　平成16年9月2日(2004.9.2)　(24)登録日　平成16年6月11日(2004.6.11)

(51)Int.Cl.[7]　F I
H02M 3/28　H02M 3/28 H

請求項の数 2　(全 12 頁)

(21)出願番号　特願平11-339258
(22)出願日　平成11年11月30日(1999.11.30)
(65)公開番号　特開2001-161064(P2001-161064A)
(43)公開日　平成13年6月12日(2001.6.12)
審査請求日　平成14年10月3日(2002.10.3)

(73)特許権者　000237662
富士通アクセス株式会社
神奈川県川崎市高津区坂戸１丁目１７番３号
(74)代理人　100105337
弁理士　眞鍋　潔
(74)代理人　100072833
弁理士　柏谷　昭司
(74)代理人　100075890
弁理士　渡邊　弘一
(74)代理人　100110238
弁理士　伊藤　壽郎
(72)発明者　渕上　和利
神奈川県川崎市高津区坂戸１丁目１７番３号　富士通電装株式会社内

最終頁に続く

(54)【発明の名称】スイッチング電源の電流検出回路

(57)【特許請求の範囲】

【請求項１】

複数の二次巻線を有するトランスの一次巻線にオン，オフ制御するスイッチングトランジスタを接続し、前記複数の二次巻線の誘起電圧をそれぞれ整流平滑化して出力し、且つ該整流平滑出力電圧を積み上げて複数種類の出力電圧とし、前記複数の二次巻線の中の少なくとも１個の基本二次巻線の整流平滑出力電圧を検出して、該整流平滑出力電圧を安定化するように前記スイッチングトランジスタを制御する多出力のスイッチング電源の電流検出回路に於いて、

一方と他方との２個の一次巻線と１個の二次巻線とを有し、前記一方の一次巻線を、前記トランスの基本二次巻線に直列的に接続し、前記他方の一次巻線を前記トランスの積み上げ用二次巻線に直列的に接続し、前記二次巻線に、前記一方の一次巻線と前記他方の一次巻線とに流れる電流の差分に相当する電流を流すように接続したカレントトランスと、

該カレントトランスの前記二次巻線に接続して前記基本二次巻線の誘起電圧のみにより負荷に供給する電流の検出値を出力する電流・電圧変換部と

を備えたことを特徴とするスイッチング電源の電流検出回路。

【請求項２】

基本二次巻線と積み上げ用二次巻線とを有するトランスの一次巻線にスイッチングトランジスタを接続し、前記基本二次巻線に整流平滑回路を接続し、該整流平滑回路の出力端子に前記積み上げ用二次巻線を接続し、該積み上げ用二次巻線に可飽和リアクトルを含む電圧安定化部と整流平滑回路とを接続した多出力のスイッチング電源の電流検出回路に於い

て、
一方と他方との２個の一次巻線と１個の二次巻線とを有し、前記一方の一次巻線を、前記トランスの前記基本二次巻線に直列的に接続し、前記一方の一次巻線を前記トランスの前記積み上げ用二次巻線に直列的に接続し、前記二次巻線に、前記一方の一次巻線と前記他方の一次巻線とに流れる電流の差分に相当する電流を流すように接続したカレントトランスと、
該カレントトランスの前記二次巻線に接続して前記基本二次巻線の誘起電圧のみにより負荷に供給する電流の検出値を出力する電流・電圧変換部とを有し、
該電流・電圧変換部は、前記カレントトランスの二次巻線に接続した抵抗の両端の電圧をピーク整流するダイオードとコンデンサと、前記抵抗を短絡するスイッチ回路と、前記スイッチングトランジスタのターンオンのタイミングの信号を所定時間遅延させて前記スイッチ回路をオフとする遅延回路とを有する
ことを特徴とするスイッチング電源の電流検出回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、複数の二次巻線を有するトランスの一次巻線にオン，オフ制御するスイッチングトランジスタを接続し、このスイッチングトランジスタのオン期間を二次側の出力電圧を検出して設定値となるように制御し、複数の二次巻線の誘起電圧をそれぞれ整流平滑化して出力し、且つ整流平滑出力電圧を積み上げて複数種類の安定化出力電圧を負荷に供給する多出力のスイッチング電源の電流検出回路に関する。
【０００２】
【従来の技術】
図１０は従来例の多出力電源装置の説明図であり、Ｃ１～Ｃ３はコンデンサ、Ｔはトランス、Ｎ１は一次巻線、Ｎ２１は基本二次巻線、Ｎ２２は積み上げ用二次巻線、Ｌ１，Ｌ２はチョークコイル、Ｄ１～Ｄ５はダイオード、Ｑ１はスイッチングトランジスタ、Ｑ２はリセット用のトランジスタ、Ｒ１～Ｒ３，Ｒ１１～Ｒ１４は抵抗、ＳＬは可飽和リアクトル、ＰＷＭはパルス幅制御回路、Ａ１，Ａ２は誤差増幅器、Ｖｒ１，Ｖｒ２は基準電圧を示す。
【０００３】
基本二次巻線Ｎ２１側はフォワード型の構成であり、又積み上げ用二次巻線Ｎ２２側は可飽和リアクトル型（磁気増幅器型又はマグアンプ型）の構成の場合を示す。又トランスＴの一次巻線Ｎ１とスイッチングトランジスタＱ１との直列回路に、図示を省略した直流電源から直流電圧を印加し、スイッチングトランジスタＱ１をパルス幅制御回路ＰＷＭによってオン，オフ制御し、トランスＴの一次巻線Ｎ１に流れる電流をオン，オフし、トランスＴの二次巻線Ｎ２１に誘起した電圧を、ダイオードＤ１，Ｄ２とチョークコイルＬ１とコンデンサＣ１とからなる整流平滑回路により整流して平滑化し、出力電圧Ｖ１とする。
【０００４】
又二次巻線Ｎ２２に誘起した電圧を、可飽和リアクトルＳＬを介して、ダイオードＤ３，Ｄ４とチョークコイルＬ２とコンデンサＣ３とからなる整流平滑回路により整流して平滑化し、且つ可飽和リアクトルＳＬとトランジスタＱ２とにより、平滑化した出力電圧の安定化を行う。その場合、基本二次巻線Ｎ２１の誘起電圧と、積み上げ用二次巻線Ｎ２２の誘起電圧とを加算した電圧に相当する出力電圧Ｖ２とするものである。
【０００５】
又出力電圧Ｖ１を抵抗Ｒ１１，Ｒ１２により分圧して基準電圧Ｖｒ１と誤差増幅器Ａ１により比較してパルス幅制御回路ＰＷＭを制御し、出力電圧Ｖ１を安定化するように、スイッチングトランジスタＱ１のオン期間を制御する。又出力電圧Ｖ２を抵抗Ｒ１３，Ｒ１４により分圧して基準電圧Ｖｒ２と誤差増幅器Ａ２により比較してトランジスタＱ２を制御し、可飽和リアクトルＳＬのリセットを行って、出力電圧Ｖ２の安定化を行う。
【０００６】

このような多出力電源装置の電流を検出し、過電流保護等を行う場合、基本二次巻線Ｎ２１の誘起電圧に対応する出力電圧Ｖ１による負荷電流は、例えば、図１１に示す構成によって検出することができる。同図に於いて、図１０と同一符号は同一部分を示し、Ｒ１５は電流検出用の抵抗、ＯＰＡ１，ＯＰＡ２は演算増幅器を示す。抵抗Ｒ１５の両端の電圧が電流に比例することから、演算増幅器ＯＰＡ２から電流検出値Ｖｉを出力することができる。この電流検出値Ｖｉが基準値を超えている場合に、過電流であると判定して、パルス幅制御回路ＰＷＮを図示を省略した制御経路で制御して、出力電圧Ｖ１を垂下させることができる。

【０００７】

【発明が解決しようとする課題】

出力電圧Ｖ１による電流が大きい場合、前述のように、抵抗Ｒ１５により電流検出を行うと、損失が大きく、発熱量が多くなり、放熱機構等により電源装置が大型化する問題がある。そこで、カレントトランスを用いることが考えられるが、抵抗Ｒ１５の位置は直流電圧のみが流れるので、カレントトランスでは電流検出ができないことになり、二次巻線Ｎ２１，Ｎ２２と直列的にカレントトランスの一次巻線を接続することになる。

【０００８】

例えば、二次巻線Ｎ２１に直列的にカレントトランスの一次巻線を接続し、二次巻線の誘起電圧により電流を検出する場合、二次巻線Ｎ２１には、出力電圧Ｖ２による積み上げ用の二次巻線Ｎ２２を介して流れる電流も含まれるものであるから、出力電圧Ｖ１による電流を検出することができないものである。

【０００９】

本発明は、比較的簡単な構成で、基本二次巻線Ｎ２１の誘起電圧に対応した出力電圧Ｖ１による電流のみを検出することを目的とする。

【００１０】

【課題を解決するための手段】

本発明のスイッチング電源の電流検出回路は、（１）複数の二次巻線Ｎ２１，Ｎ２２を有するトランスＴの一次巻線Ｎ１にオン，オフ制御するスイッチングトランジスタＱ１を接続し、複数の二次巻線の誘起電圧をそれぞれ整流平滑化して出力し、且つ整流平滑出力電圧を積み上げて複数種類の出力電圧Ｖ１，Ｖ２とする多出力のスイッチング電源の電流検出回路であって、２個の一次巻線ｎ１，ｎ２と１個の二次巻線ｎ３とを有し、一方の一次巻線ｎ１を、トランスＴの基本二次巻線Ｎ２１に直列的に接続し、他方の一次巻線ｎ２をトランスＴの積み上げ用二次巻線Ｎ２２に直列的に接続し、二次巻線ｎ３に、一方の一次巻線ｎ１と他方の一次巻線ｎ２とに流れる電流の差分に相当する電流を流すように接続したカレントトランスＣＴと、このカレントトランスＣＴの二次巻線ｎ３に接続して基本二次巻線Ｎ２１の誘起電圧のみにより負荷に供給する電流の検出値を出力する電流・電圧変換部１とを備えている。

【００１１】

又（２）基本二次巻線Ｎ２１と積み上げ用二次巻線Ｎ２２とを有するトランスＴの一次巻線Ｎ１にスイッチングトランジスタＱ１を接続し、基本二次巻線Ｎ２１に整流平滑回路を接続し、この整流平滑回路の出力端子に積み上げ用二次巻線Ｎ２２を接続し、この積み上げ用二次巻線Ｎ２２に可飽和リアクトルＳＬを含む電圧安定化部と整流平滑回路とを接続した多出力のスイッチング電源の電流検出回路であって、２個の一次巻線ｎ１，ｎ２と１個の二次巻線ｎ３とを有し、一方の一次巻線ｎ１を、トランスＴの基本二次巻線Ｎ２１に直列的に接続し、他方の一次巻線ｎ２をトランスＴの積み上げ用二次巻線Ｎ２２に直列的に接続し、二次巻線ｎ３に、一方の一次巻線ｎ１と他方の一次巻線ｎ２とに流れる電流の差分に相当する電流を流すように接続したカレントトランスＣＴと、このカレントトランスＣＴの二次巻線ｎ３に接続して基本二次巻線Ｎ２１の誘起電圧のみにより負荷に供給する電流の検出値を出力する電流・電圧変換部１とを有し、この電流・電圧変換部１は、カレントトランスＣＴの二次巻線ｎ３に接続した抵抗の両端の電圧をピーク整流するダイオードとコンデンサと、前記抵抗を短絡するスイッチ回路と、前記スイッチングトランジス

タＱ１のターンオンのタイミングの信号を所定時間遅延させて前記スイッチ回路をオフとする遅延回路とを有するものである。

【００１２】

なお、前記抵抗を短絡又は開放するスイッチ回路は、トランジスタ，比較器等の構成を適用することができ、又スイッチングトランジスタＱ１のターンオンのタイミング信号は、スイッチングトランジスタＱ１の駆動信号，トランスＴの二次巻線の誘起電圧又はトランスＴに三次巻線を設けて、その三次巻線の誘起電圧を用いることができる。

【００１３】

【発明の実施の形態】

図１は本発明の第１の実施の形態の説明図であり、１は電流・電圧変換部、２は電圧検出部、３はパルス幅制御回路（ＰＷＭ）、Ｖｉは電流検出値、Ｃ１～Ｃ３はコンデンサ、Ｔはトランス、Ｎ１は一次巻線、Ｎ２１は基本二次巻線、Ｎ２２は積み上げ用二次巻線、Ｌ１，Ｌ２はチョークコイル、Ｄ１～Ｄ５はダイオード、Ｑ１はスイッチングトランジスタ、Ｑ２はリセット用のトランジスタ、Ｒ１～Ｒ３は抵抗、ＳＬは可飽和リアクトル、ＣＴはカレントトランス、ｎ１，ｎ２は一次巻線、ｎ３は二次巻線を示す。

【００１４】

カレントトランスＣＴは、２個の一次巻線ｎ１，ｎ２と１個の二次巻線ｎ３とを有し、この二次巻線ｎ３に電流・電圧変換部１を接続する。このカレントトランスＣＴの一方の一次巻線ｎ１を、トランスＴの基本二次巻線Ｎ２１に直列的に接続し、ダイオードＤ１，Ｄ２とチョークコイルＬ１とコンデンサＣ２とを含む整流平滑回路を接続し、この整流平滑回路の出力電圧Ｖ１を基本電圧とする。

【００１５】

この整流平滑回路にカレントトランスＣＴの他方の一次巻線ｎ２とトランスＴの積み上げ用二次巻線Ｎ２２とを直列的に接続し、可飽和リアクトルＳＬを介して、ダイオードＤ３，Ｄ４とチョークコイルＬ２とコンデンサＣ３とを含む整流平滑回路を接続し、積み上げ用二次巻線Ｎ２２による整流出力電圧を基本電圧に積み上げて、出力電圧Ｖ２とする。又抵抗Ｒ１，Ｒ２，Ｒ３と、トランジスタＱ２とダイオードＤ５とにより、可飽和リアクトルＳＬのリセット回路を構成し、電圧検出部２により検出した出力電圧Ｖ２に対応してトランジスタＱ２を制御し、出力電圧Ｖ２を安定化する電圧安定化部を構成している。

【００１６】

又カレントトランスＣＴの二次巻線ｎ３には、一方の一次巻線ｎ１に流れる電流Ｉａと、他方の一次巻線ｎ２に流れる電流Ｉｂとの差分に相当する電流が流れるように、一次巻線ｎ１，ｎ２と、トランスＴの二次巻線Ｎ２１，Ｎ２２とを接続する。又トランスＴの一次巻線Ｎ１に接続したスイッチングトランジスタＱ１を、パルス幅制御回路３によってオン，オフ制御し、電圧検出部２により出力電圧Ｖ１を検出し、この出力電圧Ｖ１が一定化するように、パルス幅制御回路３によってスイッチングトランジスタＱ１のオン期間を制御する。

【００１７】

前述のように、カレントトランスＣＴの一方の二次巻線ｎ１には、トランスＴの基本二次巻線Ｎ２１の電流Ｉａが流れ、他方の二次巻線ｎ２には、トランスＴの積み上げ用二次巻線Ｎ２２の電流Ｉｂが流れ、カレントトランスＣＴの二次巻線ｎ３には、Ｉａ－Ｉｂ、即ち、出力電圧Ｖ１により負荷に供給する電流を、電流・電圧変換部１により変換して電流検出値Ｖｉとすることができる。又カレントトランスＣＴによる損失は無視できる程度のものであり、スイッチング電源を大型化することなく、電流検出が可能となる。

【００１８】

図２は本発明の第２の実施の形態の説明図であり、図１と同一符号は同一部分を示し、Ｎ３はトランスＴの三次巻線、Ｄ６，Ｄ７はダイオード、Ｒ４，Ｒ５は抵抗、Ｃ４はコンデンサ、ＳＷはスイッチ回路、ＤＬは遅延回路、Ｖｄｓはスイッチングトランジスタ Ｑ１のドレイン・ソース間電圧、Ｖｄｒは駆動電圧、Ｉａは基本二次巻線Ｎ２１に流れる電流、Ｉｂは積み上げ用二次巻線Ｎ２２に流れる電流、ＩｃｔはカレントトランスＣＴの二次巻

線ｎ３に流れる電流を示す。又電圧検出部２からパルス幅制御部３に出力電圧Ｖ１の検出値を入力する信号経路の図示を省略している。

【００１９】

又ダイオードＤ６，Ｄ７とコンデンサＣ４と抵抗Ｒ４，Ｒ５とスイッチ回路ＳＷと遅延回路ＤＬとによる構成は、図１の電流・電圧変換部１に相当するものであり、スイッチ回路ＳＷは、少なくともカレントトランスＣＴの二次巻線ｎ３に電流Ｉｃｔが流れる初期はオン状態となり、遅延回路ＤＬによる遅延時間後にオフとなるように制御されるものである。

【００２０】

トランスＴの積み上げ用二次巻線Ｎ２２側は、可飽和リアクトル制御による電圧安定化部により出力電圧Ｖ２の安定化が行われるもので、流れる電流の位相が、基本二次巻線Ｎ２１に流れる電流の位相と異なることになる。図３は、図２に於ける各部の電圧，電流の波形の一例を示すもので、駆動電圧ＶｄｒによりスイッチングトランジスタＱ１がオンとなると、ドレイン・ソース間電圧Ｖｄｓは０Ｖとなる。そして、スイッチングトランジスタＱ１のドレイン電流Ｉｄは、トランスＴの二次巻線Ｎ２１，Ｎ２２を介して負荷に供給する電流に対応した値となる。

【００２１】

又基本二次巻線Ｎ２１に流れる電流Ｉａは、スイッチングトランジスタＱ１のオン期間に従って流れるが、積み上げ用二次巻線Ｎ２２に流れる電流Ｉｂは、可飽和リアクトル制御構成の為に、電流Ｉａより遅れて流れる。又基本二次巻線Ｎ２１の誘起電圧ＶＮ２１は、スイッチングトランジスタＱ１のドレイン・ソース間電圧Ｖｄｓの波形を反転した波形に類似したものとなる。

【００２２】

カレントトランスＣＴの二次巻線ｎ３に流れる電流Ｉｃｔは、Ｉａ－Ｉｂとなるから、この時、スイッチ回路ＳＷをオフのままとすると、抵抗Ｒ５の両端の電圧は、Ｖｒ５’に示すものとなる。この電圧Ｖｒ５’をダイオードＤ７とコンデンサＣ４とによりピーク整流を行うと、電流Ｉａのピーク値を検出した値Ｖｉとなる。そこで、スイッチ回路ＳＷをオン状態としておき、トランスＴの三次巻線Ｎ３の誘起電圧を遅延回路ＤＬにより時間τだけ遅延させてスイッチ回路ＳＷのオフ信号とする。それにより、抵抗Ｒ５の両端の電圧は、Ｖｒ５に示すものとなる。即ち、ダイオードＤ７とコンデンサＣ４とよるピーク整流により、Ｉａ－Ｉｂの値のピーク値、即ち、出力電圧Ｖ１により負荷に供給する電流の検出値Ｖｉを得ることができる。

【００２３】

図４は本発明の第３の実施の形態の説明図であり、図２と同一符号は同一部分を示し、パルス幅制御回路３からスイッチングトランジスタＱ１の駆動信号の一部を、スイッチングトランジスタＱ１をターンオンするタイミングの信号として、遅延回路ＤＬを介してスイッチ回路ＳＷのオフ信号とする場合を示す。それにより、カレントトランスＣＴの一次巻線ｎ１，ｎ２にそれぞれ流れる電流Ｉａ，Ｉｂの位相のずれを補正して、Ｉａ－Ｉｂに比例した電流の検出値Ｖｉを得ることができる。又トランスＴの二次巻線Ｎ２１の誘起電圧、又は二次巻線Ｎ２２の誘起電圧は、図２に於ける三次巻線Ｎ３と同一の位相となるから、例えば、二次巻線Ｎ２１の誘起電圧を、点線で示すように遅延回路ＤＬに入力し、この遅延回路ＤＬを介してスイッチ回路ＳＷのオフ信号とすることもできる。

【００２４】

図５は本発明の第４の実施の形態の説明図であり、図２と同一符号は同一部分を示し、Ｄ８はダイオード、４はタイマ、５はクロック発生部である。この実施の形態は、トランスＴの三次巻線Ｎ３の誘起電圧をダイオードＤ８を介してタイマ４に入力し、クロック発生部５からのクロック信号のカウント等による設定時間（前述の遅延時間τ）後、タイマ４の出力信号をスイッチ回路ＳＷのオフ信号とする。それにより、電流Ｉａ，Ｉｂが同時に流れるタイミングに於いて、Ｉａ－Ｉｂに比例した電流の検出値Ｖｉを得ることができる。なお、クロック発生部５は、パルス幅制御回路３内の鋸歯状波発生回路に於けるクロッ

ク信号を利用する構成とすることも可能であり、又タイマは、ＣＲ時定数回路等の各種の構成を適用することができる。この場合のトランスＴの三次巻線Ｎ３の誘起電圧の代わりに、トランスＴの二次巻線Ｎ２１，Ｎ２２の誘起電圧或いはスイッチングトランジスタＱ１の駆動信号を利用することも可能である。

【００２５】

図６は本発明の第５の実施の形態の説明図であり、図２と同一符号は同一部分を示し、Ｑ３はトランジスタ、Ｃ５はコンデンサ、Ｒ６，Ｒ７と抵抗を示す。この実施の形態は、トランジスタＱ３により前述のスイッチ回路ＳＷを構成し、コンデンサＣ５と抵抗Ｒ６，Ｒ７とにより前述の遅延回路ＤＬを構成したものであり、トランスＴの三次巻線Ｎ３の誘起電圧をコンデンサＣ５と抵抗Ｒ６とを介してトランジスタＱ３のゲートに入力して、トランジスタＱ３をオンとし、コンデンサＣ５と抵抗Ｒ６，Ｒ７とにより、トランジスタＱ３のゲート電圧が遅延時間τ後に閾値以下に低下して、トランジスタＱ３はオフとなる。

【００２６】

即ち、抵抗Ｒ５の両端を短絡するスイッチ回路ＳＷと同様に、トランスＴの二次巻線Ｎ２１の誘起電圧と同一位相の三次巻線Ｎ３の誘起電圧を利用して、二次巻線Ｎ２１に流れる電流Ｉａの立上りでトランジスタＱ３をオンとし、二次巻線Ｎ２２の誘起電圧により可飽和リアクトルＳＬを介して流れる電流Ｉｂの立上りタイミング、即ち、遅延時間τ後に、トランジスタＱ３をオフとして、Ｉａ－Ｉｂに比例した電流の検出値Ｖｉを得ることができる。

【００２７】

この場合のトランジスタＱ３のゲート電圧Ｖｇは、例えば、図７の動作説明図のＶｇに示すように変化する。即ち、スイッチングトランジスタＱ１が駆動電圧Ｖｄｒによりオンとなると、ドレイン・ソース間電圧Ｖｄｓは０Ｖとなる。そして、スイッチングトランジスタＱ１のドレイン電流Ｉｄは、トランスＴの二次巻線Ｎ２１，Ｎ２２に流れる電流に対応した値となる。

【００２８】

なお、図３と同一符号は同一部分の電圧，電流の波形を示し、基本二次巻線Ｎ２１に流れる電流Ｉａは、スイッチングトランジスタＱ１のオン期間に従って流れるが、積み上げ用二次巻線Ｎ２２に流れる電流Ｉｂは、可飽和リアクトル制御構成の為に、電流Ｉａより遅れて流れる。又基本二次巻線Ｎ２１の誘起電圧ＶＮ２１は、スイッチングトランジスタＱ１のドレイン・ソース間電圧Ｖｄｓの波形を反転した波形に類似したものとなる。

【００２９】

カレントトランスＣＴの二次巻線ｎ３に流れる電流Ｉｃｔは、Ｉａ－Ｉｂとなる。この時、トランジスタＱ３のゲート電圧Ｖｇは、コンデンサＣ５と抵抗Ｒ６，Ｒ７とによって、閾値ｔｈを超えた値となり、トランジスタＱ３はオンとなる。そして、遅延時間τ後に閾値ｔｈより低下するから、トランジスタＱ３はオフとなる。従って、抵抗Ｒ５の両端の電圧Ｖｒ５は、Ｉａ－Ｉｂに比例した値となり、これをピーク整流した値が検出値Ｖｉとなる。この場合のトランスＴの三次巻線Ｎ３の誘起電圧の代わりに、前述の実施の形態と同様に、トランスＴの二次巻線Ｎ２１，Ｎ２２の誘起電圧或いはスイッチングトランジスタＱ１の駆動信号を利用することも可能である。

【００３０】

図８は本発明の第６の実施の形態の説明図であり、図２と同一符号は同一部分を示し、Ｃ６はコンデンサ、Ｒ８，Ｒ９は抵抗、ＣＭＰは比較器、Ｖｒｆは基準電圧を示す。この実施の形態は、比較器ＣＭＰによりスイッチ回路を構成し、コンデンサＣ６と抵抗Ｒ８，Ｒ９により遅延回路を構成した場合に相当する。

【００３１】

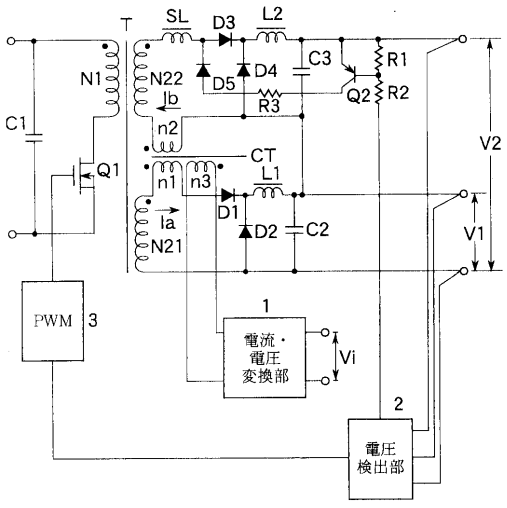
比較器ＣＭＰは、入力電圧の比較結果に対応して、出力端子をハイレベル又はローレベルに切替えるものであるから、ハイレベルの時は、前述のスイッチ回路ＳＷをオフ、ローレベルの時は、スイッチ回路ＳＷをオンとした場合に相当することになる。そこで、トランスＴの三次巻線Ｎ３の誘起電圧を抵抗Ｒ８，Ｒ９とコンデンサＣ６との回路を介して比較

器ＣＭＰに入力し、基準電圧Ｖｒｆと比較する。
【００３２】
この場合、三次巻線Ｎ３の誘起電圧が抵抗Ｒ８を介してコンデンサＣ６を充電することになるから、初期状態は抵抗Ｒ９の両端の電圧はほぼ零であり、次第に上昇する。比較器ＣＭＰは、基準電圧Ｖｒｆより低い電圧の場合にローレベルの出力状態となり、反対に、基準電圧Ｖｒｆより高い電圧の場合にハイレベルとなる。従って、抵抗Ｒ９の両端の電圧が基準電圧Ｖｒｆを超えると、比較器ＣＭＰはハイレベルの出力状態となり、スイッチ回路ＳＷオフと同様となる。その時、抵抗Ｒ５の両端の電圧は、Ｉａ－Ｉｂに比例した値となり、これをピーク整流して電流の検出値Ｖｉとすることができる。
【００３３】
図９は本発明の第６の実施の形態の動作説明図であり、図３及び図７と同一符号は同一の電圧又は電流の波形を示し、Ｖｃはコンデンサ６の端子電圧を示す。即ち、トランスＴの三次巻線Ｎ３の誘起電圧を抵抗Ｒ８を介してコンデンサＣ６に印加するから、コンデンサＣ６の端子電圧は、その時定数に従って上昇し、基準電圧Ｖｒｆを超えると、比較器ＣＭＰの出力端子はハイレベルとなり、抵抗Ｒ５の両端の電圧Ｖｒ５が、Ｉａ－Ｉｂに比例した値となる。
【００３４】
従って、前述のように、出力電圧Ｖ２により負荷に供給する電流Ｉｂと、この電流Ｉｂを含むトランスＴの二次巻線Ｎ２１に流れる電流Ｉａとの差分を求めて、出力電圧Ｖ１により負荷に供給する電流を検出値Ｖｉとして出力することができる。又トランスＴの三次巻線Ｎ３の誘起電圧を利用した場合を示すが、トランスＴの二次巻線Ｎ２１，Ｎ２２の誘起電圧を利用することも可能である。又パルス幅制御回路３からスイッチングトランジスタＱ１を制御するオン信号を利用することもできる。又電流Ｉａ，Ｉｂが同一の位相で流れる場合は、遅延回路ＤＬ及びスイッチ回路ＳＷ或いはそれらを構成する回路を省略することができる。
【００３５】
【発明の効果】
以上説明したように、本発明は、２個の一次巻線ｎ１，ｎ２と１個の二次巻線ｎ３とを有するカレントトランスＣＴを用いて、トランスＴの基本二次巻線Ｎ２１に流れる電流と、積み上げ用二次巻線Ｎ２２に流れる電流との差分をカレントトランスＣＴの二次巻線ｎ３から出力させ、電流・電圧変換部１により、基本二次巻線Ｎ２１の誘起電圧に対応した出力電圧Ｖ１による負荷電流を示す検出値Ｖｉを得ることができる。この場合、カレントトランスＣＴを用いるものであるから、抵抗により電流を検出する場合に比較して大幅な損失低減が可能となる利点がある。又出力電圧Ｖ１による負荷電流を検出することができるから、過電流制御を確実に行うことができる。
【００３６】
又可飽和リアクトルを用いた電圧安定化部を積み上げ用二次巻線Ｎ２２側に設けた多出力のスイッチング電源に於いては、フォワード型のスイッチング電源に於ける二次巻線に流れる電流の位相が相違するから、カレントトランスＣＴの二次巻線ｎ３に接続した抵抗Ｒ５の両端を短絡又は開放するスイッチ回路ＳＷを設けると共に、スイッチングトランジスタＱ１のターンオンのタイミングの信号を遅延時間τだけ遅延させて、スイッチ回路ＳＷをオフとすることにより、カレントトランスＣＴの一次巻線ｎ１，ｎ２に流れる電流の位相が一致した期間の電流差に相当する電流検出値Ｖｉを得るもので、電流位相が異なる場合でも、出力電圧Ｖ１による負荷電流の検出値Ｖｉを正確に得ることができる利点がある。
【図面の簡単な説明】
【図１】本発明の第１の実施の形態の説明図である。
【図２】本発明の第２の実施の形態の説明図である。
【図３】本発明の第２の実施の形態の動作説明図である。
【図４】本発明の第３の実施の形態の説明図である。

【図５】本発明の第４の実施の形態の説明図である。
【図６】本発明の第５の実施の形態の説明図である。
【図７】本発明の第５の実施の形態の動作説明図である。
【図８】本発明の第６の実施の形態の説明図である。
【図９】本発明の第６の実施の形態の動作説明図である。
【図１０】従来例の多出力電源装置の説明図である。
【図１１】従来例の電流検出回路の説明図である。
【符号の説明】
１　電流・電圧変換部
２　電圧検出部
３　パルス幅制御回路（ＰＷＭ）
Ｔ　トランス
Ｎ１　一次巻線
Ｎ２１，Ｎ２２　二次巻線
Ｑ１　スイッチングトランジスタ
ＣＴ　カレントトランス
ｎ１，ｎ２　一次巻線
ｎ３　二次巻線
Ｄ１～Ｄ５　ダイオード
Ｃ１～Ｃ３　コンデンサ
Ｌ１，Ｌ２　チョークコイル
ＳＬ　可飽和リアクトル
Ｑ２　トランジスタ
Ｒ１～Ｒ３　抵抗

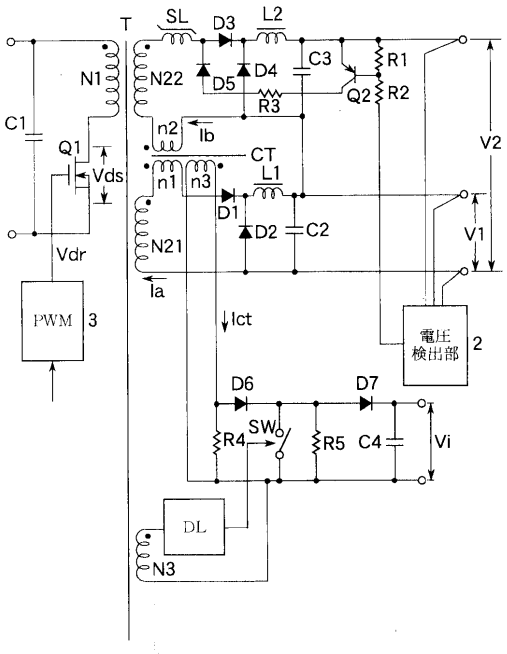
【図１】

本発明の第１の実施の形態の説明図



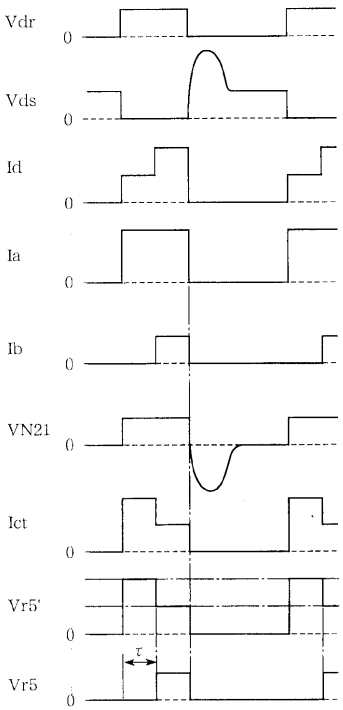
【図２】

本発明の第２の実施の形態の説明図



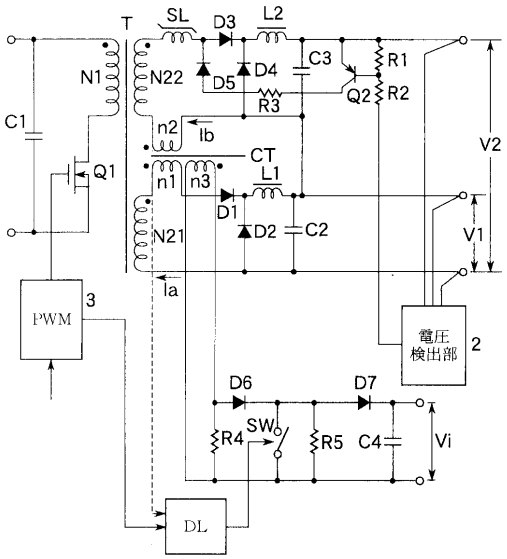
【図３】

本発明の第２の実施の形態の動作説明図



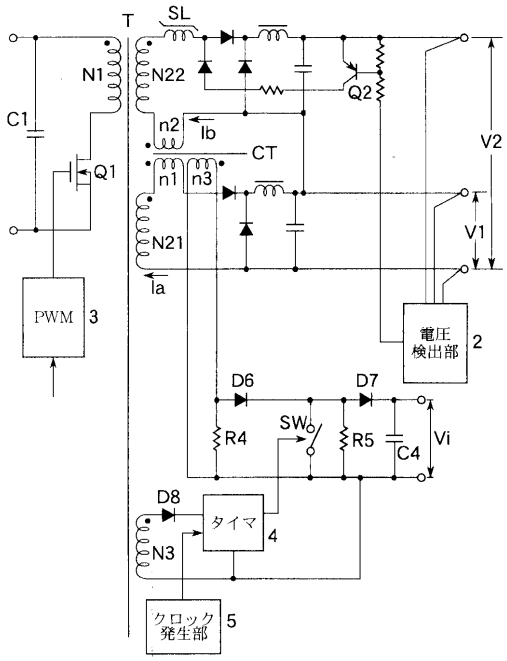
【図４】

本発明の第３の実施の形態の説明図



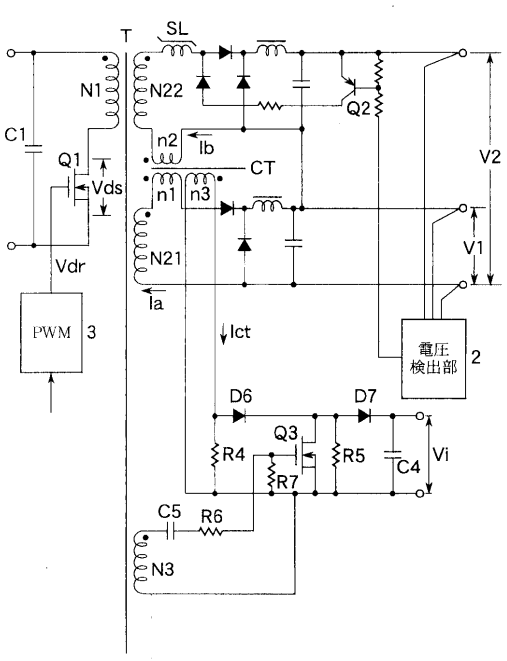
【図５】

本発明の第４の実施の形態の説明図



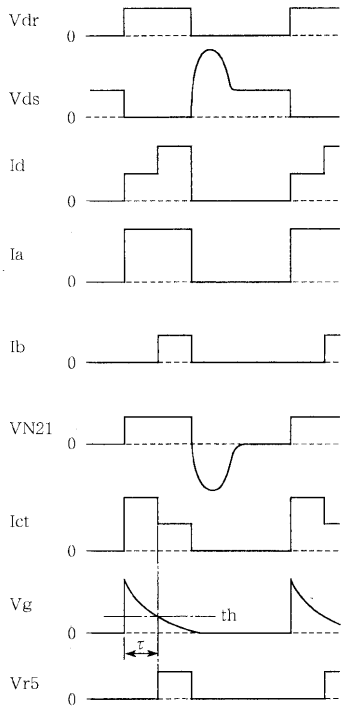
【図６】

本発明の第５の実施の形態の説明図



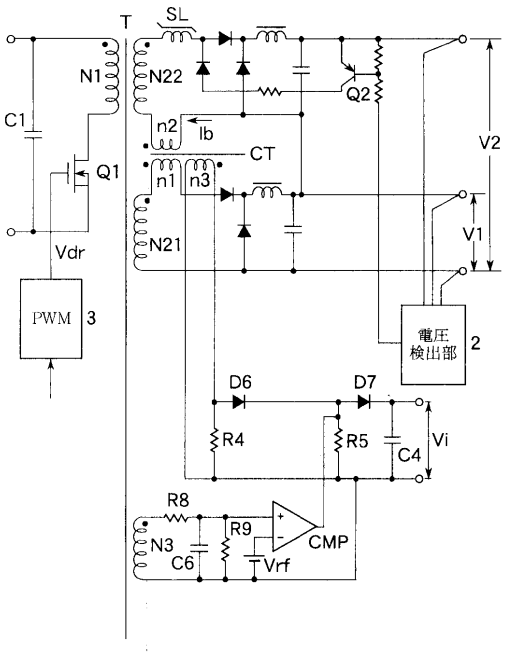
【図７】

本発明の第５の実施の形態の動作説明図



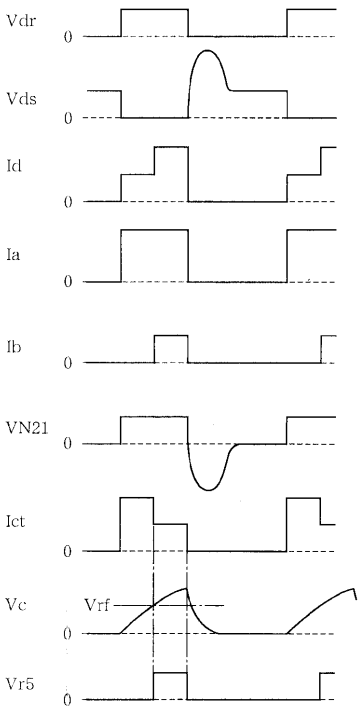
【図８】

本発明の第６の実施の形態の説明図



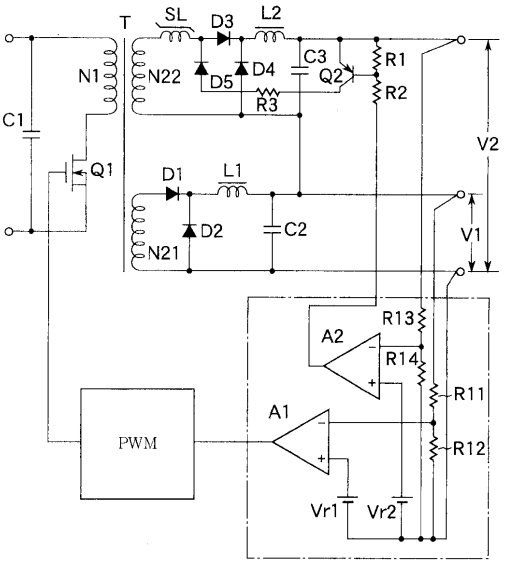
【図９】

本発明の第６の実施の形態の動作説明図



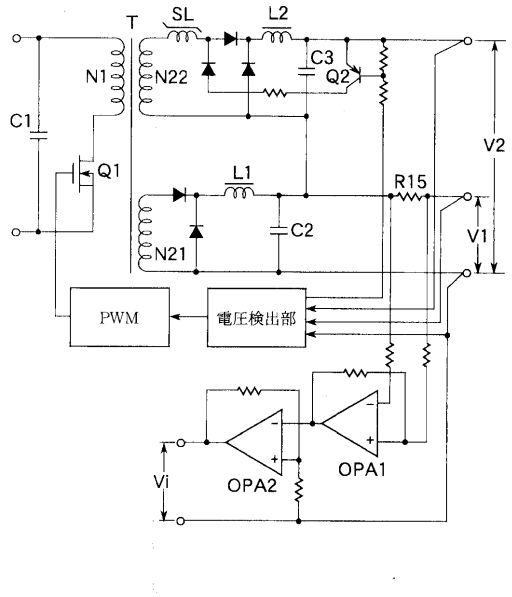
【図１０】

従来例の多出力電源装置の説明図



【図１１】

従来例の電流検出回路の説明図



フロントページの続き

審査官　川端　修

(56)参考文献　特開昭６１－２２４８５８（ＪＰ，Ａ）
特開昭６０－１５７６１５（ＪＰ，Ａ）
特開昭５５－０５８７７９（ＪＰ，Ａ）
特開平０７－１５４９６６（ＪＰ，Ａ）
特開平０４－０５８７６３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H02M 3/28