

# (12) 发明专利申请

(10) 申请公布号 CN 103035532 A

(43) 申请公布日 2013. 04. 10

(21) 申请号 201210529898. 2

(22) 申请日 2012. 12. 11

(71) 申请人 上海华虹 NEC 电子有限公司

地址 201206 上海市浦东新区川桥路 1188 号

(72) 发明人 李娟娟 慈朋亮 钱文生 韩峰  
胡君

(74) 专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 丁纪铁

(51) Int. Cl.

H01L 21/336 (2006. 01)

H01L 29/78 (2006. 01)

H01L 23/60 (2006. 01)

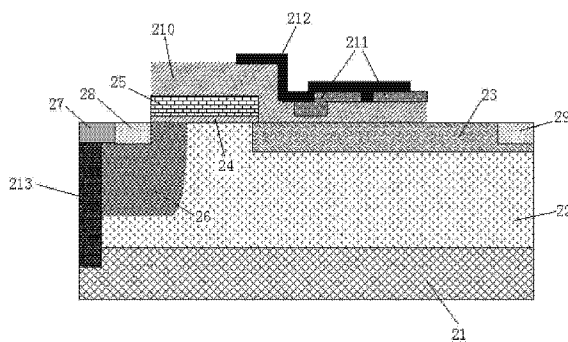
权利要求书 1 页 说明书 5 页 附图 7 页

## (54) 发明名称

射频横向双扩散场效应晶体管及其制造方法

## (57) 摘要

本发明公开了一种射频横向双扩散场效应晶体管,包括 P 型衬底,在所述 P 型衬底上外延生长形成的 P 型外延层,在所述 P 型外延层上方淀积一层氧化硅层,在所述氧化硅层上淀积一层金属层并刻蚀形成法拉第层,在所述氧化硅层及法拉第层中间还包括一层氮化硅层。本发明能在减少了一次金属淀积过程的同时,实现更高的击穿电压 BV,也降低了栅氧边缘下方的电场强度,有利于抑制 HCI(热载流子注入)效应。



1. 一种射频横向双扩散场效应晶体管的制造方法,其特征在于,包括:

步骤 1、在所述 P 型衬底上生长所述 P 型外延层;经栅极氧化层生长后,淀积多晶硅,通过光刻板定义并刻蚀出多晶硅栅,在刻蚀完成后,为保证随后的离子注入时多晶硅栅不被击穿,保留其顶部的光刻胶,进行一步较高能量的轻掺杂 LDD 的 N 型离子注入,形成轻掺杂漂移区,最后去除所述光刻胶;

步骤 2、P 阱的形成;

步骤 3、P+ 区域、N+ 源区及 N+ 漏区的形成;

步骤 4、首先在所述 P 型外延层上方整体淀积一层氧化硅层,然后通过光刻定义,对法拉第盾结构正下方的氧化硅区域进行刻蚀,形成沟槽 A,其深度小于所述氧化硅层的厚度;

步骤 5、在所述氧化硅层上方整体淀积一层氮化硅层,通过光刻定义,对距所述沟槽 A 右侧横向距离为 0-0.7 微米的所述氮化硅层进行沟槽 B 刻蚀,其深度直达所述氧化硅层,同时,对所述沟槽 B 靠近栅极一侧的氮化硅刻蚀和靠近漏区一侧的氮化硅刻蚀也同步完成;

步骤 6、在所述氧化硅层及所述氮化硅层的上方淀积一层金属层并进行相应的刻蚀,形成法拉第盾结构;定义 P 型多晶硅塞或金属塞区域,并淀积相应材料,形成 P 型多晶硅塞或金属塞。

2. 如权利要求 1 所述的制造方法,其特征在于,步骤 1 中所述的进行一步较高能量的轻掺杂 LDD 的 N 型离子注入,注入离子为磷或砷,能量为 50-300keV,剂量为  $5e^{11}-4e^{12}cm^{-2}$ 。

3. 如权利要求 1 所述的制造方法,其特征在于,步骤 2 中所述的 P 阱的形成,有两种方式,一种是在所述多晶硅栅形成前通过离子注入与高温推进形成,另一种是通过自对准工艺加高温推进形成。

4. 如权利要求 1 所述的制造方法,其特征在于,步骤 2 中所述的 P 阱,其杂质为硼,能量为 30-80keV,剂量为  $1e^{12}-1e^{14}cm^{-2}$ 。

5. 如权利要求 1 所述的制造方法,其特征在于,步骤 3 中所述 N+ 源区及所述 N+ 漏区,其杂质为磷或砷,能量为 0-200keV,剂量为  $1e^{13}-1e^{16}cm^{-2}$ ,所述 P+ 区域,杂质为硼或二氟化硼,能量为 0-100keV,剂量为  $1e^{13}-1e^{16}cm^{-2}$ 。

6. 如权利要求 1 所述的制造方法,其特征在于,步骤 4 中所述的氧化硅层,厚度为 1000-4000 埃,所述沟槽 A 的长度为 0-0.8 微米,深度为 1000-3000 埃。

7. 如权利要求 1 所述的制造方法,其特征在于,步骤 5 中所述氮化硅层,厚度为 1000-3000 埃,所述沟槽 B 的长度为 0-0.3 微米。

8. 如权利要求 1 所述的制造方法,其特征在于,步骤 5 中所述的氮化硅层的整体长度为 2-4 微米。

9. 一种采用权利要求 1 所述的制造方法制造的射频横向双扩散场效应晶体管,包括 P 型衬底,在所述 P 型衬底上外延生长形成的 P 型外延层,在所述 P 型外延层上方淀积一层氧化硅层,在所述氧化硅层上淀积一层金属层并刻蚀形成法拉第层,其特征在于,在所述氧化硅层及法拉第层中间还包括一层氮化硅层。

10. 如权利要求 9 所述的射频横向双扩散场效应晶体管,其特征在于,还包括位于所述 P 型外延层上方的栅极氧化层及位于所述栅极氧化层上方的多晶硅栅,位于所述 P 型外延层中的轻掺杂漂移区,利用离子注入和扩散工艺分别形成的 P 阱、P+ 区域、N+ 源区及 N+ 漏区。

## 射频横向双扩散场效应晶体管及其制造方法

### 技术领域

[0001] 本发明涉及一种半导体集成电路制造器件,特别是涉及一种射频横向双扩散场效应晶体管,本发明还涉及该晶体管的制造方法。

### 背景技术

[0002] 射频横向双扩散场效应晶体管(RFLDMOS)器件是半导体集成电路技术与微波电子技术融合而成的新一代集成化的固体微波功率半导体产品,具有线性度好、增益高、耐压高、输出功率大、热稳定性好、效率高、宽带匹配性能好、易于和MOS工艺集成等优点,并且其价格远低于砷化镓器件,是一种非常具有竞争力的功率器件,被广泛用于GSM, PCS, W-CDMA 基站的功率放大器,以及无线广播与核磁共振等方面。

[0003] 在RFLDMOS的设计过程中,要求大的击穿电压BV和小的导通电阻 $R_{dson}$ ,同时由于其栅漏电容 $C_{gd}$ 决定了截止频率的大小,因而栅漏电容 $C_{gd}$ 也应越小越好。较高的击穿电压有助于保证器件在实际工作时的稳定性,如工作电压为50V的RF LDMOS器件,其击穿电压需要达到110V以上。而导通电阻 $R_{dson}$ 则会直接影响到器件射频特性,如增益与效率等特性。为了实现较高的击穿电压(110V以上),一般RFLDMOS器件采用了两层法拉第盾结构,这有利于电场更均匀地分布。如图1所示,采用掺高浓度P型杂质的衬底,即P型衬底11,根据器件耐压的要求不同,在所述P型衬底11上,生长不同厚度和掺杂浓度的P型外延层12,通过光刻板定义,进行离子注入形成轻掺杂漂移区(NLDD)13;随后热氧生长一层栅极氧化层14;淀积多晶硅,光刻板定义并刻蚀出多晶硅栅15;利用离子注入和扩散工艺分别形成P阱16、P+区域17、N+源区18及N+漏区19;然后淀积一层氧化硅层110,淀积金属或者金属硅化物,刻蚀出第一层法拉第盾111,再淀积一层氧化硅层110,淀积金属或者金属硅化物,刻蚀出第二层法拉第盾112,然后定义P型多晶硅塞或金属塞结构113,并淀积相应材料;最后进行后续工艺,形成RFLDMOS。然而,传统的RFLDMOS器件的两层法拉第盾结构对应着两次金属淀积,工艺过程复杂。

### 发明内容

[0004] 本发明所要解决的技术问题是提供一种射频横向双扩散场效应晶体管,能实现比两层法拉第盾结构RFLDMOS器件更高的击穿电压。同时还减少了一次金属淀积过程,简化工艺过程。

[0005] 为解决上述技术问题,本发明提供了一种射频横向双扩散场效应晶体管的制造方法,包括:

[0006] 步骤1、在所述P型衬底上生长所述P型外延层;经栅极氧化层生长后,淀积多晶硅,通过光刻板定义并刻蚀出多晶硅栅,在刻蚀完成后,为保证随后的离子注入时多晶硅栅不被击穿,保留其顶部的光刻胶,进行一步较高能量的轻掺杂LDD的N型离子注入,形成轻掺杂漂移区,最后去除所述光刻胶;

[0007] 步骤2、P阱的形成;

[0008] 步骤 3、P+ 区域、N+ 源区及 N+ 漏区的形成；

[0009] 步骤 4、首先在所述 P 型外延层上方整体淀积一层氧化硅层，然后通过光刻定义，对法拉第盾正下方的氧化硅区域进行刻蚀，形成沟槽 A，其深度小于所述氧化硅层的厚度；

[0010] 步骤 5、在所述氧化硅层上方整体淀积一层氮化硅层，通过光刻定义，对距所述沟槽 A 右侧横向距离为 0-0.7 微米的所述氮化硅层进行沟槽 B 刻蚀，其深度直达所述氧化硅层，同时，对所述沟槽 B 靠近栅极一侧的氮化硅刻蚀和靠近漏区一侧的氮化硅刻蚀也同步完成；

[0011] 步骤 6、在所述氧化硅层及所述氮化硅层的上方淀积一层金属层并进行相应的刻蚀，形成法拉第盾结构；定义 P 型多晶硅塞或金属塞区域，并淀积相应材料，形成 P 型多晶硅塞或金属塞。

[0012] 进一步的，步骤 1 中所述的进行一步较高能量的轻掺杂 LDD 的 N 型离子注入，注入离子为磷或砷，能量为 50-300keV，剂量为  $5e^{11}-4e^{12}cm^{-2}$ 。

[0013] 进一步的，步骤 2 中所述的 P 阱的形成，有两种方式，一种是在所述多晶硅栅形成前通过离子注入与高温推进形成，另一种是通过自对准工艺加高温推进形成。

[0014] 进一步的，步骤 2 中所述的 P 阱，其杂质为硼，能量为 30-80keV，剂量为  $1e^{12}-1e^{14}cm^{-2}$ 。

[0015] 进一步的，步骤 3 中所述 N+ 源区及所述 N+ 漏区，其杂质为磷或砷，能量为 0-200keV，剂量为  $1e^{13}-1e^{16}cm^{-2}$ ，所述 P+ 区域，杂质为硼或二氟化硼，能量为 0-100keV，剂量为  $1e^{13}-1e^{16}cm^{-2}$ 。

[0016] 进一步的，步骤 4 中所述的氧化硅层，厚度为 1000-4000 埃，所述沟槽 A 的长度为 0-0.8 微米，深度为 1000-3000 埃。

[0017] 进一步的，步骤 5 中所述氮化硅层，厚度为 1000-3000 埃，所述沟槽 B 的长度为 0-0.3 微米。

[0018] 进一步的，步骤 5 中所述的氮化硅层的整体长度为 2-4 微米。

[0019] 一种射频横向双扩散场效应晶体管，包括 P 型衬底，在所述 P 型衬底上外延生长形成的 P 型外延层，在所述 P 型外延层上方淀积一层氧化硅层，在所述氧化硅层上淀积一层金属层并刻蚀形成法拉第层，其特征在于，在所述氧化硅层及法拉第层中间还包括一层氮化硅层。

[0020] 进一步的，还包括位于所述 P 型外延层上方的栅极氧化层及位于所述栅极氧化层上方的多晶硅栅，位于所述 P 型外延层中的轻掺杂漂移区，利用离子注入和扩散工艺分别形成的 P 阱、P+ 区域、N+ 源区及 N+ 漏区。

[0021] 本发明的 RFLDMOS 器件在减少一次金属淀积过程的同时，实现了更高的击穿电压 BV，也降低了栅氧边缘下方的电场强度，有利于抑制 HCI（热载流子注入）效应。

## 附图说明

[0022] 下面结合附图和具体实施方式对本发明作进一步详细的说明：

[0023] 图 1 是现有的 RFLDMOS 器件的结构示意图；

[0024] 图 2 是本发明 RFLDMOS 器件结构示意图；

[0025] 图 3a 是现有的 RFLDMOS 器件在击穿时的碰撞电离图；

- [0026] 图 3b 是本发明 RFLDMOS 器件在击穿时的碰撞电离图；
- [0027] 图 4 是本发明 RFLDMOS 器件与现有 RFLDMOS 器件沿 NLDD 区域的横向电场强度分布图；
- [0028] 图 5 是本发明 RFLDMOS 器件与现有 RFLDMOS 器件的击穿特性曲线图；
- [0029] 图 6a-6f 是本发明 RFLDMOS 器件制造方法各步骤结构示意图。
- [0030] 主要附图标记说明：
- |                          |             |
|--------------------------|-------------|
| [0031] P 型衬底 11          | P 型外延层 12   |
| [0032] 轻掺杂漂移区 13         | 栅极氧化层 14    |
| [0033] 多晶硅栅 15           | P 阱 16      |
| [0034] P+ 区域 17          | N+ 源区 18    |
| [0035] N+ 漏区 19          | 氧化硅层 110    |
| [0036] 第一层法拉第盾 111       | 第二层法拉第盾 112 |
| [0037] P 型多晶硅塞或金属塞结构 113 |             |
| [0038] P 型衬底 21          | P 型外延层 22   |
| [0039] 轻掺杂漂移区 23         | 栅极氧化层 24    |
| [0040] 多晶硅栅 25           | P 阱 26      |
| [0041] P+ 区域 27          | N+ 源区 28    |
| [0042] N+ 漏区 29          | 氧化硅层 210    |
| [0043] 氮化硅层 211          | 法拉第盾 212    |
| [0044] P 型多晶硅塞或金属塞结构 213 |             |
| [0045] P 型衬底 61          | P 型外延层 62   |
| [0046] 栅极氧化层 63          | 多晶硅栅 64     |
| [0047] 轻掺杂漂移区 65         | P 阱 66      |
| [0048] P+ 区域 67          | N+ 源区 68    |
| [0049] N+ 漏区 69          | 氧化硅层 610    |
| [0050] 氮化硅层 611          | 法拉第盾 612    |
| [0051] P 型多晶硅塞或金属塞结构 613 | 光刻胶 600     |

### 具体实施方式

[0052] 为使贵审查员对本发明的目的、特征及功效能够有更进一步的了解与认识，以下配合附图详述如后。

[0053] 如图 2 所示，为本发明 RFLDMOS 器件的结构，包括在所述 P 型衬底 21 上，生长不同厚度和掺杂浓度的 P 型外延层 22；随后热氧生长一层栅极氧化层 24；淀积多晶硅，光刻板定义并刻蚀出多晶硅栅 25；进行离子注入形成轻掺杂漂移区 (NLDD) 23；利用离子注入和扩散工艺分别形成 P 阱 26、P+ 区域 27、N+ 源区 28 及 N+ 漏区 29；在 P 型外延层 22 上方整体淀积有一层氧化硅层 210，在氧化硅层 210 上设置有氮化硅层 211，最后在氮化硅层 211 上淀积一层金属层并进行相应刻蚀，形成法拉第盾 212；定义 P 型多晶硅塞或金属塞结构 213，并淀积相应材料，形成 RFLDMOS。本发明 RFLDMOS 器件的结构主要是在单法拉第盾结构的基础上，对法拉第盾下方的介电层进行了调节，由单纯的氧化硅介电层变为氧化硅与氮化

硅组成的复合介电层,从而在仅有一层法拉第盾结构的情况下,实现与两层法拉第盾结构器件相同的效果,达到很高的击穿电压,同时简化了工艺过程。

[0054] 如图 3a、3b 所示,分别为现有的 RFLDMOS 器件及本发明 RFLDMOS 器件在击穿时的碰撞电离示意图,对比上述两幅附图可以发现,图 3b 中碰撞电离最强的位置显著减小。如图 4 所示,从本发明 RFLDMOS 器件与现有 RFLDMOS 器件沿 NLDD 区域的横向电场强度分布图,可以看出本发明 RFLDMOS 器件沿 NLDD 区域的横向电场分布更加平缓,所对应的曲线与坐标轴围成的面积也更大,其中曲线与坐标轴围成的面积即为该器件的击穿电压 BV。即本发明 RFLDMOS 器件的击穿电压明显大于现有的 RFLDMOS 器件的击穿电压。

[0055] 如图 5 所示,为本发明 RFLDMOS 器件与现有 RFLDMOS 器件的击穿特性曲线图,其中曲线 a 表示现有技术,曲线 b 表示本发明,由图可见,曲线 b 具有更高的击穿电压,即本发明 RFLDMOS 器件具有更高的击穿电压。

[0056] 本发明 RFLDMOS 器件的制造方法,如图 6a-6f 所示,包括:

[0057] 步骤 1、在 P 型衬底 61 上生长 P 型外延层 62;经栅极氧化层 63 生长后,淀积多晶硅,通过光刻板定义并刻蚀出多晶硅栅 64,在刻蚀完成后,为保证随后的离子注入时多晶硅栅 64 不被击穿,保留其顶部的光刻胶 600。随后,进行一步较高能量的轻掺杂 LDD 的 N 型离子注入,形成轻掺杂漂移区 (NLDD) 65,注入离子如磷、砷等,能量为 50-300keV,剂量为  $5e^{11}-4e^{12}cm^{-2}$ ,最后去除光刻胶 600,如图 6a 所示。

[0058] 步骤 2、P 阱 66 的形成,可以有两种方式,一种是在多晶硅栅 64 形成前通过离子注入与高温推进形成,另一种是通过自对准工艺加高温推进形成。其杂质为硼,能量为 30-80keV,剂量为  $1e^{12}-1e^{14}cm^{-2}$ ,如图 6b 所示。

[0059] 步骤 3、P+ 区域 67、N+ 源区 68 及 N+ 漏区 69 的形成,具体为通过光刻定义出 N+ 和 P+ 的区域,注入源漏端的 N+,杂质为磷或砷,能量为 0-200keV,剂量为  $1e^{13}-1e^{16}cm^{-2}$ 。注入 P+ 时,杂质为硼或二氟化硼,能量为 0-100keV,剂量为  $1e^{13}-1e^{16}cm^{-2}$ ,如图 6c 所示。

[0060] 步骤 4、首先在 P 型外延层 62 上方整体淀积一层氧化硅层 610,其厚度为 1000-4000 埃,然后通过光刻定义,对法拉第盾正下方长度为 0-0.8 微米的氧化硅区域进行 1000-3000 埃深度的刻蚀,形成沟槽 A,其深度小于氧化硅层 610 的厚度;如图 6d 所示。

[0061] 步骤 5、在氧化硅层 610 上方整体淀积一层厚度为 1000-3000 埃的氮化硅层 611,通过光刻定义,对距氧化硅沟槽 A 右侧横向距离为 0-0.7 微米的氮化硅层 611 进行沟槽 B 刻蚀,其深度直达氧化硅层 610,其长度为 0-0.3 微米;同时,对沟槽 B 靠近栅极一侧的氮化硅刻蚀和靠近漏区一侧的氮化硅刻蚀与沟槽 B 处的氮化硅刻蚀是同时完成的,即如图 6e 中对沟槽 B 左侧位置和右侧位置的刻蚀也同步完成,刻蚀后保留的氮化硅层 611 整体长度为 2-4 微米,如图 6e 所示。

[0062] 步骤 6、最后在氧化硅层 610 及氮化硅层 611 的上方淀积一层金属层并进行相应的刻蚀,形成法拉第盾 612 结构;定义 P 型多晶硅塞或金属塞区域,并淀积相应材料,形成 P 型多晶硅塞或金属塞 613,如图 6f 所示。

[0063] 本发明的 RFLDMOS 器件具有更高的击穿电压 BV,这主要是因为氮化硅的介电常数约为氧化硅的 2 倍,所以填充了氮化硅材料的氧化硅沟槽上方的金属具有提拉电场的作用;而氮化硅沟槽中的金属底部也具有提拉电场的作用,结合法拉第盾边缘的提拉作用,可以形成三个具有一定梯度的提拉电场作用点,再结合它们与漏端距离的不同,从而使整个

法拉第盾下方的电场分布更加的平缓,能够获得更高的击穿电压BV。同时,该结构也降低了栅氧边缘下方的电场强度,有利于抑制HCI(热载流子注入)效应。

[0064] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

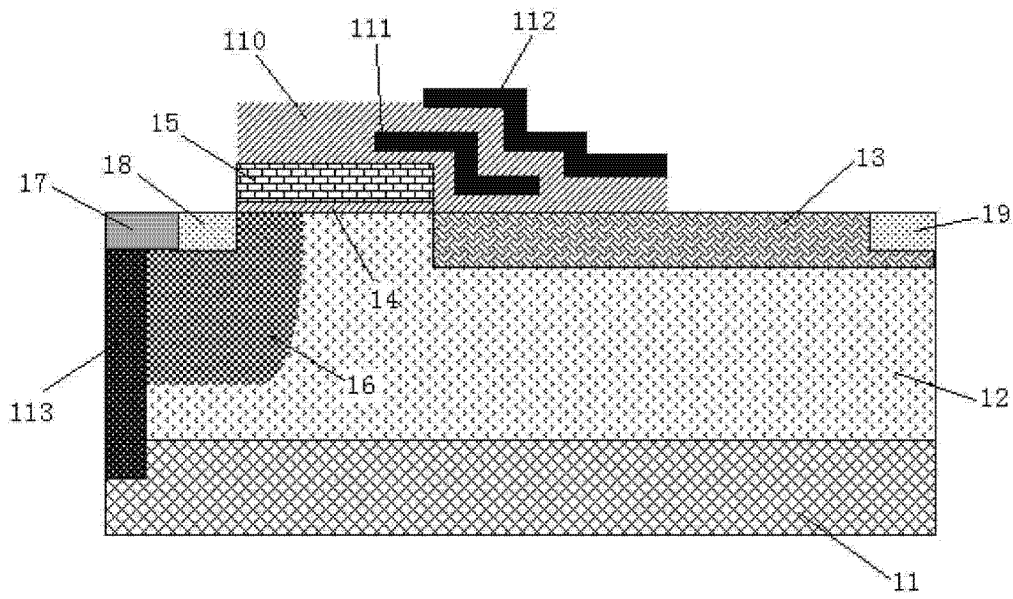


图 1

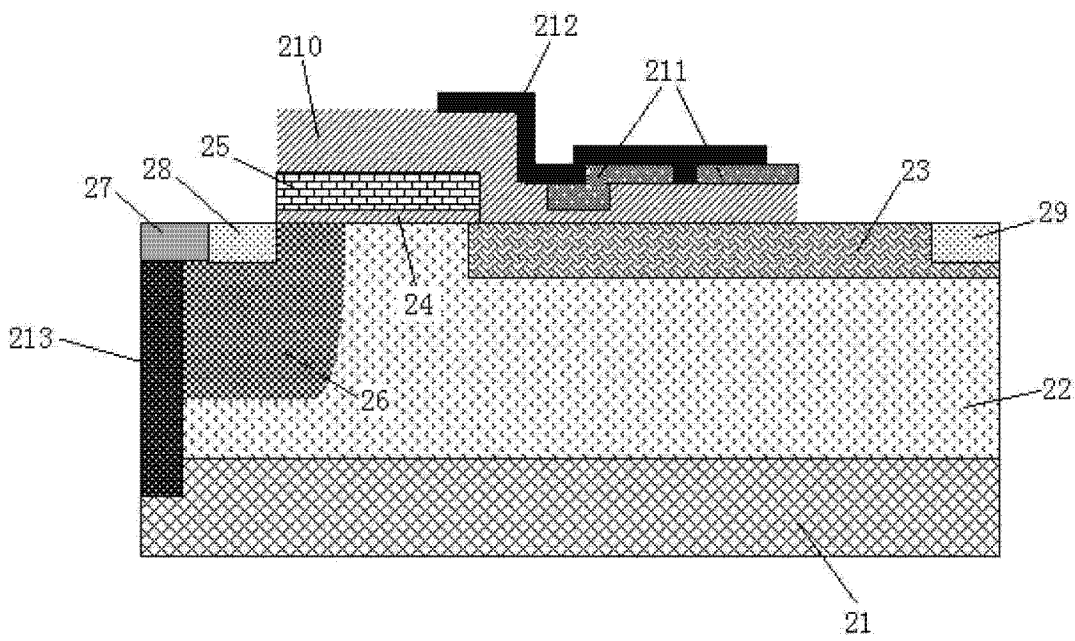


图 2



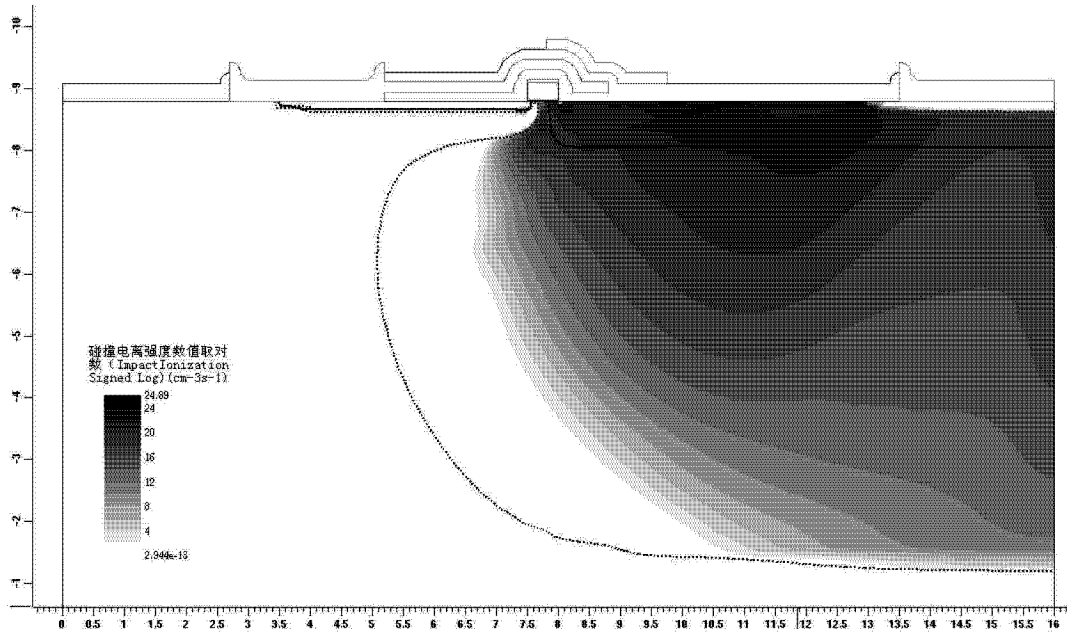


图 3a

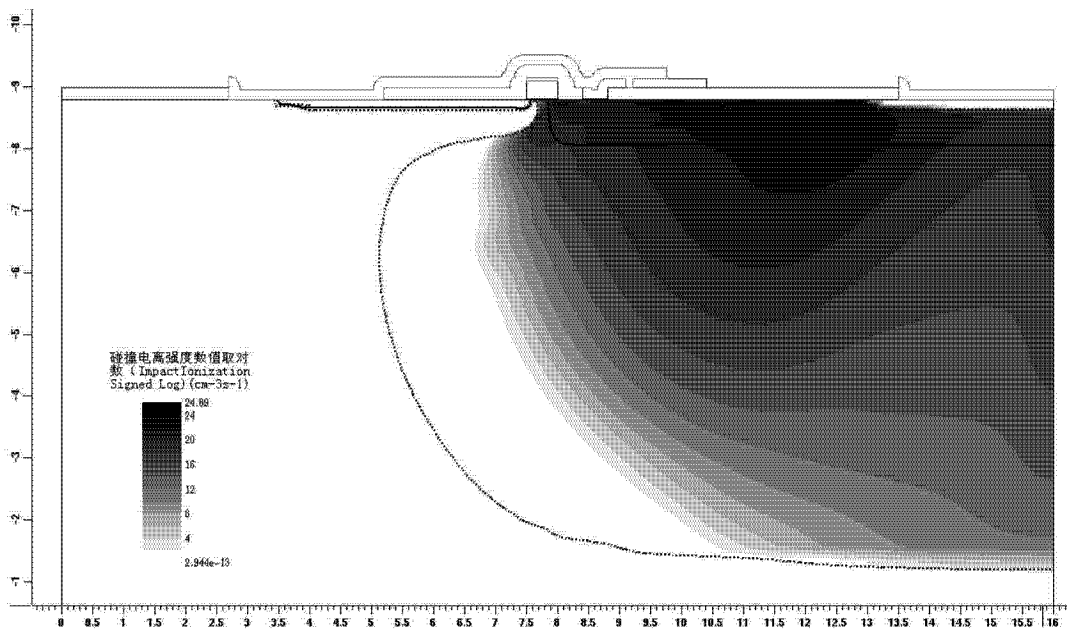


图 3b

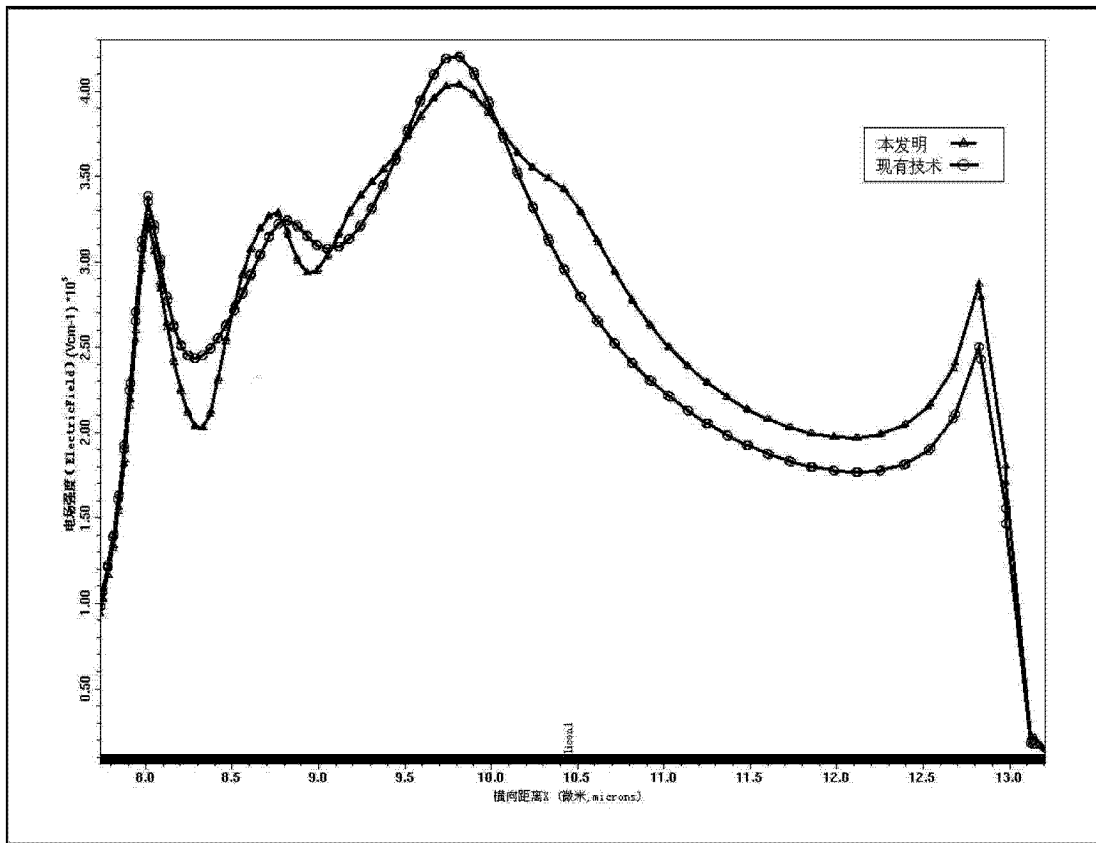


图 4

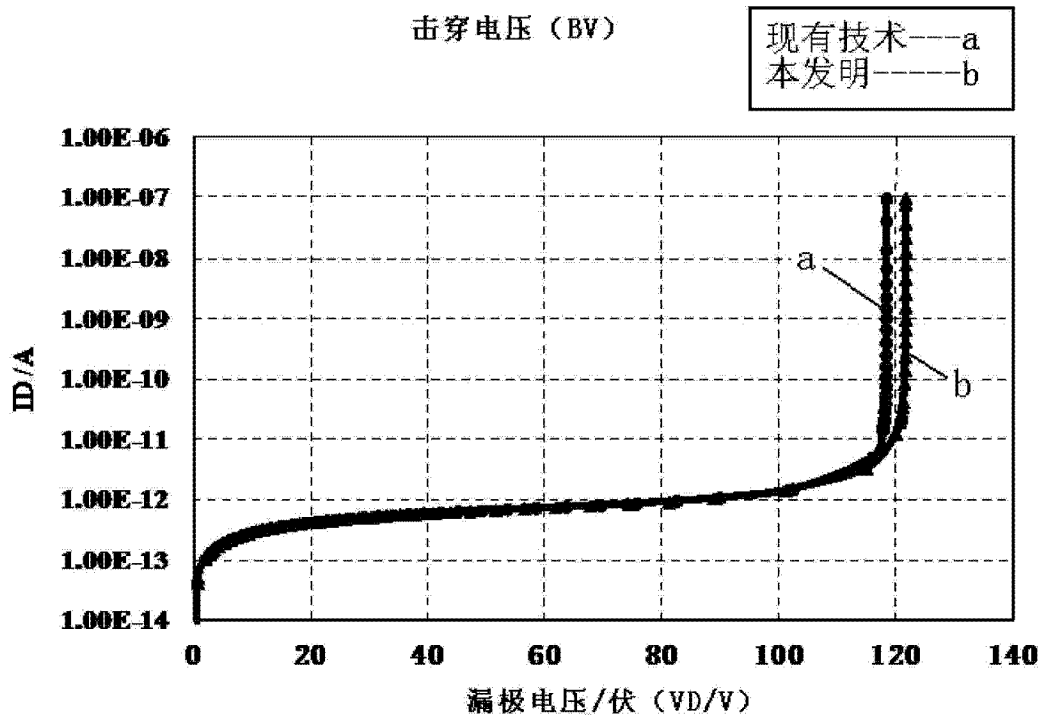


图 5

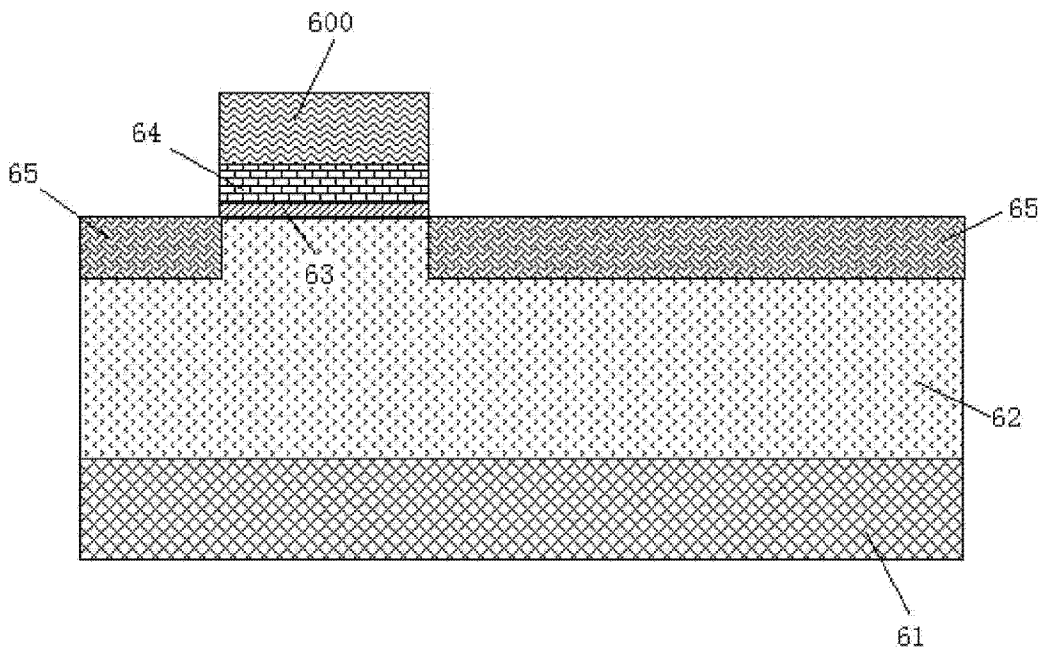


图 6a

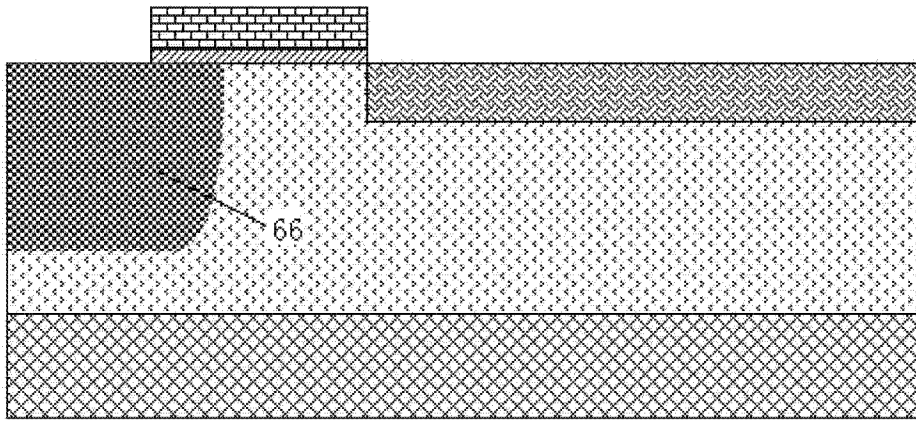


图 6b

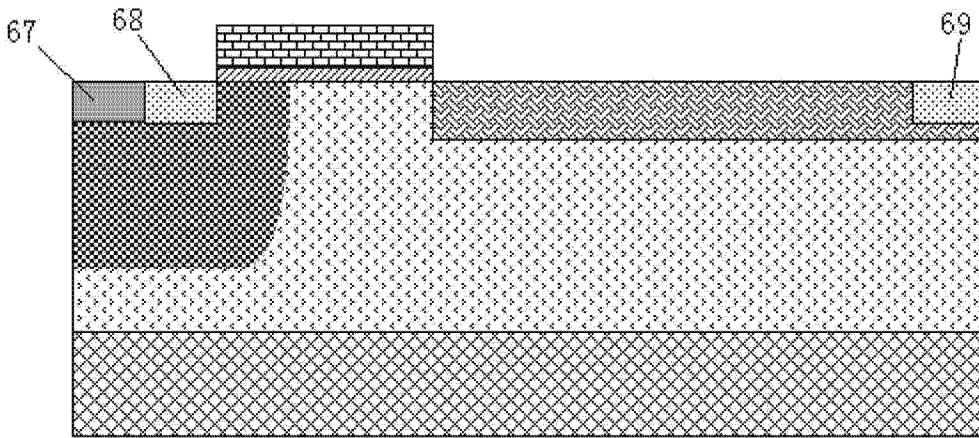


图 6c

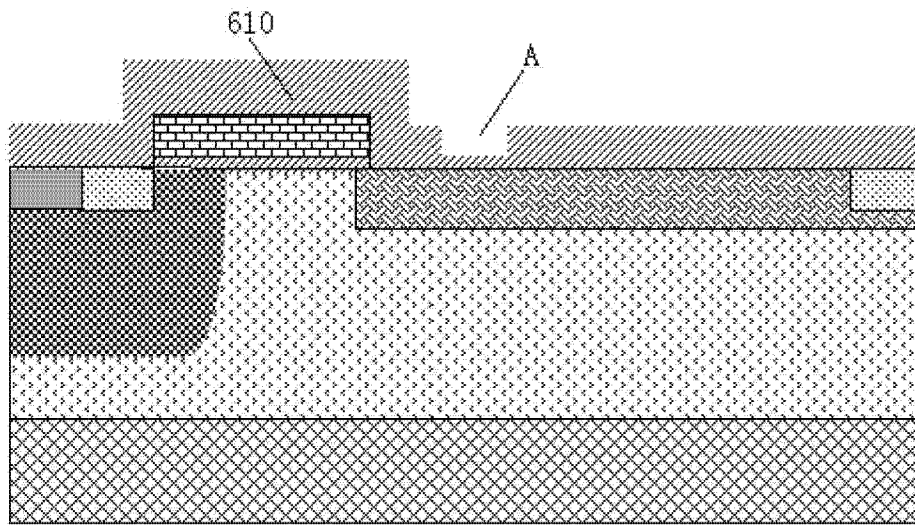


图 6d

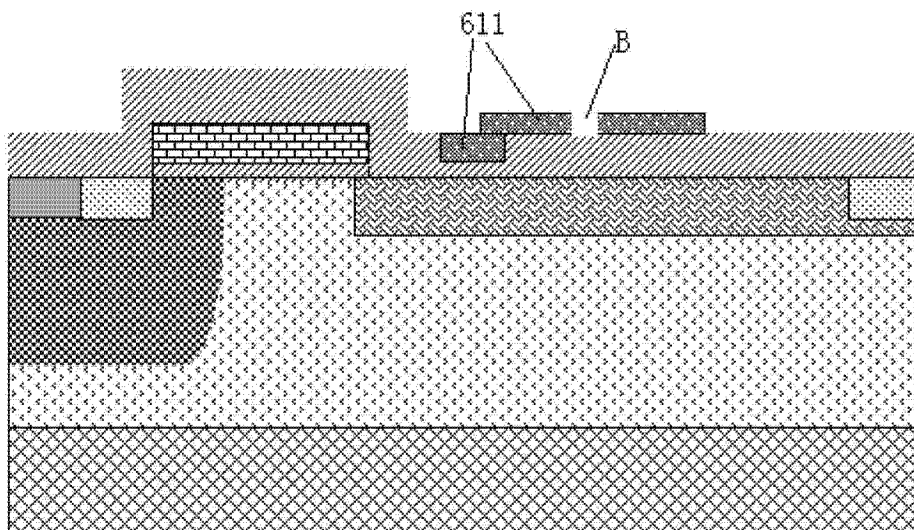


图 6e

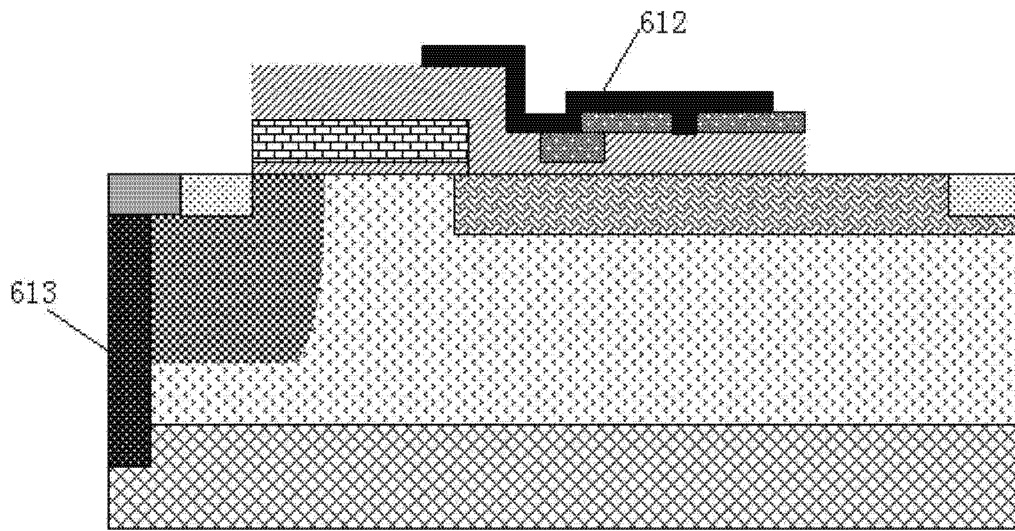


图 6f