



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I484642 B

(45) 公告日：中華民國 104 (2015) 年 05 月 11 日

(21) 申請案號：101103933 (22) 申請日：中華民國 101 (2012) 年 02 月 07 日

(51) Int. Cl. : H01L29/861 (2006.01) H01L21/329 (2006.01)

(30) 優先權：2011/02/07 美國 13/022,233

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)  
美國

(72) 發明人：哥斯瓦米 傑戴伯 GOSWAMI, JAYDEB (IN)

(74) 代理人：陳長文

(56) 參考文獻：

TW	201007764A	TW	201027744A
US	2009/0257270A1	US	2010/0006811A1

審查人員：吳尚樺

申請專利範圍項數：19 項 圖式數：10 共 29 頁

(54) 名稱

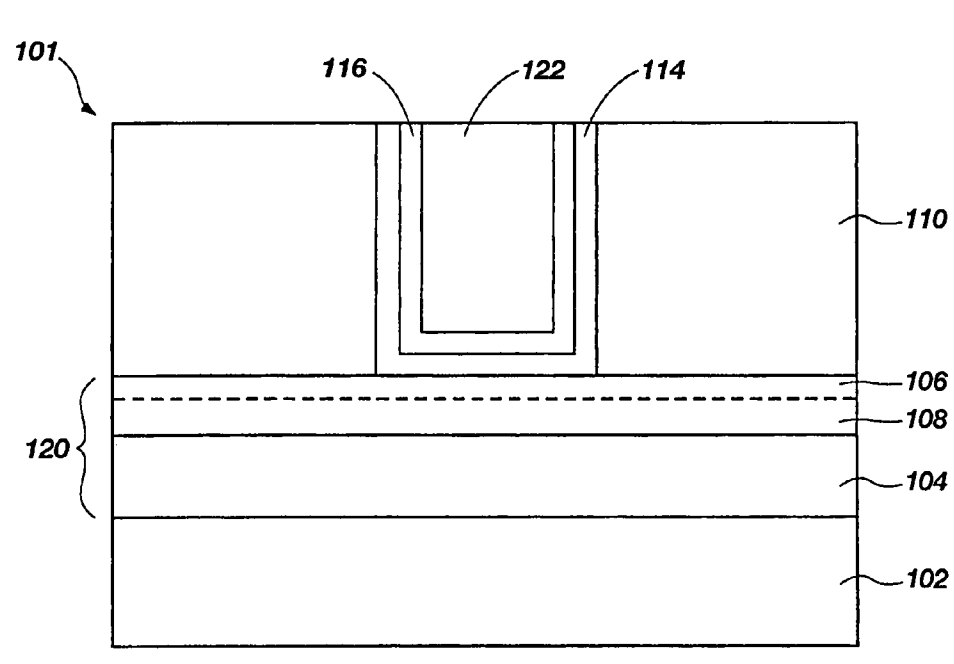
包括二極體結構之半導體結構及半導體裝置及其形成方法

SEMICONDUCTOR STRUCTURE AND SEMICONDUCTOR DEVICE INCLUDING A DIODE  
STRUCTURE AND METHODS OF FORMING SAME

(57) 摘要

本發明揭示形成於諸如電阻性隨機存取記憶體(RRAM)之記憶體單元及記憶體陣列中使用之二極體結構的方法。該等方法包含藉由將一石墨材料化學吸附在導電材料上而形成第一電極。可於第一電極之透過上覆於第一電極之介電材料中之開口而曝露之表面上方形成低k介電材料，接著於低k介電材料上方形成高k介電材料。開口之剩餘部分可使用另一導電材料填充以形成第二電極。所得二極體結構之第一電極及第二電極具有不同的功函數，且因此提供低熱預算、低接觸電阻、高正向偏壓電流及低反向偏壓電流。

Methods of forming diode structures for use in memory cells and memory arrays, such as resistive random access memory (RRAM). The methods include forming a first electrode by chemisorbing a graphite material on a conductive material. A low-k dielectric material may be formed over surfaces of the first electrode exposed through an opening in a dielectric material overlying the first electrode, followed by formation of a high-k dielectric material over the low-k dielectric material. A remaining portion of the opening may be filled with another conductive material to form a second electrode. The first and second electrodes of the resulting diode structure have different work functions and, thus, provide a low thermal budget, a low contact resistance, a high forward-bias current and a low reverse-bias current.



- 101 . . . 二極體結構
- 102 . . . 基板
- 104 . . . 字線
- 106 . . . 石墨材料
- 108 . . . 石墨/導電材料
- 110 . . . 介電材料
- 114 . . . 低k介電材料
- 116 . . . 高k介電材料
- 120 . . . 第一電極
- 122 . . . 第二電極

圖 8

**發明專利說明書**103年12月17日 修正頁(本)  
對線

中文說明書替換頁(103年12月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101103933

※ 申請日：101年2月7日

※IPC 分類：H01L 29/861 (2006.01)  
H01L 21/329 (2006.01)**一、發明名稱：(中文/英文)**

包括二極體結構之半導體結構及半導體裝置及其形成方法

SEMICONDUCTOR STRUCTURE AND SEMICONDUCTOR DEVICE  
INCLUDING A DIODE STRUCTURE AND METHODS OF FORMING  
SAME**二、中文發明摘要：**

本發明揭示形成於諸如電阻性隨機存取記憶體(RRAM)之記憶體單元及記憶體陣列中使用之二極體結構的方法。該等方法包含藉由將一石墨材料化學吸附在導電材料上而形成第一電極。可於第一電極之透過上覆於第一電極之介電材料中之開口而曝露之表面上方形成低k介電材料，接著於低k介電材料上方形成高k介電材料。開口之剩餘部分可使用另一導電材料填充以形成第二電極。所得二極體結構之第一電極及第二電極具有不同的功函數，且因此提供低熱預算、低接觸電阻、高正向偏壓電流及低反向偏壓電流。

### 三、英文發明摘要：

Methods of forming diode structures for use in memory cells and memory arrays, such as resistive random access memory (RRAM). The methods include forming a first electrode by chemisorbing a graphite material on a conductive material. A low-k dielectric material may be formed over surfaces of the first electrode exposed through an opening in a dielectric material overlying the first electrode, followed by formation of a high-k dielectric material over the low-k dielectric material. A remaining portion of the opening may be filled with another conductive material to form a second electrode. The first and second electrodes of the resulting diode structure have different work functions and, thus, provide a low thermal budget, a low contact resistance, a high forward-bias current and a low reverse-bias current.

**四、指定代表圖：**

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

101	二極體結構
102	基板
104	字線
106	石墨材料
108	石墨/導電材料
110	介電材料
114	低k介電材料
116	高k介電材料
120	第一電極
122	第二電極

**五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明之實施例係關於形成於半導體記憶體中使用之二極體結構的方法，此外，亦係關於包含此等二極體結構之半導體結構及裝置。

本申請案主張2011年2月7日申請之「SEMICONDUCTOR STRUCTURE AND SEMICONDUCTOR DEVICE INCLUDING A DIODE STRUCTURE AND METHODS OF FORMING SAME.」之美國專利申請案第13/022,233號之申請日期之權利。

### 【先前技術】

電阻性隨機存取記憶體(RRAM)係利用所謂的「可變電阻材料」之電阻特性之一變化來儲存資料的非揮發性記憶體裝置。此等可變電阻材料(例如，過渡金屬氧化物或相變材料)具有在一特定電壓下相對顯著改變的一電阻。當一特定電壓施加於可變電阻材料時，該可變電阻材料之電阻減小，此係稱為一所謂的「接通」狀態。當一重設電壓施加於該可變電阻材料時，該可變電阻材料之電阻增加，此係稱為一所謂的「關斷」狀態。在習知RRAM中，一交叉點RRAM具有一相對簡單的單元結構及相對高的密度。

一習知交叉點RRAM包含複數個實質上平行的字線及複數個實質上平行的位元線，該等位元線實質上垂直於該等字線而配置。一所謂的「交叉點」係形成於該等字線及該等位元線的交叉處。在每一交叉點處佈置一記憶體電阻器

使之介於字線與位元線之間。該記憶體電阻器可具有一多層結構，該多層結構包含(例如)包含一記憶體元件之一層及包含一非歐姆裝置(例如，一金屬絕緣體金屬(MIM)裝置)之至少一層。

交叉點記憶體架構提供高裝置密度，然而其遭受大量洩漏電流，此可導致功率耗散增加及感測裕度減小。與導電線(即，字線及位元線)相關聯之寄生電阻可導致輸出信號之降級及對陣列大小之限制。

### 【發明內容】

在一實施例中，本發明包含一種形成二極體結構的方法。此一方法可包含：在一導電材料上方形成一石墨材料；組合該石墨材料之至少一部分與該導電材料之至少一部分以形成一第一電極；在該第一電極上方形成一介電材料；移除該介電材料之一部分以形成曝露該第一電極之一表面的一開口；在該開口之表面上方形成一低k介電材料；在該低k介電材料上方形成一高k介電材料；及用另一導電材料填充該開口之一剩餘部分以形成一第二電極。

在另一實施例中，本發明包含一種形成一半導體裝置之方法。此一方法可包含：形成複數個二極體結構；形成複數個電阻器；及在該複數個電阻器上方形成至少一導電線。該複數個二極體結構可藉由以下步驟而形成：將一石墨材料之至少一部分化學吸附至一導電材料以形成至少一第一電極；在該至少一第一電極上方形成一介電材料；在上覆於該至少一第一電極之介電材料中之複數個開口中形

成一低k介電材料；在該複數個開口中形成一高k介電材料；及在該複數個開口中形成另一導電材料以形成複數個第二電極。每一電阻器可經形成而與該複數個第二電極之一者相鄰。

在又另一實施例中，本發明包含一種半導體結構。該半導體結構可包含：一第一電極，其包括經化學吸附在一導電材料上之一石墨材料；一低k介電材料，其上覆於該第一電極；及一高k介電材料，其佈置於該低k介電材料與一第二電極之間。

在又另一實施例中，本發明包含一種半導體裝置。該半導體裝置包含佈置於複數個第一導電線與複數個第二導電線之間的複數個記憶體單元，該複數個記憶體單元之每一者包含佈置成與二極體結構相鄰的一電阻器。該二極體結構包含：一第一電極，其包含一導電材料及一石墨材料；一低k介電材料及一高k介電材料，其上覆於該第一電極；及一第二電極，其上覆於該高k介電材料。該石墨材料係定位於該導電材料與該低k介電材料之間的一界面處。

### 【實施方式】

本發明揭示形成二極體結構的方法，亦揭示包含此等二極體結構之記憶體單元及記憶體陣列。該等二極體結構可經形成以具有包含一石墨材料的至少一電極。該石墨材料(諸如石墨烯)可結合一導電材料一起使用以形成相較於僅採用導電材料之功函數而具有一實質上減小之功函數的一

材料。如本文中所使用，術語「石墨烯」意指且包含配置成二維六角晶格之碳原子的一單層膜。該石墨材料可形成介於一低k介電材料與該至少一電極之導電材料之間的一界面。由於由石墨材料及導電材料形成之材料相較於習知電極材料(例如，金屬)具有一低功函數，故相較於包含金屬電極之習知二極體結構，該二極體結構可具有一實質上增加正向偏壓電流及一實質上減小反向偏壓電流。此外，由石墨材料及導電材料形成之材料可提供具有實質上減小之接觸電阻的二極體結構。該等二極體結構可用作為(例如)高密度記憶體裝置(諸如，交叉點電阻性隨機存取記憶體(RRAM)裝置及交叉點相變隨機存取記憶體(PCRAM))中的切換元件。如本文中所使用，術語「交叉點」意指且包含一第一導電線與一第二導電線彼此交叉的一位置。當涉及記憶體陣列時，術語「交叉點」意指且包含包含若干組大體上垂直導電線且在該若干組導電線之間之交叉處具有記憶體單元之一記憶體陣列。

以下描述提供諸如材料類型及處理條件的具體細節，以提供本發明之實施例的一詳盡描述。然而，一般技術者將瞭解，可在不採用此等具體細節之情況下實踐本發明之實施例。實際上，本發明之實施例可結合在業界所採用之習知半導體製造技術一起實踐。此外，下文所提供之描述並未形成用於製造一半導體裝置的一完整製程流程。下文所描述之半導體結構並未形成一完整半導體裝置。下文僅詳細描述瞭解本發明之實施例所需的該等製程行為及結構。

可藉由習知製造技術執行自該等半導體結構形成一完整半導體裝置之額外行為。

圖1至圖8係一半導體結構100之簡化部分橫截面視圖，其等圖解說明形成二極體結構之一方法的若干實施例。參考圖1，該半導體結構100可包含上覆於一導電材料(例如，一導電線，諸如字線104)之一石墨材料106，該導電材料上覆於一基板102。如本文中所使用，術語「基板」意指且包含其上形成額外材料之一基底材料或構造。該基板可係一半導體基板、一支撐結構上之一基底半導體材料、其上形成有一或多個材料、結構或區域之一金屬電極或一半導體基板。該基板102可係一習知矽基板或包含一半導電材料層之其他塊體基板。如本文中所使用，術語「塊體基板」不僅意指且包含矽晶圓，而且意指且包含絕緣體上覆矽(「SOI」)基板(諸如藍寶石上矽(「SOS」)基板及玻璃上矽(「SOG」)基板)、在一基底半導體基座上之磊晶矽層及其他半導體或光電材料(諸如矽鍺、鍺、砷化鎵、氮化鎵或磷化銻)。該基板102可經摻雜或未經摻雜。

該字線104可(舉例而言)藉由以下步驟形成：在該基板102中之一溝渠中形成導電材料；及使用諸如化學機械拋光(CMP)程序之一習知研磨平坦化程序移除上覆於該基板102之導電材料之部分。用以形成該字線104之導電材料可使用諸如一化學氣相沈積(CVD)程序、一原子層沈積(ALD)程序或一物理氣相沈積(PVD)程序之一習知沈積程序而形成於該基板102上方。藉由實例但不限於，該字線

104可由一金屬(諸如鎳(Ni)、鈷(Co)、鈀(Pd)、鎢(W)或鉑(Pt))或一含金屬材料(諸如氮化鈦(TiN))形成。

該石墨材料106可使用諸如CVD程序或高度定向熱解石墨(HOPG)之機械剝離之一習知程序而形成於該字線104上方。舉例而言，可使用將一含碳前驅體及一金屬字線採用為一催化劑之一CVD程序執行石墨材料106在字線104上之催化生長。此一CVD程序可在相對較低的溫度(即，低於約1000°C之溫度)下執行。在該字線104係由鎳形成且該石墨材料106係由石墨烯形成之實施例中，用以在金屬上方形成石墨烯的化學沈積程序可包含在約600°C與約700°C之間之一溫度下且更特定言之在約650°C之一溫度下使鎳曝露於一含碳前驅體。該含碳前驅體可為(例如)乙炔(C<sub>2</sub>H<sub>2</sub>)、乙烯(C<sub>2</sub>H<sub>4</sub>)或甲烷(CH<sub>4</sub>)。該字線104曝露於該含碳前驅體之一曝露時間可經變更以控制該字線104上之該石墨材料106之一厚度。在該字線104係由鎳形成且該石墨材料106係由石墨烯形成之實施例中，該曝露時間可經控制以形成所要數目個石墨烯單層。例如，該石墨材料106可包含一單一石墨烯單層。相較於該字線104之導電材料，該石墨材料106可具有一實質上減小的功函數。藉由非限制性實例，該石墨材料106可具有小於約4.6 eV之一功函數。

如在圖2中所展示，可在該石墨材料106(如關於圖1所描述)沈積期間形成及/或藉由於該石墨材料106沈積之後執行的一選用退火程序形成包含該石墨材料106與該字線104之

導電材料之一混合物之一石墨/導電材料108。舉例而言，可藉由使圖1之半導體結構100曝露於在約400°C與約800°C之間之一溫度且更特定言之約600°C之一溫度而執行該退火程序以形成該石墨/導電材料108。在該沈積程序及/或該選用退火程序期間，可藉由該字線104之導電材料與該石墨材料106之交叉擴散或藉由將該石墨材料106化學吸附至該字線104之導電材料上而形成該石墨/導電材料108。如本文中所使用，術語「化學吸附」、「經化學吸附」及「正化學吸附」意指且包含將一材料化學鍵結至另一材料之一表面上。在該石墨材料106係由石墨烯形成且該字線104係由諸如鎳之一金屬形成之實施例中，該石墨烯可經化學吸附在該金屬上，從而導致作為石墨/導電材料108之石墨烯-金屬材料之形成。歸因於該石墨烯與該金屬之間的相互作用，該石墨烯-金屬材料可展現該石墨烯及該金屬之混合特性或性質。藉由實例但不限於，該石墨/導電材料108可包含摻雜有該字線104之導電材料之石墨材料106，或可包含該石墨材料106與該字線104之導電材料之一化學錯合物。在該沈積程序及/或該退火程序期間，該石墨材料106可實質上與該字線104之導電材料完全混合以形成該石墨/導電材料108，或該石墨材料106之一部分(以虛線展示)可留在該石墨/導電材料108上方。

相較於習知電極材料(例如，鎳、鈷、鈮、鎢、鉑及氮化鈦)，該石墨/導電材料108可具有一實質上減小的功函數。例如，該石墨/導電材料108之功函數可為小於約5

eV。藉由實例但不限於，該字線104可由鎳形成且該石墨材料106可由石墨烯形成且在該沈積程序及/或該退火程序期間形成之石墨/導電材料108可係一石墨烯-鎳材料。該石墨烯-鎳材料可包含石墨烯與鎳之一錯合物且可具有約3.7 eV之一功函數。如下文將描述，可使用該石墨/導電材料108(例如，石墨烯-鎳材料)以形成相較於習知金屬電極材料而具有一實質上減小之功函數之二極體結構之一第一電極120(參見圖8)。

參考圖3，可於該石墨/導電材料108上方或石墨材料106之剩餘部分(若存在)上方形成一介電材料110。該介電材料110可包含氮化物(例如，氮化矽)或氧化物(例如，氧化矽)。該介電材料110可使用一習知氣相沈積程序(諸如物理氣相沈積(PVD)程序或化學氣相沈積(CVD)程序)而形成於該石墨/導電材料108之曝露表面上方且與該等曝露表面接觸。

如在圖4中所展示，可貫穿該介電材料110形成至少一開口112以曝露該石墨/導電材料108之一表面或該石墨材料106之剩餘部分之一表面(若存在)。該開口112可藉由使用(舉例而言)在積體電路製造技術中已知之習知光微影技術(例如，遮罩及蝕刻)移除該介電材料110之一部分而形成。在該介電材料110係由氮化矽形成之實施例中，可於該介電材料110上方形成上覆於將形成開口112之該介電材料110之一區域之具有一孔之二氧化矽遮罩(未展示)且可在約180°C之一溫度下將磷酸( $H_3PO_4$ )溶液引入至該介電材料110

以形成該開口112。藉由實例但不限於，該開口112可縱向延伸至圖4之一平面中。該開口112可具有(例如)在約1:1與約20:1之間且更特定言之在約5:1與約10:1之間的一縱橫比。

參考圖5，可於該半導體結構100之表面(即，該介電材料110、該石墨/導電材料108或該石墨材料106之剩餘部分(若存在)之曝露表面)上方形成一低k介電材料114。舉例而言，該低k介電材料114可藉由在該介電材料110及該石墨/導電材料108或該石墨材料106(若存在)之曝露表面上方沈積諸如二氧化矽( $\text{SiO}_2$ )之一介電材料而形成且該低k介電材料114與該等曝露表面接觸。該低k介電材料114可使用一習知氣相沈積程序(諸如物理氣相沈積(PVD)程序或化學氣相沈積(CVD)程序)而形成。藉由實例但不限於，該低k介電材料114可經形成以具有在約0.5 nm與約3 nm之間且更特定言之在約1 nm與約2 nm之間的一厚度。該低k介電材料114可經實質上保形沈積使得使用該低k介電材料114為藉由該開口112曝露之該介電材料110及該石墨/導電材料108或該石墨材料106(若存在)之表面加襯裡，從而使該開口112之一部分保持未填充。

如圖6中所展示，可於低k介電材料114之曝露表面上方形成一高k介電材料116。舉例而言，可藉由在該低k介電材料114上方沈積一過渡金屬氧化物材料(諸如二氧化鈦( $\text{HfO}_2$ )、氧化鈦( $\text{TiO}_2$ )、氧化鋯( $\text{ZrO}_2$ )、氧化鎳(例如， $\text{Ni}_2\text{O}_3$ )或氧化鋅( $\text{ZnO}$ ))而形成該高k介電材料116。該高k介

電材料 116 可使用一習知氣相沈積程序(諸如物理氣相沈積(PVD)程序或化學氣相沈積(CVD)程序)而形成。藉由實例但不限於，該高 k 介電材料 116 可經形成以具有小於約 5 nm 且更特定言之在約 1 nm 與約 2 nm 之間的一厚度。該高 k 介電材料 116 可經實質上保形沈積於該低 k 介電材料 114 之表面上方，使得該開口 112 之一部分保持未填充。

參考圖 7，可於該高 k 介電材料 116 上方形成一導電材料 118。該導電材料 118 可藉由在開口 112 中沈積一金屬(諸如，鎳(Ni)、鈷(Co)、鈮(Pd)、鎢(W)、鉑(Pt)、氮化鈦(TiN) 或其等之合金)而形成。該導電材料 118 可使用一習知氣相沈積程序(諸如化學氣相沈積程序、物理氣相沈積程序或物理沈積程序)而形成。相較於該石墨/導電材料 108，該導電材料 118 可具有一實質上增加的功函數。藉由非限制性實例，該導電材料 118 可經形成以具有足以實質上填充該開口 112 之剩餘部分(即，未填充部分)的一厚度。藉由實例但不限於，該導電材料 118 可經形成以具有在約 1 nm 與約 10 nm 之間且更特定言之約 5 nm 的一厚度。

在圖 7 中所展示的半導體結構 100 之一曝露表面可經受諸如一研磨平坦化程序(例如，一化學機械拋光(CMP)程序或一機械拋光程序)之一材料移除程序，以移除上覆於該介電材料 110 之低 k 介電材料 114、高 k 介電材料 116 及導電材料 118 之每一者之部分以形成如圖 8 中所展示之包含一第二電極 122 之二極體結構 101。該材料移除程序可係使用一習知化學機械拋光設備及實現材料(例如，在圖 7 中所展示之

該低k介電材料114、該高k介電材料116及該導電材料118)之移除以形成該二極體結構101之一漿液而執行的一化學機械拋光程序。在移除上覆於該介電材料110之低k介電材料114、高k介電材料116及導電材料118之每一者之部分之後，該二極體結構101之一表面可為實質上平坦。

在圖8中所展示之二極體結構101中，該石墨/導電材料108可形成該字線104與該低k介電材料114之間之一界面。因此，該二極體結構101可包含具有不同於第二電極122之一功函數的第一電極120。該第一電極120之功函數與該第二電極122之功函數之差可大於約1 eV。該第一電極120可包含該字線104、該石墨/導電材料108及該石墨材料106(若存在)。藉由非限制性實例，相較於該第二電極122之功函數，該第一電極120之石墨/導電材料108可具有一實質上減小的功函數。在該第一電極120之石墨/導電材料108包含石墨烯與鎳之一混合物(即，石墨烯-鎳材料)且該第二電極122包含鎳之實施例中，該石墨烯-鎳材料可具有約3.7 eV之一功函數且該鎳可具有約5.01 eV之一功函數。相較於該第二電極122，該石墨/導電材料108之存在為該第一電極120提供一實質上減小的功函數。由於該第一電極120之功函數實質上小於該第二電極122之功函數，故相較於習知二極體結構，該二極體結構101可具有一減小熱預算及接觸電阻、一增加正向偏壓電流及一減小反向偏壓電流。習知二極體結構係使用多晶矽形成，此需要一高溫退火(例如，曝露於約1000°C的溫度下)以活化其中的摻雜

劑。由於未使用多晶矽，所揭示之方法提供用於形成二極體結構之一低熱預算程序。

參考圖9A及圖9B，分別展示一習知二極體結構201的能帶結構及本發明之二極體結構101之一實施例的能帶結構。在圖9A中所展示之習知二極體結構201包含氮化鈦電極220、222及佈置在該等氮化鈦電極220、222之間的一低k介電材料214及一高k介電材料216。如在圖9A中所展示，該習知二極體結構201之氮化鈦電極220、222之每一者之一正向偏壓方案之一能障高度( $\Phi_f$ )及一反向偏壓方案之一能障高度( $\Phi_r$ )為約4.6 eV。在圖9B中展示之本發明之二極體結構101之實施例包含：一第一電極120，其包含在該低k介電材料114與該字線104之鎳之間的界面處之一石墨烯-鎳材料(石墨/導電材料108)；一鎳第二電極122；及一高k介電材料116，其介於該低k介電材料114與該第二電極122之間。如在圖9B中所示，該石墨烯-鎳材料(石墨/導電材料108)具有約3.7 eV的一功函數且該鎳第二電極122具有約5 eV的一功函數。因此，相較於習知二極體結構201(圖9A)，該二極體結構101具有一實質上減小的正向能障高度。歸因於實質上減小的正向能障高度( $\Phi_f$ )，該二極體結構101(圖9B)展現相較於該習知二極體結構201(圖9A)之一實質上增加正向偏壓電流。歸因於實質上增加的反向能障高度( $\Phi_r$ )，該二極體結構101(圖9B)亦展現相較於該習知二極體結構201(圖9A)之一實質上減小的反向偏壓電流。

如在圖10中所展示，可形成包含一個二極體一個電阻器

(1D-1R)記憶體單元302之複數個層級L1、L2之一交叉點記憶體陣列300。該等記憶體單元302之每一者可包含與一電阻器304串聯之二極體結構101(諸如在圖8中所示之二極體結構)。藉由實例但不限於，該等記憶體單元302可配置成在一第一方向X及一第二方向Y上延伸之複數列。在圖10中展示之該交叉點記憶體陣列300包含在第一方向X上之三(3)列及在第二方向Y上之三(3)列。然而，該交叉點記憶體陣列300可包含在第一方向X及第二方向Y上之任何數目個列。此外，在該第一方向X上對準之記憶體單元302之列實質上垂直於在該第二方向Y上對準之記憶體單元302之列。

為形成該交叉點記憶體陣列300，可如關於圖1至圖8先前所述般形成複數個二極體結構101。可於一單一字線104上形成一或多個二極體結構101之第一電極120。可藉由(例如)沈積至少一電阻性材料形成電阻器304使之與該二極體結構101之每一者之第二電極(未展示)相鄰。可在實質上垂直於該字線104之一方向上將若干導電線306形成於一或多個電阻器304上方且使該等導電線306與該一或多個電阻器304接觸。因此，將該等記憶體單元302之各者佈置在該等字線104之一者與該等導電線306之一者(其經佈置實質上垂直於字線104)之間以形成該交叉點記憶體陣列300。在該交叉點記憶體陣列300的操作期間，該等二極體結構101可阻斷通過鄰近記憶體單元302之非所要洩漏電流路徑。該字線104及/或該導電線306可與一選擇電晶體(未展示)電耦合，該選擇電晶體實現自記憶體單元302讀取資訊

或寫入資訊至記憶體單元302。該二極體結構101之第一電極120與第二電極122(圖8)之間的功函數之差(例如，大於約1 eV)提供一實質上增加的正向偏壓電流及一實質上減小的反向偏壓電流。此外，該第一電極120之石墨/導電材料108(圖8)(例如，石墨烯-鎳材料)使用該交叉點記憶體陣列300之操作而提供改良的熱穩定性及實質上減小的接觸電阻。

雖然本發明易於以多種修改及替代形式呈現，但已在圖式中藉由實例展示且已在本文中詳細描述若干特定實施例。然而，本發明不意欲限制於所揭示的特定形式。實情係，本發明旨在涵蓋落於如藉由以下隨附申請專利範圍及其合法等效物所定義之本發明之範疇內之所有修飾、等效物及替代。

### 【圖式簡單說明】

圖1至圖7係一半導體結構的部分橫截面視圖且圖解說明根據本發明之實施例之形成二極體結構的一方法；

圖8係本發明之二極體結構之一實施例的一部分橫截面視圖；

圖9A及圖9B係比較一習知二極體結構(圖9A)與在圖8中所展示之本發明之二極體結構(圖9B)之實施例之能帶結構之示意圖；及

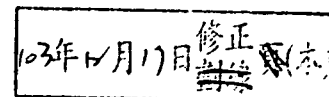
圖10係由複數個記憶體單元形成之一交叉點記憶體陣列之一實施例之一透視圖，每一記憶體單元包含在圖8中所展示之二極體結構之實施例。

## 【主要元件符號說明】

100	半導體結構
101	二極體結構
102	基板
104	字線
106	石墨材料
108	石墨/導電材料
110	介電材料
112	開口
114	低k介電材料
116	高k介電材料
118	導電材料
120	第一電極
122	第二電極
201	習知二極體結構
214	低k介電材料
216	高k介電材料
220	氮化鈦電極
222	氮化鈦電極
300	交叉點記憶體陣列
302	一個二極體一個電阻器記憶體單元
304	電阻器
306	導電線
L1	層級

L2	層級
$\Phi_f$	正向能障高度
$\Phi_r$	反向能障高度

## 七、申請專利範圍：



1. 一種形成二極體結構之方法，其包括：

將一石墨材料化學吸附於一導電材料上以形成一第一電極；

在該第一電極上方形成一介電材料；

移除該介電材料之一部分以形成曝露該第一電極之一表面的一開口；

在該開口之表面上方形成一低k介電材料；

在該低k介電材料上方形成一高k介電材料；及

用另一導電材料填充該開口之一剩餘部分以形成一第二電極。

2. 如請求項1之方法，其中將一石墨材料化學吸附於一導電材料上包括：將該石墨材料化學吸附於鎳、鈷、鈮、鎢、鉑及氮化鈦之至少一者上。

3. 如請求項1之方法，其中將一石墨材料化學吸附於一導電材料上包括：同時組合該石墨材料及該導電材料之至少一部分。

4. 如請求項1之方法，其中將一石墨材料化學吸附於一導電材料上包括：在600°C與650°C之間的一溫度下使該導電材料曝露於一含碳前驅體。

5. 如請求項1之方法，其中將一石墨材料化學吸附於一導電材料上包括：使該石墨材料及該導電材料之至少一部分曝露於在600°C與700°C之間的一溫度。

6. 如請求項1之方法，其中移除該介電材料之一部分以形

成曝露該第一電極之一表面的一開口包括：移除該介電材料之一部分以形成曝露包括石墨烯及鎳之一材料之一表面的一開口。

7. 如請求項1之方法，其中移除該介電材料之一部分以形成曝露該第一電極之一表面的一開口包括：移除該介電材料之一部分以形成曝露該石墨材料之一表面的一開口。

8. 如請求項1之方法，其中將一石墨材料化學吸附於一導電材料上包括：將石墨烯化學吸附至該導電材料上。

9. 如請求項8之方法，其中將石墨烯化學吸附至該導電材料上包括：在小於700°C的一溫度下使該導電材料曝露於一含碳前驅體。

10. 一種形成一半導體裝置之方法，其包括：

形成複數個二極體結構，其包括：

將一石墨材料之至少一部分化學吸附至一導電材料以形成至少一第一電極；

在該至少一第一電極上方形成一介電材料；

在上覆於該至少一第一電極之該介電材料中之複數個開口中形成一低k介電材料；

在該複數個開口中形成一高k介電材料；及

在該複數個開口中形成另一導電材料以形成複數個第二電極；

形成複數個電阻器，每一電阻器與該複數個第二電極之一者相鄰；及

在該複數個電阻器上方形成至少一導電線。

11. 如請求項10之方法，其中將一石墨材料之至少一部分化學吸附至一導電材料以形成至少一第一電極包括：將一含碳前驅體引入至該導電材料以於其上化學吸附石墨烯。
12. 如請求項11之方法，其中將一含碳前驅體引入至該導電材料包括：在小於700°C的一溫度下將乙炔、乙烯及甲烷之至少一者引入至該導電材料。
13. 如請求項10之方法，其中將一石墨材料之至少一部分化學吸附至一導電材料以形成至少一第一電極包括：在該導電材料上方沈積該石墨材料；及退火該石墨材料及該導電材料。
14. 一種半導體裝置，其包括：
  - 至少一記憶體單元，其佈置在至少一第一導電線與至少一第二導電線之間，該至少一記憶體單元包括佈置成與一個二極體結構相鄰的一電阻器，該二極體結構包括：
    - 一第一電極，其包括經化學吸附在一導電材料上之一石墨材料；
    - 一低k介電材料，其上覆於該第一電極；及
    - 一高k介電材料，其佈置在該低k介電材料與一第二電極之間。
15. 如請求項14之半導體裝置，其中該石墨材料係定位於該導電材料與該低k介電材料之間的一界面處。

16. 如請求項14之半導體裝置，其中該石墨材料包括石墨烯。
17. 如請求項14之半導體裝置，其中該第一電極之一功函數係低於該第二電極之一功函數。
18. 如請求項14之半導體裝置，其中該第一電極之一功函數與該第二電極之一功函數之差係大於或等於1 eV。
19. 如請求項14之半導體裝置，其中該第一電極具有小於5 eV的一功函數。

八、圖式：

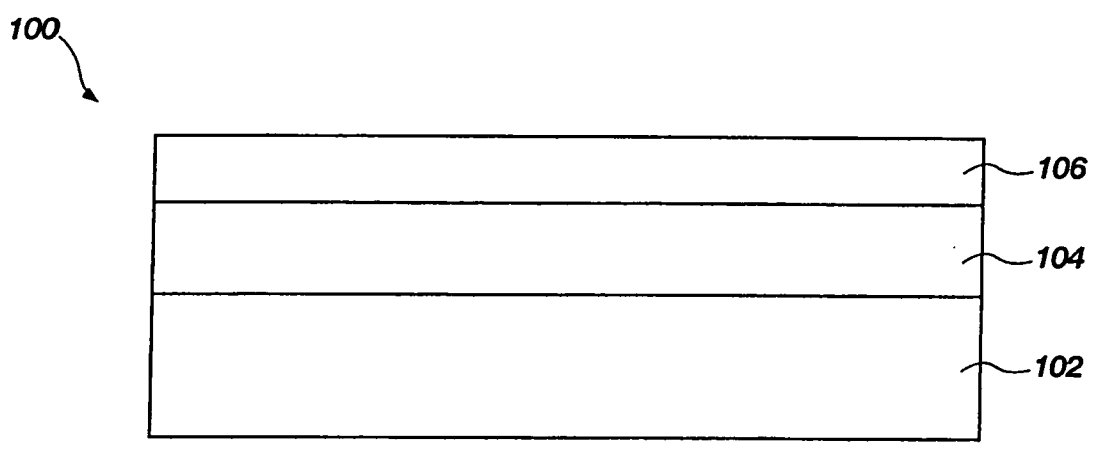


圖 1

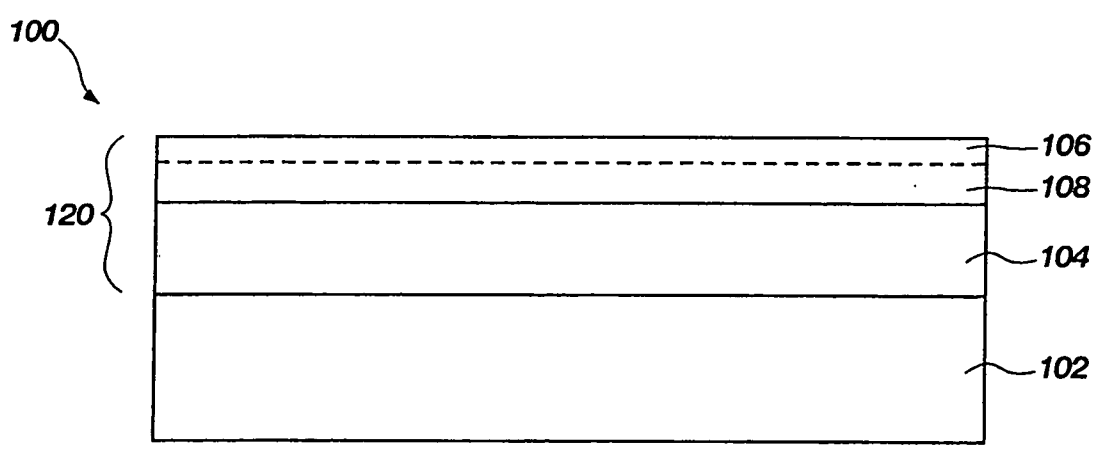


圖 2

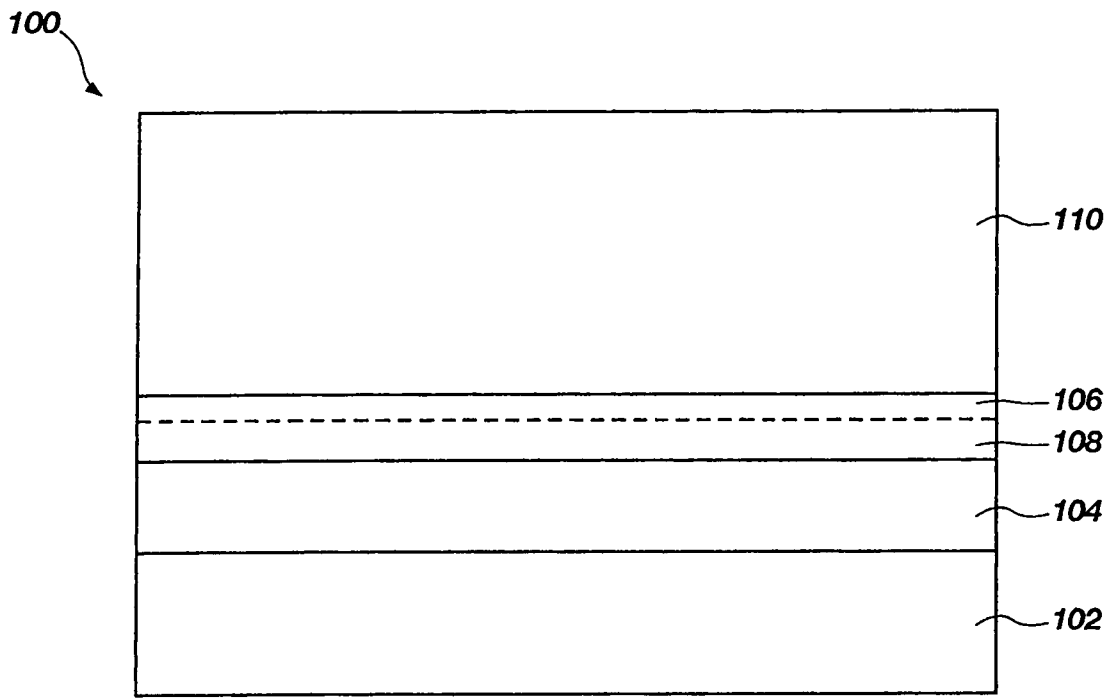


圖 3

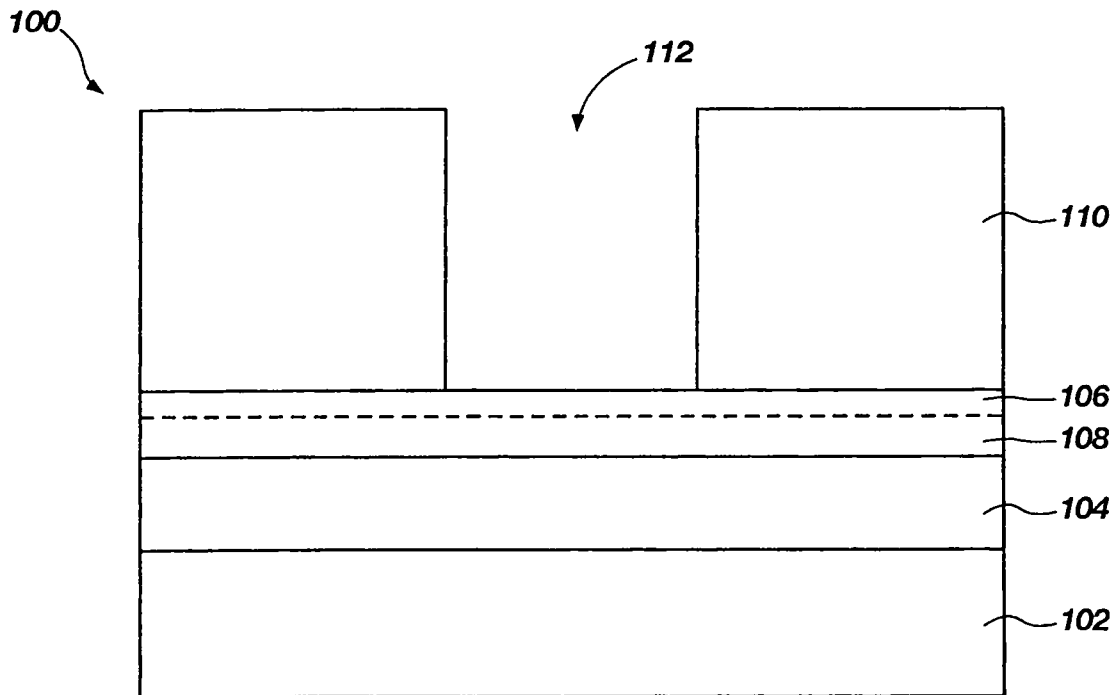


圖 4

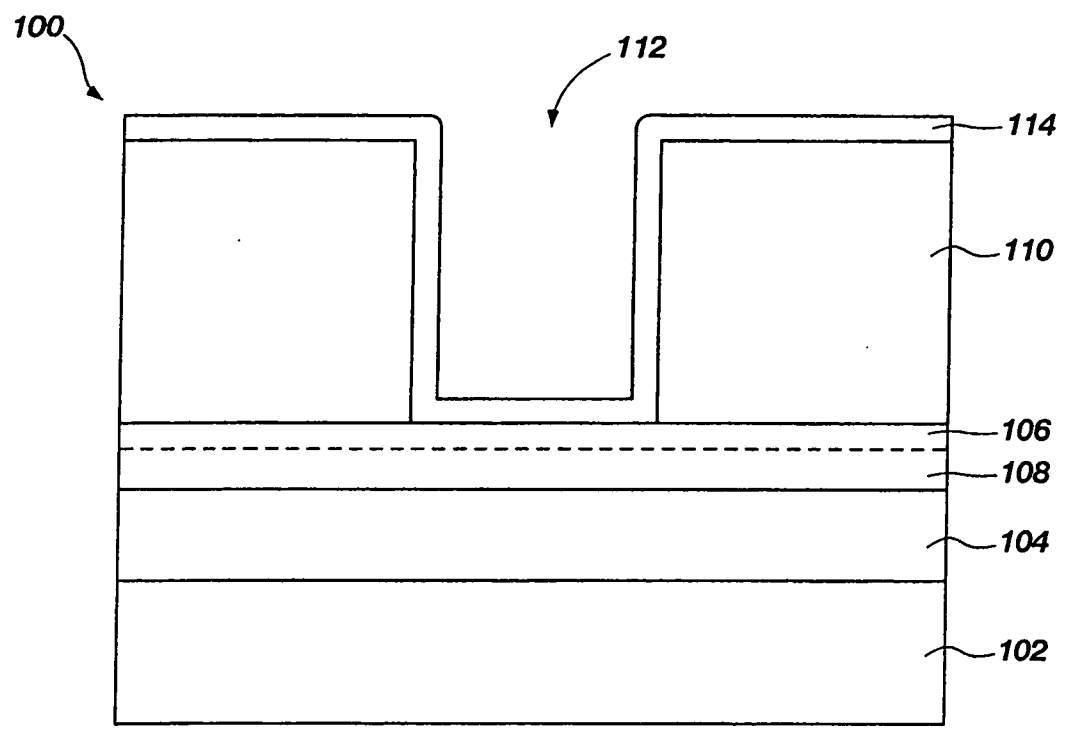


圖 5

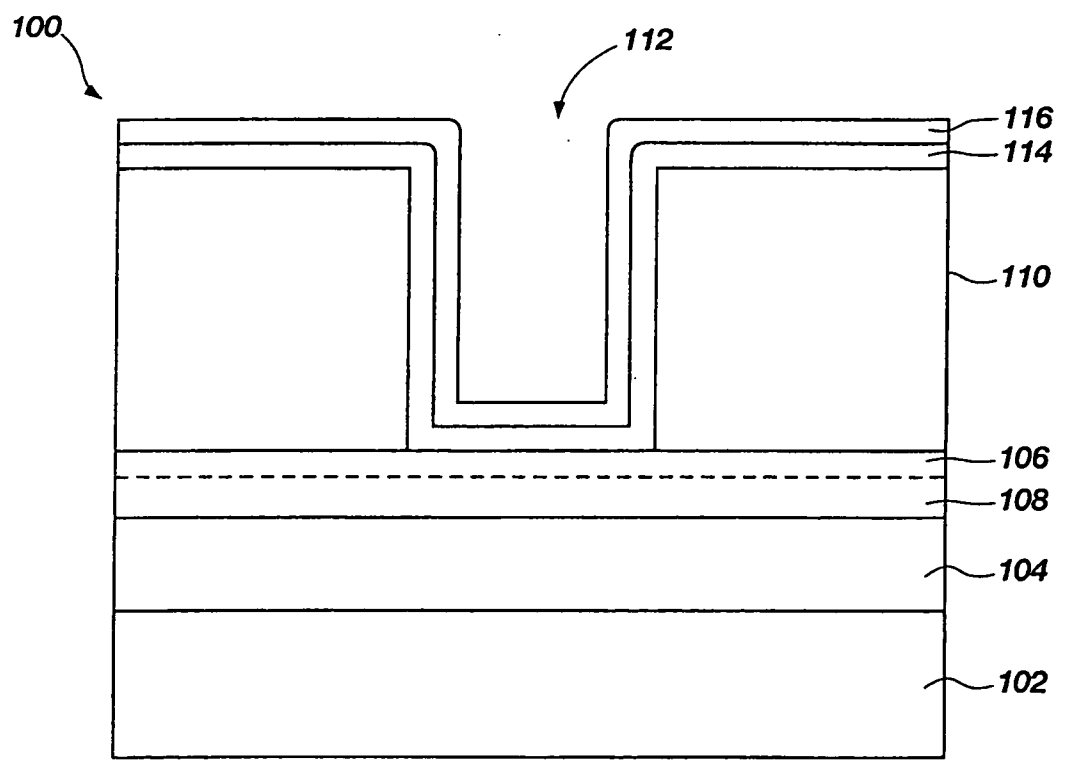


圖 6

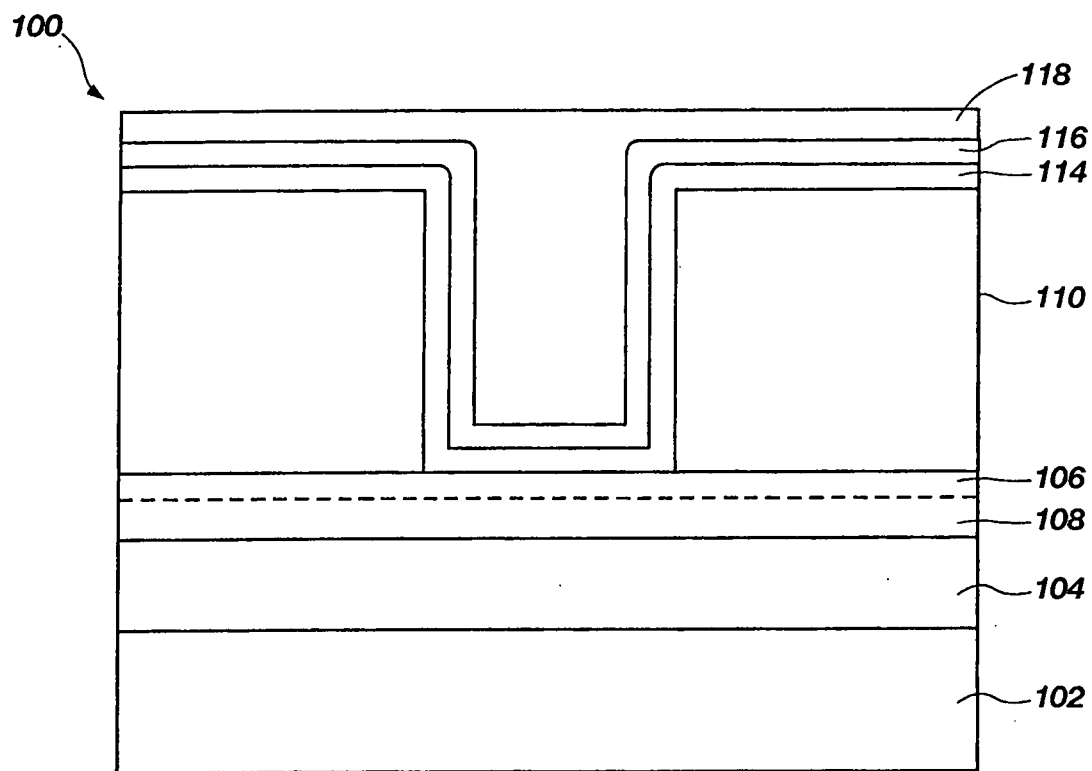


圖 7

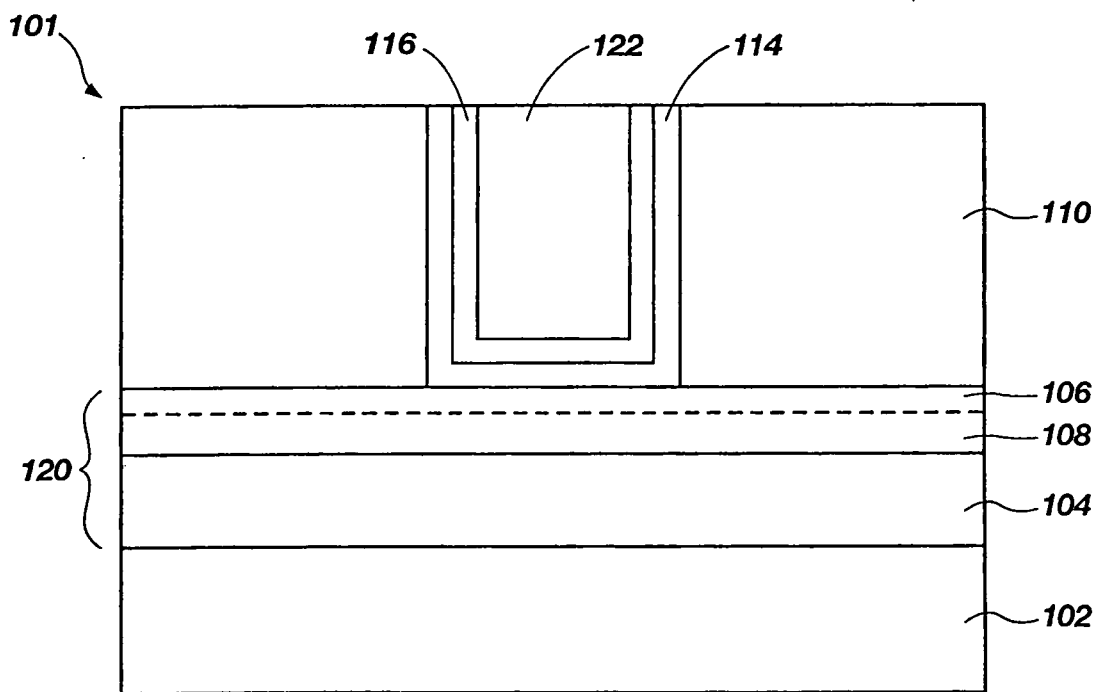


圖 8

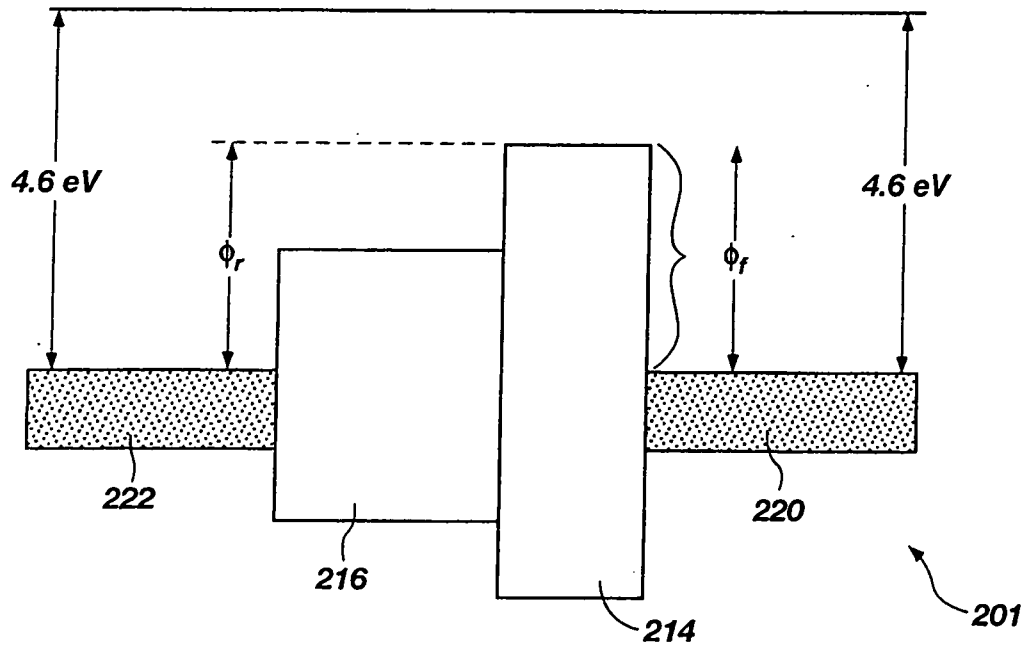


圖 9A

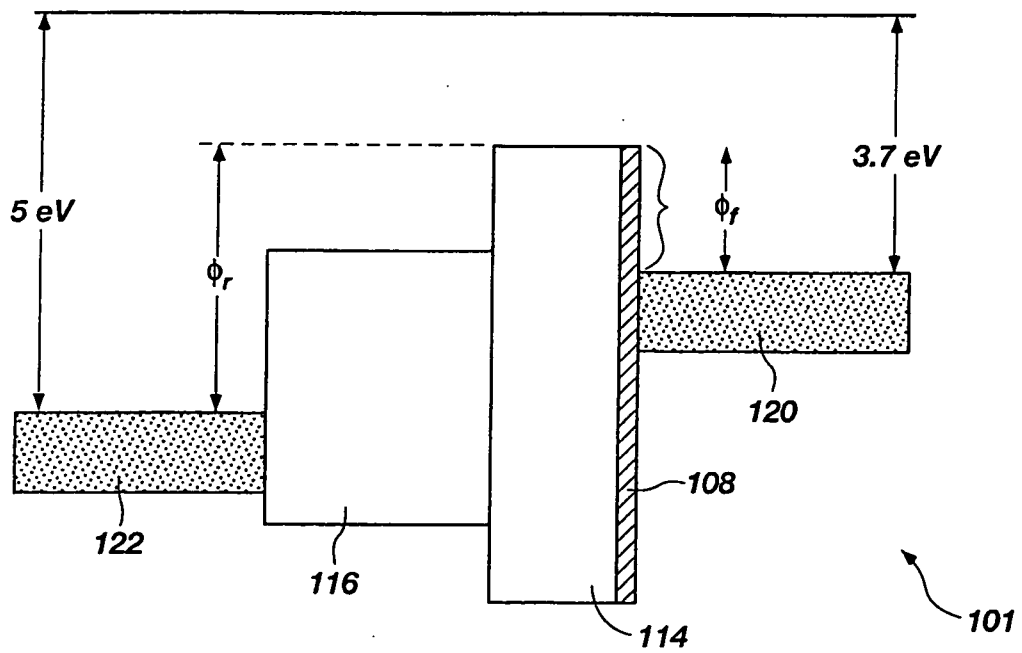


圖 9B

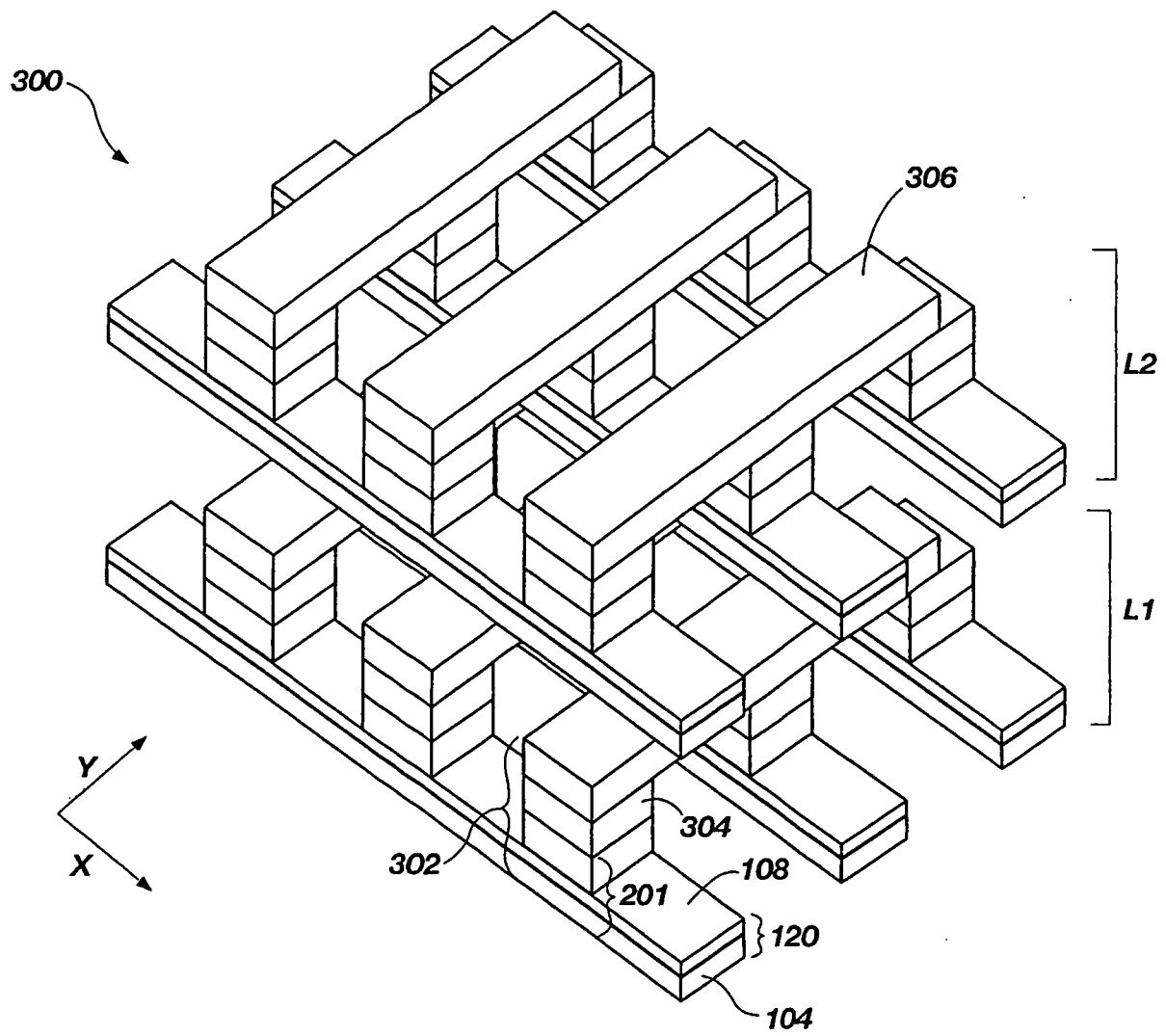


圖 10