



[12] 发 明 专 利 说 明 书

专利号 ZL 02809718.1

[45] 授权公告日 2005 年 8 月 31 日

[11] 授权公告号 CN 1217485C

[22] 申请日 2002.4.8 [21] 申请号 02809718.1

[30] 优先权

[32] 2001. 4. 6 [33] US [31] 09/828,398

[86] 国际申请 PCT/US2002/010889 2002.4.8

[87] 国际公布 WO2002/082649 英 2002.10.17

[85] 进入国家阶段日期 2003.11.11

[71] 专利权人 伊兰泰克半导体股份有限公司

地址 美国加利福尼亚州

[72] 发明人 X·林 B·哈维

A·法伊尔格里弗

审查员 刘 力

[74] 专利代理机构 上海专利商标事务所有限公司

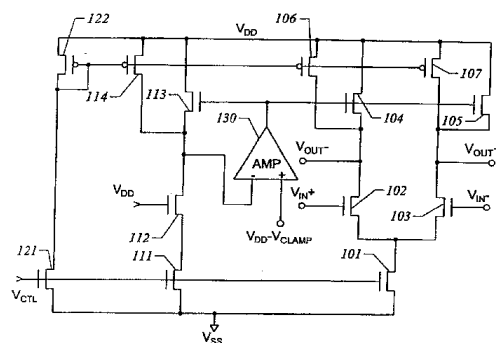
代理人 李家麟

权利要求书 4 页 说明书 4 页 附图 2 页

[54] 发明名称 用于电压控制振荡器且具有恒定输出振幅和可变时间延迟的 CMOS 电路

[57] 摘要

提供了用于锁相环路(PLL)的环形振荡器的延迟电路。该延迟电路包括差分的一对 NMOS 晶体管 102 和 103, 其中 NMOS 晶体管 101 提供用于差分对的尾电流。互补 NMOS 和 PMOS 负载晶体管 104、106 和 105、107 提供用于差分的晶体管 102 和 103 的负载。晶体管 111-114 和 121-122 以及放大器 130 一起提供用于延迟装置的偏置。放大器 130 将非倒相输入设为 $V_{DD} - V_{CLAMP}$ 。如所配置的, 在如和图 1 中的 PMOS 晶体管 4 相对的晶体管 104 处提供从 V_{DD} 到 $V_{DD} - V_{CLAMP}$ 的恒定输出电压振幅不贡献栅极寄生电容, 它能实现高工作速度而不消耗更多的电源电流。提供了使用图 2 的延迟电流的环形振荡器的宽频率调谐范围, 因为环形振荡器的工作频率将和通过晶体管 101 的尾电流成正比。



1. 用于振荡器的延迟电路，其特征在于，包括：

一对差分晶体管(102, 103)，它们以共源结构连接，差分对的第一和第二晶体管的栅极形成延迟电路的互补输入，且差分对的第一和第二晶体管的漏极形成延迟电路的互补输出；

第一负载，包括第三和第四晶体管(104, 106)，它们具有并联连接的源极-漏极通路从而将第一电压源(V_{DD})耦合到差分对的第一晶体管(102)的漏极；

第二负载，包括第五和第六晶体管(105, 107)，它们具有并联连接的源极-漏极通路从而将第一电压源(V_{DD})耦合到差分对的第二晶体管(103)的漏极；以及

偏置电路，它包括：

放大器(130)，它具有连接到电压基准的第一输入、第二输入和输出；

第三负载，它包括具有耦合在第一电压源(V_{DD})和放大器的第二输入之间的源极-漏极通路的第七和第八晶体管(113, 114)，其中第三、第五和第七晶体管(104, 105, 113)的栅极耦合到放大器的输出；并且第四、第六和第八晶体管(106, 107, 114)的栅极连接在一起。

2. 如权利要求1所述的延迟电路，其特征在于，还包括：

第九晶体管(122)，它具有耦合到第一电压源(V_{DD})的源极和耦合在一起并到达第四、第六和第八晶体管的栅极的栅极和漏极。

3. 如权利要求2所述的延迟电路，其特征在于，还包括：

第十晶体管(101)，它具有耦合到差分对的第一和第二晶体管(102, 103)的共源极的漏极和耦合到第二电压源(V_{SS})的源极，以及具有耦合到延迟控制电压输入(V_{CN})的栅极；以及

第十一晶体管(121)，它具有耦合到第九晶体管(122)漏极的漏极、耦合到第二电压源(V_{SS})的源极以及耦合到延迟控制电压输入(V_{CN})和第十晶体管(101)栅极的栅极。

4. 如权利要求3所述的延迟控制晶体管，其特征在于，还包括：

第十二晶体管(112)，它具有耦合到放大器的第二输入的漏极、耦合到第一电压源(V_{DD})的栅极以及具有源极；以及

第十三晶体管(111)，它具有耦合到第十二晶体管(112)的源极的漏极、耦合到第二电压源(V_{SS})的源极以及耦合到延迟控制电压和第十及第十一晶体管(101、121)栅极的栅极。

5. 用于振荡器的延迟电路, 其特征在于, 包括:

一对差分晶体管, 包括:

第一 NMOS 晶体管(102), 其栅极形成延迟电路的非倒相输入(V_{IN+})、其漏极形成延迟电路的倒相输出(V_{OUT-})并具有一源极; 以及

5 第二 NMOS 晶体管(103), 其栅极形成延迟电路的倒相输入(V_{IN-})、其漏极形成延迟电路的非倒相输出(V_{OUT+}), 其源极耦合到差分对的第一晶体管源极;

第一负载, 它包括:

第三 NMOS 晶体管(105), 其漏极耦合到第一电压源(V_{DD})、其源极耦合到非倒相输出(V_{OUT+})并具有一栅极; 以及

10 第一 PMOS 晶体管(107), 其源极耦合到第一电压源(V_{DD})、其漏极耦合到非倒相输出(V_{OUT+})并具有一栅极;

第二负载, 它包括:

第四 NMOS 晶体管(104), 其漏极耦合到第一电压源(V_{DD})、其源极耦合到倒相输出(V_{OUT-}), 其栅极耦合到第三 NMOS 晶体管(105)栅极; 以及

15 第二 PMOS 晶体管(106), 其源极耦合到第一电压源(V_{DD}), 其漏极耦合到倒相输出(V_{OUT-}), 其栅极耦合到第一 PMOS 晶体管(107)栅极;

第五 NMOS 晶体管(101), 其漏极耦合到第一和第二晶体管的源极、其源极连接到第二电压源(V_{SS})并具有一栅极; 以及

偏置电路, 它包括:

20 放大器(130), 它具有连接到电压基准的非倒相输入、倒相输入和输出;

第三负载, 它包括:

第六 NMOS 晶体管(113), 其漏极耦合到第一电压源(V_{DD})的漏极、其源极耦合到放大器(130)的倒相输入, 其栅极耦合到第三 NMOS 晶体管(105)栅极; 以及

25 第三 PMOS 晶体管(114), 其源极耦合到第一电压源(V_{DD})、其漏极耦合到放大器(130)的倒相输入, 其栅极耦合到第一 PMOS 晶体管(107)栅极;

第七 NMOS 晶体管(112), 其漏极耦合到放大器(130)的倒相输入、其栅极耦合到第一电压源(V_{DD})并具有一源极;

第八 NMOS 晶体管(111), 其漏极耦合到第七 NMOS 晶体管(112)源极、其源极耦合到第二电压源(V_{SS})、其栅极耦合到第五 NMOS 晶体管(101)栅极;

30 第九 NMOS 晶体管(121), 其源极耦合到第二电压源(V_{SS})、其栅极耦合到第五 NMOS 晶体管(101)栅极以及延迟电路的延迟控制电压输入(V_{CTL}), 并具有一漏极; 以及

第四 PMOS 晶体管(122), 其源极耦合到第一电压源(V_{DD}), 其漏极和栅极一起耦

合到第九 NMOS 晶体管(121)的漏极以及第一 PMOS 晶体管(107)的栅极。

6. 如权利要求 5 所述的延迟电路, 其特征在于, 每个第一、第二、第三和第四 PMOS 晶体管(107, 106, 114, 122)的宽长(W/L)比相等,

5 其中每个第三、第四和第六 NMOS 晶体管(105, 104, 113)的宽长(W/L)比相等,

其中每个第一、第二和第七 NMOS 晶体管(102, 103, 112)的宽长(W/L)比相等,

其中第五 NMOS 晶体管(101)的宽长(W/L)比等于每个第八和第九 NMOS 晶体管(111, 121)的宽长(W/L)比的两倍, 以及

10 其中每个第三和第四 NMOS 晶体管(104, 105)的宽长(W/L)比等于每个第一和第二 PMOS 晶体管(107, 106)的宽长(W/L)比的三分之一。

7. 用于振荡器的延迟电路, 其特征在于, 包括:

共源极结构连接的差分对 NMOS 晶体管(102, 103), 其中差分对的第一和第二 NMOS 晶体管的栅极形成到延迟电路的互补输入, 而差分对的第一和第二 NMOS 晶体管的漏极形成延迟电路的互补输出;

15 第一负载包括第一 PMOS 晶体管(106)和第三 NMOS 晶体管(104), 它们具有并联连接的源极-漏极通路从而将第一电压源(V_{DD})耦合到差分对的第一晶体管(102)的漏极;

20 第二负载包括第二 PMOS 晶体管(107)和第四 NMOS 晶体管(105), 它们具有并联连接的源极-漏极通路从而将第一电压源(V_{DD})耦合到差分对的第二晶体管的漏极; 以及

电压偏置电路, 它提供偏置电压到第一负载的第一 PMOS 晶体管(106)和第三 NMOS 晶体管(104)的栅极, 并到第二负载的第二 PMOS 晶体管(107)和第四 NMOS 晶体管(105)。

25 8. 用于振荡器的延迟电路, 其特征在于, 包括:

共源极结构连接的一对差分晶体管(102, 103), 其中差分对的第一和第二晶体管的栅极形成到延迟电路的互补输入, 而差分对的第一和第二晶体管的漏极形成延迟电路的互补输出;

30 第一负载包括第三和第四晶体管(104, 106), 它们具有并联连接的源极-漏极通路从而将第一电压源(V_{DD})耦合到差分对的第一晶体管(102)的漏极;

第二负载包括第五和第六晶体管(105, 107), 它们具有并联连接的源极-漏极通路从而将第一电压源(V_{DD})耦合到差分对的第二晶体管(103)的漏极; 以及

电压偏置电路，它提供偏置电压到第一负载和第二负载的晶体管的栅极，从而当高和低电压输入被施加到延迟电路的输入时，延迟电路输出之间的电压振幅保持恒定。

9. 用于振荡器的延迟电路，其特征在于，包括：

- 5 共源极结构连接的一对差分晶体管(102, 103)，其中差分对的第一和第二晶体管的栅极形成到延迟电路的互补输入，而差分对的第一和第二晶体管的漏极形成延迟电路的互补输出；

 第一负载包括第三和第四晶体管(104, 106)，它们具有并联连接的源极-漏极通路从而将第一电压源(V_{DD})耦合到差分对的第一晶体管(102)的漏极，其中所述第
10 三晶体管(104)包括 NMOS 装置，而所述第四晶体管(106)包括 PMOS 装置；

 第二负载包括第五和第六晶体管(105, 107)，它们具有并联连接的源极-漏极通路从而将第一电压源(V_{DD})耦合到差分对的第二晶体管(103)的漏极，其中所述第五晶体管(105)包括 NMOS 装置，而所述第六晶体管(107)包括 PMOS 装置；

 尾电流控制晶体管(101)，它具有将所述一对差分晶体管的源极耦合到第二电
15 压源(V_{SS})的源极-漏极通路，并具有用于施加控制电压来控制由延迟电路提供的时间延迟的栅极；以及

 电压偏置电路，它提供偏置电压到第一负载和第二负载的晶体管的栅极，从而时间延迟和从尾电路控制晶体管的源极到漏极提供的尾电流线性成比例。

用于电压控制振荡器且具有恒定输出振幅和可变时间延迟的 CMOS 电路

5 发明背景

发明领域

本发明涉及用于锁相环路的环形振荡器中的延迟电路。

发明背景

10 锁相环路用于大量应用中，包括通信、数字电路和大容量存储电子线路。本技术领域内的普通技术人员已知大量的用于 PLL 的设计。常规 PLL 设计包括电压或电流控制的振荡器(VCO 或 ICO)，这是决定 PLL 性能的关键部分。用于 PLL 的 VCO 或 ICO 的重要参数包括：(1)调谐范围，或输出振幅变化最小且低振动的 VCO 频率的最小和最大值之间的范围；(2)电源和基片(supply and substrate)噪声抑制；以及
15 及(3)功率消耗。

图 1 示出常规的延迟电路，它可以用于 PLL 的 VCO 或 ICO 的环形振荡器中。图 1 的延迟电路揭示于 IEEE JSSC, Vol. 31, No. 11, 1996 年 11 月, pp. 1723-1732。晶体管 1-7 形成延迟级，且晶体管 11 和 12 向延迟电路提供偏置。

延迟级包含具有电阻负载 4-7 的源极耦合的一对晶体管 2 和 3。每个负载都包
20 括二极管连接的 PMOS 器件 4 或 5，它们和相等大小的偏置 PMOS 器件 6 和 7 并联。晶体管 4-7 是 PMOS 器件，如在它们的栅极提供的圈所示的，而诸如 2 和 3 的没有这种栅极圈的晶体管是 NMOS 器件。栅极圈被用来在图 1 以及随后的图中示出哪个晶体管是 PMOS 和 NMOS 器件。

对于适当的偏置，选择适当大小的晶体管 11、12、6 和 7 从而，例如当晶体管
25 2 完全导通，则晶体管 6 提取晶体管 1 的电流的 1/2。同样地，如果晶体管 3 完全导通，则晶体管 7 提取晶体管 1 的电流的 1/2。

图 1 的延迟电路具有从 V_{DD} 到 $V_{DD} - V_{GS}$ 的振幅的输出电压。这里， V_{GS} 是栅源电压，它等于 $V_T + \sqrt{2 * I_D / k}$ ，其中 k 是一个导电负载晶体管 4 或 5 的装置互导。 I_D 是晶体管 4 或 5 的漏极电流，它通常是通过晶体管 1 的尾电流的一半，如由时间延迟控制电压 V_{CTL} 所控制的。
30

图 1 的延迟电路的延迟时间可以是约 $T_D = R_{EFF} * C_{EFF} = (1 / \sqrt{2 * k * I_D}) * C_{EFF}$ 。 R_{EFF} 是在电压振幅范围的末端的小信号电阻，它是导电负载晶体管 4 或 5 的互导的倒数。 C_{EFF}

是总的有效电容且包括晶体管 2 和 6 的漏极电容、晶体管 4 的栅极和漏极电容以及环形振荡器的下一个延迟级的输入晶体管的栅极电容。该有效电容, C_{EFF} 的限制降低了功率消耗并进一步可以提升工作的速度。

对于具有图 1 所示 N 级电路的环形振荡器, 环形振荡器的工作频率 f_1 将是:

$$f_1 = 1 / (2 * N * T_D) = \sqrt{2 * k * I_D} / (2 * N * C_{EFF})$$

因此, 使用图 1 所示电路的环形振荡器具有随 $\sqrt{I_D}$ 变化的输出电压振幅和与 $\sqrt{I_D}$ 成比例的工作频率 f_1 。随 $\sqrt{I_D}$ 的输出电压振幅变化是不需要的特点, 因为这种变化降低了整个工作频率范围内的电源和基片噪声抑制。此外, 工作频率 f_1 的调谐范围由根据平方根函数对尾电流 I_D 的限制所控制。

发明概述

根据本发明, 提供了用于具有相对于图 1 电路的恒定输出振幅、宽调谐范围、高工作速度和低功率消耗的 VCO 或 ICO 的改进延迟电路。

根据本发明, 参考图 2, 提供了可以用于 VCO 或 ICO 的环形振荡器的延迟电路。

该延迟电路包括一对差分 NMOS 晶体管 102 和 103 和提供用于该差分对的尾电流的 NMOS 晶体管 101。互补 NMOS 和 PMOS 负载晶体管 104、106 和 105、107 提供用于差分晶体管 102 和 103 的负载。晶体管 111-114 和 121-122 以及放大器 130 一起向延迟调整电路提供偏置。

放大器 130 将非倒相(+)输入设定为 $V_{DD} - V_{CLAMP}$, 且设定延迟电路的晶体管的 W/L 比从而或者晶体管 101、102、104 和 106, 或者 101、103、105 和 107 分别重复(replicate)偏置晶体管 111、112、113 和 114。如所配置的, 在延迟装置的输出 V_{OUT+} 和 V_{OUT-} 处提供从 V_{DD} 到 $V_{DD} - V_{CLAMP}$ 的恒定输出电压振幅。由于 V_{CLAMP} 和控制来自晶体管 101 的偏置尾电路的控制电压 V_{CTL} 无关, 所以如由电压 V_{CTL} 所控制的, 对于不同的尾电流, 时间延迟电路的输出电压振幅将是恒定的。该恒定的输出电压振幅使延迟电路在整个工作电流变化内提供相对于图 1 电路的更好的噪声抑制。

对于图 2 所示的电路, NMOS 负载晶体管 104 或 105 贡献很少的影响环形振荡器工作频率的有效电容 C_{EFF} , 而图 1 的 PMOS 晶体管 4 或 5 则相反, 所以图 2 的电路可以得到更高的工作速度而不消耗更多的电源电流。此外, 使用图 2 电路的环形振荡器的频率调谐范围可以变得比图 1 电路的更宽, 因为用于使用图 2 电路的环形振荡器的工作频率和尾电流成比例, 而使用图 1 装置的工作频率和尾电流的平方根成比例。

附图概述

将对于本发明特殊的实施例描述本发明，且将参考附图，其中：

图 1 示出用于环形振荡器的常规延迟电路；以及

图 2 示出根据本发明的用于环形振荡器的延迟电路。

5

具体实施方式

图 2 示出根据本发明的用于 VCO 或 ICO 的环形振荡器内的改进延迟电路。该电路包括 NMOS 晶体管 101，它向一差分对 NMOS 晶体管 102 和 103 提供尾电流。NMOS 晶体管 104 和 PMOS 晶体管 106 形成用于该差分对的晶体管 102 的互补负载。同样地，NMOS 晶体管 105 和 PMOS 晶体管 106 形成用于差分对的晶体管 103 的互补负载。
10 图 2 所示的晶体管 111-114 和 121-122 以及放大器 130 一起向延迟装置提供适当的偏置。

晶体管 106 和 107 的栅极偏置遵循图 1 中晶体管 6 和 7 的偏置的方式。在对偏置的一个实例中，将晶体管 106、107、114 和 122 的 W/L 比设为相同。此外，将晶体管 104、105 和 113 的 W/L 比设为相同，且将晶体管 102、103 和 112 的 W/L 比设为相同。此外，将晶体管 101 的 W/L 比设为晶体管 111 和 121 的 W/L 比的两倍。最后，将晶体管 104 和 105 的 W/L 比设为晶体管 106 和 107 的 W/L 比的 1/3。
15

当用于 VCO 或 ICO 中时，图 2 电路提供相比图 1 电路的几个优点。在随后的段落中描述了这些优点。

首先，图 2 的延迟电路具有从 V_{DD} 到 $V_{DD}-V_{CLAMP}$ 的恒定输出电压振幅。例如，当 V_{IN+} 为高而 V_{IN-} 为低时， V_{OUT-} 将箝位于 $V_{DD}-V_{CLAMP}$ ，因为晶体管 101、102、104 和 106 分别重复晶体管 111、112、113 和 114 的偏置。同时， V_{OUT+} 将是 V_{DD} ，因为晶体管 107 将给输出节点充电直到晶体管 107 变成断开。为此，如果 V_{IN+} 为低而 V_{IN-} 为高，则 V_{OUT-} 将是 V_{DD} 而 V_{OUT+} 将是 $V_{DD}-V_{CLAMP}$ 。由于 V_{CLAMP} 和控制来自晶体管 101 的偏置尾电流的控制电压 V_{CTL} 无关，所以对于由 V_{CTL} 控制的不同的尾电流，图 2 的时间延迟电路的输出电压振幅是恒定的。和图 1 中的电路相比，图 2 中具有恒定输出电压振幅的电路使差分到单个端 (differential-to-single-ended) 的转换器更容易设计且能用来使振荡器在整个调谐范围内具有更好的电源和基片噪声抑制。
20 25

此外，图 2 电路的时间延迟约是， $T_D = R_{EFF} * C_{EFF} = C_{EFF} * V / I$ ，其中 I 是由控制电压 V_{CTL} 控制的晶体管 101 的尾电流的一半，而 V 和箝位电压 V_{CLAMP} 相同。 C_{EFF} 是总的晶体管 103 和 107 的漏极处的寄生电容、晶体管 105 的源极电容和下一级的输入晶体管的栅极电容。对于具有图 2 的 N 级电路的振荡器，该电路将具有如下表示的工作
30

频率 f_2 :

$$f_2 = 1 / (2 * N * T_D) = I / (2 * N * C_{EFF} * V)$$

由于图 2 中的 NMOS 晶体管 1004 的大小是图 1 中 PMOS 晶体管 4 的大小的三分之一, 且 NMOS 晶体管 104 不将栅极到基片电容 C_{GB} 贡献到 C_{EFF} , 而 PMOS 晶体管 4 却相反, 所以用于图 2 电路的 C_{EFF} 明显的小于图 1 所示电路的 C_{EFF} 。因此, 图 2 的电路可以得到更高的工作速度而不消耗更多的电源电流。此外, 图 2 电路的频率调谐范围要比之前电路的频率调谐范围更宽, 因为使用图 2 电路的环形振荡器的工作频率和尾电流 I_D 成比例, 而使用图 1 电路的环形振荡器的工作频率和尾电流 I_D 的平方根成比例。

10 虽然以上特别地描述了本发明, 但这只是教导本技术领域内的普通技术人员如何使用本发明。如以下提供的权利要求所定义的, 许多其它的修改可以在本发明的范围内。

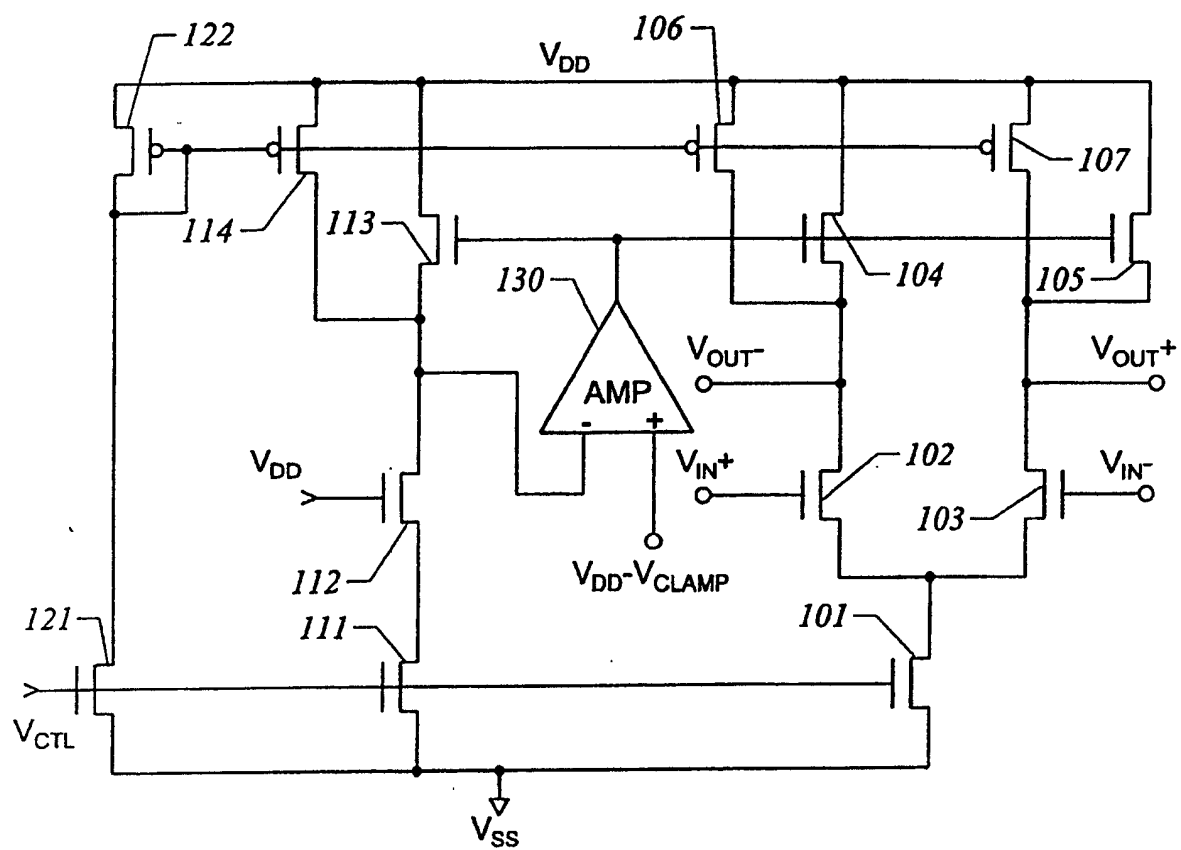


图 2