

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5192233号

(P5192233)

(45) 発行日 平成25年5月8日(2013.5.8)

(24) 登録日 平成25年2月8日(2013.2.8)

(51) Int.Cl.		F I			
G 0 6 F	13/16	(2006.01)	G 0 6 F	13/16	5 1 0 B
G 0 6 F	12/00	(2006.01)	G 0 6 F	12/00	5 9 7 U
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00	6 0 1 T
			G 1 1 C	17/00	6 0 1 U

請求項の数 38 (全 35 頁)

(21) 出願番号	特願2007-525676 (P2007-525676)	(73) 特許権者	511226960
(86) (22) 出願日	平成17年8月3日(2005.8.3)		サンディスク テクノロジーズ インコーポレイテッド
(65) 公表番号	特表2008-509499 (P2008-509499A)		アメリカ合衆国、75024、テキサス州、プレーノー、ノース・ダラス・パークウェイ 6900、ツアー・レガシー・タウン・センター
(43) 公表日	平成20年3月27日(2008.3.27)	(74) 代理人	100075144
(86) 国際出願番号	PCT/US2005/027866		弁理士 井ノ口 壽
(87) 国際公開番号	W02006/017725	(72) 発明者	シンクレア, アラン ウェルシュ
(87) 国際公開日	平成18年2月16日(2006.2.16)		イギリス連邦共和国、FK2 OBU、フォールカーク、マディストン、キャンディ、ブロードヘッド、ザ コテージス
審査請求日	平成20年7月24日(2008.7.24)		審査官 中野 裕二
(31) 優先権主張番号	10/915,039		最終頁に続く
(32) 優先日	平成16年8月9日(2004.8.9)		
(33) 優先権主張国	米国 (US)		
前置審査			

(54) 【発明の名称】 リングバス構造とフラッシュメモリスistemにおけるその使用法

(57) 【特許請求の範囲】

【請求項1】

データ通信ノードをそれぞれ含み、再プログラミングの前に同時に消去されるメモリセルのブロックにグループ化されたメモリ記憶セルをそれぞれ備える複数の再プログラム可能な不揮発性メモリユニットを備えるメモリスistemを、前記データ通信ノードとコントローラとをつなぎ合わせるリングバスにデータを巡回させて転送することによって、動作させる方法であって、

ノード識別情報を含むコントローラにより構成される構成コマンドを、前記リングバスに一定方向に巡回させて前記コントローラから前記データ通信ノードへ渡すステップであって、前記構成コマンドのそれぞれのノード識別情報が、前記データ通信ノードを識別してソースノードまたは宛先ノードとして確立させる情報を含み、ノード識別情報によって識別されたデータ通信ノードだけが構成コマンドにより実行され、構成コマンドで識別された複数のメモリユニットのデータ通信ノードのうち、前記コントローラが出す次の転送コマンドを通じてデータが転送される前のデータ通信ノードをソースノードとして確立させ、次の転送コマンドを通じてデータが転送された先のデータ通信ノードを宛先ノードとして確立させるようになし、前記リングバスに巡回させて構成コマンドを渡している場合にはデータ転送を生じさせないようにするステップと、

ソースノードを含む複数のメモリユニットからそのソースノードに設けられた一時データ記憶装置へ転送されるべきデータを読み出すステップと、

その後、読み出されたデータを前記リングバスに一定方向に実質的に同時に巡回させて

前記ソースノードに設けられた一時データ記憶装置からデータラインへ転送する前記次の転送コマンドを前記コントローラが出すステップと、

前記宛先ノードに設けられた一時データ記憶装置に、前記データラインにある転送され、読み出されたデータを書き込むステップと、

その後、前記宛先ノードに設けられた一時データ記憶装置からその宛先ノードを含む複数のメモリユニットへ転送されたデータを書き込むステップと、を含み、

読み出されたデータの複数のチャンネルを、前記次の転送コマンドに応じて、転送されているデータの複数のチャンネルの数を含むようになっていた複数の時分割多重化データフレームを通じて、前記リングバスに一方方向に巡回させてソースノードと宛先ノードとの間で同時転送する方法。

10

【請求項 2】

請求項 1 記載の方法において、

前記構成コマンドを渡すステップが、前記リングバスに接続されたコントローラノードを通して前記コントローラからコマンドを渡すことを含む方法。

【請求項 3】

請求項 2 記載の方法において、

前記コントローラ内および前記コントローラノード内に含まれるバッファメモリを通して、ホストとデータをやり取りするステップをさらに含む方法。

【請求項 4】

請求項 1 記載の方法において、

前記リングバスに接続された別のノードを通して、ホストとデータをやり取りするステップをさらに含む方法。

20

【請求項 5】

請求項 1 記載の方法において、

読み出されたデータを転送することが、データを前記リングバスに巡回させて少なくとも 2 つの連続するタイムスロットで少なくとも 2 つのソースノードから転送することを含み、前記転送され、読み出されたデータを書き込むステップが、少なくとも 2 つの連続するタイムスロットとは別のものから少なくとも 2 つの宛先ノードへ転送されているデータを書き込むことを含む方法。

【請求項 6】

請求項 5 記載の方法において、

読み出されたデータを転送することが、任意の不使用のタイムスロットの数を減らすために少なくとも 2 つの連続するタイムスロットの数を調節することをさらに含む方法。

30

【請求項 7】

請求項 1 記載の方法において、

前記構成コマンドを渡すステップが、前記連続するタイムスロットの使用を含まない方法。

【請求項 8】

請求項 1 記載の方法において、

読み出されたデータを転送することが、読み出されたデータを、少なくとも 1 つのソースノードからその少なくとも 1 つのソースノードに戻るまで、前記リングバスに完全に巡回させて転送することをさらに含む方法。

40

【請求項 9】

請求項 8 記載の方法において、

前記リングバスに完全に巡回させて転送した後に、読み出されたデータの有効性を少なくとも 1 つのソースノードにおいてベリファイするステップをさらに含む方法。

【請求項 10】

請求項 9 記載の方法において、

前記読み出されたデータの有効性をベリファイするステップが、前記リングバスに完全に巡回させて転送した後の読み出されたデータと、前記リングバスの少なくとも 1 つのソ

50

ースノードに置かれている読み出されたデータとを比較することを含む方法。

【請求項 1 1】

請求項 8 記載の方法において、

前記リングバス上の記憶位置において誤り訂正技術を用いて読み出されたデータをチェックするステップをさらに含む方法。

【請求項 1 2】

請求項 1 1 記載の方法において、

前記誤り訂正技術を用いて読み出されたデータをチェックするステップが、前記コントローラ内で生じる方法。

【請求項 1 3】

請求項 1 1 記載の方法において、

前記誤り訂正技術を用いて読み出されたデータをチェックするステップが、少なくとも 1 つのソースノードおよび少なくとも 1 つの宛先ノードのほかに、ノードを通過して前記リングバスに接続された誤り訂正回路にデータを通すことを含む方法。

【請求項 1 4】

請求項 1 記載の方法において、

前記データ通信ノードのうちのいくつかのノードを転送されるべきデータのソースとして確立し、前記データ通信ノードのうちのそれ以外のノードを転送されるべきデータの宛先として確立するように前記リングバスに巡回されたコマンドは、前記コントローラだけが発生する方法。

【請求項 1 5】

請求項 1 記載の方法において、

読み出されたデータを転送することが、転送中の読み出されたデータと同期させるシステムクロックソースの 1 またはそれより多いサイクルの複数のノードの個々のものに遅延を課すことを含む方法。

【請求項 1 6】

請求項 1 記載の方法において、

前記構成コマンドを渡すステップが、前記リングバスの少なくとも第 1 の導体でそのように行なうことを含み、読み出されたデータを転送することが、前記第 1 の導体とは異なる前記リングバスの少なくとも第 2 の導体でそのように行なうことを含む方法。

【請求項 1 7】

請求項 1 記載の方法において、

前記転送されるべきデータを読み出すステップが、少なくとも 1 つのソースノードに接続された再プログラム可能な不揮発性メモリユニットのうちの少なくとも第 1 のユニットからデータを読み出すことを含む方法。

【請求項 1 8】

請求項 1 記載の方法において、

前記転送され、読み出されたデータを書き込むステップが、少なくとも 1 つの宛先ノードに接続された再プログラム可能な不揮発性メモリユニットのうちの少なくとも第 2 のユニットへ転送されたデータを書き込むことを含む方法。

【請求項 1 9】

請求項 1 7 または 1 8 のいずれか記載の方法において、

前記第 1 および第 2 のユニットが、1 つの集積回路チップ上の全部のメモリセルより少ないそれぞれの第 1 および第 2 のプレーンを含む方法。

【請求項 2 0】

請求項 1 7 または 1 8 のいずれか記載の方法において、

前記第 1 および第 2 のユニットが、それぞれの第 1 および第 2 の集積回路チップ上にメモリセルアレイ全体を含む方法。

【請求項 2 1】

請求項 1 記載の方法において、

10

20

30

40

50

前記転送されるべきデータを読み出すステップが、ソースノードに設けられた少なくとも2つのデータレジスタのうちの1つに読み出されたデータを転送することを含む方法。

【請求項22】

請求項1記載の方法において、

前記転送され、読み出されたデータを書き込むステップが、宛先ノードに設けられた少なくとも2つのデータレジスタのうちの1つに転送されたデータを書き込むことを含む方法。

【請求項23】

請求項1記載の方法において、

複数のデータ通信ノードのうちの1つに接続されたメモリからの第2のデータセットを複数のデータ通信ノードのうちの1つにある一時データ記憶装置の一部分に読み出すことと、前記リングバスからの第3のデータセットを複数のデータ通信ノードのうちの1つにある一時データ記憶装置の別の一部分に書き込むこととを同時に行なうステップをさらに含む方法。

10

【請求項24】

請求項1記載の方法において、

読み出されたデータを転送することが、データを前記リングバスに巡回させて少なくとも2つの連続するタイムスロットの複数のソースノードから転送することを含み、少なくとも2つの連続するタイムスロットが、C個の連続するタイムスロットのサイクルと読み出されたデータの転送に使用されるN個のタイムスロットとを規定し、NとCは正の整数であり、読み出されたデータを転送することが、1つまたはそれより多い不使用のタイムスロットを挿入することをさらに含むので、Nは前記リングバス上のノードの総数から不使用のタイムスロットの数を引いたものと等しくなり、読み出されたデータを転送することが、任意の不使用のタイムスロットの数を減らすためにNとCとを調節することも含む方法。

20

【請求項25】

請求項1記載の方法において、

前記転送されるべきデータを読み出すステップは、前記コントローラによって出された読み出しコマンドによるものであり、データを読み出すための前記読み出しコマンドおよびソースノードを識別するノード識別情報を、まず少なくとも1つのコマンドノードに記憶し、次いでデータを前記一時データ記憶装置に転送させるように実行し、前記リングバスが、前記データ通信ノードと、少なくとも1つのコマンドノードと、前記コントローラとをつなぎ合わせる方法。

30

【請求項26】

請求項25記載の方法において、

前記リングバスが、前記ノードと、1つまたはそれより多いメモリプレーンの対応するセットにそれぞれ関連する複数のコマンドノードと、前記コントローラとをつなぎ合わせ、1つまたはそれより多いメモリプレーンの各セットのソースノードを識別するノード識別情報を対応するコマンドノードに記憶する方法。

【請求項27】

40

メモリシステムであって、

データ通信ノードをそれぞれ含み、再プログラミングの前に同時に消去されるメモリセルのブロックにグループ化されたメモリ記憶セルをそれぞれ備える複数の再プログラム可能な不揮発性メモリユニットと、

別のデータ通信ノードを有するホストデータ入出力回路と、

それぞれのデータ通信ノードをリング状につなぎ合わせるリングバスと、

複数のデータ通信ノードからのデータの複数のチャンネルを、転送されているデータの複数のチャンネルの数を含むようになっている複数の時分割多重化データフレームを通じて、前記リングバスに一方方向に完全に巡回させて同時転送させるように、前記リングバスと作用的に接続されたマイクロコントローラを含むコントローラであって、ノード識別情報を

50

含むコントローラにより構成される構成コマンドを、前記リングバスに一定方向に巡回させて前記コントローラから前記データ通信ノードへ前記コントローラが渡し、前記構成コマンドのそれぞれのノード識別情報が、前記データ通信ノードを識別してソースノードまたは宛先ノードとして確立させる情報を含み、ノード識別情報によって識別されたデータ通信ノードだけが構成コマンドにより実行され、構成コマンドで識別された複数のメモリユニットのデータ通信ノードのうち、前記コントローラが出す次の転送コマンドを通じてデータが転送される前のデータ通信ノードをソースノードとして確立させ、次の転送コマンドを通じてデータが転送された先のデータ通信ノードを宛先ノードとして確立させるようになり、前記リングバスに巡回させて構成コマンドを渡している場合にはデータ転送を生じさせないようにし、その後、データを前記リングバスに一定方向に巡回させてソースノードから宛先ノードへ転送する前記次の転送コマンドを前記コントローラが出すものであるコントローラと、

10

を備えるメモリシステム。

【請求項 28】

請求項 27 記載のメモリシステムにおいて、

少なくとも 1 つのメモリユニットが、設定回路と、前記リングバスおよび前記設定回路に接続され、前記コントローラから設定コマンドを受け取って実行するコマンドノードとをさらに備えるメモリシステム。

【請求項 29】

請求項 27 記載のメモリシステムにおいて、

前記データ通信ノードのうち少なくとも 1 つが、少なくとも 1 つのデータ通信ノードと前記リングバスとの間で転送される少なくとも 2 片のデータを同時に記憶するように接続される少なくとも 2 つのレジスタを備えるメモリシステム。

20

【請求項 30】

請求項 27 記載のメモリシステムにおいて、

複数の再プログラム可能な不揮発性メモリユニットが、1 つの集積回路チップ上に 2 つまたはそれより多いプレーンを備えるメモリシステム。

【請求項 31】

請求項 27 記載のメモリシステムにおいて、

複数の再プログラム可能な不揮発性メモリユニットが、それぞれの 2 つまたはそれより多い別個の集積回路チップ上に形成されるメモリシステム。

30

【請求項 32】

請求項 27 記載のメモリシステムにおいて、

複数のチャネルのデータが前記リングバスに巡回させて転送されるときに複数のチャネルのデータが通過できるように前記リングバスに作用的に接続された誤り訂正回路をさらに備えるメモリシステム。

【請求項 33】

請求項 27 記載のメモリシステムにおいて、

前記コントローラが、前記誤り訂正回路を含むメモリシステム。

【請求項 34】

請求項 27 記載のメモリシステムにおいて、

読み出されたデータを転送することが、データを前記リングバスに巡回させて少なくとも 2 つの連続するタイムスロットの複数のソースノードから転送することを含み、少なくとも 2 つの連続するタイムスロットが、C 個の連続するタイムスロットのサイクルと読み出されたデータの転送に使用される N 個のタイムスロットとを規定し、N と C は正の整数であり、読み出されたデータを転送することが、1 つまたはそれより多い不使用のタイムスロットを挿入することをさらに含むので、N は前記リングバス上のノードの総数から不使用のタイムスロットの数を引いたものと等しくなり、読み出されたデータを転送することが、任意の不使用のタイムスロットの数を減らすために N と C とを調節することも含むメモリシステム。

40

50

【請求項 3 5】

請求項 2 7 記載のメモリシステムにおいて、

前記コントローラが、データを読み出すための読み出しコマンドをソースノードを含む複数のメモリユニットからそのソースノードに設けられた一時データ記憶装置へ送り、前記読み出しコマンドおよびソースノードを識別するノード識別情報を、まず少なくとも 1 つのコマンドノードに記憶し、次いでデータを前記一時データ記憶装置に転送させるように実行し、前記リングバスが、前記データ通信ノードと、少なくとも 1 つのコマンドノードと、前記コントローラとをつなぎ合わせるメモリシステム。

【請求項 3 6】

請求項 3 5 記載のメモリシステムにおいて、

前記システムが複数のコマンドノードを備え、前記リングバスが、前記ノードと、1 つまたはそれより多いメモリアレイの対応するセットにそれぞれ関連する複数のコマンドノードと、前記コントローラとをつなぎ合わせ、1 つまたはそれより多いメモリアレイの各セットのソースノードを識別するノード識別情報を対応するコマンドノードに記憶するメモリシステム。

【請求項 3 7】

フラッシュメモリシステムであって、

フラッシュメモリアレイと、データノードと、前記データノードと前記アレイとの間に接続される少なくとも 1 つのデータ記憶レジスタとをそれぞれ備える複数のフラッシュメモリデータ記憶ユニットと、

前記フラッシュメモリデータ記憶ユニット間のアドレスおよびステータス情報の通信のためにフラッシュメモリデータ記憶ユニットに接続され、またコマンドノードに接続される少なくとも 1 つのコマンドユニットと、

インターフェイスノードを有するコントローラと、

データと、コマンドノードと、前記インターフェイスノードをリング状につなぎ合わせるバスと、を備え、

前記コントローラが、記憶され、次いで実行されるコマンドを前記バスを通じて前記コマンドユニットに出すことによって前記フラッシュメモリデータ記憶ユニット間および前記フラッシュメモリデータ記憶ユニットと前記コントローラとの間でデータを転送するように作用し、少なくとも 1 つのレジスタが転送されたデータのソースまたは宛先であり、

読み出されたデータの複数のチャネルを、転送されているデータの複数のチャネルの数を含むようになっている複数の時分割多重化データフレームを通じて、前記リングバスに一方に完全に巡回させて 1 つまたはそれより多いデータ通信ノードから同時転送するフラッシュメモリシステム。

【請求項 3 8】

請求項 3 7 記載のフラッシュメモリシステムにおいて、

少なくとも 1 つのレジスタが 2 つまたはそれより多いレジスタを備え、前記コントローラが、アドレス指定されたフラッシュメモリデータ記憶ユニットの少なくとも 2 つのデータ記憶レジスタの一方を、転送されたデータのソースまたは宛先となるように前記バスを通じて選択するようにさらに作用するフラッシュメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、全般的には、バス構造と、電子システムのコンポーネント間の通信を行なうための電子システム内のバス構造の動作とに関し、より具体的には、特にフラッシュメモリシステムにおいて、そのようなことを行なうリングバスの使用法に関する。

【背景技術】

【0002】

特に小形のファクタカードの形態の、今日使用されている再プログラム可能な不揮発性メモリ製品の多くが商業的に成功を収めている。これらは、1 つまたはそれより多い集積

10

20

30

40

50

回路チップ状に形成されるフラッシュEEPROM（電氣的に消去可能でプログラム可能なリードオンリメモリ）セルのレイを採用している。必ずではないが通常は独立した集積回路チップ上に存在するメモリコントローラは、カードを着脱できるホストとインターフェイスして、カード内のメモリアレイの動作を制御する。そのようなコントローラは一般に、マイクロプロセッサと、何らかの不揮発性リードオンリメモリ（ROM）と、不揮発性ランダムアクセスメモリ（RAM）と、プログラミング中および読み出し中にデータがコントローラを通過するときにデータから誤り訂正符号（ECC）を計算するものなどの1つまたはそれより多い特別の回路とを備えている。

【0003】

フラッシュメモリを利用する市販のカードのいくつかは、コンパクトフラッシュ（登録商標）（CF）カード、マルチメディアカード（MMC）、セキュアデジタル（SD）カード、ミニSDカード、スマートメディアカード、xDピクチャカード、トランスフラッシュカード、およびメモリスティックカードである。ホストには、パーソナルコンピュータ、ノートブック形パソコン、個人用携帯情報端末（PDA）、種々のデータ通信デバイス、デジタルカメラ、携帯電話、ポータブルオーディオプレーヤ、自動車音響システム、および同様なタイプの設備などがある。多くのホストは、1つまたはそれより多い市販のメモリカード対応を受け入れるスロットを1つまたはそれより多く有し、および/またはユニバーサルシリアルバス（USB）の差込口などを介してカードリーダーに接続できる。ホストのUSB差込口に直接差し込んでホストをドライブ内のメモリに接続するUSBフラッシュドライブも使用できる。また、メモリカードおよびフラッシュドライブの実施例のほかに、その代わりとして、フラッシュメモリシステムを種々のタイプのホストシステムに埋め込むことも可能である。前述したものならびに他のフラッシュメモリ製品は、本願の譲受人であるサンディスクコーポレーションから入手できる。

【0004】

2種類の汎用メモリセルアレイアーキテクチャのNORおよびNANDが主として商品として実装されてきた。一般的なNORアレイでは、メモリセルは、隣接するビットラインソースと、セルの行に沿って延びるワードラインにコントロールゲートが接続された状態で列方向に延びるドレイン拡散部との間に接続される。メモリセルは、ソースとドレインの間のセルチャネル領域の少なくとも一部分の上に配置される少なくとも1つの蓄積素子を備えている。したがって、蓄積素子上にプログラムされる電荷レベルはセルの動作特性を制御し、アドレス指定されたメモリセルに適切な電圧を印加することによって読み出すことができる。このようなセルの例、メモリシステムにおけるそれらの使用法、およびそれらの製造方法は、米国特許第5,070,032号（特許文献1）、米国特許第5,095,344号（特許文献2）、米国特許第5,313,421号（特許文献3）、米国特許第5,315,541号（特許文献4）、米国特許第5,343,063号（特許文献5）、米国特許第5,661,053号（特許文献6）、および米国特許第6,222,762号（特許文献7）に記載されている。

【0005】

NANDアレイは、セル列を形成するように、個々のビットラインと基準電位との間に、1つまたはそれより多い選択トランジスタと一緒に接続された、16個、36個などの、2より多いメモリセルから成る直列ストリングを利用する。ワードラインは、多数のこれら列内のセルを横切って延びる。ストリングを通る電流がアドレス指定されたセルに蓄積された電荷のレベルに依存するようにストリング内の残りのセルを強くオンに転換させることによって、プログラミング中に列内の個々のセルを読み出し、ベリファイする。NANDアーキテクチャのアレイの例およびメモリシステムの一部としてのその動作は、米国特許第5,570,315号（特許文献8）、米国特許第5,774,397号（特許文献9）、米国特許第6,046,935号（特許文献10）、米国特許第6,522,580号（特許文献11）、および米国公開特許出願第2003/014278号（特許文献12）に記載されている。

【0006】

10

20

30

40

50

前述した援用されている特許に記載されているように、現在のフラッシュEEPROMアレイの電荷蓄積素子は、最も一般的には、導電性フローティングゲートである。フラッシュEEPROMシステムで有用な別のタイプのメモリセルは、不揮発的に電荷を蓄積する導電性フローティングゲートの代わりに、非導電性の誘電材料を利用する。誘電式の蓄積素子を採用するいくつかの特定のセル構造およびアレイは、米国公開特許出願第2003/0109093号(特許文献13)においてハラリらによって説明されている。

【0007】

集積回路の応用例のほとんど全てにおいてそうであるように、いくつかの集積回路機能を実装するために必要なシリコン基板領域を小さくするという圧力はフラッシュメモリセルアレイにおいても存在する。一定サイズのメモリカードおよび他タイプのパッケージの記憶容量を増加させるために、または、記憶容量を増加させ且つサイズを縮小させるために、シリコン基板の特定領域に記憶できるデジタルデータ量を増やすことが絶えず望まれている。データの記憶密度を増加させるための方法の1つは、1つのメモリセルおよび/または1つの記憶素子すなわち蓄積素子に1ビットより多いデータを記憶させることである。これは、蓄積素子電荷レベル電圧のウィンドウを2より多いステートに分けることによって達成される。そのような4つのステートを使用することによって各セルに2ビットのデータを記憶させることができ、8つのステートを使用することによって各蓄積素子に3ビットのデータを記憶させることができ、等々となる。フローティングゲートを用いたマルチステートフラッシュEEPROM構造およびその動作は、米国特許第5,043,940号(特許文献14)および米国特許第5,172,338号(特許文献15)に記載され、また、誘電式フローティングゲートを用いた構造については前述した米国公開特許出願第2003/0109093号(特許文献13)に記載されている。マルチステートメモリセルの選択部分が、米国特許第5,930,167号(特許文献16)および米国特許第6,456,528号(特許文献17)に記載されているように、さまざまな理由のために2ステート(バイナリ)で作動される場合もある。

【0008】

フラッシュメモリセルは再プログラミングの前に消去される。一般的なフラッシュメモリセルアレイのメモリセルは、一緒に消去される個別のセルブロックに分割される。すなわち、このブロックが消去単位であり、同時に消去可能な最小数のセルである。各ブロックは一般に1つまたはそれより多いページのデータを記憶している。ページはプログラミングおよび読み出しの最小単位であるが、メモリセルの別々のサブアレイまたはプレーンで、1つより多いページを並列にプログラムしたり、読み出したりすることができる。各ページは、一般に、1つまたはそれより多いデータセクタを格納し、セクタのサイズはホストシステムによって定められる。セクタの一例は、磁気ディスクドライブについて確立されている規格にしたがって512バイトのユーザデータと、ユーザデータおよび/またはユーザデータを記憶するブロックに関する数バイトのオーバーヘッド情報とを含んでいる。そのようなメモリは一般に各ブロック内の16ページ、32ページまたはそれより多いページで構成され、各ページは1つまたはそれより多いホストデータセクタを記憶している。

【0009】

ユーザデータをメモリアレイにプログラミングしている間の並列処理の度合いを増加させ、メモリアレイからユーザデータを読み出すために、通常、アレイはサブアレイに分割される。サブアレイは一般にプレーンと呼ばれ、データセクタを同時にいくつかまたは全部のプレーンのそれぞれへプログラムしたり、それぞれから読み出したりできるような並列動作を可能とするために、それ自体のデータレジスタおよび他の回路を備えている。単一の集積回路上のアレイが物理的にいくつかのプレーンに分割されていてもよいし、各プレーンが別個の1つまたはそれより多い集積回路チップから形成されていてもよい。そのようなメモリの実装例は、米国特許第5,798,968号(特許文献18)および米国特許第5,890,192号(特許文献19)に記載されている。

【0010】

メモリをさらに有効に管理するために、ブロックをリンクさせて仮想ブロックまたはメタブロックを形成してもよい。すなわち、各メタブロックは、いくつかまたは全部のプレーンのそれぞれから1つのブロックを含むように定められる。メタブロックの使用法は、米国公開特許出願第2002/0099904号(特許文献20)に記載されている。メタブロックは、データをプログラムし、且つ読み出す場合のための宛先としてホスト論理ブロックアドレスによって特定される。同様に、メタブロックの全ブロックは一般に一緒に消去される。

【0011】

そのような大きなブロックおよび/またはメタブロックで動作されるメモリシステム内のコントローラは、効率的な動作を維持するために、ホストによって課せられる数多くの機能を実施する。また、メモリの記憶容量を有効利用するために、反復的なデータ整理統合(ガーベッジコレクション)が実施される。ガーベッジコレクションを実施している時、コントローラは一般にメモリに対するデータ転送というその主要機能を一時停止するため、システム性能に潜在的な悪影響を及ぼす。メモリアレイチップ自体に関するデータコピーの制限が、米国特許第6,266,273号(特許文献21)に記載されている。

【0012】

一般的なフラッシュメモリシステムは1つまたはそれより多い、それぞれがメモリセルのレイおよび関連する周辺回路を含んでいる集積回路チップと、コントローラを含んでいる別の集積回路チップとを備えている。いくつかの応用例では、1つのチップ上にコントローラおよびメモリアレイが含まれている。いずれの場合においても、データ、アドレス、コマンドおよびステータス情報は、全部のメモリシステムコンポーネントが作用的に接続された共通両方向システムバスを介し、コントローラと、1つまたはそれより多いフラッシュメモリセルレイ、サブレイ、プレーン、または集積回路チップとの間でやりとりされる。

【特許文献1】米国特許第5,070,032号

【特許文献2】米国特許第5,095,344号

【特許文献3】米国特許第5,313,421号

【特許文献4】米国特許第5,315,541号

【特許文献5】米国特許第5,343,063号

【特許文献6】米国特許第5,661,053号

【特許文献7】米国特許第6,222,762号

【特許文献8】米国特許第5,570,315号

【特許文献9】米国特許第5,774,397号

【特許文献10】米国特許第6,046,935号

【特許文献11】米国特許第6,522,580号

【特許文献12】米国公開特許出願第2003/014278号

【特許文献13】米国公開特許出願第2003/0109093号

【特許文献14】米国特許第5,043,940号

【特許文献15】米国特許第5,172,338号

【特許文献16】米国特許第5,930,167号

【特許文献17】米国特許第6,456,528号

【特許文献18】米国特許第5,798,968号

【特許文献19】米国特許第5,890,192号

【特許文献20】米国公開特許出願第2002/0099904号

【特許文献21】米国特許第6,266,273号

【発明の開示】

【0013】

フラッシュメモリシステムの動作速度はこのようなバスを使用することによって制限される。単一バスは比較的長いので、システムの動作周波数は、ラウンドトリップ遅延およびこのバスに特有の大容量性負荷によって限定される。バスを介した通信が、コントロー

10

20

30

40

50

ラとフラッシュメモリチップのうちの1つとの間でしか行なわれない場合もある。システムのある記憶位置間の1データユニットの伝送でバスがふさがっているとき、システムの他のコンポーネントがデータ転送のためにバスを使えないことがある。データは通常、メモリセルの個々のユニット間（すなわち、個々のアレイ、サブアレイ、プレーン、またはチップ間）で直接転送されることはない。むしろ、そのようなデータ転送は、一般に、転送の一部としてバッファメモリに一次記憶させるために共通バスを介してデータをコントローラに渡すことを含む。

【0014】

したがって、本願明細書に記載されている従来のバスに対する改善策として、コントローラと、メモリシステムのすべてのメモリセルアレイ、サブアレイ、プレーンおよび集積回路チップとは、個々のバスインターフェイス回路（ノード）を介して互いにループまたはリング状に接続される。ノード間のリングバスのセグメントを個別に駆動することにより、駆動される各セグメントのキャパシタンス量を大幅に減少させ、したがって許容できるバスの動作周波数が増加する。データは、メモリセルアレイ、サブアレイ、プレーンおよびチップ間、ならびにそれらのうちのいずれかとコントローラとの間で、直接通信できる。しかし、通信されるデータは、必ずしも最初にコントローラを通過しなくてもよい。バスは閉じられたループを形成し、データ、コマンド、ステータス情報はループを巡回して単一方向に転送されることが好ましい。データは、リングを完全に巡回してデータが送出されたノードまで転送されることが好ましく、この箇所において転送後のデータの有効性を任意に確認してもよい。本願明細書に記載されているリングバスは、前述した背景技術の欄に記載されているものをはじめとする従来のメモリシステムで使用されている一般的なバスと置換することも可能である。

【0015】

好ましい実施例において、一般にシステムコントローラのものであるただ1つのマスターノードが、リングバスによって接続された他の全部のノードの動作を制御する。コントローラによって出される特定の命令は、アドレス指定されたノードだけにこの命令を実行させる追加ノードアドレスによって、1つまたはそれより多いノードにアドレス指定される。初期化命令および設定命令をはじめとするグローバル命令はすべてのノードに受け付けられる。データがバスを巡回してノード間で転送される前に、ノードは、特定の転送に対応するようにセットアップされる。例えば、1つのメモリユニット（例えば、チップ、サブアレイまたはプレーン）から別のものへデータが転送される場合、データがソースユニットから、そのノードに接続されたレジスタへ読み出され、宛先ノードはデータを受け入れるように設定される。次に、後続の転送命令により、命令によって条件付けられたソースと宛先ノードとの間で計画された転送が行なわれる。このシステムおよび動作の利点は、そのようなデータ転送を、メモリとコントローラノードの間のように、メモリのユニット間で直接行なえることである。

【0016】

リングバスの動作に含むことができる別の特徴は時分割多重方式である。すなわち、データは割当てられたタイムスロットまたはフレームでバスを巡回して転送される。したがって、多数のデータフレームを同時に転送することができる。使用されるタイムスロット数は、同時に転送されるデータフレームの数と等しくなるように動的に調節されることが好ましい。データフレームは、すべてがリングの周りの同一ソースまたは同一宛先ノードを有していなくてもよい。したがって、リングバスのデータ伝送速度の分数であるその個々のフレームレートで特定のコンポーネントに対してデータが転送されるので、バスノードと接続されるメモリシステムコンポーネントのデータ帯域幅の要件として、バスほど高くないことが要求される。具体例として、データ転送のためにノードをセットアップするのに用いられる命令は、時分割多重化なしで、添付された所期のノードのアドレスにより、バスを巡回して伝送される。その後、計画されたデータ転送が複数のタイムスロットを使用することによって実行される。タイムスロットのうちの1つを使用することによってステータス情報をバスに巡回させて送信することもできる。

10

20

30

40

50

【 0 0 1 7 】

別の特徴として、メモリから読み出されるデータの完全性は、一般にコントローラによって提供され、最も利便的には誤り訂正符号（ECC）を実行する専用回路によって提供される、誤り訂正機能にデータを通すことによって簡単に確認できる。望み通りにデータがリングを巡回して完全に転送されれば、ソースおよび宛先ノードがコントローラノードに対してどこに位置していようと、データは常にコントローラノードを通過する。データ転送を始めるノードは、転送によってデータが壊されていないことを保証するために、バス上に置かれたこのノードが受け取るバス巡回後のデータを任意にペリファイすることもできる。

【 0 0 1 8 】

さらに別の特徴として、プロセッサ、バッファメモリおよびECC回路を含む、コントローラのさまざまな機能およびコンポーネントを、ノードを介してシステムリングバスに個別に接続することもできる。ノード・ツー・ノードコマンドおよびデータ転送のフレキシビリティと並列性はさらに増大する。メモリシステムの他のコンポーネントが関係しないときに、その効率的な動作のためにコントローラのコンポーネント間でコマンドおよびデータを直接転送するために従来形のコントローラバスを備えることもできる。

【 0 0 1 9 】

既存の従来形のコントローラとの下位互換性を与えるために、メモリセルアレイ集積回路チップは、リングバスを使用するようになっているコントローラが用いられるときに前述したリングバスを接続することもできる、従来形バスと接続するためのインターフェイスを備えることができる。このデュアルモードのバスインターフェイスにより、他のタイプのコントローラを備えるメモリシステム内でこのフラッシュメモリチップを使用することが可能となる。

【 0 0 2 0 】

集積回路メモリチップの一実施例において、1つまたはそれより多いメモリデータノードが、外部入力バス接点と外部出力バス接点の間に直列接続される。次に、これらのバス接点を一緒に接続することによって、1つまたはそれより多いメモリチップがコントローラチップと直列接続されて、それらが閉ループ状に接続される。複数のメモリチップは、別のメモリチップのバス入力に接続されたあるチップのバス出力に接続される。1枚のプリント回路基板（PCB）を用いてさまざまな個数のメモリチップを有するメモリカードを従来通りに製造できるようにするために、個々のメモリチップは、直列に隣接するメモリチップと接続するためのバス出力パッドと、コントローラチップに戻すバス経路に接続するためのバス出力パッド、という2セットのバス出力パッドを備えることができる。PCBに装着されている各メモリチップの戻りバス出力パッドは、1から最大数までの任意の数のメモリチップのためのコントローラへの戻りバス経路を形成するPCB上の1セットの導体に接続される。よって、戻りバス出力パッドは、一連のメモリチップの最後で有効となって、PCB上の戻りバス導体と作用的に接続するが、他のすべてのメモリチップの戻りバス出力パッドは無効となる。正確に言えば、他のメモリチップの他の出力は別のメモリチップのバス入力と接続されて、メモリチップの直列接続およびリングバスを形成する。

【 0 0 2 1 】

本発明の他の態様、利点および特徴は、添付図面と組み合わせて解釈されるべきである以下の本発明の例示の実施例の説明に記載されている。本願明細書では、本発明を説明するために、1タイプのフラッシュメモリシステムの実施例しか説明しないが、本発明のさまざまな態様が、そのコンポーネント間でデータを転送する高い周波数のバスを必要とする多様なタイプのメモリシステムで実施され得る。また、本発明の多くの態様および特徴は、内部バスを利用する他のタイプの電子システムの同様な利点によって実施可能である。

【 0 0 2 2 】

本願明細書に記載されている、特許、特許出願、論文および他のタイプの出版物のすべ

10

20

30

40

50

ては、いずれの場合においても、その全体が参照により本願明細書において援用されている。

【発明を実施するための最良の形態】

【0023】

図1を参照すると、以下の本発明の種々の態様および特徴の説明の背景技術を提供するために、従来のバスを備えた一般的なフラッシュメモリシステムが示されている。図1ではメモリチップ15は1つしか示されていないが、システムコントローラは、通常、システムバス13を介して1つまたはそれより多い集積回路メモリチップに並列接続される1つの集積回路チップ11に実装される。示されている特定のバス13は、データを搬送するための独立した導体セット17と、メモリアドレス用のセット19と、制御およびステータス信号用のセット21を備えている。あるいは、1セットの導体をこれら3つの機能の間で時分割することもできる。

10

【0024】

一般的なコントローラチップ11は、インターフェイス回路25を介してシステムバス13とインターフェイスする、それ自体の従来式の内部バス23を有している。通常このバスに接続される一次機能は、(マイクロプロセッサまたはマイクロコントローラなどの)プロセッサ27、このシステムを初期化(「ブート」)するためのコードを含んでいるリードオンリメモリ(ROM)29、メモリとホストとの間で転送されるデータをバッファするために主として使用されるリードオンリメモリ(RAM)31、およびメモリとホストとの間のコントローラを通過するデータの誤り訂正符号(「ECC」)を計算して確認する回路33である。コントローラバス23は回路35を介してホストシステムとインターフェイスする。メモリカード内に含まれている図1のシステムの場合、これは、カードの外部接点37を介して行なわれる。クロック39がコントローラ11の他の各コンポーネントと接続されて利用される。

20

【0025】

システムバス13に接続されている他のものと同様に、通常メモリチップ15は、複数のサブアレイまたはプレーンに構成されたメモリセルのアレイを備えている。分かりやすくするために、2つのそのようなプレーン41および43が示されているが、そのようなプレーンは4つまたは8つある方が一般的である。あるいは、メモリチップ15はプレーンに分割されないメモリセルアレイを備えていてもよい。しかし、そのように分割される場合、各プレーンはそれ自体の列制御回路45および47を有し、列制御回路45および47は互いに独立に動作できる。回路45および47は、システムバス13のアドレス部19からそのそれぞれのメモリセルアレイのアドレスを受け取り、それらを復号化して、特定の1つまたはそれより多いそれぞれのビットライン49および51をアドレス指定する。プレーン41および43は、アドレスバス19上で受信されたアドレスを受けて行制御回路55を通じてアドレス指定される共通ワードライン53を有する。現在のところ、メモリセルアレイ41および43のNANDアーキテクチャが好適である。Pウェル電圧制御回路61および63のように、ソース電圧制御回路57および59もそれぞれのプレーンに接続されている。

30

【0026】

システムバス13のデータ部17に接続されているそれぞれのデータ入出力回路65および67を通過して、プレーン41および43にデータが入出力される。回路65および67は、それぞれの列制御回路45および47を介してプレーンに接続されたライン69および71を介して、そのそれぞれのプレーンのメモリセルにデータをプログラムし、且つこのメモリセルからデータを読み出す両方の役割を果たす。

40

【0027】

コントローラ11は、データをプログラムし、データを読み出し、種々のハウスキーピングマターを削除および追加するようにメモリチップ15の動作を制御するが、各メモリチップもまた、コントローラ11からのコマンドを実行してこのような機能を実施する何らかの制御用回路を備えている。インターフェイス回路73がシステムバス13の制御お

50

よびステータス部 21 に接続されている。コントローラからのコマンドはステートマシン 75 に供給され、その後、ステートマシン 75 はこれらのコマンドを実行するために他の回路を厳密に制御する。制御ライン 77 ~ 81 は、ステートマシン 75 とこれら他の回路とを図 1 に示されているように接続する。ステートマシン 75 からのステータス情報は、ライン 83 を介してインターフェイス 73 に送られ、バス部 21 を介してコントローラ 11 に送信される。

【0028】

コントローラチップ 11 とメモリチップ 15 の種々の部分との間の通信は、コントローラとメモリチップが並列接続されている単一システムバス 13 を介した通信の制限に左右されることが、図 1 のメモリシステムから分かる。

【0029】

(例示的なリングバスの実施形態の詳細な説明)

前述した従来のバス 15 の代わりにリングバスを用いたメモリシステムの第 1 の実施形態が図 2 ~ 図 9 に示されている。最初に図 2 を参照すると、コントローラ集積回路チップ 101 と単一メモリチップ 103 がメモリシステムを形成しているが、別のメモリチップを含むことも可能である。メモリチップ 103 はメモリセルの 4 つのプレーン 105 ~ 108 を有するように示されているが、そうではなく、使用されるメモリプレーンが、4 つより少なくてもよいし、たとえ 1 つであってもよいし、または 4 つより多くてもよい。列制御回路 110 ~ 113 がそれぞれのプレーン 105 ~ 108 に接続されている。2 つのデータレジスタ A または B の一方を選択するそれぞれの多重化回路 115 ~ 118 を介して、データがメモリプレーン 105 ~ 108 へプログラムされ、また、メモリプレーン 105 ~ 108 から読み出される。データのプログラミング中、そのマルチプレクサによって選択される特定プレーンのレジスタ A または B の一方に記憶されているデータが、当該プレーンにプログラムされる。同様に、データの読み出し中、プレーンから読み出されたデータは、そのマルチプレクサによって選択されるレジスタ A または B の一方に書き込まれる。これら 2 つのレジスタを使用することは要件ではなく、単一のレジスタを使用することも可能であるが、これら 2 つのレジスタは、メモリシステムの動作時のフレキシビリティおよび並列処理の度合いを増加させる。コマンドおよび制御回路 121 は、図 1 のシステムの制御回路のステートマシン 75 および種々のものと同様の機能を提供する。

【0030】

図 2 の例において、メモリアレイプレーン 105 ~ 108 のそれぞれは、プレーンから読み出されるデータおよびプレーンにプログラムされるデータを、リングバスインターフェイスノード 123 ~ 126 の対応する 1 つを介して送受信する。各プレーンのデータレジスタ A および B の両方が、このプレーンのノードに接続される。コントローラ 101 からのコマンドはリングバスインターフェイスノード 127 によって受け取られ、ステータス信号はこの同じノードを介してコントローラに送り戻される。ノード 127 はメモリ集積回路チップ 103 の制御回路 121 に接続されている。このシステムに追加のメモリチップ (図 2 には示されていない) が含まれる場合、この具体例では、各メモリチップが自己のコマンドインターフェイスノードを備えることになる。

【0031】

同様に、コントローラチップ 101 はコントローラ 130 に接続されるリングバスノード 128 を備えている。図 2 のコントローラ 130 は、ノードインターフェイス 128 (図 2) がメモリインターフェイス 25 に置き換わることを除き、図 1 のコントローラ 11 と同様とすることが可能である。

【0032】

ノード 123 ~ 128 は、データ、アドレス、コマンドおよびステータス情報をこれらノード間で転送するために、ループ状につなが合われている。このループは、コントローラから 130 からのデータを搬送する 1 つのライン 133 と、コントローラ 130 からのコマンドを搬送する別のライン 135 とを有するリングバスによって形成されている。あるいは、情報転送帯域幅を広くするために 2 つまたはそれより多いラインを使用するこ

10

20

30

40

50

と、および/または2つまたはそれより多いコマンドラインをリングバスに備えることが可能であるが、これは、バスノード回路構成と動作が複雑化して費用が強いられる。このバスには、クロック信号をノードに搬送するさらに別のライン137を備えることもできる。あるいは、データライン133上およびコマンドライン135上の情報に自動タイミングフォーマットが採用される場合には、クロックラインを省略することができる。

【0033】

図2のシステムは、1クロックサイクルまたは数クロックサイクルの遅延が各ノードに好適に導入された状態で、データおよびコマンドがリングバス上をパイプライン式に転送されるように動作させられる。データライン133、コマンドライン135、およびクロックライン137は、集積回路チップ101および103上およびそれらの間で同じ経路をたどり、各ノード内で、3本のライン内の信号に同じ遅延が導入される。情報は、従来のバスでそうであったようにバス全体に存在するのではなく、隣接するノード間のバスのセグメントに沿ってポイントからポイントへ転送されるだけであり、それによってきわめて高い周波数のリングバス動作が可能となる。バス上の信号は、利用可能な電力供給電圧によってその振幅が設定された状態で、完全にデジタルとすることができる。しかし、動作周波数の増加および電力損の低減は、低電圧スイング信号送信、完全微分信号送信、擬微分信号送信、ダブルデータレート、または最新モードドライバの使用など、適切な高速信号送信技術を利用することによっても達成できる。

【0034】

コマンドはコントローラノード128だけが発信することが好ましい。これによって、コントローラノード128がリングバスの単一マスタとなる。コマンドコードは、コマンドライン135上のコントローラノード128から送出され、1つまたはそれより多い他のノード123~127によって実行される。1つのノードだけが、コマンド実行の対象とされる場合、このノードの対応識別コードがデータライン133上を同時に転送される。したがって、対象ノードは、実行用コマンドを受け入れる唯一のノードとなる。

【0035】

データライン133上を転送されるデータは、いずれか1つのノード123~128(ソースノード)から発信され、いずれか1つまたはそれより多い他のノード(宛先ノード)に向けられる。そのようなデータ転送の前に、ソースノードおよび宛先ノードがデータ転送用に設定される。その後、リングバスを巡回するデータ転送が行なわれる。転送されるデータは、リングバス全体を巡回して進み、発信ノードに戻ることを好ましい。これにより、ECCを用いることによってデータの有効性を確認するノードなど、そうするように設定されたいずれの他のノードも転送データを読み出すことができるように、徹底される。これにより、最初の転送データと比較することによって、または冗長パリティビットを使用することによって、リングバス巡回転送中に生じた誤りがないか、発信ノードが受信データを確認することも可能となる。

【0036】

ほとんどの場合に好ましい図2のシステムのある特定の動作中、データは、時分割多重化を利用して、フレーム式またはタイムスロット式にデータライン133上にリングバスを巡回するように送出される。これにより、異なるデータセクタなど、異なるソースおよび/または宛先ノードを有する場合もある2つまたはそれより多い異なるデータチャネルのリングバスを巡回する同時転送が可能となる。各データ転送に使用されるタイムスロット数は、実行される同時データ転送数に対応するように選択される。これにより、個々のノードに接続されているメモリデータプログラミングおよび書き込回路と同様に、個々のノードの特定機能が、より少ない帯域幅で動作できるようにしながら、リングバスの帯域幅が十分に利用される。

【0037】

図3Aのタイミング図を参照すると、同時に時分割多重化された3つのチャネル0~2のデータ伝送が示されている。データライン133上の次に始まるフレームが有効データを含んでいることを示すマーカとして、1サイクルの「pip」がコマンドライン135

10

20

30

40

50

に送出される。pipは、データライン133上のタイムフレームに挿入される、pipと同じクロックサイクル中に始まるデータのソースであるいずれかのノードによって、コマンドライン135に挿入されるのが最も一般的である。したがって、リングバスのデータライン133およびコマンドライン135は、同様に経路設定して同期するように動作させる必要がある。データタイムスロットのタイミングおよび定義は、そのようにするのにpipを利用しない以下に説明する態様で制御される。

【0038】

図3Aの例では、データフレームA、BおよびCが、チャンネル0、1および2でそれぞれ送出される。チャンネル1は2サイクル用の有効データを搬送せず、その時間の後、インシヤルデータフレームBがリングバスで転送有効となる。1チャンネルのデータがメモリフレームノード123~127のいずれかの間をこのように転送されることにより、データがメモリとホストシステムとの間で転送されるときに、コントローラ130を通る必要なくメモリチップ103内のプレーン間でデータ転送が行なわれるか、または、1つ以上のそれらとコントローラノード128との間でデータ転送が行なわれる。

【0039】

D個のノードを有するリングバスを巡回してデータを転送するために時分割多重化を行なう2通りの具体的な実施例が、図3Bおよび3Cのタイミング図によって概念的に示されている。各タイムフレームの持続時間(長さ)は、Aクロックサイクルである。以下に説明する具体例のデータバスタイムスロットは4クロックサイクルであるが、数字Aは、わずか1とすることも、8、16、32、またはそれより多い数とすることも可能である。データが通過するノードによるデータの遅延は、Bクロックサイクルとして示されている。パラメータAおよびBのそれぞれは、通常、メモリシステム内に作り込まれるので、システムの動作中に変更することはできない。C個のタイムスロットが使用される。

【0040】

図3Bに示されているリングバス動作時、チャンネル(タイムスロット)の個数Cはバス上のノード数Dと等しくされる。フレーム長Aもノード間のバス遅延Bと等しくなるようにされ、AおよびBの測定はいずれもクロックサイクル数で行なわれる。各ノードは、一般にB個の記憶レジスタステージを有することにより、各ノードを通過する、遅延Bに等しい数のビットを格納する。これらのパラメータを使用することにより、データをバス上の各データノードに同時に転送することが可能となる。すべてのタイムスロットの各データビット位置に対して1つの記憶レジスタがバスの周りに存在する。これにより、割当てられたC個のデータタイムスロットが各ノードを絶えず循環する。したがって、一般的なデータ転送動作に用いることができる最大数のチャンネルが存在する。実際には、通常データを送受信しない各制御ノードのチャンネルが含まれるので、結果的に1つまたはそれより多い余分のチャンネルが出てくる。これらは、コントローラにステータス情報を送り戻すために使用できる。1つのチャンネルは通常、システム内の各メモリチップのステータス情報を送るために使用される。

【0041】

しかし、図3Bに示されているように時分割多重化を実施するのに便利ではあるが、この最大数のデータチャンネルが必要なことは滅多にない。したがって、データバスの帯域幅を最大限に使用するために、特定のデータ転送動作に必要なとされる程度の少ない数のタイムスロットCを使用することが好ましい。図3Cのタイミング図は、所期のデータ転送に必要なものになるように作ることができるが、図3Bに示されているように動作する場合に生じ得る多くの空タイムスロットを含む必要がない、動的に選択されたC個のチャンネルを備えたバスの動作を示す。

【0042】

図3Cには、バス上のD個のノードよりも少ない数のC個のチャンネルが使用される場合が示されている。この例では、ノードからのデータの連続フレームは、同時に同じチャンネルアイデンティティを備える少なくとも2つのタイムスロットでリングバスを巡回させられる。例えば、バス上にD=12個のノードが存在し、同時転送されるC=6個のデータ

10

20

30

40

50

チャンネルを多重化によって動的に指定した場合、各チャンネルはバスに2回出現する。D/Cが整数であり、この例では整数が2であるので、これは比較的単純明快である。しかし、D/Cが整数ではない、より頻繁に起こる事例が図3Cに示されている。このような場合、1つまたはそれより多い不使用のタイムスロットが挿入され、不使用のタイムスロットは「ヌルスロット」と呼ばれる。ノード数Dからヌルスロット数を減じた数字をタイムスロット数Cで割ったときに整数となるように、複数のヌルスロットが挿入される。すなわち、 $(D - \text{ヌルスロット数}) / C$ を整数にする。

【0043】

データバスを介して転送されるデータの全部でC個の一連のフレーム(タイムスロット)が、1「サイクル」を形成するように図3Cに示されている。この例では、データを通
10
過させるバス上のD個のノードより少ない、バスを巡回するタイムスロットのグループを形成するために、サイクルが全部でN回繰り返される。一連のタイムスロットをノード数Dと等しくするために、このグループを実質的にNサイクル+ヌルスロットまで拡張するようにヌルスロットが加えられる。図3Cの例では、 $N = D - 1$ であり、足りない1の分の埋め合わせは、示されているヌルスロットの挿入によって遂行される。 $N = D - 2$ である別の事例では、例えば、2つのヌルスロットが挿入される。これにより、グループのデータを1度でバスを完全に1周移動させるのに必要な総クロックサイクル数が、このリングのまわりの1ビット格納位置の総数と等しくなる。数量NおよびCは、所期のデータ転送動作について、リングの周りを循環させる不使用のヌルスロットの数が最小限になるように選択される。というのは、ヌルスロットの使用により、バスのデータ転送帯域幅が幾
20
分か少なくなるからである。必要な場合、ヌルスロットは関連するデータチャンネルを有さず、リングのまわりをノード・ツー・ノードで連続的に循環する。「ドントケア」値を有するヌルデータは、ヌルスロット内でノード・ツー・ノードで渡される。

【0044】

図2のデータノード123~126のそれぞれの回路の実施例が図4に示されている。リングバスのデータライン133上の1ビットのデータの信号はレジスタステージ151によって受信され、直列的に連続するレジスタ152、154および156を通される。4クロックサイクルのタイムスロット長Aに合うように、4つのレジスタステージが示されている。最後のステージ156の出力および最初のステージ151の出力は、いずれも
30
スイッチング回路153へ入力として接続されている。これにより、回路153は1遅延サイクルまたは4遅延サイクルで動作可能となる。スイッチング回路153の出力は、ドライバ155を介してデータライン133に戻るように接続されている。最も一般的な構成において、スイッチング回路153の入力が、その出力ドライバ155に接続されたレジスタ156からのものである場合、データノードのレジスタ151が受信する1ビットのデータは4クロックサイクル後にデータライン133上に戻され、リングバスの別のセグメントを介して次のデータノードに転送される。同様に、スイッチング回路153の入力が、その出力ドライバ155に接続されたレジスタ151からのものである場合、遅延は1クロックサイクルである。ノードによってそのレジスタAまたはBの一方からデータラインにデータが戻されるタイムスロット中、スイッチング回路153はこれらデータバス
40
入力をその出力に接続させない。

【0045】

データバスが、示されている単一ラインではなく、2本またはそれより多い並列なデータラインを使用する場合、各ラインごとに別個のレジスタステージが設けられ、スイッチング回路153はそれらを一緒に切り換える。例えば、データバスが4本のラインを含んでいる場合、データノードは各ラインに1つずつレジスタステージを備えている。そのような場合、各ノードがそれを介して1つのタイムスロットの4ビットを転送する場合の総遅延は、4クロックサイクルではなく1クロックサイクルである。これによってバスの帯域幅は大きくなって有利であるが、システムの回路構成および動作が複雑化する。

【0046】

データノードへのコマンドライン135の入力は、他の一連の4つのレジスタ157、

10

20

30

40

50

158、160および162に同様に接続されている。コマンドは、データライン133上のデータと同時に、すなわち同じ遅延が課せられた状態で、コマンドライン135に送られる。最後のレジスタ162の出力は、データレジスタ経路と同様、最初のレジスタステージ158の出力のようにスイッチング回路153に接続される。これらの入力はいずれもスイッチング回路153によってドライバ159に接続し、コマンド情報を1または4クロックサイクルの遅延を付けてリングバスの次のセグメントに送ることができる。ノードがコマンドライン135にpipを送出する必要があるとき、これらの入力はいずれもドライバに接続されない。これは、ノードによって、データバス133を通じて、次に生じるタイムスロットに有効データが置かれることを示す。データバスが2つまたはそれより多いラインを含む場合、2つのバスが同期して動作するように、コマンドバスは、並列レジスタの使用を含め、同様に構成されることが好ましい。

10

【0047】

クロック信号ライン137はドライバ161と直接接続され、データとコマンドレジスタステージのために刻時を行い、また、データノードの残りの回路のためのクロック信号を供給する。

【0048】

デコーダ163が、レジスタ157の出力でコマンドライン135からコントローラコマンドを受け取り、レジスタ151の出力でデータライン133上の関連データを受け取る。デコーダの機能の1つは、引き続いて起こるデータ伝送中にデータを受信または送信するようにそのノードを設定するコマンドを実行することである。データライン133に供給されるコマンドに関するデータは、コマンドの対象となるノード識別番号、データの送信または受信に使用されるチャネル番号、レジスタAとBのどちらが使用されるか、転送されるデータ長、および他の設定情報などである。

20

【0049】

レジスタ165は、メモリシステムの始動時または他の初期化時に記憶されるノードの固有識別番号を含んでいる。システムコントローラによって出されるグローバル初期化コマンドがこれを行なうことが好ましい。識別番号は、動作中、コントローラからのノード用のコマンドのアドレスとして使用される。リングバス上のすべてのノードがコマンドを受信するが、コマンドは、このコマンドの対象とされるノードの識別番号とともに、バスを通じて伝送される。そのため、識別番号でアドレス指定された1つまたは複数のノードだけがこのコマンドを記憶して、次に実行するように応答する。

30

【0050】

別のレジスタ167は、特定のノードが通信している時分割多重化されたデータバスのチャネルの番号を含んでいる。このチャネル番号は、一般に、データバス133を通じた毎回のノードとのデータ伝送前にノードの設定の一部として書き直される。データ伝送中、データを送信または受信するためのノードに割り当てられたチャネルのタイムスロットの出現を識別するために、記憶されたチャネル番号が使用される。現在の転送動作で転送されるデータの長さは別のレジスタ168に記憶され、レジスタAまたはBのどちらを転送に使用するかの指定はレジスタ170に記憶されている。レジスタ167、168および170のパラメータは、バスを巡回してコマンドライン135を通じて送られる、レジスタ165に記憶されるノード識別番号を含むコマンドによって、デコーダ163を通じてこれらのレジスタにロードされる。

40

【0051】

図4のスイッチング回路153は、データバスライン133とレジスタAおよびB(図2に示されているもの)の一方との間に、それぞれのデータライン169および171の一方を通じて接続を確立する。制御回路は、一方のレジスタAまたはBとデータライン133との間でデータを転送するようにノードを設定する。ノードのメモリプレーンに記憶するためにバスからデータを転送するとき、回路153は、ライン182上の復号化された制御信号によって選択された通りにレジスタ151またはレジスタ156の一方の出力でバスライン133から、ライン177上の制御信号によって選択された通りにレジスタ

50

AおよびBの一方へ、データを送る。しかし、ノードに割当てられたタイムスロット中に、選択された一方のレジスタAまたはBからデータバスライン133へ逆方向にデータを転送するとき、スイッチング回路153は、レジスタ151とドライバ155の間のデータバスライン133のセグメントを切断する一方、選択されたレジスタの出力をドライバ155に接続する。それ以外するとき、スイッチング回路153は、1または4クロックサイクルの遅延を与えることを除き、データについては何もせずにデータをノードに通すように接続される。レジスタ151またはレジスタ156の一方とドライバ155との間のデータバスライン133のパススルー接続は、ノードがそのデータレジスタAまたはBの一方とデータバス133との間でデータを転送していないときに維持される。

【0052】

適切な時間にこれらの接続を行なうようにスイッチング回路153を制御するのは、制御ライン175～179および182を通じたデコーダ163からの信号および別の制御ライン180を通じたチャンネルカウンタ181の出力からの信号である。カウンタ181は、デコーダ163によって、ライン183～186を通じて4つの信号により制御される。ライン183は、ノードによるデータ転送動作の最初にカウンタ181をリセットする初期化信号を搬送する。ライン185は、データ伝送のためのノードのセットアップの一部としてコントローラによって伝えられる、現在のデータ伝送に使用されるチャンネル数のデータを搬送する。リングバス上のノード数Dもライン186を通じてカウンタ181に供給され、サイクル数N(図3C参照)は回路184を通じて伝えられる。カウンタ181は、最大チャンネル数まで数え、次に最小チャンネル数にリセットされ、休止され、再び数えはじめる、といったことを行なう。現在の数、したがって現在のチャンネル数が、ライン180を通じてスイッチング回路153に入力される。回路153は、この数と、レジスタ167から制御ライン175を通じてデコーダによって供給された、ノードに割当てられたチャンネル数とを比較する。これらの数が同じであるとき、回路153は、レジスタ168から制御ライン176を通じて供給されたデータ伝送の長さから判断される通りに、転送が完了するまでデータバス133に対してデータを送受信するようにノードを切り換える。

【0053】

ライン177上の制御信号は、ノードのレジスタAまたはレジスタBのどちらを使ってデータを転送するかを指定する。ライン178および179は回路153を次のように切り換える信号を搬送する。(1)データバス133からデータを受け取るように切り換える。この場合、データバスはノードを通り、制御ライン177によって識別されるレジスタがこのノードに接続されている。(2)ノードに割当てられたタイムスロット中に、識別されたレジスタからバスライン133にデータを転送するように切り換える。このタイムスロット中、バスライン133はノードを通らない。(3)レジスタAまたはBと接続せずに、データバスライン133がノードを通るように切り換える。

【0054】

図4に関連して説明されているデータインターフェイスノードは、バス133とレジスタAおよびBとの間のデータ転送を制御する。バス133へ転送するための、メモリセルアレイプレーンからレジスタAまたはBへのデータの読み出し、または、レジスタAまたはBからメモリセルアレイへの、バス133から得られたデータのプログラミングは、コマンドリングバスインターフェイスノード127(図2)を通して制御される。コマンドノード回路の例が図5に示され、ここで、図4の構成要素に対応するものはプライム符号(')を付けた同じ参照番号で識別されている。レジスタ193は、デコーダ197からのライン195内の制御信号によって使用可能とされるとすぐに、コマンドバス135から受信されるコマンドデータを記憶する。同様に、レジスタ199は、デコーダからのライン201内の信号によって使用可能とされると、データバス133から受信されるコマンドを記憶する。レジスタ199の主な用途は、読み出しまたはプログラミングのためにアクセスされるメモリセルアレイ内のアドレスを記憶することである。

【0055】

レジスタ193および199内のデータは、それぞれのライン203および205を通じて出力される。ライン203および205は、ステータス信号ライン207とともに、信号バス209を通じてメモリアレイ制御回路121(図2)に接続されている。ライン203によって搬送される主なコマンドは、ライン205でアドレスによって指定される位置にある1つまたはそれより多いメモリプレーン105~108およびレジスタAまたはBの一方に対してデータをプログラムするコマンドおよびデータを読み出すコマンドである。ライン203で搬送されるコマンドコードは、メモリチップ103内のコマンドおよび制御回路121(図2)の Protokol によって指定されるものである。この Protokol は、リングバス内で使用されるコマンドコードのプログラムと同じである必要はない。例えば、リングバスのコマンドコードは、メモリセルアレイで使用されるコマンドコードと異なる長さのものであってもよい。この場合、コード翻訳機(図示せず)をコマンドレジスタ193(図5)の出力に組み込むこともできる。ある Protokol を別の Protokol に変換するためのマッピング情報をシステム構成コマンドによって翻訳機にロードしてもよい。ステータスライン207は、制御回路121から出力されてスイッチング回路211を通ったステータス信号を、ノード間でデータを転送するためのメモリスシステムをセットアップするときに指定される時分割多重化チャンネルの1つで、データバスライン133へ供給する。

【0056】

図5のスイッチング回路211は、図4のスイッチング回路153より機能が単純である。データライン133は、ライン207からのステータス情報をライン133に送るタイムスロット中を除き、ライン214の制御信号で選択されたレジスタ151'またはレジスタ156'とドライバ155'との間を常に通されている。設定されたタイムスロットの出現は、図4のスイッチング回路153と同様に、チャンネルカウンタ181'からのスイッチング回路211と、ライン175'における割当てられたチャンネル番号とによって確認される。別のノードに転送するためにデータをフラッシュメモリからレジスタAおよびBの一方または両方に読み出す前に、または、別のノードからレジスタ193および199に転送されてきたデータをフラッシュメモリにプログラムした後、システムコントローラからレジスタ193および199へのコマンドおよびアドレスの受信がデータ転送の前または後に生じているあいだ、ノード間のデータ転送中にステータス情報がバス133に供給される。

【0057】

いずれもコントローラ130によってそのリングバスノード128(図2)を通じて発せられた、図2~5のメモリスシステムを動作させるためのコマンドセットが、図6A~6Iに示されている。それぞれのバスライン135(CMND)および133(DATA)を介してリングバスの3つのノードを通るコマンドおよびデータの転送が、便利のために時系列で生じる通りに示されている。当然のことながら、メモリスシステムは3つより多いリングバスノードを有する可能性が高い。その場合、図6A~6Iに示されているパターンは各ノードの信号を示すように展開される。あるノードの信号は、直前のノードのものから1クロックサイクル遅延される。各コマンドの直前のクロックサイクルでコマンドラインにpipが送出されることに注意されたい。この具体例では、データラインを通じて送られるデータの冒頭にマーキングも施される。示されている1サイクルのpipではなく、各コマンドの前のpipが複数のクロックサイクルを占有してもよいし、また、後続のコマンドを使用可能にするために必要な固有コードとして定義されてもよい。これにより、送られてくるコマンドの誤検出が大幅に改善される。

【0058】

図6A、6Bおよび6Cのコマンドは、リングバス上のあらゆるノードで実行される設定コマンドである。図6Aまたは図6Bの別のコマンドにより、各ノードのレジスタ165および165'(図4および5)に固有ノード識別(ID)番号が記憶される。図6Aにおいて、冒頭にpipが付せられた設定IDコマンドがコマンドライン153を通じて送られる。その後、固有識別(ID)番号がデータライン133上に続くが、この固有識

10

20

30

40

50

別番号の冒頭にもコマンドライン上で pip が付される。コントローラノードの後のバス上の最初のノードによって受信された ID 番号は、ノードスイッチング回路 153 または 211 (図 4 および 5) の一部である回路によって増分され、増分された番号はリングバスを巡回して順々に次のノードに送信される。

【 0059 】

図 6 B において、リングバスの連続ノードで使用される一連の ID 番号は、直前のノードの増分回路ではなく、コントローラ回路 130 (図 2) によって決定される。これにより、ノードへの ID 番号の割当てに、より大きなフレキシビリティが与えられる。コントローラ 130 はリングバスの隣接する最初のノードの 1 つの ID 番号だけを送出するのではなく、バス上の各ノードについて ID 番号を 1 つずつ、ID 番号ストリングとして送出する。各ノードは受けとった最初の ID 番号を取り除いて、残りをリングバス上の次のノードに順々に再送信する。

【 0060 】

図 6 C にはチャンネルリセットコマンドが示され、コントローラはシステム上の各ノードが受け取って実行するコマンドをコマンドバスライン 135 を通じて送出する。ノードがこのコマンドを受け取ると、このノードの割当チャンネル番号レジスタ 167 および 167' (図 4 および 5) がリセットされる。

【 0061 】

図 6 D、6 E および 6 F の 3 つのコマンドは、コマンドノード 127 (図 2 および 5) など、リングバスシステム上の識別されたコマンドノードに送られて受信される。図 6 D のアドレス入力コマンドは、アクセス対象のフラッシュメモリアドレスを識別する。このコマンドはコマンドライン 135 を通じてバスを巡回して送られ、一方、このコマンドを受信させたい 1 つのコマンドノードの ID 番号がデータライン 133 を通じて送られる。ノード ID に続くのは、その後のステップで何らかの動作が実施されるべきメモリエル Array のアドレスである。次に、コントローラによって送出された ID と一致する ID をそのレジスタ 165' に有する 1 つのノードは、このアドレスをそのアドレスレジスタ 199 (図 5) にロードする。バスを巡回してノードからノードへ同じ ID よびアドレスが渡されるが、一致する ID を備えた 1 つのコマンドノードだけが、このアドレスを受け入れて記憶するように自己を許可する。

【 0062 】

図 6 D の 1 つまたはそれより多いアドレス入力コマンドによってアドレス指定されたフラッシュメモリの一部分を動作される関連するコマンドセットが図 6 E に示されている。図 6 E に列挙されているコマンドのうちの 1 つのコマンドの固有コードがコマンドライン 135 を通じて送られ、このコマンドの宛先とされる 1 つのコマンドノードの ID がデータライン 133 を通じて送られる。次に、このコマンドは、識別されたコマンドノードのコマンドレジスタ 193 (図 5) にロードされ、すぐに実行される。図 6 E の読み出しモードコマンドは、リングバスによるデータの転送に備えて、図 6 D のコマンドで以前にロードされたアドレスにあるフラッシュメモリ内のデータをフラッシュメモリからレジスタに読み出させる。同様に、図 6 E のマルチブロックプログラムコマンドは、レジスタから、図 6 D のアドレスコマンドで以前に供給されたアドレスにあるフラッシュメモリの 2 つまたはそれより多いプレーンにデータを並列にプログラムするために使用できる。図 6 E のコマンドのうちの 1 つを実行することが望まれるコマンドノードが 1 つより多くメモリシステムに存在する場合、図 6 D および 6 E のコマンドがそれぞれに別個に送られる。

【 0063 】

読み出し、プログラミングまたは他の動作中にコマンドノードによってステータス信号を送出することが望まれる場合、そうするようにコマンドノードを設定するために図 6 F のステータス読み出しコマンドが使用される。コマンドライン 135 を通じて固有コマンドが送られ、他方、このコマンドによるセットアップが望まれる 1 つのコマンドノードの ID がデータライン 133 を通じて送られる。ステータス情報が送られるチャンネル番号が、データライン上のノード ID に続く。その後、このチャンネル番号は割当てられたチャネ

10

20

30

40

50

ル番号レジスタ167' (図5)にロードされる。

【0064】

図6Gは、後続のデータコマンドを受けて、リングバスのデータライン133とレジスタAまたはBの一方とのあいだでデータを転送するためにデータノードを調整するために使用される関連する入力および出力コマンドを示す。入力または出力コマンドは、コントローラによってコマンドバスライン135を通じて送られ、その後、対象ノードのID、データを転送するチャンネル番号(タイムスロット)、データ転送に使用されるレジスタAまたはB、およびデータ転送の長さが続く。その後、送られたチャンネル番号がデータノードのレジスタ167(図4)にロードされ、選択されたレジスタAまたはBおよびデータ転送の長さがデコーダ163に一時的に記憶され、それぞれのデコーダ出力177および176によって供給される。

10

【0065】

すべての関連するデータノードが、1度に1つずつ、図6Gのコマンドを受け取って実行することによってデータ転送が行なわれるように設定されると、図6Hのデータオンコマンドによって転送が行なわれる。データオンコマンドは、コントローラによってバスのコマンドライン135を通じて送られ、転送を実行するのに必要な設定パラメータはデータライン133を通じて送られる。これらのパラメータは、図3Cのタイミング図によって示されているグループ化されたチャンネル転送に引き続き、データ転送に使用されるチャンネル(タイムスロット)数C、1グループのタイムスロット内のサイクル数N、およびリングバス上のノード数Dなどである。これらのパラメータはデータノード(図4)に記憶され、データ転送中にライン184、185および186を通じてチャンネルカウンタ181に供給される。その後、データは、図6Gの入力または出力コマンドに指定された各ノードの固有チャンネルを通じて、このコマンドによって指定された通りに、このコマンドを受信した各ノードのレジスタAまたはBの一方へ、または一方から、転送される。

20

【0066】

図6Hのデータオンコマンドは、割当てられた時分割多重化チャンネルでリングバスに巡回させるようにデータを転送させる。各データチャンネルで転送できるのは、チャンネルの幅、すなわちそれぞれに割当てられた時間の長さに応じて、限られた量のデータである。図6Hでは、説明が簡単となるように、長さ4クロックサイクルとすることによって4ビットのデータを搬送するように個々のチャンネル(データフレーム)が示されているが、実際は、もっとずっと大きくすることができる。各データノードは、図3Cに示されているグループ化チャンネルサイクル技術にしたがって、以前に転送されたフレームがリングバス巡回回路を完了してノードに戻る前に、別のフレームのデータを転送してもよい。これは、ノードから転送されるすべてのデータがこのように転送されるまで続く。

30

【0067】

データオンコマンドの実行中にデータが転送されるあいだにコントローラがリングバスを通じて別のコマンドノードまたはデータノードコマンドを送出する前に、転送を中断する必要がある。これを行なうためのデータオフコマンドが図6Iに示されている。データ転送中にソースデータノードがデータオフコマンドを受信すると、ソースデータノードはその後にデータオンコマンドを受信するまで、データ転送を中断する。しかし、データオフコマンドの後に他のチャンネルに有効なデータが存在する場合があるので、転送されるデータの宛先ノードは関連するデータを受け取り続ける。単にデータをそれらに渡すように設定されたこれらのノードは、そのようにし続ける。データオフコマンドによってデータ転送を中断する理由の1つは、データオフコマンド後で、且つ、再設定されたデータ転送が後からのデータオンコマンドによって再開される前に、入力および/または出力コマンドの使用によって行なえるように、チャンネルを追加する、データを送信または受信するように追加ノードを設定するなどができるからである。再設定されたデータ転送の新しいパラメータは、後続のデータオンコマンドの一部として指定される。

40

【0068】

図6Iのデータオフコマンドは、関連するコマンドコードを有しないという点が他のす

50

すべてのコマンドと異なる。このコマンドは、先行するコマンドがデータオンコマンドであった場合のみ使用されてもよい。データオフコマンドは、コマンドラインを通じて任意のチャンネルで拡張 pip としてコントローラによって出力される。データラインは、データオフコマンドとは関係のない、このチャンネルに適切なデータを搬送する。

【 0 0 6 9 】

直前に説明したコマンドの使用によるノード間のデータ転送の全体のプロセスを図 7 に略説する。転送されるフラッシュメモリプレーン内のデータは最初にレジスタ、この例では 1 つまたはそれより多いプレーンのそれぞれのレジスタ A または B の一方、に移動される。第 1 のステップ 2 2 1 により、フラッシュメモリアドレスが、1 つまたはそれより多いメモリプレーンにそれぞれ対応付けられている個々のコマンドノードに順々に送られる。その後、プレーンのアドレス指定された位置からその対応レジスタ A または B へデータを読み出すステップ 2 2 2 が続く。

10

【 0 0 7 0 】

これらのデータソースノードも、ステップ 2 2 3 で示されているように、構成される各ノード毎に図 6 G の出力コマンドを使用することによって、データを送信するように設定される。ステップ 2 2 4 において、データ宛先ノードが、設定される各ノード毎に入力コマンドを使用することによってこれらのデータを受信するように設定される。ステップ 2 2 3 および 2 2 4 は、ステップ 2 2 2 と同時に実施できる。バスを巡回するノード間のデータ転送が開始される前にノード間のステップ 2 2 2 の転送が完了したという確認を受け取るために、ステップ 2 2 2 が開始された後にステータス読み出しコマンド (図 6 F) が

20

【 0 0 7 1 】

データ転送用のソースノードおよび宛先ノードをセットアップするためのステップ 2 2 3 および 2 2 4 の完了後、ステップ 2 2 2 が完了したことを確認時に、これがなされる場合、ステップ 2 2 5 で、図 6 H のデータオンコマンドが出される。これにより、データがリングバスを通じてソースノードのレジスタから宛先ノードのレジスタに動かされる。ソースノードレジスタおよび宛先ノードレジスタは、コントローラ 1 3 0 を通じてホストとデータを送受信するために使用される、コントローラノード 1 2 8 (図 2) のそれらを備えている。

30

【 0 0 7 2 】

次いで、宛先ノードのレジスタに記憶されたデータはフラッシュメモリにプログラムされる。ステップ 2 2 6 において、コマンドノードによって制御されるフラッシュメモリ内のアドレスが、図 6 D のアドレス入力コマンドによってこのコマンドノードに送られる。コマンドノードが複数ある場合、このステップは、各コマンドノード毎に別々に実施される。次に、レジスタからフラッシュメモリへのプログラミングを最大可能並列処理で行なわせるために、図 6 E のプログラミングコマンドの 1 つが送られる。これらの技術により、データを (1) コントローラ内のレジスタを介したホストとフラッシュメモリ内の記憶位置との間、(2) フラッシュメモリ内の記憶位置間、の一方または両方で動かすことができる。

40

【 0 0 7 3 】

ステップ 2 2 6 の開始はステップ 2 2 5 の完了を待つ必要はなく、むしろステップ 2 2 5 と同時に実施できる。コントロールノードの動作とデータノードの動作の場合、または別個のレジスタの 2 つのノードの動作の場合、同時動作が可能である。

【 0 0 7 4 】

図 6 A ~ 6 I のコマンドを使用することによるデータ転送の説明が図 8 および 9 に記載されている。図 8 は、この例で使用される特定の所望データソースおよび宛先を用いて、図 2 ~ 5 のメモリシステムを概略的に示すものであり、図 9 は、所望の転送を実行するためのコマンドを順々に列挙してある。ホストシステムによって書き込まれたデータのセクタ 1 9、2 0 および 2 1 がコントローラバッファ RAM から転送される。フラッシュメモリに書き込みがなされるようにコントローラを通じてホストシステムとメモリシステムが

50

接続されている。これらのデータセクタは、それぞれ、メモリプレーンA、BおよびCに転送される。同時に、プレーンCのセクタR6がプレーンDに転送される。

【0075】

図8および9の例は、まだ説明されていない終了コマンド(図6E)の使用法を示すものでもある。終了コマンドは、ここでは、コマンド#4で開始されたステータス読み出し動作を終了させるためのコマンド#10(図9)として使用される。また、データオフコマンドは、それぞれのデータオンコマンド#8および#13の実行を停止するためのコマンド#9および#14として、2回使用される。データオフコマンド#9の理由は、それぞれの出力および入力コマンド#11および#12によって行なわれる、セクタR6の転送のためにソースノードと宛先ノードを設定するためにデータ転送を中断するためである。これは、フラッシュメモリ読み出しコマンド#3の実行に比較的長い時間がかかり、この時間中にコントローラがコマンド#4~#8を出すことができるので、必要である。次に別のデータオンコマンド#13が発せられる。これによって、チャンネル0で、セクタR6が転送されるデータに追加され、チャンネル1、2および3を通じたデータセクタ19、20および21の転送が再開される。後から開始されるデータセクタR6の転送が完了する前に生じるデータセクタ19、20および21の転送の完了後に、別のデータオフコマンド#14が発せられ、それによって後続のデータオンコマンド#15が、セクタR6の転送を終了させるために使用されるチャンネル数を減少させる場合がある。ほとんど常に行なわれるデータ転送に必要なチャンネル数だけを指定することにより、メモリの性能に悪影響を及ぼす空データのタイムスロットをなくすことが望ましい。

【0076】

図8および9に示されているデータ転送の例が単一リングバス上で特定の動作を同時に実施することにも注意されたい。これは、前述したアーキテクチャおよびコマンド構造の特徴である。例えば、データオンコマンド#8を受けて、時分割多重化を用いている結果として、データの3つのセクタ19、20および21が同時に転送される。各セクタは異なるソースノードと宛先ノードを備えている。データオンコマンド#13を受けて、4つのデータセクタ19、20、21およびR6と一緒にバスを巡回して転送される。また、コマンド#4中、データセクタ19、20および21の転送がチャンネル1、2および3を通じて行なわれるのと同時に、ステータス読み出しコマンドがチャンネル0を通じて実行される。また、前述したように、コマンド#4~#7およびコマンド#8の一部は、フラッシュメモリ読み出しコマンド#3が実行されている間に実行される。また、リングバスを巡回して転送されるデータは、コントローラのECC回路によってこれらのデータがコントローラノードを通るときにチェックしてもよい。これはデータ転送と同時に行なわれる。

【0077】

コマンドを用いて前述したようにシステムを動作させながら作ることができる、図2のメモリシステムアーキテクチャの変形例は数多く存在する。4つのメモリプレーンを有するメモリチップの代わりに、図10に示されているように、メモリチップは単一の非分割形メモリセルアレイを有することもできる。ここでは、2つのメモリチップ231および233が、リングバス内のコントローラチップ101と接続されるように示されている。メモリチップ231および233のそれぞれが、前述したようにリング状のバスによって接続された単一コマンドノードと単一データノードを備えている。特定のシステムで2より多いメモリチップを使用することもできる。

【0078】

別の可能な変形例が図11に示され、ここで、2つのメモリチップ235および237のそれぞれもリングバス上のコントローラチップ101と接続されているが、各メモリチップは単一の組み合わせられたコマンドおよびデータノード239および241をそれぞれ備えている。ノード239および241は、それぞれ、1つの回路に組み合わせられた図4および図5の別個のノード回路を備えている。このことの利点は、スイッチング、コマンドデコーダ、チャンネルカウンタ、種々の記憶レジスタなどといった重複するコンポー

10

20

30

40

50

ネットを削除することによってノード回路を小さくできることである。

【 0 0 7 9 】

単一パラレルバスを通じてメモリチップと通信する従来形コントローラに下位互換性を有するメモリ集積回路チップを提供するために、メモリチップは従来のバスインターフェイスならびにリングバスノードおよび外部接続を備えることができる。そのようなメモリチップが図 1 2 に示されている。このメモリチップは 4 つのリングバスノード 2 4 5 ~ 2 4 8 を含み、それぞれが 4 つのマルチプレクサ 2 5 1 ~ 2 5 4 のうちの 1 つの、 1 つの入力に接続されている。マルチプレクサ 2 5 1 ~ 2 5 4 のそれぞれの他の入力、共通バス 2 5 7 を介して従来形のバスインターフェイス回路 2 5 9 に接続されている。これにより、メモリチップの外部接続パッドで終端する従来のバス 2 6 1 が提供される。次に、これらのバスパッドは、システムコントローラに接続され、任意で他のメモリチップに接続される。図 1 のコントローラ 1 1 と同様な従来形コントローラ 2 6 3 も、図 2 のコントローラチップ 1 0 1 と同様なリングバスノード付きコントローラ 2 6 5 も、これらのバスパッドに接続できる。

10

【 0 0 8 0 】

メモリアレイとそのコマンドと制御回路（図 1 2 には示されていない）の部分それぞれをそれぞれのリングバスノード 2 4 5 ~ 2 4 8 に個別に接続するために、または、より一般的なバス 2 5 7 に並列に接続するために、メモリシステムに装着するとき、任意のチップのマルチプレクサ 2 5 1 ~ 2 5 4 は永久に設定されることが好ましい。メモリシステムで使用されているものにしたがって、いずれかのタイプのコントローラ 2 6 3 または 2 6 5 にチップを接続するようにマルチプレクサ 2 5 1 ~ 2 5 4 を設定するために、メモリチップの外部ピンを追加してもよい。チップのリングバスの入力 2 6 7 は、従来形のバスインターフェイス 2 6 1 の入力ラインセット、この事例では 3 本のラインのセット、に接続される。リングバスの出力 2 6 9 は、従来形バス 2 6 9 の 3 つの異なる導体の別のセットに接続される。したがって、コントローラ 2 6 5 がメモリシステムで使用される場合、バスが従来の方法で使用されないで、コントローラは従来形の外部バスの 2 セットのラインと接続される。そのため、いずれのタイプのコントローラとの接続にも対応させるために、メモリチップの外部パッドの数を増加させる必要がない。

20

【 0 0 8 1 】

マルチプレクサ 2 5 1 ~ 2 5 4 を設定するためにメモリチップの追加の外部ピンを使用する代わりとなるのは、リングバスの入力および出力ラインとして使用されない従来のバス 2 5 7 のピンを使用することである。これらのピンは、リングバスノード 2 4 5 ~ 2 4 8 を選択するようにマルチプレクサ 2 5 1 ~ 2 5 4 を設定するための、予め定められた状態の組合せに永久に設定することもできる。状態の組合せは、従来形のバス 2 5 7 の正常動作時には起こらないイリーガルな組合せとなるように選択できる。

30

【 0 0 8 2 】

図 2、1 0 および 1 1 に示されているシステムの例では、リングバスノードインターフェイスがメモリインターフェイス 2 5 に置き換えられていることを除き、コントローラ 1 3 0 は図 1 の既存のコントローラ 1 1 と非常によく似ている。しかし、単一バスノードインターフェイスを介してコントローラの多数のコンポーネントおよび機能のそれぞれにアクセスするのではなく、それぞれが自己のノードを有することによって、これらのコンポーネントおよび機能をリングバスに分散させることができる。この例は図 1 3 に示されている。前に例示および説明されているものを含む多数の可能な構成の単一集積回路チップ上および複数の個別チップ上のメモリアレイのコマンドおよびデータノードを表すために、いくつかのリングバスノード 2 7 5 ~ 2 7 9 が示されている。図 1 3 のシステムとの違いは、単一のコントローラノードが複数のそのようなノードに置き換わったことである。これらの複数のコントローラノードは、それぞれ、コントローラの全部の回路および機能より少ない回路および機能と接続されている。この具体例には、7 つのコントローラリングバスノード 2 8 1 ~ 2 8 7 が含まれている。これらは個別に、不揮発性メモリキャッシュ 2 8 9、揮発性メモリキャッシュ 2 9 1、E C C 回路 2 9 3、主としてメモリとホスト

40

50

間で転送されるデータを一時記憶するための揮発性データバッファメモリ295、実行されるファームウェアコードを記憶するための揮発性メモリ297、プロセッサ299、およびホストインターフェイス回路301にそれぞれ接続されている。別のコントローラノードを使用することによって他の機能を追加することができるし、図13に示されている1つまたはそれより多いコントローラ機能を削除することもできるし、1つの共有バスノードを介してリングバスに接続するために特定のコンポーネントおよび機能を組み合わせることもできる。

【0083】

コントローラ動作内のコマンドおよびデータの動作をリングバスの負担にしないために、プロセッサ299と図13に示されているような他の特定のコントローラ機能との間の直接交信を可能にする別個の並列コントローラバス303を備えることが望ましい。プロセッサ299にシステムのフラッシュメモリからメモリ297へファームウェアをロードさせるためにシステムの初期化中に使用されるブートコードを記憶するための追加の不揮発性メモリ305をコントローラバス303に接続することもできる。これにより、コントローラコンポーネントの1つとメモリノード275~279に接続されたフラッシュメモリコンポーネントとの間でデータまたはコマンドが転送される時、主として使用するための、特定のコントローラコンポーネントとリングバスの接続が残る。前述した一例は、有効性を確認するために、バスに巡回させて転送される、特にフラッシュメモリから読み出されたデータをECC回路293に通すことである。修正するために使用されるECCアルゴリズムの機能内でECC回路293によって検出された誤りは、プロセッサ299で修正されることが好ましい。他の例は、リングバスをバッファメモリ295およびキャッシュメモリ289と291に直接接続することなどである。

【0084】

メモリチップをそれ自身によってコントローラと、または1つ、2つまたはそれより多い他のメモリチップと接続しやすくすることが望ましい。メモリカードの製造時、コントローラおよび1つまたはそれより多いメモリチップが、チップとカードの外部接点とを相互接続する電気導体をも提供する小形のプリント回路基板(PCB)に物理的に装着される。PCB上で従来の並列バスが使用されるときに、種々の記憶機能を備えたカードを製造可能とするために、1つからある限定数までのさまざまな個数のメモリチップを含むような機能を備えたPCBを提供するというのは比較的明白である。しかし、1つまたはそれより多いチップがリングバスに接続されると、PCB上のリングバスの、メモリチップとコントローラチップをつなぎ合わせる部分は、さまざまな数の直列接続されたチップに対応できなくてはならない。列の最後のメモリチップの出力はコントローラに戻って接続されるので、さまざまな数のメモリチップでこれを行なえる何らかの方法が望ましい。

【0085】

そのようにするそのような技術の1つが図14に示されている。コントローラチップ311と2つのメモリチップ313および315が、メモリカードの一部として1枚のPCB上でつなぎ合わされている。コントローラ311は少なくとも1つのバスノードを備え、各メモリチップは複数のバスノードを備えている。メモリチップ313は、コントローラチップ311のバス出力に接続されたバス入力317と、第2のメモリチップ315のバス入力に接続された第1の出力319とを有する。第2の出力321もメモリチップ313上に設けられ、列の最後のメモリチップの出力をコントローラチップ311のバス入力へ戻すように、PCB上のチップ間に含まれるバスの一部323に接続されている。しかし、メモリチップ313は列の最後ではないので、この戻り出力321はチップ上で無効とされ、出力319が有効状態に維持される。第2のメモリチップ315は同様に2つのバス出力325および327を有する。というのは、すべてのメモリチップはきわめて簡単に同じにされ、チップ315が列の最後であるので戻り出力327は有効状態に維持されるからである。そして、PCBバス戻り部分323とその接続によってリングが完成する。次いで、チップ315の第2の出力325がチップ315上で無効とされ、何か

10

20

30

40

50

と接続される必要はない。

【0086】

図14の配置構成によれば、さまざまな数のチップを比較的簡単に直列接続することができるが、PCB上のバス部323の長さは、多くの場合、チップ上のバスセグメントよりはるかに高いキャパシタンスレベルを有する可能性がある。これは、リングバス全体の動作周波数を制限する可能性があるため、この効果を最小限にできるように戻りバス経路を提供することが強く望まれる。これは、図15のカードシステムでは、メモリチップ331および333上の戻り経路の大部分をそれ自身で形成し、個別に動作されるより短いセグメントへの戻り経路を遮断することによって達成される。これにより、リングバスのどのセグメントの最大キャパシタンスも低レベルに保たれる。

10

【0087】

メモリチップ331を例にとると、このメモリチップは、(図15にあるように)1つだけある場合には、リングバス入力335と、次のメモリチップに直列接続するための出力337を有する。コントローラに戻すための第2の出力339がメモリチップ内に保持されている。戻り経路の一部分341は、PCB上ではなくメモリチップ内に含まれている。戻り経路341は、前述したノードと同様に、その入力および出力バスセグメントと戻り出力345を駆動するドライバとを切断するための1クロックサイクルの遅延を含むステージ343に接続される。例えば、チップ331は図15にはないが、このメモリチップが列の最後ではない場合、次の順番のメモリチップをその戻りバス出力に接続するための戻りバス入力347が提供される。

20

【0088】

図15の2メモリチップの例では、第1のチップ331の出力337は、列の次のメモリチップ333の入力と接続できるように使用可能とされるが、その戻り出力339は無効にされる。第2のメモリチップ333は列の最後のチップであるため、このチップの戻り出力349は使用可能とされる。その後、バスは、回路343と同じレジスタおよびドライバ回路351を通過して、第1のチップ331上の入力347までチップ333上の戻り経路をたどる。実のところ、一連の列内のどの位置にでも接続できるただ1つのメモリ集積回路チップを作ることが非常に望ましい。最後のメモリチップ333の第2の出力353は無効とされ、非接続のままである。言うまでもなく、最後のチップ333の戻りバス入力355には何も接続されない。

30

【0089】

本発明のさまざまな態様をその例示の実施形態に関連し説明してきたが、本発明が、添付の特許請求の範囲の全範囲内においてその権利が保護されるべきであることが理解できよう。

【図面の簡単な説明】

【0090】

【図1】従来のバスアーキテクチャを利用する既存の一般的なフラッシュメモリシステムの略ブロック図である。

【図2】リングバスアーキテクチャを利用するフラッシュメモリシステムの第1の実施形態の略ブロック図である。

40

【図3A】図2のシステムのリングバスの時分割多重動作の一態様を示すタイミング図である。

【図3B】図2のシステムのリングバスの時分割多重動作の別の態様を示すタイミング図である。

【図3C】図2のシステムのリングバスの時分割多重動作のさらに別の態様を示すタイミング図である。

【図4】図2のシステムのリングバスデータインターフェイスブロックの略回路図である。

【図5】図2のシステムのリングバスコマンドインターフェイスブロックの略回路図である。

50

【図 6 A】1つのコマンドを、図 2 のリングバスシステムにおける使用例を説明しながら示す。

【図 6 B】別のコマンドを、図 2 のリングバスシステムにおける使用例を説明しながら示す。

【図 6 C】さらに別のコマンドを、図 2 のリングバスシステムにおける使用例を説明しながら示す。

【図 6 D】さらに別のコマンドを、図 2 のリングバスシステムにおける使用例を説明しながら示す。

【図 6 E】さらに別のコマンドを、図 2 のリングバスシステムにおける使用例を説明しながら示す。

【図 6 F】さらに別のコマンドを、図 2 のリングバスシステムにおける使用例を説明しながら示す。

【図 6 G】さらに別のコマンドを、図 2 のリングバスシステムにおける使用例を説明しながら示す。

【図 6 H】さらに別のコマンドを、図 2 のリングバスシステムにおける使用例を説明しながら示す。

【図 6 I】代替コマンドを、図 2 のリングバスシステムにおける使用例を説明しながら示す。

【図 7】図 6 A ~ 図 6 I のコマンドを用いることによる図 2 のリングバスシステムの動作を説明するフローチャートである。

【図 8】図 2 のシステムにおける具体的なデータ転送の例を示す。

【図 9】図 8 に示されているデータ転送の例を実施するための、図 6 A ~ 図 6 I で識別された一連のコマンドを示す表である。

【図 10】リングバスアーキテクチャを利用するフラッシュメモリシステムの第 2 の実施形態の略ブロック図である。

【図 11】リングバスアーキテクチャを利用するフラッシュメモリシステムの第 3 の実施形態の略ブロック図である。

【図 12】リングバスアーキテクチャを利用するフラッシュメモリシステムの第 4 の実施形態の略ブロック図である。

【図 13】リングバスアーキテクチャを利用するフラッシュメモリシステムの第 5 の実施形態の略ブロック図である。

【図 14】リングバスアーキテクチャを利用するフラッシュメモリシステムの第 6 の実施形態の略ブロック図である。

【図 15】リングバスアーキテクチャを利用するフラッシュメモリシステムの第 7 の実施形態の略ブロック図である。

10

20

30

【 6 B 】

設定：設定 ID コマンド (第 2 の変型例)

コマンド	パラメータ	内容
設定 ID	ノード ID	システムの全部のノードのノード ID を設定する。 設定 ID は、ノード ID 変更時に、そのノードの受信値と自己の ID として 比較し、他のノード ID の残りを次のノードへ転送する。

CONFIGURATION: Set ID Command (2nd Alternative)

Command	Parameters	Description
Set ID	Node ID	Sets Node ID in Every Node in the System. After Receipt of a Setting ID Node ID, Each Node Stores the First Received ID and Transmits the Remainder of this Setting ID to the Next Node.

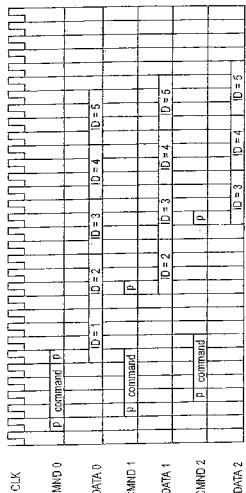


FIG._6B

command コマンド

【 6 C 】

設定：チャネルリセットコマンド

コマンド	パラメータ	内容
チャネルリセット	なし	システム内のノードに割当てられたチャネル番号をリセットする。

CONFIGURATION: Reset Channels Command

Command	Parameters	Description
Reset Channels	None	Resets All Channel Numbers Assigned to Nodes in the System.

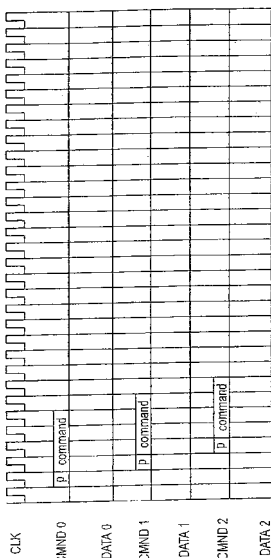


FIG._6C

command コマンド

【 6 D 】

コマンドノード：アドレス入力コマンド

コマンド	パラメータ	内容
アドレス入力	ノード ID	後からのコマンドを読み出し、プログラムおよび削除に 使用するためのフラッシュメモリアドレスを入力する。

COMMAND NODE: Address Input Command

Command	Parameters	Description
Address Input	Node ID Address	Inputs a Flash Address for Use with a Subsequent Read, Program or Erase Command.

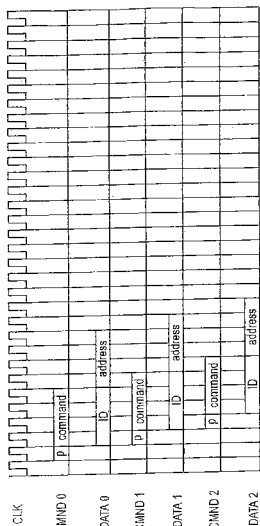


FIG._6D

command コマンド
address アドレス

【 6 E 】

コマンドノード：コマンドの読み出し、プログラム、削除およびリセット

コマンド	パラメータ	内容
リードモード (1) (2) (3) 自動プログラミング (真) (ダミー) (マルチブロックプログラム) 自動ブロック削除 (セットアップ) (開始) リセット	ノード ID	実行用にフラッシュコマンドを入力する。
終了	ノード ID	コマンドの実行を終了する。

COMMAND NODE: Read, Program, Erase, End & Reset Commands

Command	Parameters	Description
Read Mode (1) (2) (3) Auto Program (True) (Dummy) (Multi Block Program) Auto Block Erase (Setup) (Start) Reset	Node ID	Inputs a Flash Command for Execution.
End	Node ID	Terminates Execution of a Command.

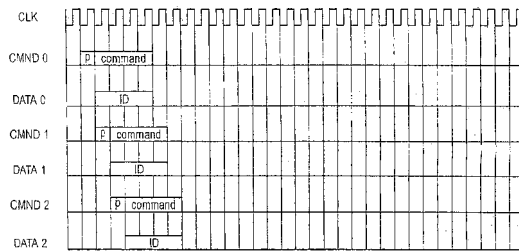


FIG._6E

command コマンド

【 6 F 】

コマンドノード、ステータスおよび ID 読み出しコマンド

コマンド	パラメータ	内容
ステータス読み出し (1) (2)	ノード ID	指定されたチャネルを通じて連続的に読まれるデータを用いて、ID 読み出し (1) (2)
ID 読み出し (1) (2)	チャンネル番号	実行用のフラッシュメモリーコマンドを入力する。

COMMAND NODE: Status & ID Read Commands

Command	Parameters	Description
Status Read (1) (2)	Node ID	Inputs a Read Command for Execution, with Data to be
ID Read (1) (2)	Channel #	Continuously Returned on the Channel as Defined.

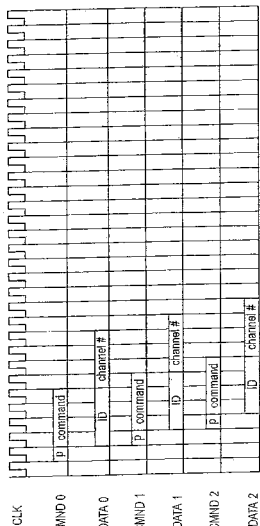


FIG. 6F

command コマンド
channel # チャンネル番号

【 6 G 】

データノード：入力および出力コマンド

コマンド	パラメータ	内容
入力	ノード ID チャンネル番号 レジスタ A または B 長さ	次のデータコマンド後すぐに実行するために、単一データノードへのデータ入力動作をセットアップする。データはリングバスから指定レジスタに入力される。
出力	ノード ID チャンネル番号 レジスタ A または B 長さ	次のデータコマンド後すぐに実行するために、単一データノードからのデータ出力動作をセットアップする。データは指定レジスタからリングバスへ出力される。

DATA NODE: Input & Output Commands

Command	Parameters	Description
Input	Node ID Channel # Register A or B Length	Sets Up a Data Input Operation to a Single Data Node, for Execution Immediately After the Next Data Command. Data is Input from the Ring Bus to the Specified Register.
Output	Node ID Channel # Register A or B Length	Sets Up a Data Output Operation from a Single Data Node, for Execution Immediately After the Next Data Command. Data is Output from the Specified Register to the Ring Bus

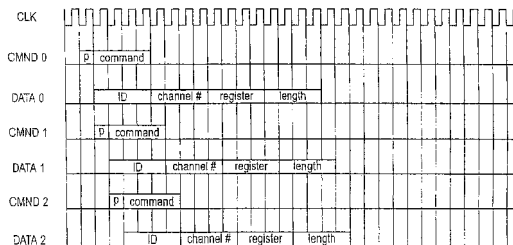


FIG. 6G

command コマンド
channel # チャンネル番号
register レジスタ
length 長さ

【 6 H 】

データ転送：データオフコマンド

コマンド	パラメータ	内容
データオフ	データの数 サイクル数 ノード数	最初の読み出しまたは出力コマンドで指定されたすべてのノードのデータ転送動作の移行を初期化または再開する。

DATA TRANSFER: Data Off Command

Command	Parameters	Description
Data Off	# of channels # of cycles # of nodes	Initiates or Resumes Execution of Data Transfer Operations in All Nodes Selected by Previous Input and Output Commands.

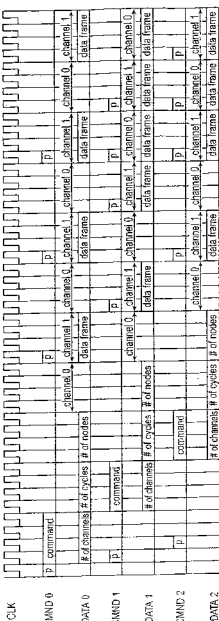


FIG. 6H

command コマンド
of channel チャンネル数
of cycles サイクル数
of nodes ノード数
channel 0 チャンネル 0
channel 1 チャンネル 1
data frame データフレーム

【 6 I 】

データ転送：データオフコマンド

コマンド	パラメータ	内容
データオフ	なし	現在行われているデータ転送動作の移行を中断する。

DATA TRANSFER: Data Off Command

Command	Parameters	Description
Data Off	None	Suspends Execution of Data Transfer Operations Currently Being Performed.

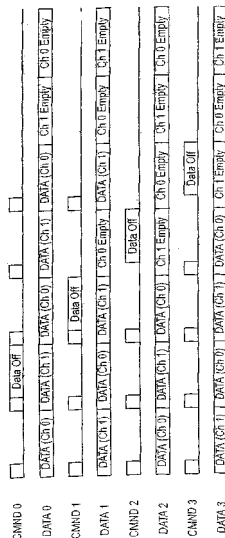


FIG. 6I

Data Off データオフ
DATA (Ch 0) データ (Ch 0)
DATA (Ch 1) データ (Ch 1)
Ch 0 Empty Ch 0 空
Ch 1 Empty Ch 1 空

【 図 7 】

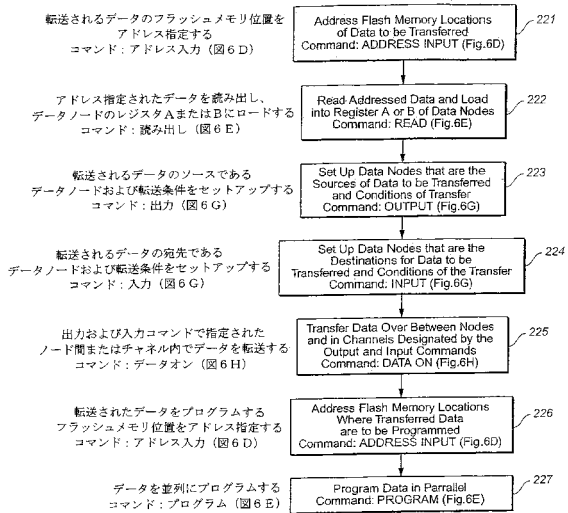


FIG. 7

【 図 8 】

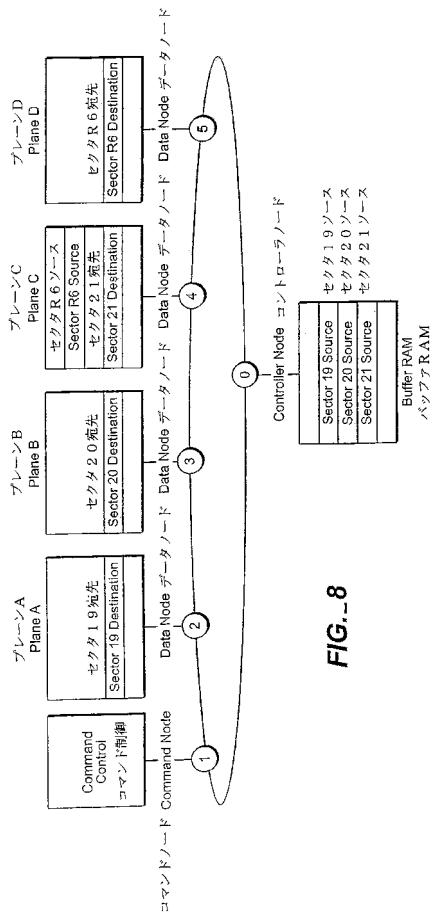


FIG. 8

【 図 9 】

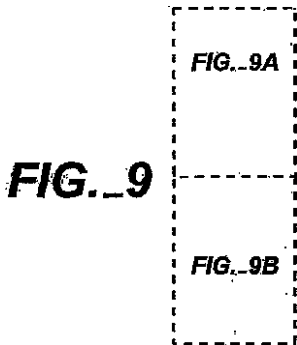


FIG. 9

【 図 9 A 】

#	Command Set ID	Chan #	Address	Reg Description
1	Reset Channels			Releases All Channel IDs from Previous Operations (Read, Address, Write, etc.)
2	Address Input	1	Sector R6 Source	Reads Addressed Data from Sector R6 Source
3	Read	1		A: Reads Sector R6 from Flash Array to Register A at Node 4
4	Status Read	1	0	Selects Status Read Operation, with Status Information Being Output on Channel 0
5	Input	2	1	Selects Data Input Operation, with Data Input from Controller on Channel 1
6	Input	3	2	Selects Data Input Operation, for Sector 20 to be Input from Controller on Channel 2
7	Input	4	3	Selects Data Input Operation, for Sector 21 to be Input from Controller on Channel 3
8	Data On			Initiates Transfer of Sector Data on Channels 1, 2, & 3
9	Data Off			Suspends Data Transfer
10	End	1		Used When Ready Status Read Operation Terminates Status Read Operation
11	Output	4	0	Selects Data Output Operation, for Sector R6 to be Output on Channel 0
12	Input	5	0	Selects Data Input Operation, for Sector R6 to be Input from Node 4 on Channel 0
13	Data On			Initiates Transfer of Sector Data on Channel C, and Resumes Transfer of Sector Data on Channels 1, 2, & 3

FIG. 9A

#	コマンド ID	チャンネル番号	アドレス	レジスタ	説明
1	リセット				以前の操作からすべてのチャンネルIDを解放する
2	アドレス入力	1	セクタ R6 ソース		セクタ R6 ソースからアドレスを読み取る
3	読み出し	1	0	A	フラッシュメモリからセクタ R6 のデータをレジスタ A に読み出す
4	ステータス読み出し	1	0		セクタ R6 の読み出しステータスをチャンネル 0 に出力する
5	入力	2	1	A	セクタ 20 のデータをレジスタ A からノード 4 に入力する
6	入力	3	2	A	セクタ 21 のデータをレジスタ A からノード 4 に入力する
7	入力	4	3	B	セクタ 21 のデータをレジスタ B からノード 4 に入力する
8	データオン				チャンネル 1、2、3 にセクタデータの転送を開始する
9	データオフ				セクタデータの転送を一時停止する
10	終了	1			セクタ R6 の読み出し操作が完了したときに使用する
11	出力	4	0	A	セクタ R6 のデータをチャンネル 0 に出力する
12	入力	5	0	A	セクタ R6 のデータをノード 4 からチャンネル 0 に入力する
13	データオン				チャンネル C にセクタデータの転送を開始し、チャンネル 1、2、3 の転送も再開する

フロントページの続き

(56)参考文献 米国特許第06625687(US, B1)

特開平3-179952(JP, A)

特開平4-156741(JP, A)

特開平3-262234(JP, A)

特開2002-164941(JP, A)

特開2003-186822(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/16-13/18

G06F 12/00-12/06

G11C 16/02