



(12) 发明专利申请

(10) 申请公布号 CN 118382923 A

(43) 申请公布日 2024.07.23

(21) 申请号 202280082655.0

J·A·泰尔 G·高

(22) 申请日 2022.12.14

(74) 专利代理机构 北京市金杜律师事务所

11256

(30) 优先权数据

专利代理师 李兴斌 刘奇

63/291,285 2021.12.17 US

(85) PCT国际申请进入国家阶段日

(51) Int.Cl.

2024.06.13

H01L 23/00 (2006.01)

(86) PCT国际申请的申请数据

PCT/US2022/081601 2022.12.14

(87) PCT国际申请的公布数据

W02023/114878 EN 2023.06.22

(71) 申请人 美商艾德亚半导体接合科技有限公司

地址 美国加利福尼亚州

(72)发明人 G·G·小方丹 G·C·哈德孙

P·姆罗策克 C·E·尤佐

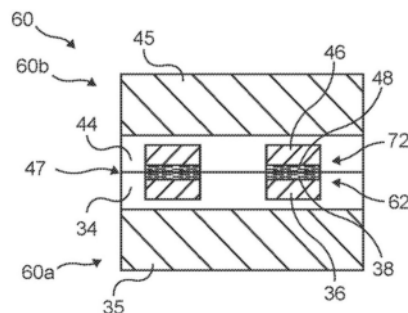
权利要求书9页 说明书18页 附图10页

(54) 发明名称

具有用于直接键合的导电特征的结构以及其形成方法

(57) 摘要

公开了用于直接键合的结构和方法。键合结构可以包括第一元件和第二元件。第一元件可以包括具有非导电键合表面的第一非导电结构、从非导电键合表面至少部分地延伸穿过非导电结构的厚度的腔,以及具有被设置在腔中的第一导电材料以及第一导电材料上方的第二导电材料的第一导电特征。第二导电材料在线性横向尺寸上的最大晶粒度可以小于导电特征的线性横向尺寸的20%。在第二导电材料的晶粒边界处可以存在少于百万分之20(ppm)的杂质。



1. 一种用于形成元件的方法,所述方法包括:
提供非导电结构;
在所述非导电结构中形成腔,所述腔从所述非导电结构的表面至少部分地延伸穿过所述非导电结构的厚度;
提供导电特征,所述导电特征包括所述腔中的第一导电材料以及所述第一导电材料上方的第二导电材料,所述第二导电材料被定位在所述元件的键合表面处,其中所述第二导电材料在线性横向尺寸上的最大晶粒度小于所述导电特征的所述线性横向尺寸的20%;以及
准备所述元件的所述键合表面用于直接键合。
2. 根据权利要求1所述的方法,其中在所述第二导电材料的晶粒边界处存在少于百万分之20ppm的杂质。
3. 根据权利要求1所述的方法,其中所述第二导电材料的平均晶粒度小于所述第一导电材料的平均晶粒度。
4. 根据权利要求1所述的方法,其中所述提供所述导电特征包括分别提供所述第一导电材料和所述第二导电材料。
5. 根据权利要求4所述的方法,其中所述提供所述第一导电材料包括部分地填充所述腔。
6. 根据权利要求4所述的方法,其中所述提供所述第一导电材料包括:使用所述第一导电材料填充所述腔并且去除所述第一导电材料的一部分。
7. 根据权利要求4所述的方法,还包括:在提供所述第二导电材料前,对所述第一导电材料进行退火。
8. 根据权利要求4所述的方法,其中所述提供所述导电材料包括:通过等离子体气相沉积(PVD),在所述第一导电材料上方提供所述第二导电材料。
9. 根据权利要求4所述的方法,其中所述第二导电材料通过以下被提供:以比用于提供所述第一导电材料的第一沉积工艺更高的电流密度进行电镀。
10. 根据权利要求1所述的方法,其中所述准备所述键合表面包括:对所述非导电材料和所述第二导电材料的表面进行抛光。
11. 根据权利要求1所述的方法,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的10%。
12. 根据权利要求11所述的方法,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的5%。
13. 根据权利要求12所述的方法,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的2%。
14. 根据权利要求1所述的方法,其中所述导电特征在所述键合表面处的面积小于 $7\mu\text{m}^2$ 。
15. 根据权利要求1所述的方法,其中在横截面视图中,所述第二导电材料在所述键合表面处的最大晶粒横向面积小于 2000nm^2 。
16. 根据权利要求1所述的方法,其中所述第二导电材料在所述键合表面处的最大线性横向晶粒度小于200nm。
17. 根据权利要求1所述的方法,其中所述第一导电材料和所述第二导电材料包括铜。

18.根据权利要求1所述的方法,还包括:在所述第一导电材料与所述第二导电材料之间提供中间层。

19.根据权利要求1所述的方法,其中所述第二导电材料的厚度小于所述导电特征的厚度的50%。

20.根据权利要求19所述的方法,其中所述第二导电材料的厚度小于所述导电特征的厚度的30%。

21.一种用于形成键合结构的方法,所述方法包括:

提供第一元件,所述第一元件包括:

第一非导电结构,具有非导电键合表面,

腔,从所述非导电键合表面至少部分地延伸穿过所述非导电结构的厚度,以及

第一导电特征,具有被设置在所述腔中的第一导电材料以及所述第一导电材料上方的第二导电材料,所述第二导电材料至少部分地被暴露在所述元件的键合表面处,其中所述第二导电材料的平均晶粒度小于所述第一导电材料的平均晶粒度;

提供第二元件,所述第二元件包括:

第二非导电结构,以及

第二导电特征;以及

在不对所述第二导电材料进行退火处理的情况下,使所述第一元件的所述键合表面与所述第二元件的键合表面接触;以及

在所述接触后,直接键合所述第一元件和所述第二元件。

22.根据权利要求21所述的方法,其中在所述第二导电材料的晶粒边界处存在少于百万分之20ppm的杂质。

23.根据权利要求21所述的方法,其中所述直接键合所述第一元件和所述第二元件包括:在没有中间粘合剂的情况下直接键合所述第一非导电结构和所述第二非导电结构,以及在无中间粘合剂的情况下直接键合所述第一导电特征和所述第二导电特征。

24.根据权利要求21所述的方法,其中所述提供所述第一元件包括:

提供所述第一非导电结构;

在所述第一非导电结构中形成所述腔;

提供第一导电材料;以及

在提供所述第一导电材料后提供第二导电材料。

25.根据权利要求24所述的方法,还包括:在提供所述第二导电材料前,对所述第一导电材料进行退火。

26.根据权利要求21所述的方法,还包括对所键合的第一元件和第二元件进行退火。

27.根据权利要求21所述的方法,还包括准备所述元件的所述键合表面用于直接键合。

28.根据权利要求27所述的方法,其中所述准备所述键合表面包括对所述非导电材料和所述第二导电材料的表面进行抛光。

29.根据权利要求21所述的方法,其中在直接键合所述第一元件和所述第二元件前,所述第二导电材料在线性横向尺寸上的最大晶粒度小于所述导电特征的所述线性横向尺寸的20%。

30.根据权利要求29所述的方法,其中在直接键合所述第一元件和所述第二元件前,所

述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的10%。

31. 根据权利要求30所述的方法, 其中在直接键合所述第一元件和所述第二元件前, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的5%。

32. 根据权利要求21所述的方法, 其中所述导电特征的整个被暴露面积小于 $7\mu\text{m}^2$ 。

33. 根据权利要求21所述的方法, 其中在直接键合所述第一元件和所述第二元件前, 所述第二导电材料的最大晶粒横向面积小于 20002nm^2 。

nm。

34. 根据权利要求21所述的方法, 其中在直接键合所述第一元件和所述第二元件前, 所述第二导电材料的最大线性横向晶粒度小于 200nm 。

35. 根据权利要求21所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料在线性横向尺寸上的最大晶粒度小于所述导电特征的所述线性横向尺寸的30%。

36. 根据权利要求35所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的20%。

37. 根据权利要求36所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的15%。

38. 根据权利要求21所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料在所述键合表面处的最大晶粒横向面积小于 71000nm^2 。

39. 根据权利要求21所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料在所述键合表面处的最大线性横向晶粒度小于 $2\mu\text{m}$ 。

40. 根据权利要求21所述的方法, 其中所述第一导电材料和所述第二导电材料包括铜。

41. 根据权利要求21所述的方法, 还包括在所述第一导电材料与所述第二导电材料之间提供中间层。

42. 一种元件, 包括:

非导电结构;

腔, 在所述非导电结构中, 所述腔从所述非导电结构的表面至少部分地延伸穿过所述非导电结构的厚度;

导电特征, 包括所述腔中的第一导电材料以及所述第一导电材料上方的第二导电材料, 所述第二导电材料被定位在所述元件的键合表面处, 其中所述第二导电材料在线性横向尺寸上的最大晶粒度小于所述导电特征的所述线性横向尺寸的20%。

43. 根据权利要求42所述的元件, 其中在所述第二导电材料的晶粒边界处存在少于百万分之20ppm的杂质。

44. 根据权利要求42所述的元件, 其中所述第二导电材料在所述线性横向尺寸上的平均晶粒度小于所述第一导电材料在所述线性横向尺寸上的平均晶粒度

45. 根据权利要求42所述的元件, 其中所述第二导电材料的厚度小于所述导电特征的厚度的50%。

46. 根据权利要求45所述的元件, 其中所述第二导电材料的厚度小于所述导电特征的厚度的30%。

47. 根据权利要求42所述的元件, 其中所述元件的所述键合表面被准备用于直接键合。

48. 根据权利要求47所述的元件,其中所述键合表面具有小于2nm的均方根(rms)表面粗糙度。

49. 根据权利要求42所述的元件,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的10%。

50. 根据权利要求49所述的元件,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的5%。

51. 根据权利要求50所述的元件,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的2%。

52. 根据权利要求42所述的元件,其中所述导电特征在所述键合表面处的所述线性横向尺寸小于 $7\mu\text{m}^2$ 。

53. 根据权利要求42所述的元件,其中所述第二导电材料在所述键合表面处的最大晶粒横向面积小于 2000nm^2 。

54. 根据权利要求42所述的元件,其中所述第二导电材料在所述键合表面处的所述最大晶粒度小于200nm。

55. 根据权利要求42所述的元件,其中所述第一导电材料和所述第二导电材料包括铜。

56. 根据权利要求42所述的元件,还包括在所述第一导电材料与所述第二导电材料之间的中间层。

57. 一种键合结构,包括:

第一元件,包括:

第一非导电结构,具有非导电键合表面,

腔,从所述非导电键合表面至少部分地延伸穿过所述非导电结构的厚度,以及

第一导电特征,具有被设置在所述腔中的第一导电材料以及所述第一导电材料上方的第二导电材料,其中所述第二导电材料的平均晶粒度小于所述第一导电材料的平均晶粒度,其中在所述第二导电材料的晶粒边界处存在少于百万分之20ppm的杂质;

第二元件,包括:

第二非导电结构,以及

第二导电特征;以及

其中所述第一元件和所述第二元件被彼此键合,使得所述第一非导电结构和所述第二非导电结构在没有中间粘合剂的情况下彼此直接键合,并且使得所述第二导电材料和所述第二导电特征在没有中间粘合剂的情况下彼此直接键合。

58. 根据权利要求57所述的键合结构,其中所述第二导电材料的厚度小于所述导电特征的厚度的50%。

59. 根据权利要求58所述的键合结构,其中所述第二导电材料的厚度小于所述导电特征的厚度的30%。

60. 根据权利要求57所述的键合结构,其中所述第一导电材料和所述第二导电材料包括铜。

61. 根据权利要求57所述的键合结构,还包括在所述第一导电材料与所述第二导电材料之间的中间层。

62. 根据权利要求57所述的键合结构,其中在直接键合所述第一元件和所述第二元件

后,所述第二导电材料在线性横向尺寸上的最大晶粒度小于所述导电特征的所述线性横向尺寸的30%。

63.根据权利要求62所述的键合结构,其中在直接键合所述第一元件和所述第二元件后,所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的20%。

64.根据权利要求63所述的键合结构,其中在直接键合所述第一元件和所述第二元件后,所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的15%。

65.根据权利要求57所述的键合结构,其中在直接键合所述第一元件和所述第二元件后,所述第二导电材料在键合表面处的最大晶粒横向面积小于 71000nm^2 。

66.根据权利要求57所述的键合结构,其中在直接键合所述第一元件和所述第二元件后,所述第二导电材料的最大线性横向晶粒度小于 $2\mu\text{m}$ 。

67.一种用于形成元件的方法,所述方法包括:

提供非导电结构;

在所述非导电结构中形成腔;以及

提供包括所述腔中的第一导电材料以及所述第一导电材料上方的第二导电材料的导电特征,使得所述第二导电材料至少部分地被暴露在所述元件的键合表面处,在所述第二导电材料的晶粒边界处存在少于百万分之20ppm的杂质,并且所述第二导电材料在线性横向尺寸上的最大晶粒度小于所述导电特征的所述线性横向尺寸的20%。

68.根据权利要求67所述的方法,其中所述提供所述导电特征包括分别提供所述第一导电材料和所述第二导电材料。

69.根据权利要求68所述的方法,其中所述提供所述第一导电材料包括部分地填充所述腔。

70.根据权利要求68所述的方法,其中所述提供所述第一导电材料包括:使用所述第一导电材料填充所述腔,并且去除所述第一导电材料的一部分。

71.根据权利要求68所述的方法,还包括:在提供所述第二导电材料前,对所述第一导电材料进行退火。

72.根据权利要求68所述的方法,其中所述提供所述导电材料包括:通过气相沉积,在所述第一导电材料上方提供所述第二导电材料。

73.根据权利要求72所述的方法,其中所述气相沉积为物理气相沉积或化学气相沉积。

74.根据权利要求68所述的方法,其中所述第二导电材料通过以下被提供:以比用于提供所述第一导电材料的第一沉积工艺更高的电流密度进行电镀。

75.根据权利要求67所述的方法,还包括:准备所述元件的所述键合表面用于直接键合。

76.根据权利要求75所述的方法,其中所述准备所述键合表面包括:对所述非导电材料和所述第二导电材料的表面进行抛光。

77.根据权利要求67所述的方法,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的5%。

78.根据权利要求77所述的方法,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的2%。

79.根据权利要求67所述的方法,其中所述导电特征的整个被暴露面积小于 $7\mu\text{m}^2$ 。

80.根据权利要求67所述的方法,其中所述第二导电材料在所述键合表面处的最大晶粒横向面积小于 2000nm^2 。

81.根据权利要求67所述的方法,其中所述第二导电材料的所述最大晶粒度小于 200nm 。

82.根据权利要求67所述的方法,其中所述第一导电材料和所述第二导电材料包括铜。

83.根据权利要求67所述的方法,还包括在所述第一导电材料与所述第二导电材料之间提供中间层。

84.根据权利要求67所述的方法,其中所述第二导电材料的厚度小于所述导电特征的厚度的50%。

85.根据权利要求84所述的方法,其中所述第二导电材料的厚度小于所述导电特征的厚度的30%。

86.一种用于形成键合结构的方法,所述方法包括:

提供第一元件,所述第一元件包括:

第一非导电结构,具有非导电键合表面,

腔,在所述非导电结构中,以及

第一导电特征,具有被设置在所述腔中的第一导电材料以及所述第一导电材料上方的第二导电材料,所述第二导电材料至少部分地被暴露在所述元件的键合表面处,其中在所述第二导电材料的晶粒边界处存在少于百万分之20ppm的杂质,其中所述第二导电材料在线性横向尺寸上的最大晶粒度小于所述导电特征的所述线性横向尺寸的20%;

提供第二元件,所述第二元件包括:

第二非导电结构,以及

第二导电特征;以及

在不对所述第二导电材料进行退火处理的情况下,使所述第一元件的所述键合表面与所述第二元件的键合表面接触;以及

在所述接触后,直接键合所述第一元件和所述第二元件。

87.根据权利要求86所述的方法,其中所述直接键合所述第一元件和所述第二元件包括:在没有中间粘合剂的情况下直接键合所述第一非导电结构和所述第二非导电结构,以及在没有中间粘合剂的情况下直接键合所述第一导电特征和所述第二导电特征。

88.根据权利要求86所述的方法,其中所述提供所述第一元件包括:

提供所述第一非导电结构;

在所述第一非导电结构中形成所述腔;

提供第一导电材料;以及

在提供所述第一导电材料后提供第二导电材料。

89.根据权利要求88所述的方法,还包括:在提供所述第二导电材料前,对所述第一导电材料进行退火。

90.根据权利要求86所述的方法,还包括:对所键合的第一元件和第二元件进行退火。

91.根据权利要求86所述的方法,还包括:准备所述元件的所述键合表面用于直接键合。

92.根据权利要求91所述的方法,其中所述准备所述键合表面包括:对所述非导电材料

和所述第二导电材料的表面进行抛光。

93. 根据权利要求86所述的方法, 其中在直接键合所述第一元件和所述第二元件前, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的5%。

94. 根据权利要求93所述的方法, 其中在直接键合所述第一元件和所述第二元件前, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的2%。

95. 根据权利要求86所述的方法, 其中所述导电特征的整个被暴露面积小于 $7\mu\text{m}^2$ 。

96. 根据权利要求86所述的方法, 其中在直接键合所述第一元件和所述第二元件前, 所述第二导电材料在所述键合表面处的最大晶粒横向面积小于 2000nm^2 。

97. 根据权利要求86所述的方法, 其中在直接键合所述第一元件和所述第二元件前, 所述第二导电材料的所述最大晶粒度小于 200nm 。

98. 根据权利要求86所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸线性横向尺寸的30%。

99. 根据权利要求98所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的20%。

100. 根据权利要求99所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的15%。

101. 根据权利要求86所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料在所述键合表面处的最大晶粒横向面积小于 71000nm^2 。

102. 根据权利要求86所述的方法, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料的所述最大晶粒度小于 $2\mu\text{m}$ 。

103. 根据权利要求86所述的方法, 其中所述第一导电材料和所述第二导电材料包括铜。

104. 根据权利要求86所述的方法, 还包括在所述第一导电材料与所述第二导电材料之间提供中间层。

105. 一种元件, 其包括:

非导电结构;

腔, 在所述非导电结构中, 所述腔从所述非导电结构的表面至少部分地延伸穿过所述非导电结构的厚度;

导电特征, 包括所述腔中的第一导电材料以及所述第一导电材料上方的第二导电材料, 所述第二导电材料被定位在所述元件的键合表面处, 其中所述第二导电材料在线性横向尺寸上的最大晶粒度小于所述导电特征的所述线性横向尺寸的20%, 其中在所述第二导电材料的晶粒边界处存在少于百万分之20ppm的杂质。

106. 根据权利要求105所述的元件, 其中所述第二导电材料的厚度小于所述导电特征的厚度的50%。

107. 根据权利要求106所述的元件, 其中所述第二导电材料的厚度小于所述导电特征的厚度的30%。

108. 根据权利要求105所述的元件, 其中所述元件的所述键合表面被准备用于直接键合。

109. 根据权利要求108所述的元件,其中所述键合表面具有小于2nm的均方根(rms)表面粗糙度。

110. 根据权利要求105所述的元件,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的5%。

111. 根据权利要求110所述的元件,其中所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的2%。

112. 根据权利要求105所述的元件,其中所述导电特征在所述键合表面处的面积小于 $7\mu\text{m}^2$ 。

113. 根据权利要求105所述的元件,其中所述第二导电材料在所述键合表面处的最大晶粒横向面积小于 2000nm^2 。

114. 根据权利要求105所述的元件,其中所述第二导电材料的所述最大晶粒度小于200nm。

115. 根据权利要求105所述的元件,其中所述第一导电材料和所述第二导电材料包括铜。

116. 根据权利要求105所述的元件,还包括在所述第一导电材料与所述第二导电材料之间的中间层。

117. 一种键合结构,包括:

第一元件,包括:

第一非导电结构,具有非导电键合表面,

腔,从所述非导电键合表面至少部分地延伸穿过所述非导电结构的厚度,以及

第一导电特征,具有被设置在所述腔中的第一导电材料以及所述第一导电材料上方的第二导电材料;

第二元件,包括:

第二非导电结构,以及

第二导电特征;并且

其中所述第一元件和所述第二元件彼此键合,使得所述第一非导电结构和所述第二非导电结构在没有中间粘合剂的情况下彼此直接键合,并且使得所述第二导电材料和所述第二导电特征在没有中间粘合剂的情况下彼此直接键合,

其中在直接键合所述第一元件和所述第二元件后,所述第二导电材料在线性横向尺寸上的最大晶粒度小于所述导电特征的所述线性横向尺寸的30%。

118. 根据权利要求117所述的键合结构,其中在所述第二导电材料的晶粒边界处存在少于百万分之20ppm的杂质。

119. 根据权利要求117所述的键合结构,其中所述第二导电材料的厚度小于所述导电特征的厚度的50%。

120. 根据权利要求118所述的键合结构,其中所述第二导电材料的厚度小于所述导电特征的厚度的30%。

121. 根据权利要求117所述的键合结构,其中所述第一导电材料和所述第二导电材料包括铜。

122. 根据权利要求117所述的键合结构,还包括在所述第一导电材料与所述第二导电

材料之间的中间层。

123. 根据权利要求117所述的键合结构, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的20%。

124. 根据权利要求123所述的键合结构, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料的所述最大晶粒度小于所述导电特征的所述线性横向尺寸的15%。

125. 根据权利要求117所述的键合结构, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料在所述键合表面处的最大晶粒横向面积小于 71000nm^2 。

126. 根据权利要求117所述的键合结构, 其中在直接键合所述第一元件和所述第二元件后, 所述第二导电材料的所述最大晶粒度小于 $2\mu\text{m}$ 。

127. 根据权利要求117所述的键合结构, 其中所述导电特征的整个被暴露面积小于 $7\mu\text{m}^2$ 。

128. 一种在衬底中形成导电特征用于直接混合键合的方法, 所述方法包括:

通过第一沉积工艺沉积第一导电材料, 所述第一沉积工艺包括在用于形成第一平均晶粒度的条件下进行电镀;

在相对于所述第一沉积工艺不增加杂质水平的情况下, 通过不同于所述第一沉积工艺的第二沉积工艺来沉积第二导电材料, 其中所述第二沉积工艺形成小于所述第一沉积工艺的第二平均晶粒度; 以及

准备非导电表面和包括所述第二导电材料的键合表面用于直接混合键合。

129. 根据权利要求128所述的方法, 其中所述第一导电材料的杂质水平等于或大于所述第二导电材料。

130. 根据权利要求128所述的方法, 其中所述第二沉积工艺为不在所述第二导电材料的晶粒边界处引入少于百万分之20ppm的杂质的情况下抑制晶粒生长的工艺。

131. 根据权利要求128所述的方法, 其中所述第一沉积工艺包括电镀工艺并且所述第二沉积工艺包括气相沉积工艺。

132. 根据权利要求131所述的方法, 其中所述电镀工艺使用大于 $2\text{amp}/\text{dm}^2$ 的电流密度。

133. 根据权利要求128所述的方法, 其中所述第一沉积工艺包括使用第一电流密度进行电镀, 并且所述第二沉积工艺包括使用高于所述第一电流密度的第二电流密度进行电镀。

134. 根据权利要求128所述的方法, 其中所述第一沉积工艺包括电镀, 并且所述第二沉积工艺包括气相沉积。

135. 根据权利要求128所述的方法, 其中所述第一导电材料和所述第二导电材料主要包括铜。

具有用于直接键合的导电特征的结构以及其形成方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2021年12月17日提交的标题为“具有用于直接键合的导电特征的结构以及其形成方法 (STRUCTURE WITH CONDUCTIVE FEATURE FOR DIRECT BONDING AND METHOD OF FORMING SAME)”的美国临时专利申请号63/291,285的优先权,其全部内容在此以引用方式并入本文。

背景技术

技术领域

[0003] 该领域涉及用于直接键合的结构和方法,并且特别地涉及导电和非导电特征的混合直接键合。

[0004] 相关技术的描述

[0005] 半导体元件,诸如集成器件管芯或芯片,可以安装或堆叠在其它元件上。例如,半导体元件可以安装到载体,诸如插入物、重组晶片或元件等。作为另一个示例,半导体元件可以堆叠在另一个半导体元件的顶部上,例如,第一集成器件管芯可以堆叠在第二集成器件管芯上。半导体元件中的每一个半导体元件可以具有用于将半导体元件彼此机械和电键合的导电焊盘。

[0006] 在没有中间粘合剂诸如焊料的情况下将元件直接键合在一起具有许多优势。然而,导电特征和非导电场区的直接混合键合可能具有挑战性。因此,持续需要用于形成在直接键合中使用的导电特征诸如导电焊盘的改进方法。

附图说明

[0007] 现在将参考以下附图描述具体实现方式,附图以示例而非限制方式提供。

[0008] 图1A为两个元件在直接混合键合前的示意性横截面侧视图。

[0009] 图1B为图1A中所示的两个元件在直接混合键合后的示意性横截面侧视图。

[0010] 图2A为彼此键合的两个相对较小晶粒导电特征的横截面扫描电子显微镜 (SEM) 图像。

[0011] 图2B为一组彼此键合的导电特征和另一组未彼此键合的导电特征的横截面SEM图像。

[0012] 图2C为仅在小区域内彼此键合的、包括大量杂质的、两个精细铜焊盘的横截面SEM图像。

[0013] 图3A至3E示出了根据一个实施例的制造键合结构的制造工艺的各个步骤。

[0014] 图4A至4F示出了根据另一个实施例的制造键合结构的制造工艺的各个步骤。

[0015] 图5为根据一个实施例生成的用于示意性说明包括第一导电材料36和第二导电材料38的导电特征42的图像。

[0016] 图6为根据另一个实施例生成的用于示意性说明包括第一导电材料36和第二导电材料38的导电特征62的图像。

具体实施方式

[0017] 本公开描述形成在键合表面处或附近具有较小晶粒并且在较小晶粒下方具有较大晶粒的导电特征的方法。具有不同尺寸晶粒的此类导电特征可以有利于直接金属键合, 诸如直接混合键合。例如, 两个或更多个半导体元件 (诸如集成器件管芯、晶片等) 可以彼此堆叠或键合以形成键合结构。一个元件的导电接触焊盘可以电连接到另一个元件的对应导电接触焊盘。任何合适数量的元件可以堆叠在键合结构中。本文描述的方法和键合焊盘结构在其它情况下也可能是有用的。

[0018] 本文公开的各种实施例涉及直接键合结构, 其中两个或更多个元件可以在没有中间粘合剂的情况下彼此直接键合。图1A和1B示意性示出了根据一些实施例的用于在没有中间粘合剂的情况下形成直接混合键合结构的工艺。在图1A和1B中, 键合结构100包括可以在没有中间粘合剂的情况下在键合界面118处彼此直接键合的两个元件102和104。两个或更多个微电子元件102和104 (诸如半导体元件, 包括例如集成器件管芯、晶片、无源器件、单个有源器件诸如电源开关等) 可以彼此堆叠或键合以形成键合结构100。第一元件102的导电特征106a (例如, 接触焊盘、过孔 (例如, TSV) 的暴露端或贯穿衬底电极) 可以电连接到第二元件104的对应导电特征106b。任何合适数量的元件可以堆叠在键合结构100中。例如, 第三元件 (未示出) 可以堆叠在第二元件104上, 第四元件 (未示出) 可以堆叠在第三元件上, 等等。额外地或替代地, 一个或多个附加元件 (未示出) 可以沿着第一元件102彼此横向相邻地堆叠。在一些实施例中, 横向堆叠的附加元件可以小于第二元件。在一些实施例中, 横向堆叠的附加元件可以比第二元件小两倍。

[0019] 在一些实施例中, 元件102和104在没有粘合剂的情况下彼此直接键合。在各种实施例中, 包括非导电或电介质材料的非导电场区可以用作第一元件102的第一键合层108a, 其可以在没有粘合剂的情况下直接键合到包括用作第二元件104的第二键合层108b的非导电或电介质材料的对应非导电场区。非导电键合层108a和108b可以被设置在器件部分110a和110b的相应前侧114a和114b上, 诸如元件102、103的半导体 (例如硅) 部分。有源器件和/或电路系统可以被图案化和/或以其他方式被设置在器件部分110a和110b之中或之上。有源器件和/或电路系统可以被设置在器件部分110a和110b的前侧114a和114b处或附近, 和/或被设置在器件部分110a和110b的相对背侧116a和116b处或附近。键合层可以被设置在元件的前侧和/或背侧。非导电材料可以被称为第一元件102的非导电键合区或键合层108a。在一些实施例中, 第一元件102的非导电键合层108a可以使用电介质对电介质键合技术直接键合到第二元件104的对应非导电键合层108b。例如, 可以使用至少在美国专利号9,564,414、9,391,143; 以及10,434,749中公开的直接键合技术在没有粘合剂的情况下形成非导电或电介质对电介质键合, 其中每一个的全部内容以全文引用的方式并入本文并且用于所有目的。应当理解, 在各种实施例中, 键合层108a和/或108b可以包括非导电材料, 诸如电介质材料, 诸如氧化硅, 或者未掺杂的半导体材料, 诸如未掺杂的硅。合适的电介质键合表面或用于直接键合的材料包括但不限于无机电介质, 诸如氧化硅、氮化硅或氮氧化硅, 或者可以包括碳, 诸如碳化硅、碳氮氧化硅、低K电介质材料、SiCOH电介质、碳氮化硅或类金刚石碳或包括金刚石表面的材料。此类含碳陶瓷材料可以被认为是无机的, 尽管包括碳。在一些实施例中, 电介质材料不包括聚合物材料, 诸如环氧树脂、树脂或模制材料。

[0020] 在一些实施例中, 器件部分110a和110b可以具有显著不同的热膨胀系数 (CTE), 从

而限定异质结构。器件部分110a和110b之间,并且特别是器件部分110a、110b的半导体(典型地是单晶部分)之间的CTE差可以大于5ppm或大于10ppm。例如,器件部分110a和110b之间的CTE差可以在5ppm至100ppm、5ppm至40ppm、10ppm至100ppm或10ppm至40ppm的范围内。在一些实施例中,器件部分110a和110b中的一个可以包括光电单晶材料,包括钙钛矿材料,其可以用于光学压电或热电应用,而器件部分110a、110b中的另一个包括更传统的衬底材料。例如,器件部分110a、110b中的一个包括钽酸锂(LiTaO₃)或铌酸锂(LiNbO₃),而器件部分110a、110b中的另一个包括硅(Si)、石英、熔融硅玻璃、蓝宝石或玻璃。在其它实施例中,器件部分110a和110b中的一个包括III-V族单一半导体材料,诸如砷化镓(GaAs)或氮化镓(GaN),而器件部分110a和110b中的另一个可以包括非III-V族半导体材料,诸如硅(Si),或者可以包括具有类似CTE的其它材料,诸如石英、熔融硅玻璃、蓝宝石或玻璃。

[0021] 在各种实施例中,可以在没有中间粘合剂的情况下形成直接混合键合。例如,非导电键合表面112a和112b可以被抛光到高度光滑。键合表面112a和112b可以被清洁并且暴露于等离子体和/或蚀刻剂以激活表面112a和112b。在一些实施例中,表面112a和112b可以在激活后或在激活期间(例如,在等离子体和/或蚀刻工艺期间)用物质终止。在不受理论限制的情况下,在一些实施例中,可以执行激活工艺来断开在键合表面112a和112b处的化学键,并且终止工艺可以在键合表面112a和112b处提供额外的化学物质,这改进在直接键合期间的键合能量。在一些实施例中,激活和终止在同一步骤中提供,例如,等离子体激活和终止表面112a和112b。在其它实施例中,键合表面112a和112b可以在单独的处理中终止,以提供用于直接键合的额外物质。在各种实施例中,终止物质可以包括氮。例如,在一些实施例中,键合表面112a、112b可以暴露于含氮等离子体。另外,在一些实施例中,键合表面112a和112b可以暴露于氟。例如,在第一元件102和第二元件104之间的键合界面118处或附近可以存在一个或多个氟峰。因此,在直接键合结构100中,两种非导电材料(例如,键合层108a和108b)之间的键合界面118可以包括在键合界面118处具有较高氮含量和/或氟峰的非常光滑的界面。激活和/或终止处理的额外示例可以在整个美国专利号9,564,414、9,391,143;以及10,434,749中找到,其中每一个的全部内容以全文引用的方式并入本文并且用于所有目的。

[0022] 在各种实施例中,第一元件102的导电特征106a也可以直接键合到第二元件104的对应导电特征106b。例如,直接混合键合技术可以用于沿着键合界面118提供导体对导体的直接键合,该键合界面包括如上所述准备的共价直接键合的非导电对非导电(例如,电介质对电介质)表面。在各种实施例中,可以使用至少在美国专利号9,716,033和9,852,988中公开的直接键合技术来形成导体对导体(例如,导电特征106a到导电特征106b)的直接键合和电介质对电介质的混合键合,其中每一个的全部内容以全文引用的方式并入本文并且用于所有目的。在本文所述的直接混合键合实施例中,导电特征被提供在非导电键合层内,并且导电和非导电特征都准备用于直接键合,诸如通过以上所述的平坦化、激活和/或终止处理。因此,准备用于直接键合的键合表面包括导电和非导电特征。

[0023] 例如,非导电(例如,电介质)键合表面112a、112b(例如,无机电介质表面)可以被准备并且在没有如以上解释的中间粘合剂的情况下彼此直接键合。导电接触特征(例如,导电特征106a和106b,其可以至少部分地被键合层108a、108b内的非导电电介质场区围绕)也可以在没有任何中间粘合剂的情况下彼此直接键合。在各种实施例中,导电特征106a、106b可以

包括至少部分地嵌入非导电场区中的分立焊盘或迹线。在一些实施例中,导电接触特征可以包括衬底通孔(例如,硅通孔(TSV))的暴露接触表面。在一些实施例中,相应的导电特征106a和106b可以凹陷在电介质场区或非导电键合层108a和108b的外部(例如上)表面(非导电键合表面112a和112b)下方,例如凹陷小于30nm、小于20nm、小于15nm或小于10nm,例如凹陷在2nm至20nm的范围内或在4nm至10nm的范围内。在各种实施例中,在直接键合前,相对元件中的凹槽的尺寸可以被设定为使得相对接触焊盘之间的总间隙小于15nm或小于10nm。在一些实施例中,非导电键合层108a和108b可以在室温下在没有粘合剂的情况下彼此直接键合,并且随后可以对键合结构100进行退火。在退火时,导电特征106a和106b可以膨胀并且彼此接触以形成金属对金属的直接键合。有益的是,使用可以从加利福尼亚州圣何塞的Adeia(Adeia of San Jose,CA)商购的直接键合互连或DBI®技术可以使得高密度的导电特征106a和106b能够跨直接键合界面118连接(例如,规则阵列的小间距或精细间距)。在一些实施例中,导电特征106a和106b的间距(诸如嵌入键合元件中的一个的键合表面中的导电迹线)可以小于100微米或小于10微米或甚至小于2微米。对于一些应用,导电特征106a和106b的间距与键合焊盘的尺寸中的一个尺寸(例如直径)的比率小于20,或小于10,或小于5,或小于3,并且有时期望小于2。在其它应用中,嵌入键合元件中的一个的键合表面中的导电迹线的宽度可以在0.3至20微米之间的范围内,例如在0.3至3微米的范围内。在各种实施例中,导电特征106a和106b和/或迹线可以包括铜或铜合金,尽管其它金属可能是合适的。例如,本文公开的导电特征,诸如导电特征106a和106b,可以包括精细晶粒金属(例如,精细晶粒铜)。

[0024] 因此,在直接键合工艺中,第一元件102可以在没有中间粘合剂的情况下直接键合到第二元件104。在一些布置中,第一元件102可以包括分割元件,诸如分割集成器件管芯。在其它布置中,第一元件102可以包括载体或衬底(例如,晶片),其包括多个(例如,数十个、数百个或更多个)器件区域,这些器件区域在分割时形成多个集成器件管芯。类似地,第二元件104可以包括分割元件,诸如分割集成器件管芯。在其它布置中,第二元件104可以包括载体或衬底(例如晶片)。本文公开的实施例可以相应地应用于晶片对晶片(W2W)、管芯对管芯(D2D)或管芯对晶片(D2W)键合工艺。在晶片对晶片(W2W)工艺中,两个或更多个晶片可以彼此直接键合(例如直接混合键合)并且使用合适的分割工艺进行分割。在分割后,分割结构的侧边(例如,两个键合元件的侧边)可以基本上齐平,并且可以包括指示键合结构的共同分割工艺的标记(例如,如果使用锯切分割工艺,那么为锯切标记)。

[0025] 如本文所解释的,第一元件102和第二元件104可以在没有粘合剂的情况下彼此直接键合,这不同于沉积工艺,并且与沉积相比,产生在结构上不同的界面。在一种应用中,键合结构中的第一元件102的宽度类似于第二元件104的宽度。在一些其它实施例中,键合结构100中的第一元件102的宽度不同于第二元件104的宽度。类似地,键合结构中较大元件的宽度或面积可以比较小元件的宽度或面积大至少10%。第一元件102和第二元件104可以相应地包括非沉积元件。另外,与沉积层不同,直接键合结构100可以包括沿着键合界面118的缺陷区,其中存在纳米尺度的空隙(纳米空隙)。纳米空隙可以由于键合表面112a和112b的激活(例如,暴露于等离子体)而形成。如以上所解释的,键合界面118可以包括来自激活和/或最后化学处理工艺的材料浓度。例如,在利用氮等离子体进行激活的实施例中,可以在键合界面118处形成氮峰。可以使用二次离子质谱(SIMS)技术检测氮峰。在各种实施例中,

例如,氮终止处理(例如,将键合表面暴露于含氮等离子体)可以使用NH₂分子替换水解(OH终止)表面的OH基团,产生氮终止的表面。在利用氧等离子体进行激活的实施例中,可以在键合界面118处形成氧峰。在一些实施例中,键合界面118可以包括氮氧化硅、碳氮氧化硅或碳氮化硅。如本文所解释的,直接键合可以包括比范德华键更强的共价键。键合层108a和108b还可以包括被平坦化到高度光滑的抛光表面。

[0026] 在各种实施例中,导电特征106a和106b之间的金属对金属键合可以被结合,使得金属晶粒跨键合界面118生长到彼此中。在一些实施例中,金属为或包括铜,其可以具有主要沿着111晶面取向的晶粒,以用于改进铜在键合界面118上的扩散。在一些实施例中,导电特征106a和106b可以包括纳米孪晶铜晶粒结构,这可以有助于在退火期间合并导电特征。键合界面118可以基本上完全延伸到键合的导电特征106a和106b的至少一部分,使得在键合的导电特征106a和106b处或附近的非导电键合层108a和108b之间基本上没有间隙。在一些实施例中,阻挡层可以被设置在导电特征106a和106b下和/或横向围绕导电特征(例如,其可以包括铜)。然而,在其它实施例中,在导电特征106a和106b下可以没有阻挡层,例如,如美国专利号11,195,748中所述,该专利以全文引用的方式并入本文并且用于所有目的。

[0027] 有益的是,使用本文所述的混合键合技术可以实现相邻导电特征106a和106b之间的极其精细的间距,和/或小的焊盘尺寸。例如,在各种实施例中,相邻导电特征106a(或106b)之间的间距p(即,从边缘到边缘或中心到中心的距离,如图1A所示)可以在0.5微米至50微米的范围内、在0.75微米至25微米的范围内、在1微米至25微米的范围内、在1微米至10微米的范围内、或在1微米至5微米的范围内。另外,主横向尺寸(例如,焊盘直径)也可以很小,例如,在0.25微米至30微米的范围内、在0.25微米至5微米的范围内、或在0.5微米至5微米的范围内。

[0028] 如上所述,非导电键合层108a、108b可以在没有粘合剂的情况下彼此直接键合,随后,可以对键合结构100进行退火。在退火时,导电特征106a、106b可以膨胀并且彼此接触以形成金属对金属的直接键合。在一些实施例中,导电特征106a、106b的材料可以在退火工艺期间互相扩散。

[0029] 导电特征的晶粒度可以影响导电特征与另一导电特征(例如,导电特征106a、106b)之间的键合强度。在一些实施例中,导电特征可以包括金属特征,诸如铜接触焊盘或线。具有相对较小晶粒的导电特征可以在能量上不稳定,并且随着时间的推移晶粒可以趋向平衡。因此,即使施加最小的热量,具有相对较小晶粒度的导电特征也可以以相对高的键合强度彼此键合,并且对于具有相对较小晶粒度的直接键合可以实现较低的退火温度。对于给定的退火温度,具有相对较小晶粒度的此类导电特征之间的键合强度大于单晶或大晶粒导电特征之间的键合强度。事实上,跨金属特征的表面的单个晶粒可以完全阻止键合,如图2B的右侧特征所示。在一些实施例中,要键合的两个导电特征都可以包括相对较小晶粒导电特征。在一些其它实施例中,导电特征中的一个可以包括相对较小晶粒导电特征,而导电特征中的另一个可以具有较大晶粒导电特征,其在键合表面处具有多个晶粒边界。通过互相扩散在小晶粒导电特征之间的键合可以提供足够可以靠的金属对金属的键合,而对于给定的退火温度,通过互相扩散在单晶或大晶粒导电特征之间的键合可以不提供可以靠的导体对导体(例如金属对金属)的键合。在晶粒边界处的杂质可以抑制或阻碍晶粒的移动和键合。因此,在键合界面附近可以优选最少的杂质。例如,在本文公开的各种实施例中,导电

材料在键合界面处或附近的晶粒边界可以具有少于百万分之20 (ppm) 的杂质, 诸如1ppm或3ppm的杂质。在一些实施例中, 导电材料在键合界面处或附近的晶粒边界可以具有1ppm至20ppm、5ppm至20ppm、1ppm至15ppm或5ppm至15ppm的杂质。可以使用例如二次离子质谱 (SIMS) 扫描技术来测量杂质。例如, 可以使用飞行时间SIMS (TOF-SIMS) 来将各种元素的浓度相对于晶粒结构 (包括边界) 绘制。导电材料的晶体取向可以使用例如电子背散射衍射 (EBSD) 技术来确定。导电材料的晶粒边界构造可以使用例如电子显微镜 (EM) 技术, 诸如高分辨率透射电子显微镜 (HRTEM) 技术来确定。可以基于确定的导电材料的构造来估计具有某种杂质的多个位点。

[0030] 通常, 可以在导电特征的表面上 (在键合前) 或导电特征的横截面视图中观察到键合界面附近的晶粒度。因为一个目标为允许相对元件上的导电特征的晶粒边界彼此相交并且有利于迁移率, 并且从而促进直接键合, 所以可以相对于要键合的导电特征的横向尺寸来测量晶粒度。在传统处理的衬底中, 随着连续几代集成电路 (IC) 中的间距和导电特征 (例如, 键合焊盘、过孔、迹线或TSV) 横向尺寸的缩小, 使作为特征百分比的晶粒度增长 (例如, 在竹节晶粒结构中时), 并且当混合直接键合时晶粒边界彼此交叉的可能性变得更小。与传统处理相比和/或与由直接键合界面处的多个晶粒或亚晶粒组成的导电特征的横向尺寸相比, 小晶粒对于促进导电特征的直接键合的迁移率可能是有利的。在键合界面处呈现多个晶粒增加了来自相反元件的晶粒边界相交的几率或概率, 即使对于如今IC和未来IC中采用的相对较小的导电特征尺寸 (预计会更小) 也是如此。因此, 与在键合界面处具有在键合界面处提供较少晶粒边界 (例如, 单个晶粒) 的较大晶粒相比, 在键合界面处具有小晶粒使能在键合界面处存在数量更多的晶粒边界, 并且增加形成键合的几率或概率。本文所述实施例的导电特征 (诸如, 键合焊盘、过孔 (例如, TSV)、迹线或贯穿衬底电极) 可以具有在约0.01 μm 与15 μm 之间、约0.1 μm 与10 μm 之间、约0.5 μm 与8 μm 之间、约2 μm 与5 μm 之间、约1 μm 与3 μm 之间或约0.01 μm 与1 μm 之间的范围内的最大横向尺寸。例如, 相对较小的高间距键合焊盘的示例可以在键合界面处具有小于约7 μm^2 的导电特征的整个被暴露面积。

[0031] 将描述在键合前将形成混合直接键合界面的一部分的导电特征的上表面处的晶粒度。因此, 将形成混合直接键合界面的一部分的导电特征的上表面处的晶粒度可以小于导电特征的接触表面的20%、小于10%、小于5%或小于2%, 该导电特征被配置成在键合前接触另一个元件的对应接触表面。百分比可以通过将平均或最大晶粒度除以导电特征尺寸来计算, 其中晶粒度和特征尺寸两者都在横向 (例如x或y) 尺寸 (线性横向尺寸) 上, 例如在竖直横截面上线性测量。就面积而言, 在键合前, 界面晶粒 (如在键合界面处横向测量的) 可以小于2000 nm^2 、小于1000 nm^2 、小于500 nm^2 、小于300 nm^2 或小于180 nm^2 。此类相对较小晶粒可以导致具有暴露在键合表面处的3至20个晶粒、3至15个晶粒或4至8个晶粒的导电特征, 这使在两个直接键合的导电特征之间的键合界面处相交晶粒边界的机会增至最大。在键合前, 键合界面处晶粒的最大横向尺寸可以小于200nm、小于100nm、小于50nm、小于25nm、小于20nm或小于15nm。

[0032] 将描述在键合后形成混合直接键合界面的一部分的导电特征的上表面处的晶粒度。在键合后, 界面晶粒度可以小于导电特征的接触表面的30%、小于20%或小于15%, 这可以包括退火以使导电特征膨胀到接触, 这倾向于使晶粒度相对于预键合尺寸增长, 但与通过传统大批量制造生产的退火后晶粒相比保持较小, 如下所述。与预键合比较一样, 这些

百分比可以通过将平均或最大晶粒度除以并且将它们除以导电特征尺寸来计算,其中晶粒度和特征尺寸两者都在横向(例如x或y)尺寸上,例如在竖直横截面上线性测量。界面晶粒度(如在竖直横截面视图中横向测量的)可以意指例如在键合后晶粒的尺寸小于 71000nm^2 、小于 50000nm^2 、小于 20000nm^2 、小于 10000nm^2 或小于 8000nm^2 。

[0033] 使用传统大批量制造工艺(例如,自下而上电镀)制造的导电特征的晶粒度可以相对较大。在导电特征的本体中具有此类大晶粒度可能是有利的,因为此类晶粒比较小晶粒更稳定,并且可以表现出更好的导电性和信号速度以及更少的电迁移。然而,如上所述,此类大晶粒在直接键合界面处可能是不利的。实现较小晶粒边界的一种方式是在电镀工艺期间采用抑制晶粒生长的杂质。然而,此类工艺并入高浓度的杂质,特别是在晶粒边界处,这可以在键合界面处对导电材料的迁移率造成单独的阻碍。使用此类传统工艺形成没有杂质的具有相对较小晶粒度的导电特征可能是具有挑战性的。此外,形成仅包括小晶粒的相对较大导电特征可能耗时并且经济效率低,并且可能对稳定性和导电性产生不利影响。另外,形成仅包括小晶粒的相对较大导电特征可能在导电特征中形成不想要的空隙。

[0034] 一般而言,电镀导电材料(例如铜)中的杂质可以包括例如碳、氧、氮、硫。杂质可以包括例如不与接触焊盘的导电材料(例如铜)形成合金的非合金杂质。在其它示例中,杂质可以包括氧化硅颗粒或碳化硅。

[0035] 图2A为彼此键合的两个导电特征(第一导电特征10和第二导电特征12)的横截面图像。图2A的图像中的第一导电特征10和第二导电特征12包括在键合界面处具有多个重叠晶粒边界的精细晶粒铜(Cu)。精细晶粒金属可以定义为平均晶粒宽度小于 15nm 、小于 20nm 、小于 50nm 、小于 100nm 、小于 200nm 、小于 300nm 或小于 500nm 的金属。例如,精细晶粒金属中的晶粒的最大宽度可以在 10nm 至 500nm 、 10nm 至 300nm 、 15nm 至 500nm 、 15nm 至 300nm 、 15nm 至 100nm 、 15nm 至 50nm 、 50nm 至 500nm 、 50nm 至 300nm 或 100nm 至 300nm 的范围内。在一些实施例中,精细晶粒金属中的大多数晶粒可以具有在 10nm 至 500nm 、 10nm 至 300nm 、 15nm 至 500nm 、 15nm 至 300nm 、 15nm 至 100nm 、 15nm 至 50nm 、 50nm 至 500nm 、 50nm 至 300nm 或 100nm 至 300nm 的范围内的宽度。在示例工艺中,以每分钟 $0.28\mu\text{m}$ 的电镀速率对精细晶粒铜进行电镀。图2A示出第一导电特征10和第二导电特征12的大量晶粒与第一导电特征10和第二导电特征12之间的键合界面相交,这可以有助于在第一导电特征10和第二导电特征12之间提供可以可靠的直接键合。

[0036] 图2B为彼此键合的导电特征14a、16a和未彼此键合的导电特征14b、16b的横截面图像。与整体特征尺寸相比,导电特征14a、14b、16a、16b中的晶粒相对较大(例如,在特征的表面处存在有限数量的晶粒边界)。图2B示出导电特征14b、16b被准备为彼此键合。然而,导电特征14b、16b未彼此键合。图2B中所示的结构可以表明导电特征14b的晶粒几乎延伸或横跨导电特征14a的整个键合界面,从而阻止了金属-金属键合的形成。因此,在导电特征14b、16b之间没有足够的晶粒边界重叠来键合。这表明,对于与导电特征的特征尺寸或键合界面相比晶粒度较大的特征,金属特征未键合的概率可能是显著的。因此,对于相对大量的键合特征的阵列,其中一些将不会键合,从而降低产量。

[0037] 图2C为仅在小点区域内彼此键合的包括大量杂质的精细铜焊盘18、20的横截面图像。如本文所讨论的,提供相对较小晶粒(例如精细晶粒)的一种方式是在电镀工艺期间引入抑制晶粒生长的杂质。图2C示出了精细铜焊盘18、20之间的可靠键合不如图2A的第一导

电特征10和第二导电特征12。

[0038] 本文公开的各种实施例涉及形成导电特征的方法,该导电特征在键合表面处或附近包括相对较小晶粒,而没有过多的杂质或空隙。根据各种实施例,可以使用两种或更多种不同的工艺来形成导电特征。在一个示例中,可以使用电镀工艺和气相沉积工艺来形成导电特征。在另一个示例中,可以使用第一速率的第一电镀工艺和第二速率的第二电镀工艺(例如,使用更高的电流密度)来形成导电特征。在再另一个示例中,第一导体形成工艺提供大部分导电特征,进行退火以形成更大、更稳定的晶粒,并且第二导体形成工艺提供导电特征的表面,并且在形成和键合工艺之间不执行退火。本文教导的方法可以在键合界面附近形成较小晶粒并且在远离界面处形成较大晶粒,但是在界面附近的晶粒边界中没有过量的添加剂。

[0039] 由于相对较小晶粒可以随着时间的推移而生长,因此将导电特征(第一导电特征)相对快速地键合到另一导电特征(第二导电特征)可能是有利的。例如,在形成第一导电特征和第二导电特征后的一到两周内将第一导电特征键合到第二导电特征可以最大限度地提高成功的金属对金属直接键合的机会。已经发现,在生产后储存芯片或晶片较长时间段(例如6个月或一年)可以导致大晶粒生长,大晶粒度倾向于抑制金属对金属键合,这有可能是由于大晶粒的蠕变速率降低或它们在导电特征中的相交晶粒边界较少。

[0040] 图3A至3E示出了根据一个实施例的制造键合结构30的制造工艺的各个步骤。在图3A处,可以在非导电结构34中形成腔32。在一些实施例中,非导电结构34可以被设置在器件部分35上方。在图3B处,可以使用第一沉积工艺用第一导电材料36至少部分地填充腔32。第一导电材料36可以包括铜。在一些实施例中,第一导电材料36可以通过使用相对低的电流密度(例如,小于 $30\text{mA}/\text{cm}^2$,更特别地小于 $15\text{mA}/\text{cm}^2$)和相对低的沉积速率的自下而上填充工艺电镀到腔32中。腔32的侧壁32可以被第一导电材料36完全覆盖。在一些实施例中,可以在沉积第二导电材料38前对第一导电材料36进行退火,以生长和稳定第一导电材料36的晶粒。如图所示,可以在完全填充腔32前停止第一沉积工艺,从而在腔32中留下开口40。

[0041] 在图3C处,可以使用第二沉积工艺在腔32中的第一导电材料36上方的开口40中提供第二导电材料38。第二导电材料38可以包括铜。在一些实施例中,可以通过使用相对低的添加剂浓度以比第一沉积工艺更高的沉积速率(更高的电流密度)进行电镀来提供第二导电材料38。例如,可以采用相对高的电流密度,诸如大于或等于约2安培每平方分米(ASD)或 amp/dm^2 ,来形成相对精细的晶粒。然而,应避免非常高的电流密度,诸如高于7ASD或电镀浴的传质极限,以使粗糙或多孔金属涂层降至最低。在一些实施例中,第一沉积工艺包括电镀,并且第二沉积工艺包括气相沉积,诸如化学气相沉积(CVD)或物理气相沉积(PVD)。无论是通过不同的电镀工艺还是气相沉积工艺形成,第二导电材料38的晶粒度平均明显小于第一导电材料36的晶粒度,和/或与第一导电材料36相比,第二导电材料38的杂质(诸如来自用于晶粒控制的电镀添加剂的杂质)明显更小。在一些实施例中,第一导电材料36可以包括比第二导电材料38更多的杂质。

[0042] 可以对包括非导电结构34的至少一部分和第二导电材料38的至少一部分的表面进行抛光,并且可以对表面进行处理(例如,激活和终止)以限定元件(例如,第一元件30a)的键合表面。在一些实施例中,第二导电材料38的表面可以与非导电结构34的表面齐平或大致齐平。在一些其它实施例中,如上所述,第二导电材料38的表面可以相对于非导电结构

34的表面凹陷。第二导电材料38的厚度可以小于导电特征42(第一导电材料36和第二导电材料38的组合)的厚度的70%、小于30%或小于20%。在一些实施例中,第二导电材料38的厚度可以是30nm至600nm,并且第一导电材料36的厚度可以是400nm至5000nm。

[0043] 在图3D处,图3C中形成的元件(第一元件30a)可以与另一个元件(第二元件30b)接触。第二元件30b可以具有与第一元件30a相同或大致相似的结构。尽管第一导电材料36可以在形成第二导电材料38前退火,但是第二导电材料38可以在键合前不退火,或者可以在与键合表面处具有大晶粒的第一导电材料退火相比更低的温度和/或更短的持续时间下退火,如上所述。当第一元件30a和第二元件30b在室温下接触时,第一元件30a的非导电结构34和第二元件30b的非导电结构44可以沿着键合界面47彼此键合。在一些实施例中,非导电结构44可以被设置在器件部分45上方。在一些实施例中,当第一元件30a和第二元件30b在室温下接触时,第一元件30a的第二导电材料38和第二元件30b的导电特征52(其可以包括第三导电材料46和第四导电材料48)可以沿着键合界面47彼此键合。在图3E处,接触的第一元件30a和第二元件30b可以在非导电特征42、52的初始室温键合后退火;此类键合后退火允许导电特征彼此膨胀以完成混合键合并且形成键合结构30。在一些实施例中,在键合结构30中,第二导电材料38的晶粒度可以保持小于第一导电材料36的晶粒度。

[0044] 图4A至4F示出了根据一个实施例的制造键合结构60的制造工艺的各个步骤。在图4A处,可以在非导电结构34中形成腔32。在图4B处,可以使用第一沉积工艺用第一导电材料36填充腔32。第一导电材料36可以包括铜。在一些实施例中,第一导电材料36可以通过使用相对低的电流密度(例如,小于2安培每平方分米(ASD),更特别地小于0.5ASD,或者小于30mA/cm²,更特别地小于15mA/cm²)和相对低的沉积速率的自下而上填充工艺电镀到腔32中。在一些实施例中,腔32可以完全填充有第一导电材料36。典型地,腔32被过度填充,并且采用CMP工艺从非导电材料34上方去除导电材料覆盖层,并且随后去除或平坦化导电材料覆盖层以形成图4B所示的结构。在一些实施例中,可以对第一导电材料36进行退火,以在沉积第二导电材料38前使第一导电材料36的晶粒生长和稳定。

[0045] 在图4C处,可以去除第一导电材料36的至少一部分以限定开口64。在一些实施例中,可以通过蚀刻(例如湿法蚀刻)来选择性地去除第一导电材料36,以在图2C所示的第一导电特征36中形成凹槽或开口64。在一些实施例中,阻挡层(未示出)可以至少部分地被设置在腔32的表面上。在形成阻挡层后,可以提供第一导电材料36,使得阻挡层介于腔32和第一导电材料36的表面。在一些实施例中,可以选择性地去除第一导电材料36的一部分,而不去除阻挡层。可以通过去除被设置在非导电材料34的腔32中的第一导电材料36的一部分来形成凹槽或开口64。可以对具有凹槽的第一导电材料36进行退火以扩大或稳定晶粒。

[0046] 在图4D处,可以使用第二沉积工艺在腔32中的第一导电材料36上方提供第二导电材料38。第二导电材料38可以包括铜。在一些实施例中,可以通过使用低添加剂浓度以比第一沉积工艺更高的沉积速率(更高的电流密度)进行电镀来提供第二导电材料38。例如,可以采用相对高的电流密度,诸如大于或等于约2ASD,来形成相对精细的晶粒。然而,非常高的电流密度(诸如高于7ASD或10ASD)可以不为优选的,因为用非常高的电流密度沉积可以导致材料粗糙或多孔。在一些实施例中,第一沉积工艺包括电镀,并且第二沉积工艺包括气相沉积,诸如化学气相沉积(CVD)或物理气相沉积(PVD)。无论是通过不同的电镀工艺还是气相沉积工艺形成,第二导电材料38的晶粒度平均明显小于第一导电材料36的晶粒度,并

且与第一导电材料36相比,第二导电材料38的杂质(诸如来自用于晶粒控制的电镀添加剂的杂质)明显更小。

[0047] 可以对包括非导电结构34的至少一部分和第二导电材料38的至少一部分的表面进行抛光和处理(例如,激活和终止),以限定元件(例如,第一元件60A)的键合表面。在一些实施例中,第二导电材料38的表面可以与非导电结构34的表面齐平或大致齐平。在一些其它实施例中,如上所述,第二导电材料38的表面可以相对于非导电结构34的表面凹陷。

[0048] 在一些实施例中,预键合凹槽在非导电键合表面下方的深度小于75nm、小于50nm、并且优选小于20nm。第二导电材料38的厚度可以小于导电特征62(第一导电材料36和第二导电材料38的组合)的厚度的70%、小于50%、小于30%或小于20%。在一些实施例中,第二导电材料38的厚度可以是30nm至600nm,并且第一导电材料36的厚度可以是400nm至5000nm。在一些实施例中,第二导电材料38的厚度可以大于50nm。

[0049] 在图2E处,图2D中形成的元件(第一元件60a)可以与另一个元件(第二元件60b)接触。尽管第一导电材料36可以在形成第二导电材料38前退火,但是第二导电材料38可以在键合前不退火,或者可以在与第一导电材料退火相比更低的温度和/或更短的持续时间下退火,使得第二导电材料38的晶粒如上所述保持较小。第二元件60b可以具有与第一元件60a相同或大致相似的结构。当第一元件60a和第二元件60b在室温下接触时,第一元件60a的非导电结构34和第二元件60b的非导电结构44可以沿着键合界面47彼此键合。在一些实施例中,当第一元件60a和第二元件60b在室温下接触时,第一元件60a的第二导电材料38和第二元件60b的导电特征72(其可以包括第三导电材料46和第四导电材料48)可以沿着键合界面47彼此键合。在图2F处,接触的第一元件60a和第二元件60b可以在非导电特征34、44的初始室温键合后退火;此类键合后退火允许导电特征62、72彼此膨胀以完成混合键合并且形成键合结构60。在键合结构60中,第二导电材料38的晶粒度可以保持平均小于第一导电材料36的晶粒度。

[0050] 图3A-3E和4A-4F的部件可以与本文公开的类似部件相同或大致相似,例如图1A和1B的部件。例如,非导电特征42、52可以与非导电键合层108a、108b相同或大致相似;并且器件部分35、45可以与器件部分110a、110b相同或大致相似。

[0051] 在图3A至3E所示的实施例和图4A至4F所示的实施例中,第二导电材料38可以包括小晶粒或精细晶粒。第二导电材料38的最大晶粒度(如在竖直横截面中的横向尺寸上测量的)可以小于在键合前导电特征62的接触表面的最大横向尺寸的20%、小于10%、小于5%或小于2%。就在键合界面处占据的面积而言,在键合前,晶粒可以小于 2000nm^2 、小于 1000nm^2 、小于 500nm^2 、小于 300nm^2 或小于 180nm^2 。在键合前,如在横向尺寸上线性测量的第二导电材料38的最大晶粒度可以小于500nm、小于200nm、小于100nm、小于50nm、小于25nm、小于20nm或小于15nm。例如,第二导电材料38中的晶粒的最大宽度可以在10nm至500nm、10nm至300nm、15nm至500nm、15nm至300nm、15nm至100nm、15nm至50nm、50nm至500nm、50nm至300nm或100nm至300nm的范围内。

[0052] 通过对比,下部第一导电材料36可以具有较大晶粒。例如,就横向面积而言,在键合前,第一导电材料的晶粒可以大于 2000nm^2 、大于 4000nm^2 、大于 7000nm^2 或大于 10000nm^2 。在键合前,如在横向尺寸上线性测量的第一导电材料的最大晶粒度可以大于50nm、大于100nm、大于300nm或大于500nm。在键合前,第一导电材料的平均尺寸大于第二导电材料的

平均尺寸。在一些实施例中,在键合前和键合后,第一导电材料的平均尺寸可以比第二导电材料的平均尺寸大10%至200%。

[0053] 如上所述,在初始键合后的退火允许相对元件30a、30b、60a、60b的导电特征42、52、62、72另外生长到彼此中并且完成混合键合。此退火还将使第二导电材料38的晶粒度增长,但是第二导电材料38的第二导电材料平均晶粒度将保持小于下层第一导电材料36的平均导电材料晶粒度。尽管第一导电材料36和第二导电材料38两者可以主要包括相同的金属或金属合金(例如铜),但是它们可以通过明显不同的平均和最大晶粒度来区分,并且在一些实施例中通过与第二导电材料38相比第一导电材料36中明显更高的添加杂质来区分。在键合前,第二导电材料38的晶粒度的最大横向尺寸可以小于200nm、小于150nm、小于100nm、小于50nm或小于20nm。在键合前,第二导电材料38的最大横向横截面面积可以小于 2000nm^2 、小于 1000nm^2 、小于 500nm^2 、小于 300nm^2 或小于 180nm^2 。由于在退火期间的晶粒生长,在键合后,第二导电材料38的晶粒度的最大横向尺寸可以小于 $2\mu\text{m}$ 、小于 $1\mu\text{m}$ 、小于500nm或小于300nm。在键合后,第二导电材料38的最大横向横截面面积可以小于 $4\mu\text{m}^2$ 、小于 $1\mu\text{m}^2$ 、小于 $250,000\text{nm}^2$ 。

[0054] 尽管晶粒在退火期间生长,但第二导电材料38的晶粒相对于导电特征42、62保持相对较小。如在横向尺寸上线性测量的第二导电材料38的最大晶粒度可以小于键合后导电特征42、62的宽度的30%、小于20%或小于15%,其中晶粒度和特征尺寸两者都在横向尺寸上线性测量。第二导电材料38的较小晶粒可以代表来自键合界面47的顶部1-20层晶粒,更特别地说是顶部2-5层晶粒,而离键合界面47越远的晶粒越大,并且可以包括更高的杂质浓度。在键合后,至少部分地取决于键合后高温退火的温度曲线,例如对于 200°C 或更低的温度,并且对于60分钟的键合时间,第一导电材料36的平均尺寸可以保持大于第二导电材料38的平均尺寸。在一些实施例中,在键合后,第一导电材料36的平均尺寸可以比第二导电材料38的平均尺寸大2至4倍。

[0055] 图5为生成的用于示出包括第一导电材料36和第二导电材料38的导电特征42将如何出现的图像。图6为生成的用于示出包括第一导电材料36和第二导电材料38的导电特征62将如何出现的图像。图5和6示出第一导电材料36和第二导电材料38的晶粒度明显不同。本领域技术人员将知道,导电特征42、62各自包括较大晶粒的部分(例如,第一导电材料36)和包括较小晶粒的明显不同部分(例如,第二导电材料38)。

[0056] 一方面,公开一种用于形成元件的方法。该方法可以包括提供非导电结构和在非导电结构中形成腔。该腔从非导电结构的表面至少部分地延伸穿过非导电结构的厚度。该方法可以包括提供包括腔中的第一导电材料以及第一导电材料上方的第二导电材料的导电特征。第二导电材料被定位在元件的键合表面处。该第二导电材料在线性横向尺寸上的最大晶粒度小于导电特征的线性横向尺寸的20%。该方法可以包括准备用于直接键合的元件的键合表面。

[0057] 在一个实施例中,在第二导电材料的晶粒边界处存在少于百万分之20(ppm)的杂质。

[0058] 在一个实施例中,第二导电材料的平均晶粒度小于第一导电材料的平均晶粒度。

[0059] 在一个实施例中,提供导电特征包括分别提供第一导电材料和第二导电材料。提供第一导电材料可以包括部分地填充腔。提供第一导电材料可以包括使用第一导电材料填

充腔并且去除第一导电材料的一部分。该方法可以还包括在提供第二导电材料前对第一导电材料进行退火。提供导电材料可以包括通过等离子体气相沉积 (PVD) 在第一导电材料上方提供第二导电材料。可以通过以比用于提供第一导电材料的第一沉积工艺更高的电流密度进行电镀来提供第二导电材料。准备键合表面可以包括抛光非导电材料和第二导电材料的表面。

[0060] 在一个实施例中,第二导电材料的最大晶粒度小于导电特征的线性横向尺寸的10%。第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的5%。第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的2%。

[0061] 在一个实施例中,导电特征在键合表面处的面积小于 $7\mu\text{m}^2$ 。

[0062] 在一个实施例中,在横截面视图中,第二导电材料在键合表面处的最大晶粒横面积小于 2000nm^2 。

[0063] 在一个实施例中,第二导电材料在键合表面处的最大线性横向晶粒度小于200nm。

[0064] 在一个实施例中,第一导电材料和第二导电材料包括铜。

[0065] 在一个实施例中,该方法还包括在第一导电材料和第二导电材料之间提供中间层。

[0066] 在一个实施例中,第二导电材料的厚度小于导电特征的厚度的50%。第二导电材料的厚度可以小于导电特征的厚度的30%。

[0067] 一方面,公开一种用于形成键合结构的方法。该方法可以包括提供第一元件,所述第一元件包括:具有非导电键合表面的第一非导电结构、从非导电键合表面至少部分地延伸穿过非导电结构的厚度的腔,以及具有被设置在腔中的第一导电材料以及第一导电材料上方的第二导电材料的第一导电特征。第二导电材料至少部分地被暴露在元件的键合表面处。该第二导电材料的平均晶粒度小于第一导电材料的平均晶粒度。该方法可以包括提供第二元件,该第二元件包括:第二非导电结构和第二导电特征。该方法可以包括在不对第二导电材料进行退火处理的情况下,使第一元件的键合表面与第二元件的键合表面接触,并且在接触后直接键合第一元件和第二元件。

[0068] 在一个实施例中,在第二导电材料的晶粒边界处存在少于百万分之20 (ppm) 的杂质

[0069] 在一个实施例中,直接键合第一元件和第二元件包括在没有中间粘合剂的情况下直接键合第一非导电结构和第二非导电结构,以及在没有中间粘合剂的情况下直接键合第一导电特征和第二导电特征。

[0070] 在一个实施例中,提供第一元件包括提供第一非导电结构,在第一非导电结构中形成腔,提供第一导电材料,并且在提供第一导电材料后提供第二导电材料。该方法可以还包括在提供第二导电材料前对第一导电材料进行退火。

[0071] 在一个实施例中,该方法还包括对所键合的第一元件和第二元件进行退火。

[0072] 在一个实施例中,该方法还包括准备用于直接键合的元件的键合表面。准备键合表面可以包括抛光非导电材料和第二导电材料的表面。

[0073] 在一个实施例中,在直接键合第一元件和第二元件前,第二导电材料在线性横向尺寸上的最大晶粒度小于导电特征的线性横向尺寸的20%。在直接键合第一元件和第二元件前,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的10%。在直接键合

第一元件和第二元件前,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的5%。

[0074] 在一个实施例中,导电特征的整个被暴露面积小于 $7\mu\text{m}^2$ 。

[0075] 在一个实施例中,在直接键合第一元件和第二元件前,第二导电材料的最大晶粒横向面积小于 2000nm^2 。

[0076] 在一个实施例中,在直接键合第一元件和第二元件前,第二导电材料的最大线性横向晶粒度小于 200nm 。

[0077] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料在线性横向尺寸上的最大晶粒度小于导电特征的线性横向尺寸的30%。在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的20%。在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的15%。

[0078] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料在键合表面处的最大晶粒横向面积小于 71000nm^2 。

[0079] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料在键合表面处的最大线性横向晶粒度小于 $2\mu\text{m}$ 。

[0080] 在一个实施例中,第一导电材料和第二导电材料包括铜。

[0081] 在一个实施例中,该方法还包括在第一导电材料和第二导电材料之间提供中间层。

[0082] 一方面,公开一种元件。该元件可以包括非导电结构和非导电结构中的腔。该腔从非导电结构的表面至少部分地延伸穿过非导电结构的厚度。该元件可以包括导电特征,其包括腔中的第一导电材料以及第一导电材料上方的第二导电材料。第二导电材料被定位在元件的键合表面处。该第二导电材料在线性横向尺寸上的最大晶粒度小于导电特征的线性横向尺寸的20%。

[0083] 在一个实施例中,在第二导电材料的晶粒边界处存在少于百万分之20 (ppm) 的杂质。

[0084] 在一个实施例中,第二导电材料在线性横向尺寸上的平均晶粒度小于第一导电材料在线性横向尺寸上的平均晶粒度

[0085] 在一个实施例中,第二导电材料的厚度小于导电特征的厚度的50%。第二导电材料的厚度可以小于导电特征的厚度的30%。

[0086] 在一个实施例中,元件的键合表面被准备用于直接键合。键合表面可以具有小于 2nm 的均方根 (rms) 表面粗糙度。

[0087] 在一个实施例中,第二导电材料的最大晶粒度小于导电特征的线性横向尺寸的10%。第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的5%。第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的2%。

[0088] 在一个实施例中,导电特征在键合表面处的线性横向尺寸小于 $7\mu\text{m}^2$ 。

[0089] 在一个实施例中,第二导电材料在键合表面处的最大晶粒横向面积小于 2000nm^2 。

[0090] 在一个实施例中,第二导电材料在键合表面处的最大晶粒度小于 200nm 。

[0091] 在一个实施例中,第一导电材料和第二导电材料包括铜。

[0092] 在一个实施例中,元件还包括在第一导电材料和第二导电材料之间的中间层。

[0093] 一方面,公开一种键合结构。键合结构可以包括第一元件,其包括具有非导电键合表面的第一非导电结构、从非导电键合表面至少部分地延伸穿过非导电结构的厚度的腔,以及具有被设置在腔中的第一导电材料以及第一导电材料上方的第二导电材料的第一导电特征。第二导电材料的平均晶粒度小于第一导电材料的平均晶粒度。在第二导电材料的晶粒边界处存在少于百万分之20 (ppm) 的杂质。键合结构可以包括第二元件,其包括第二非导电结构和第二导电特征。第一元件和第二元件彼此键合,使得第一非导电结构和第二非导电结构在没有中间粘合剂的情况下彼此直接键合。第二导电材料和第二导电特征在没有中间粘合剂的情况下彼此直接键合。

[0094] 在一个实施例中,第二导电材料的厚度小于导电特征的厚度的50%。第二导电材料的厚度小于导电特征的厚度的30%。

[0095] 在一个实施例中,第一导电材料和第二导电材料包括铜。

[0096] 在一个实施例中,键合结构还包括在第一导电材料和第二导电材料之间的中间层。

[0097] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料在线性横向尺寸上的最大晶粒度小于导电特征的线性横向尺寸的30%。在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的20%。在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的15%。

[0098] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料在键合表面处的最大晶粒横向面积小于 71000nm^2 。

[0099] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料的最大线性横向晶粒度小于 $2\mu\text{m}$ 。

[0100] 一方面,公开一种用于形成元件的方法。该方法可以包括提供非导电结构,在非导电结构中形成腔,以及提供包括腔中的第一导电材料以及第一导电材料上方的第二导电材料的导电特征,使得第二导电材料至少部分地被暴露在元件的键合表面处。在第二导电材料的晶粒边界处存在少于百万分之20 (ppm) 的杂质,并且第二导电材料在线性横向尺寸上的最大晶粒度小于导电特征的线性横向尺寸的20%。

[0101] 在一个实施例中,提供导电特征包括分别提供第一导电材料和第二导电材料。提供第一导电材料可以包括部分地填充腔。提供第一导电材料可以包括使用第一导电材料填充腔并且去除第一导电材料的一部分。该方法可以还包括在提供第二导电材料前对第一导电材料进行退火。提供导电材料可以包括通过气相沉积在第一导电材料上方提供第二导电材料。气相沉积可以是物理气相沉积或化学气相沉积。可以通过以比用于提供第一导电材料的第一沉积工艺更高的电流密度进行电镀来提供第二导电材料。

[0102] 在一个实施例中,该方法还包括准备用于直接键合的元件的键合表面。准备键合表面可以包括抛光非导电材料和第二导电材料的表面。第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的5%。第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的2%。

[0103] 在一个实施例中,导电特征的整个被暴露面积小于 $7\mu\text{m}^2$ 。

- [0104] 在一个实施例中,第二导电材料在键合表面处的最大晶粒横向面积小于 2000nm^2 。
- [0105] 在一个实施例中,第二导电材料的最大晶粒度小于 200nm 。
- [0106] 在一个实施例中,第一导电材料和第二导电材料包括铜。
- [0107] 在一个实施例中,该方法还包括在第一导电材料和第二导电材料之间提供中间层。
- [0108] 在一个实施例中,第二导电材料的厚度小于导电特征的厚度的50%。第二导电材料的厚度小于导电特征的厚度的30%。
- [0109] 一方面,公开一种用于形成键合结构的方法。该方法可以包括提供第一元件,所述第一元件包括:具有非导电键合表面的第一非导电结构、非导电结构中的腔,以及具有被设置在腔中的第一导电材料以及第一导电材料上方的第二导电材料的第一导电特征。第二导电材料至少部分地被暴露在元件的键合表面处。在第二导电材料的晶粒边界处存在少于百万分之20 (ppm) 的杂质。第二导电材料在线性横向尺寸上的最大晶粒度小于导电特征的线性横向尺寸的20%。该方法可以包括提供第二元件,该第二元件包括:第二非导电结构和第二导电特征。该方法可以包括在不对第二导电材料进行退火处理的情况下,使第一元件的所述键合表面与第二元件的键合表面接触,并且在接触后直接键合第一元件和第二元件。
- [0110] 在一个实施例中,直接键合第一元件和第二元件包括在没有中间粘合剂的情况下直接键合第一非导电结构和第二非导电结构,以及在没有中间粘合剂的情况下直接键合第一导电特征和第二导电特征。
- [0111] 在一个实施例中,提供第一元件包括提供第一非导电结构,在第一非导电结构中形成腔,提供第一导电材料,并且在提供第一导电材料后提供第二导电材料。该方法可以还包括在提供第二导电材料前对第一导电材料进行退火。
- [0112] 在一个实施例中,该方法还包括对所键合的第一元件和第二元件进行退火。
- [0113] 在一个实施例中,该方法还包括准备用于直接键合的元件的键合表面。准备键合表面可以包括抛光非导电材料和第二导电材料的表面。
- [0114] 在一个实施例中,在直接键合第一元件和第二元件前,第二导电材料的最大晶粒度小于导电特征的线性横向尺寸的5%。在直接键合第一元件和第二元件前,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的2%。
- [0115] 在一个实施例中,导电特征的整个被暴露面积小于 $7\mu\text{m}^2$ 。
- [0116] 在一个实施例中,在直接键合第一元件和第二元件前,第二导电材料在键合表面处的最大晶粒横向面积小于 2000nm^2 。
- [0117] 在一个实施例中,在直接键合第一元件和第二元件前,第二导电材料的最大晶粒度小于 200nm 。
- [0118] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度小于导电特征的线性横向尺寸线性横向尺寸的30%。在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的20%。在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的15%。
- [0119] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料在键合表面处的最大晶粒横向面积小于 71000nm^2 。

[0120] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度小于 $2\mu\text{m}$ 。

[0121] 在一个实施例中,第一导电材料和第二导电材料包括铜。

[0122] 在一个实施例中,该方法还包括在第一导电材料和第二导电材料之间提供中间层。

[0123] 一方面,公开一种元件。该元件可以包括非导电结构和非导电结构中的腔。该腔从非导电结构的表面至少部分地延伸穿过非导电结构的厚度。该元件可以包括导电特征,其包括腔中的第一导电材料以及第一导电材料上方的第二导电材料。第二导电材料被定位在元件的键合表面处。该第二导电材料在线性横向尺寸上的最大晶粒度小于导电特征的线性横向尺寸的20%。在第二导电材料的晶粒边界处存在少于百万分之20(ppm)的杂质。

[0124] 在一个实施例中,第二导电材料的厚度小于导电特征的厚度的50%。第二导电材料的厚度可以小于导电特征的厚度的30%。

[0125] 在一个实施例中,元件的键合表面被准备用于直接键合。键合表面可以具有小于2nm的均方根(rms)表面粗糙度。

[0126] 在一个实施例中,第二导电材料的最大晶粒度小于导电特征的线性横向尺寸的5%。第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的2%。

[0127] 在一个实施例中,导电特征在键合表面处的面积小于 $7\mu\text{m}^2$ 。

[0128] 在一个实施例中,第二导电材料在键合表面处的最大晶粒横向面积小于 2000nm^2 。

[0129] 在一个实施例中,第二导电材料的最大晶粒度小于200nm。

[0130] 在一个实施例中,第一导电材料和第二导电材料包括铜。

[0131] 在一个实施例中,元件还包括在第一导电材料和第二导电材料之间的中间层。

[0132] 一方面,公开一种键合结构。键合结构可以包括第一元件,其包括具有非导电键合表面的第一非导电结构、从非导电键合表面至少部分地延伸穿过非导电结构的厚度的腔,以及具有被设置在腔中的第一导电材料以及第一导电材料上方的第二导电材料的第一导电特征。键合结构可以包括第二元件,其包括第二非导电结构和第二导电特征。第一元件和第二元件彼此键合,使得第一非导电结构和第二非导电结构在没有中间粘合剂的情况下彼此直接键合,并且第二导电材料和第二导电特征在没有中间粘合剂的情况下彼此直接键合。在直接键合第一元件和第二元件后,第二导电材料在线性横向尺寸上的最大晶粒度小于导电特征的线性横向尺寸的30%。

[0133] 在一个实施例中,在第二导电材料的晶粒边界处存在少于百万分之20(ppm)的杂质。

[0134] 在一个实施例中,第二导电材料的厚度小于导电特征的厚度的50%。第二导电材料的厚度小于导电特征的厚度的30%。

[0135] 在一个实施例中,第一导电材料和第二导电材料包括铜。

[0136] 在一个实施例中,键合结构还包括在第一导电材料和第二导电材料之间的中间层。

[0137] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度小于导电特征的线性横向尺寸的20%。在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度可以小于导电特征的线性横向尺寸的15%。

[0138] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料在键合表面处的最大晶粒横向面积小于 71000nm^2 。

[0139] 在一个实施例中,在直接键合第一元件和第二元件后,第二导电材料的最大晶粒度小于 $2\mu\text{m}$ 。

[0140] 在一个实施例中,导电特征的整个被暴露面积小于 $7\mu\text{m}^2$ 。

[0141] 一方面,公开一种在用于直接混合键合的衬底中形成导电特征的方法。该方法可以包括通过第一沉积工艺沉积第一导电材料,该第一沉积工艺包括在用于形成第一平均晶粒度的条件下进行电镀。该方法可以包括通过不同于第一沉积工艺的第二沉积工艺沉积第二导电材料,而相对于第一沉积工艺不增加杂质水平。第二沉积工艺形成小于第一沉积工艺的第二平均晶粒度。该方法可以包括准备包括第二导电材料的键合表面和用于直接混合键合的非导电表面。

[0142] 在一个实施例中,第一导电材料的杂质水平等于或大于第二导电材料的杂质水平。

[0143] 在一个实施例中,第二沉积工艺为抑制晶粒生长而不在第二导电材料的晶粒边界处引入少于百万分之20 (ppm) 的杂质的工艺。

[0144] 在一个实施例中,第一沉积工艺包括电镀工艺并且第二沉积工艺包括气相沉积工艺。电镀工艺可以使用大于 $2\text{amp}/\text{dm}^2$ 的电流密度。

[0145] 在一个实施例中,第一沉积工艺包括使用第一电流密度进行电镀,并且第二沉积工艺包括使用高于第一电流密度的第二电流密度进行电镀。

[0146] 在一个实施例中,第一沉积工艺包括电镀,并且第二沉积工艺包括气相沉积。

[0147] 在一个实施例中,第一导电材料和第二导电材料主要包括铜。

[0148] 除非上下文另有明确要求,否则在整个说明书和权利要求书中,词语“包括(comprise)”、“包括(comprising)”、“包括(include)”、“包括(including)”等应理解为包括性意义,而非排他性或穷尽意义;也就是说,在“包括但不限于”的意义上。如本文通常使用的词语“耦合的”是指两个或更多个元件,它们可以直接连接,或者通过一个或多个中间元件的方式连接。同样,如本文通常使用的词语“连接的”是指两个或更多个元件,它们可以直接连接,或者通过一个或多个中间元件的方式连接。额外地,当在本申请中使用,词语“本文”、“上面”、“下方”和具有类似含义的词语应指代本申请的整体,而不是指代本申请的任何特定部分。此外,如本文所用,当第一元件被描述为在第二元件“上”或“上方”时,第一元件可以直接在第二元件上或上方,使得第一元件和第二元件直接接触,或者第一元件可以间接在第二元件上或上方,使得一个或多个元件介于第一元件和第二元件之间。在上下文允许的情况下,以上具体实施方式中使用单数或复数的词语也可以分别包括复数或单数。词语“或”在涉及两个或更多个项目的列表时,该词语涵盖对该词语的所有以下解释:列表中的项目中的任一个、列表中的所有项目以及列表中的项目的任何组合。

[0149] 此外,除非另有具体说明或在所使用的上下文中另有理解,否则诸如“可能(can)”、“可能(could)”、“可以(might)”、“可以(may)”、“例如(e.g.)”、“例如(for example)”、“诸如”等(还有其它)的本文中使用的条件语言一般旨在传达某些实施例包括而其它实施例不包括某些特征、元件和/或状态。因此,此类条件语言一般并不旨在暗示一个或多个实施例以任何方式需要特征、元件和/或状态。

[0150] 尽管已描述某些实施例,但这些实施例仅以示例方式呈现,并不旨在限制本公开的范围。实际上,本文描述的新颖装置、方法和系统可以以各种其它形式来体现;此外,在不脱离本公开的精神的情况下,可以对本文描述的方法和系统的形式进行各种省略、替换和改变。例如,虽然块以给定的布置呈现,但是替代实施例可以使用不同的部件和/或电路拓扑来执行类似的功能,并且一些块可以被删除、移动、添加、细分、组合和/或修改。这些块中的每一个块都可以以各种不同的方式来实现。上述各种实施例的元件和动作的任何合适的组合可以被组合以提供另外的实施例。所附权利要求以及其等同物旨在涵盖落入本公开的范围和精神内的此类形式或修改。

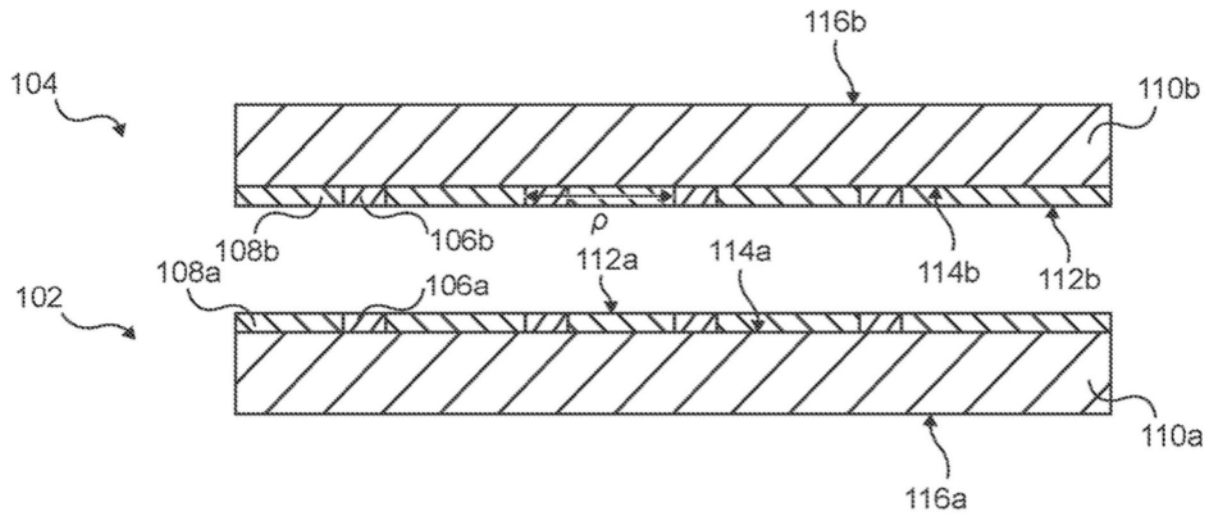


图1A

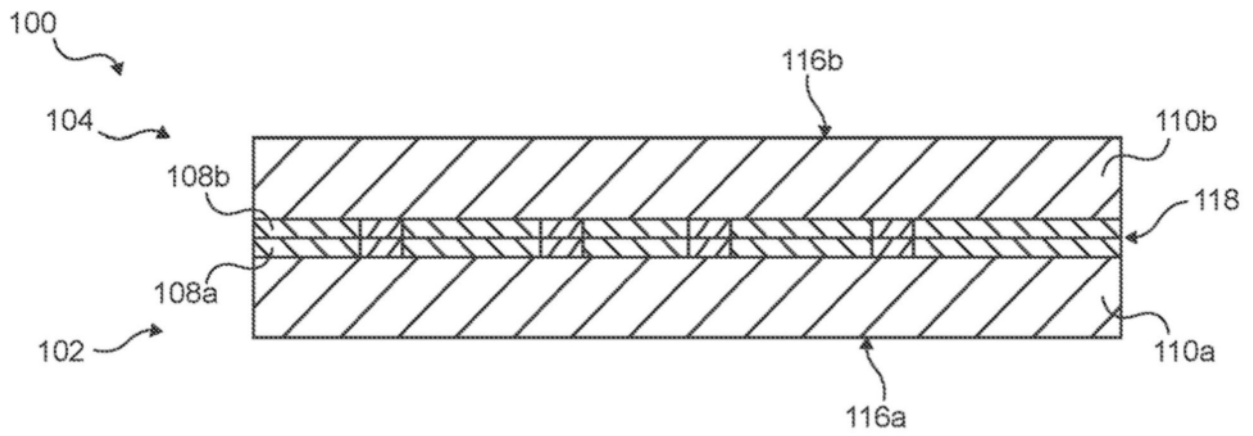


图1B

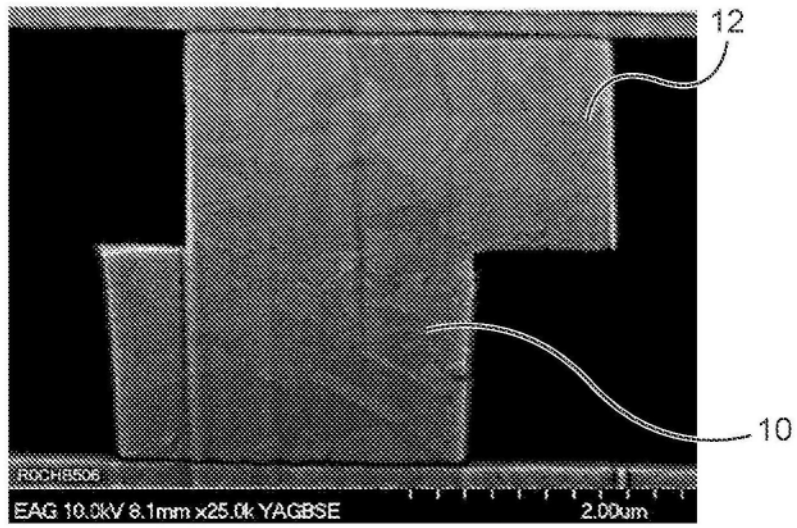


图2A

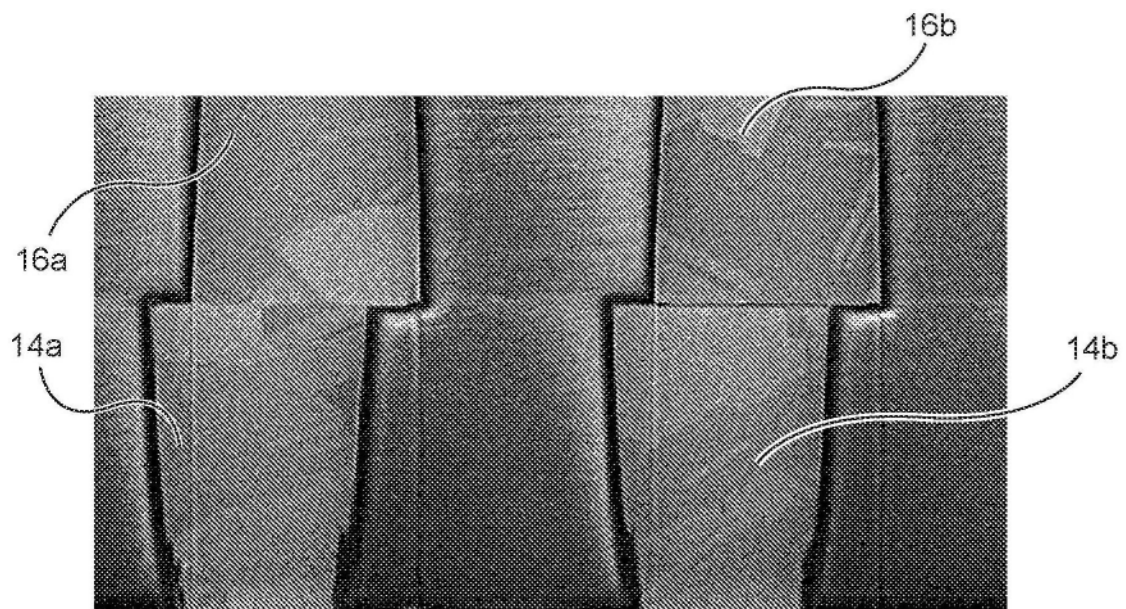


图2B

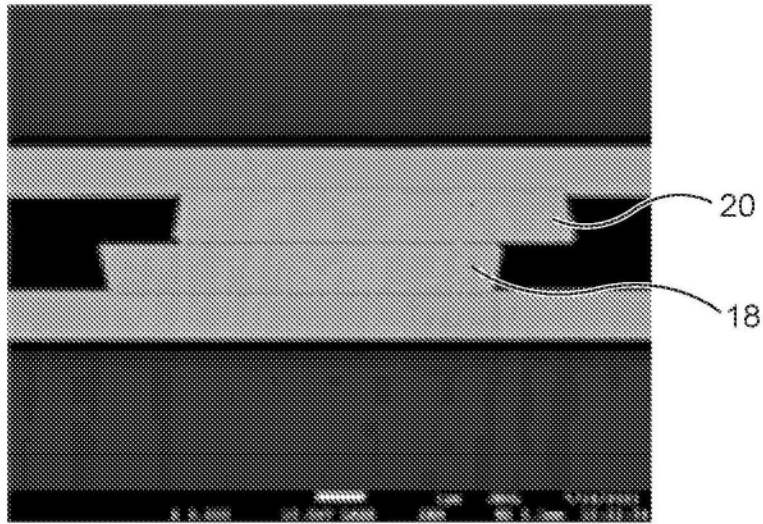


图2C

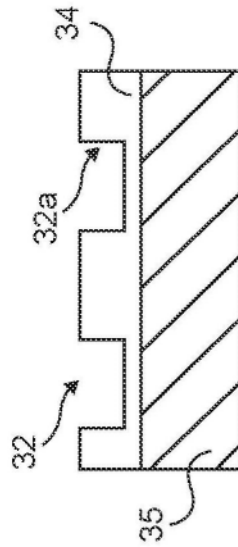


图3A

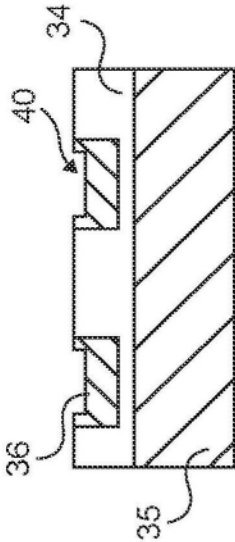


图3B

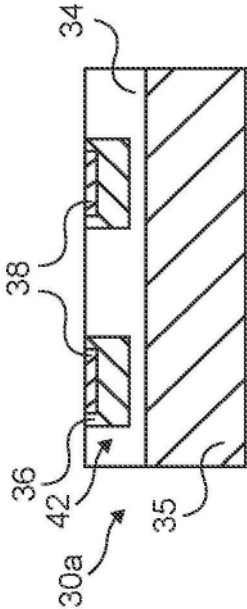


图3C

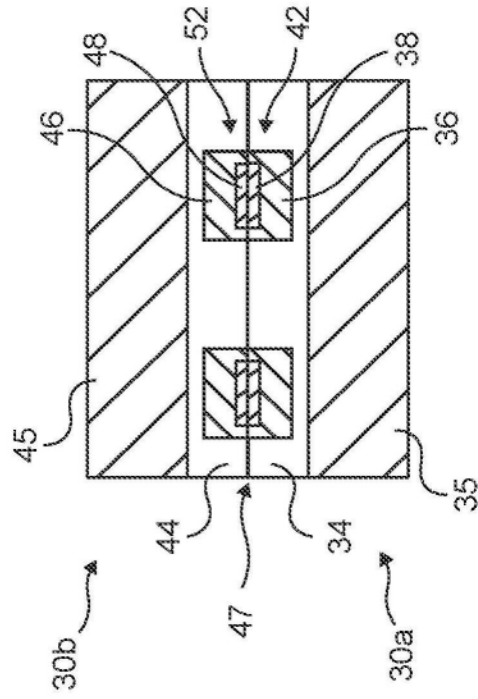


图3D

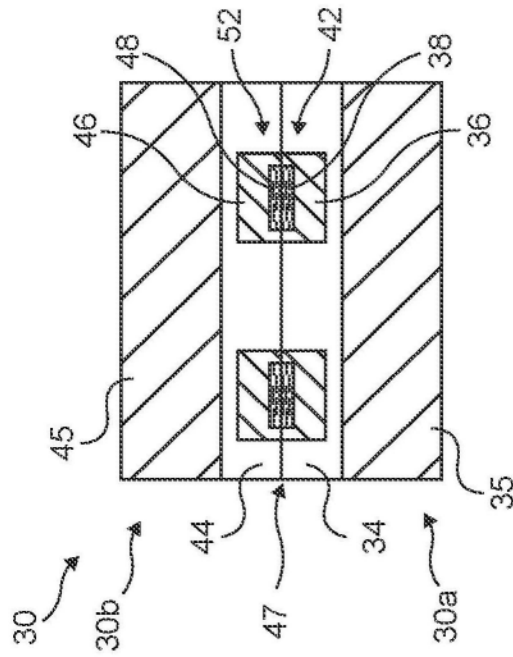


图3E

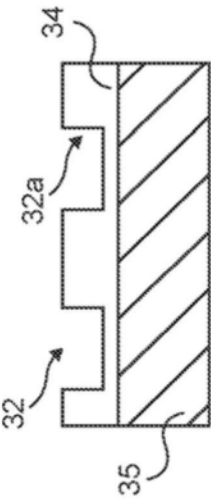


图4A

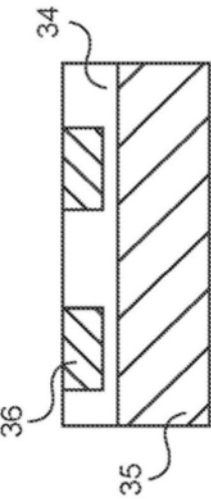


图4B

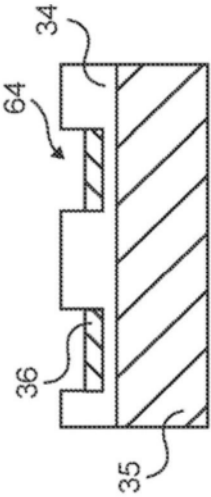


图4C

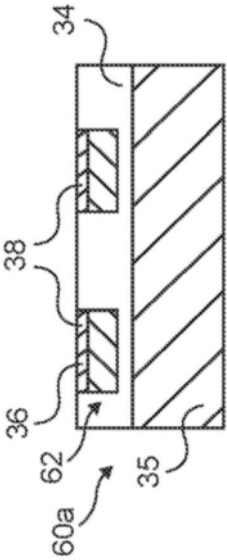


图4D

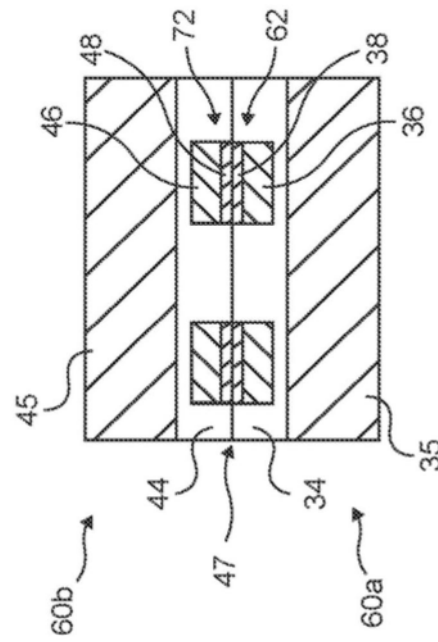


图4E

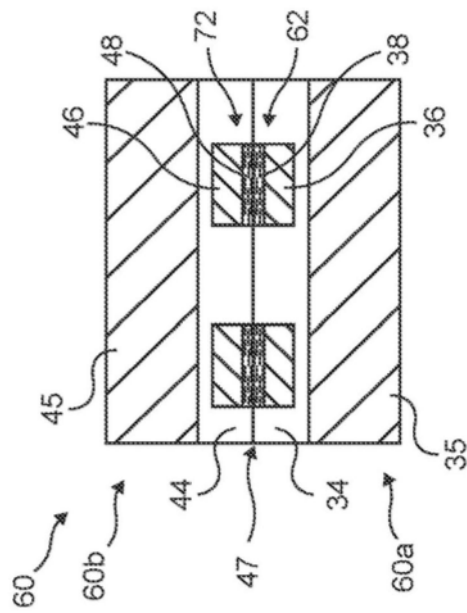


图4F

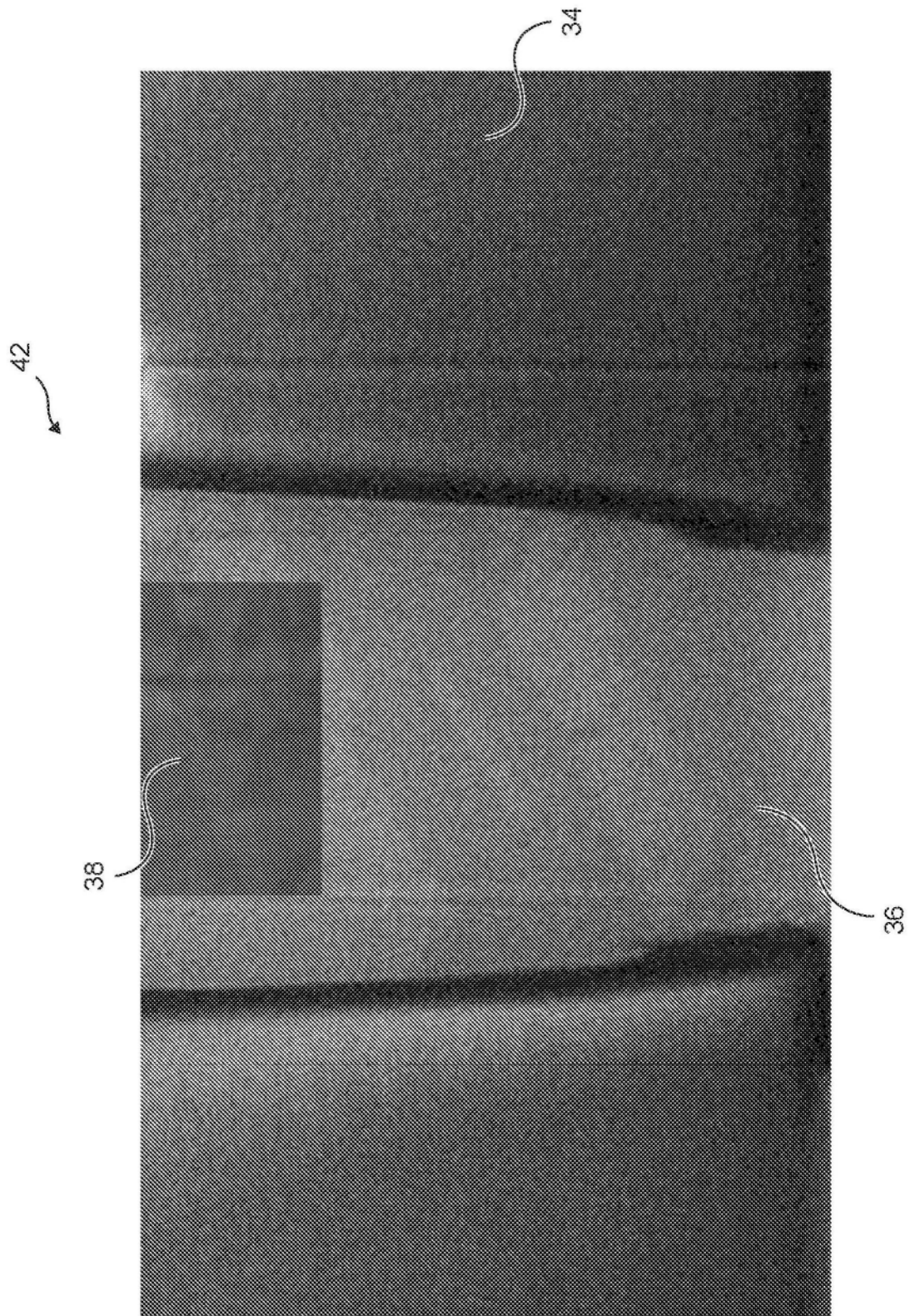


图5

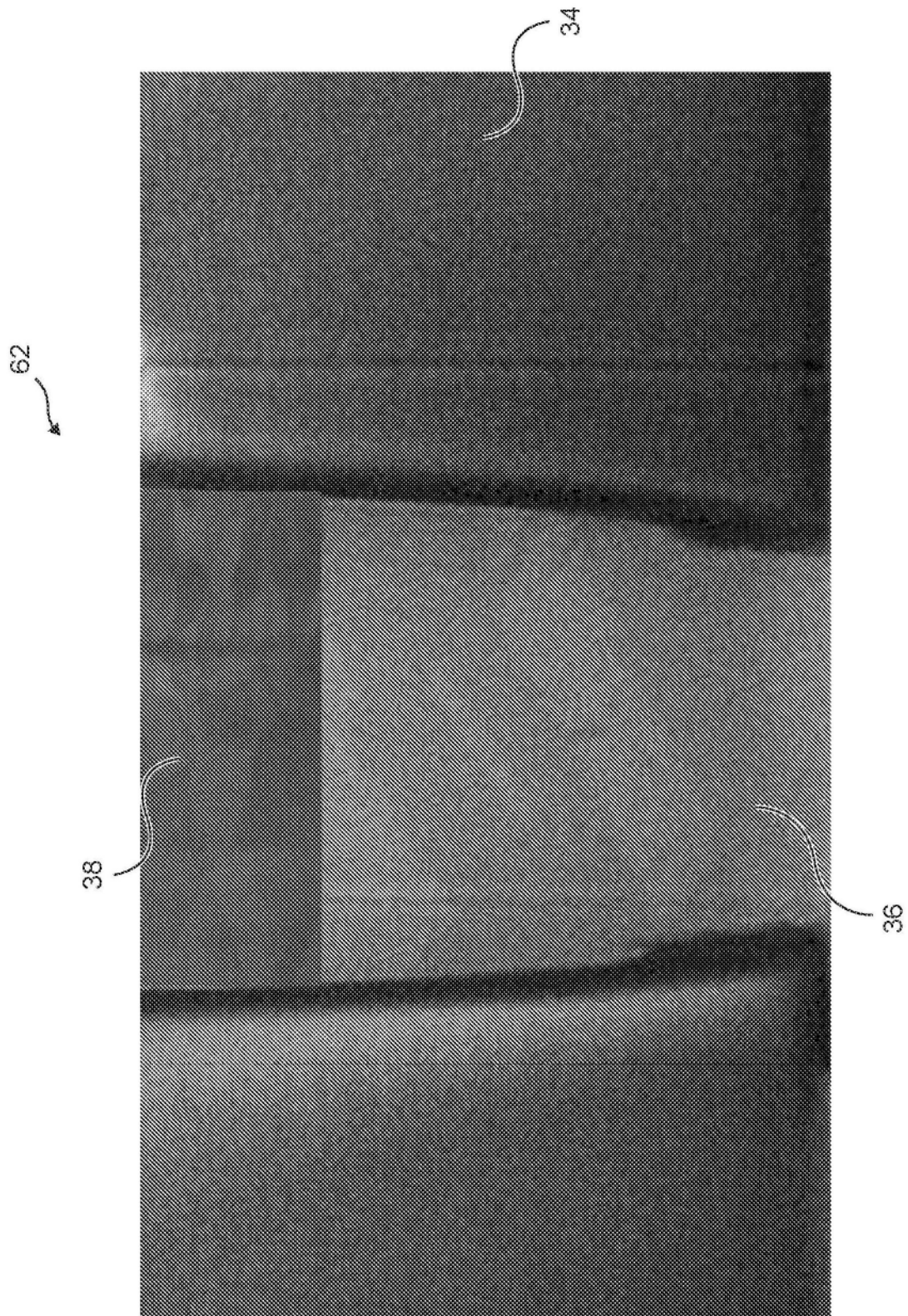


图6