

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5584011号
(P5584011)

(45) 発行日 平成26年9月3日(2014.9.3)

(24) 登録日 平成26年7月25日(2014.7.25)

(51) Int.Cl.

F 1

H01L 21/56

(2006.01)

H01L 21/56

R

H01L 23/12

(2006.01)

H01L 23/12

S O 1 P

H01L 23/29

(2006.01)

H01L 23/30

B

H01L 23/31

(2006.01)

請求項の数 5 (全 23 頁)

(21) 出願番号

特願2010-108688 (P2010-108688)

(22) 出願日

平成22年5月10日 (2010.5.10)

(65) 公開番号

特開2011-238767 (P2011-238767A)

(43) 公開日

平成23年11月24日 (2011.11.24)

審査請求日

平成25年4月1日 (2013.4.1)

(73) 特許権者 000190688

新光電気工業株式会社

長野県長野市小島田町80番地

(74) 代理人 100070150

弁理士 伊東 忠彦

(72) 発明者 千野 晃明

長野県長野市小島田町80番地 新光電気
工業株式会社内

審査官 越本 秀幸

最終頁に続く

(54) 【発明の名称】半導体パッケージの製造方法

(57) 【特許請求の範囲】

【請求項 1】

支持体の一方の面上に設けられた凹部に、回路形成面の反対面が前記凹部の内底面と対向し、かつ、一部が前記凹部から突出するよう半導体チップを配置する第1工程と、

前記支持体の一方の面上に、前記半導体チップの前記回路形成面を含む突出部を封止する樹脂部を形成し、前記樹脂部の一方の面を研削して前記回路形成面の一部を前記樹脂部の一方の面から露出させる第2工程と、

前記支持体を除去し、前記回路形成面の反対面を前記樹脂部の他方の面から露出させる第3工程と、

前記樹脂部の一方の面上に、前記樹脂部を基体の一部とし、前記半導体チップと電気的に接続される配線構造体を形成する第5工程と、

前記回路形成面の反対面を研削して、前記回路形成面の反対面を前記樹脂部の他方の面と面一にする第6工程と、を有し、

前記回路形成面には突起電極が形成されており、

前記第2工程では、前記樹脂部の一方の面を研削して前記突起電極の一部を前記樹脂部の一方の面から露出し、前記樹脂部の一方の面は前記突起電極の露出面と面一となる半導体パッケージの製造方法。

【請求項 2】

前記第5工程では、前記樹脂部の一方の面上及び前記回路形成面上に絶縁層及び配線層を含む配線構造体を形成する請求項1記載の半導体パッケージの製造方法。

【請求項 3】

前記第2工程では、前記樹脂部を圧縮成形で形成する請求項1又は2記載の半導体パッケージの製造方法。

【請求項 4】

前記支持体は金属であり、

前記第3工程では、前記支持体をエッティングにより除去する請求項1乃至3の何れか一項記載の半導体パッケージの製造方法。

【請求項 5】

前記支持体の一方の面には、複数の凹部が設けられており、

前記第1工程では、前記複数の凹部のそれぞれに前記半導体チップを配置し、

10

各半導体チップと電気的に接続される配線構造体を形成した後に、少なくとも一つの前記半導体チップを有するように、前記配線構造体と前記樹脂部を切断し、複数の半導体パッケージを作製する請求項1乃至4の何れか一項記載の半導体パッケージの製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体チップと、前記半導体チップと電気的に接続された配線構造体とを有する半導体パッケージの製造方法に関する。

【背景技術】**【0002】**

20

従来より、半導体パッケージの製造方法として、例えば平面形状が円形の支持体上に複数の半導体チップを配置し、配置した複数の半導体チップを樹脂により一括で封止するモールド技術が知られている。以下、図1～図3を参照しながら、従来の半導体パッケージの製造方法について簡単に説明する。

【0003】

図1～図3は、従来の半導体パッケージの製造工程を例示する図である。始めに、図1に示すように、支持体100上に粘着層110を介して複数の半導体チップ120を配置する。複数の半導体チップ120は、例えば、回路形成面を支持体100側に向けて配置される。

【0004】

30

次いで、図2に示すように、複数の半導体チップ120を樹脂130により一括で封止する。このようなモールド技術は、広範囲な部分に対して均一に樹脂130を被覆させ、複数の半導体チップ120を一括で封止できる点で有用である。

【先行技術文献】**【特許文献】****【0005】**

【特許文献1】国際公開第02/15266号パンフレット

【特許文献2】国際公開第02/33751号パンフレット

【発明の概要】**【発明が解決しようとする課題】**

40

【0006】

しかしながら、図3に示すように、複数の半導体チップ120を樹脂130により一括で封止すると、樹脂130の流動により各半導体チップ120が例えば矢印方向に動かされて位置ずれし、各半導体チップ120が本来と異なる位置に固定されるという問題があった。図3において、120xは各半導体チップが本来固定されるべき位置を、120は各半導体チップが位置ずれして固定された位置を示している。なお、樹脂130の流動は、樹脂130の厚さを均一化する目的で、封止の際に樹脂130を押圧するために生じる。

【0007】

例えば、図3に示す工程の後には、支持体100及び粘着層110を除去して各半導体

50

チップ120の回路形成面を露出させる工程や、各半導体チップ120の回路形成面上に絶縁層と配線層を積層形成し、配線層と各半導体チップ120の回路形成面の電極パッドとを絶縁層を貫通するビア配線により電気的に接続する工程等が設けられる。その際、各半導体チップ120が本来と異なる位置に固定されると、各半導体チップ120の電極パッドとビア配線との位置がずれるため、各半導体チップ120と配線層との接続信頼性が低下する虞が生じる。

【0008】

なお、各半導体チップ120が本来と異なる位置に固定される問題は、粘着層110の粘着力を強くすることにより、ある程度は改善される。しかしながら、粘着層110の粘着力を強くすると、粘着層110を除去する際に各半導体チップ120の電極パッドの上面に粘着層110の一部が付着するため、各半導体チップ120と配線層との接続信頼性が低下する虞が生じる。従って、この対策方法は好ましくない。10

【0009】

本発明は、上記の点に鑑みてなされたものであり、半導体チップを樹脂で封止する際の半導体チップの位置ずれを防止可能な半導体パッケージの製造方法を提供することを課題とする。

【課題を解決するための手段】

【0010】

本半導体パッケージの製造方法は、支持体の一方の面に設けられた凹部に、回路形成面の反対面が前記凹部の内底面と対向し、かつ、一部が前記凹部から突出するように半導体チップを配置する第1工程と、前記支持体の一方の面上に、前記半導体チップの前記回路形成面を含む突出部を封止する樹脂部を形成し、前記樹脂部の一方の面を研削して前記回路形成面の一部を前記樹脂部の一方の面から露出させる第2工程と、前記支持体を除去し、前記回路形成面の反対面を前記樹脂部の他方の面から露出させる第3工程と、前記樹脂部の一方の面上に、前記樹脂部を基体の一部とし、前記半導体チップと電気的に接続される配線構造体を形成する第5工程と、前記回路形成面の反対面を研削して、前記回路形成面の反対面を前記樹脂部の他方の面と面一にする第6工程と、を有し、前記回路形成面には突起電極が形成されており、前記第2工程では、前記樹脂部の一方の面を研削して前記突起電極の一部を前記樹脂部の一方の面から露出し、前記樹脂部の一方の面は前記突起電極の露出面と面一となることを要件とする。20

【発明の効果】

【0013】

開示の技術によれば、半導体チップを樹脂で封止する際の半導体チップの位置ずれを防止可能な半導体パッケージ及びその製造方法を提供できる。

【図面の簡単な説明】

【0014】

【図1】従来の半導体パッケージの製造工程を例示する図（その1）である。

【図2】従来の半導体パッケージの製造工程を例示する図（その2）である。

【図3】従来の半導体パッケージの製造工程を例示する図（その3）である。

【図4】第1の実施の形態に係る半導体パッケージを例示する断面図である。40

【図5】第1の実施の形態に係る半導体パッケージの製造工程を例示する図（その1）である。

【図6】第1の実施の形態に係る半導体パッケージの製造工程を例示する図（その2）である。

【図7】第1の実施の形態に係る半導体パッケージの製造工程を例示する図（その3）である。

【図8】第1の実施の形態に係る半導体パッケージの製造工程を例示する図（その4）である。

【図9】第1の実施の形態に係る半導体パッケージの製造工程を例示する図（その5）である。50

【図10】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その6)である。

【図11】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その7)である。

【図12】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その8)である。

【図13】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その9)である。

【図14】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その10)である。 10

【図15】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その11)である。

【図16】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その12)である。

【図17】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その13)である。

【図18】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その14)である。

【図19】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その15)である。 20

【図20】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その16)である。

【図21】第2の実施の形態に係る半導体パッケージを例示する断面図である。

【図22】第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その1)である。

【図23】第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その2)である。

【図24】第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その3)である。

【図25】第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その4)である。 30

【図26】第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)である。

【発明を実施するための形態】

【0015】

以下、図面を参照して発明を実施するための形態について説明する。なお、各図面において、同一構成部分には同一符号を付し、重複した説明を省略する場合がある。

【0016】

第1の実施の形態

【第1の実施の形態に係る半導体パッケージの構造】

図4は、第1の実施の形態に係る半導体パッケージを例示する断面図である。図4を参照するに、半導体パッケージ10は、半導体チップ20及び樹脂部30が形成する面の上に極薄の配線構造体40が形成され、更に配線構造体40上に外部接続端子49が形成された構造を有する。半導体チップ20と配線構造体40とは、はんだバンプ等を用いずに直接接続されている。

【0017】

半導体パッケージ10の平面形状は例えば矩形状であり、その寸法は、例えば幅15mm(X方向)×奥行き15mm(Y方向)×厚さ0.8mm(Z方向)程度とすることができる。但し、厚さ(Z方向)は、例えば0.3~0.5mm程度と薄型に形成することもできる。以下、半導体パッケージ10を構成する半導体チップ20、樹脂部30、配線

構造体 4 0 及び外部接続端子 4 9 について詳説する。

【 0 0 1 8 】

半導体チップ 2 0 は、半導体基板 2 1 と、電極パッド 2 2 とを有する。半導体基板 2 1 は、例えばシリコン (S i) やゲルマニウム (G e) 等からなる基板に半導体集積回路 (図示せず) が形成されたものである。電極パッド 2 2 は、半導体基板 2 1 の一方の側に形成されており、半導体集積回路 (図示せず) と電気的に接続されている。電極パッド 2 2 の材料としては、例えばアルミニウム (A l) 等を用いることができる。電極パッド 2 2 の材料として、銅 (C u) とアルミニウム (A l) をこの順番で積層したもの、銅 (C u) とアルミニウム (A l) とシリコン (S i) をこの順番で積層したもの等を用いても構わない。隣接する電極パッド 2 2 のピッチは、例えば $100 \mu m$ 程度とすることができる。
10 半導体チップ 2 0 の厚さ T_2 は、例えば $300 \sim 800 \mu m$ 程度とすることができる。

【 0 0 1 9 】

なお、半導体チップ 2 0 において、電極パッド 2 2 が形成されている側の面が回路形成面である。以降、半導体チップ 2 0 において、回路形成面と反対側に位置する、回路形成面と略平行な面を、裏面と称する場合がある。又、半導体チップ 2 0 において、回路形成面及び裏面と略垂直な面を、側面と称する場合がある。

【 0 0 2 0 】

樹脂部 3 0 は、第 1 樹脂部 3 1 と、第 2 樹脂部 3 2 とを有する。第 1 樹脂部 3 1 は、半導体チップ 2 0 の裏面の全部及び側面の一部を封止するように形成されている。第 2 樹脂部 3 2 は、第 1 樹脂部 3 1 上に、半導体チップ 2 0 の側面の残部を封止するように形成されている。言い換えれば、半導体チップ 2 0 の裏面は第 1 樹脂部 3 1 により封止されており、半導体チップ 2 0 の側面は第 1 樹脂部 3 1 及び第 2 樹脂部 3 2 により封止されている。
20 第 1 樹脂部 3 1 及び第 2 樹脂部 3 2 の材料としては、例えばエポキシ系樹脂やポリイミド系樹脂等の絶縁樹脂を用いることができる。

【 0 0 2 1 】

なお、第 1 樹脂部 3 1 は、半導体パッケージ 1 0 の基体の一部となる部分であるから、加工性よりも硬度や強度に優れた樹脂材を用いることが好ましい。第 2 樹脂部 3 2 にはこのような制約が無く、材料選定の自由度が大きい。例えば、第 1 樹脂部 3 1 は、硬度や強度を確保するためにフィラーの種類や含有量を調整することは困難であるが、第 2 樹脂部 3 2 は、フィラーの種類や含有量を調整することにより後述する第 1 絶縁層 4 1 との密着性を向上することが可能である。つまり、第 1 樹脂部 3 1 上に直接第 1 絶縁層 4 1 を形成する場合に比べて、材料選定の自由度の大きい第 2 樹脂部 3 2 を介して第 1 絶縁層 4 1 を形成することにより、第 2 樹脂部 3 2 と第 1 絶縁層 4 1 との密着性を向上できる。
30

【 0 0 2 2 】

又、第 1 樹脂部 3 1 は、例えば圧縮成形等により形成されるため、数 μm 程度の微少な気泡を含んでいる。この気泡が第 1 樹脂部 3 1 の表面に露出すると、数 μm 程度の微少孔となる。本実施の形態では、第 1 樹脂部 3 1 上に第 2 樹脂部 3 2 を積層形成するため、この微少孔を第 2 樹脂部 3 2 で埋めることができ、微少孔の存在による信頼性上の問題が発生しない。

【 0 0 2 3 】

第 1 樹脂部 3 1 の幅 W_2 は、半導体チップ 2 0 の側面から半導体パッケージ 1 0 の側面までの第 1 樹脂部 3 1 の幅であり、例えば $3 mm$ 程度とすることができる。第 1 樹脂部 3 1 の幅 W_3 は、例えば $15 mm$ 程度とすることができる。第 1 樹脂部 3 1 の厚さ T_3 は、例えば $300 \sim 500 \mu m$ 程度とすることができる。第 1 樹脂部 3 1 の厚さ T_4 は、半導体チップ 2 0 の裏面から半導体パッケージ 1 0 の裏面までの第 1 樹脂部 3 1 の厚さであり、例えば $0 \sim 100 \mu m$ 程度とすることができる。なお、第 1 樹脂部 3 1 の厚さ T_4 が $0 \mu m$ の場合、半導体チップ 2 0 の裏面が第 1 樹脂部 3 1 から露出し、半導体チップ 2 0 の放熱性能が向上する。
40

【 0 0 2 4 】

第 2 樹脂部 3 2 の厚さ T_5 は、例えば $100 \sim 200 \mu m$ 程度とすることができる。な
50

お、第2樹脂部32の上面（第1絶縁層41と接する面）は、半導体チップ20の回路形成面よりも数 μm 程度上がった位置にある。

【0025】

配線構造体40は、第1絶縁層41、第1配線層42、第2絶縁層43、第2配線層44、ソルダーレジスト層45が順次積層された構造を有する。配線構造体40の厚さ T_6 は、例えば30～50 μm 程度とすることができます。

【0026】

より詳しく説明すると、第1絶縁層41は、半導体チップ20の回路形成面及び第2樹脂部32の上面に、半導体チップ20の電極パッド22を覆うように形成されている。第1絶縁層41の材料としては、例えばエポキシ系樹脂やポリイミド系樹脂等の絶縁樹脂を用いることができる。第1絶縁層41の厚さは、例えば10 μm 程度とすることができます。前述のように、第2樹脂部32の材料として、第1絶縁層41との密着性を考慮した材料を選定することにより、第2樹脂部32と第1絶縁層41との密着性を向上できる。

10

【0027】

第1配線層42は、第1絶縁層41上に形成されている。第1配線層42は、第1絶縁層41を貫通し電極パッド22の上面を露出する第1ビアホール41x内に充填されたビア配線、及び第1絶縁層41上に形成された配線パターンを含んで構成されている。第1配線層42は、第1ビアホール41x内に露出した電極パッド22と電気的に接続されている。第1配線層42の材料としては、例えば銅(Cu)等を用いることができる。第1配線層42を構成する配線パターンの厚さは、例えば5 μm 程度とすることができます。

20

【0028】

第2絶縁層43は、第1絶縁層41上に、第1配線層42を覆うように形成されている。第2絶縁層43の材料としては、例えばエポキシ系樹脂やポリイミド系樹脂等の絶縁樹脂を用いることができる。第2絶縁層43の厚さは、例えば10 μm 程度とすることができます。

【0029】

第2配線層44は、第2絶縁層43上に形成されている。第2配線層44は、第2絶縁層43を貫通し第1配線層42の上面を露出する第2ビアホール43x内に充填されたビア配線、及び第2絶縁層43上に形成された配線パターンを含んで構成されている。第2配線層44は、第2ビアホール43x内に露出した第1配線層42と電気的に接続されている。第2配線層44の材料としては、例えば銅(Cu)等を用いることができる。第2配線層44を構成する配線パターンの厚さは、例えば5 μm 程度とすることができます。

30

【0030】

ソルダーレジスト層45は、第2絶縁層43上に、第2配線層44を覆うように形成されている。ソルダーレジスト層45は開口部45xを有し、第2配線層44の一部はソルダーレジスト層45の開口部45x内に露出している。ソルダーレジスト層45の材料としては、例えばエポキシ系樹脂やイミド系樹脂等の絶縁樹脂を含む感光性樹脂組成物等を用いることができる。ソルダーレジスト層45の厚さは、例えば10 μm 程度とすることができます。

【0031】

40

必要に応じ、開口部45x内に露出する第2配線層44上に、金属層等を形成してもよい。金属層の例としては、Au層や、Ni/Au層(Ni層とAu層をこの順番で積層した金属層)、Ni/Pd/Au層(Ni層とPd層とAu層をこの順番で積層した金属層)等を挙げることができる。

【0032】

外部接続端子49は、配線構造体40を構成するソルダーレジスト層45の開口部45x内に露出する第2配線層44上に(第2配線層44上に金属層等が形成されている場合には、金属層等の上に)形成されている。本実施の形態において、半導体パッケージ10は、外部接続端子49の形成されている領域が半導体チップ20の直上の領域の周囲に拡張された所謂ファンアウト構造を有する。つまり、第2樹脂部32の上方に外部接続端子

50

4 9 が位置するように、配線層を引き回しても良い。隣接する外部接続端子 4 9 のピッチは、隣接する電極パッド 2 2 のピッチ（例えば $100 \mu m$ ）よりも拡大することが可能となり、例えば $200 \mu m$ とすることができる。但し、半導体パッケージ 1 0 は、目的に応じて所謂ファンイン構造を有しても構わない。

【 0 0 3 3 】

外部接続端子 4 9 は、マザーボード等の実装基板（図示せず）に設けられたパッドと電気的に接続される端子として機能する。外部接続端子 4 9 としては、例えば、はんだボール等を用いることができる。はんだボールの材料としては、例えば Pb を含む合金、Sn と Cu の合金、Sn と Ag の合金、Sn と Ag と Cu の合金等を用いることができる。外部接続端子 4 9 として、リードピン等を用いても構わない。

10

【 0 0 3 4 】

但し、本実施の形態では外部接続端子 4 9 を形成しているが、外部接続端子 4 9 は必ずしも形成する必要はない。要は、必要なときに外部接続端子 4 9 等を形成できるように第 2 配線層 4 4 の一部がソルダーレジスト層 4 5 から露出していれば十分である。

【 0 0 3 5 】

[第 1 の実施の形態に係る半導体パッケージの製造方法]

続いて、第 1 の実施の形態に係る半導体パッケージの製造方法について説明する。図 5 ~ 図 2 0 は、第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図である。

【 0 0 3 6 】

始めに、図 5 及び図 6 に示す工程では、複数の凹部 5 0 × を有する支持体 5 0 を準備する。なお、図 5 は平面図、図 6 は図 5 の A - A 線に沿う断面図である。支持体 5 0 としては、例えば銅板等を用いることができる。なお、支持体 5 0 は必ずしも銅板に限定されるものではなく、鉄やニッケル等の他の金属板やシリコン基板、セラミック基板、ガラス基板等を用いることができる。本実施の形態では、後述する支持体 5 0 を除去する工程（図 1 1 参照）において、エッチングで容易に除去できる銅板を用いる例を以下に示す。

20

【 0 0 3 7 】

複数の凹部 5 0 × は、例えば平面形状が円形の銅板の所定部分をエッチングにより除去することにより形成できる。又、複数の凹部 5 0 × は、例えば平面形状が円形の銅板にザグリ加工を施して形成したり、プレス加工により形成したりしても構わない。更に、複数の凹部 5 0 × は、プレス加工等により凹部 5 0 × に対応する大きさの貫通孔を形成した第 1 の平面形状が円形の銅板と、貫通孔が形成されていない第 2 の平面形状が円形の銅板とを貼り合わせることにより形成しても構わない。

30

【 0 0 3 8 】

支持体 5 0 の直径は、例えば $200 mm$ 程度とすることができます。支持体 5 0 の厚さ T_1 は、例えば $1 mm$ 程度とすることができます。凹部 5 0 × の幅 W_1 及び奥行き D_1 は、例えば、それぞれ $15 mm$ 程度とすることができます。凹部 5 0 × の深さ H_1 は、例えば $200 \mu m$ 程度とすることができます。但し、凹部 5 0 × は、後述する工程（図 9 参照）において、粘着層 5 1 を介して半導体チップ 2 0 が配置される部分であるため、凹部 5 0 × の幅 $W_1 \times$ 奥行き D_1 は、粘着層 5 1 の厚さも考慮し半導体チップ 2 0 の幅 \times 奥行きよりも若干大きくなるように適宜決定される。又、凹部 5 0 × の深さ H_1 は、後述する工程（図 1 0 参照）において、半導体チップ 2 0 の位置ずれを防止可能な深さであれば任意に設定して構わない。

40

【 0 0 3 9 】

なお、本実施の形態では、支持体 5 0 として複数の凹部 5 0 × を有する平面形状が円形の銅板を用いる例を示すが、銅板の平面形状は円形には限定されず、例えば矩形等であっても構わない。又、図 5 では、図を簡略化するために、支持体 5 0 に凹部 5 0 × を 1 2 個設けるように図示されているが、更に多数の凹部を設けても構わない。

【 0 0 4 0 】

次いで、図 7 に示す工程では、各凹部 5 0 × の内壁面（内底面及び内側面）を含む支持体 5 0 の一方の側に粘着層 5 1 を形成する。粘着層 5 1 は、例えばフィルム状の両面粘着

50

剤を各凹部 $50\times$ の内壁面を含む支持体 50 の一方の側に真空雰囲気中でラミネートすることにより形成できる。粘着層 51 の厚さは、例えば $100\mu m$ 程度とすることができます。

【0041】

次いで、図8に示す工程では、半導体基板 21 の回路形成面側に電極パッド 22 が形成された半導体チップ 20 を所定の数量だけ準備する。半導体チップ 20 は、この段階では薄型化されていない方が、以後の工程における取り扱いが容易となり好適である。しかしながら、必要に応じて、この段階で半導体チップ 20 を薄型化しても構わない。半導体チップ 20 の厚さ T_2 は、例えば $300\sim800\mu m$ 程度とすることができます。

【0042】

次いで、図9に示す工程では、支持体 50 の各凹部 $50\times$ に、粘着層 51 を介して半導体チップ 20 をフェイスダウンの状態で配置する。すなわち、半導体チップ 20 を、電極パッド 22 が凹部 $50\times$ の内底面に形成された粘着層 51 と接するように配置する。半導体チップ 20 は、粘着層 51 により、凹部 $50\times$ 内に仮固着される。

【0043】

支持体 50 及び半導体チップ 20 には、予め位置決め用のアライメントマークが形成されている。所定の位置決め装置を用いて支持体 50 及び半導体チップ 20 のアライメントマークを認識し、支持体 50 に対して半導体チップ 20 を位置決めすることにより、支持体 50 の各凹部 $50\times$ に半導体チップ 20 を配置できる。なお、各半導体チップ 20 の裏面側は支持体 50 の各凹部 $50\times$ から突出している。

【0044】

次いで、図10に示す工程では、粘着層 51 上に、半導体チップ 20 を封止する第1樹脂部 31 を形成する。第1樹脂部 31 は、例えば、圧縮成形等により形成できる。具体的には、例えば、下金型に図9に示す構造体を搭載し、半導体チップ 20 側に第1樹脂部 31 となる樹脂を塗布する。そして、第1樹脂部 31 となる樹脂が塗布された図9に示す構造体を下金型及び上金型で挟持し、更に加圧及び加熱することにより、第1樹脂部 31 となる樹脂の厚さを均一化させて硬化させる。これにより、半導体チップ 20 を封止する第1樹脂部 31 が形成される。

【0045】

第1樹脂部 31 の厚さ T_3 は、例えば $300\sim500\mu m$ 程度とすることができます。第1樹脂部 31 の厚さ T_4 は、例えば $50\sim100\mu m$ 程度とすることができます。第1樹脂部 31 の材料としては、例えば熱硬化性を有するエポキシ系樹脂やポリイミド系樹脂等の絶縁樹脂を用いることができる。なお、第1樹脂部 31 は、半導体パッケージ 10 の基体の一部となる部分であるから、加工性よりも硬度や強度に優れた樹脂材を用いることが好みしい。

【0046】

前述のように、従来の半導体パッケージの製造方法では、複数の半導体チップを樹脂により一括で封止すると、樹脂の流動により各半導体チップが動かされて位置ずれし、各半導体チップが本来と異なる位置に固定されるという問題があった。しかしながら、本実施の形態に係る半導体パッケージの製造方法では、半導体チップ 20 は、粘着層 51 を介して凹部 $50\times$ に仮固着されているため、樹脂の流動があっても、半導体チップ 20 の位置ずれが生じる虞はない。従って、第1樹脂部 31 が硬化すると、各半導体チップ 20 は本来あるべき位置に固定される。その結果、各半導体チップ 20 の電極パッド 22 と、後述する配線構造体 40 との接続信頼性を向上できる。

【0047】

次いで、図11に示す工程では、図10に示す構造体から支持体 50 及び粘着層 51 を除去する。本実施の形態では支持体 50 は銅板である。従って、支持体 50 は、例えば塩化第二鉄水溶液等を用いたウェットエッチングにより除去できる。粘着層 51 は、支持体 50 を除去した後、機械的に剥離できる。この工程により、半導体チップ 20 の電極パッド 22 が第1樹脂部 31 から露出する。

10

20

30

40

50

【0048】

次いで、図12に示す工程では、第1樹脂部31の一方の側に、電極パッド22を含む半導体チップ20の回路形成面及び側面を封止する第2樹脂部32を形成する。なお、図12は、図11とは上下が反転して描かれている。第2樹脂部32の材料としては、シート状のエポキシ系感光性樹脂やポリイミド系感光性樹脂等の絶縁樹脂、又は、液状又はペースト状のエポキシ系感光性樹脂やポリイミド系感光性樹脂等の絶縁樹脂を用いることができる。

【0049】

第2樹脂部32の材料としてシート状のエポキシ系感光性樹脂やポリイミド系感光性樹脂等の絶縁樹脂を用いた場合には、第1樹脂部31の一方の側に、電極パッド22を含む半導体チップ20の回路形成面及び側面を覆うようにシート状の第2樹脂部32をラミネートし、加熱して硬化させる。なお、第2樹脂部32を真空雰囲気中でラミネートすることにより、第2樹脂部32中へのボイドの巻き込みを防止できる。10

【0050】

第2樹脂部32として液状又はペースト状のエポキシ系感光性樹脂やポリイミド系感光性樹脂等の絶縁樹脂を用いた場合には、第1樹脂部31の一方の側に、電極パッド22を含む半導体チップ20の回路形成面及び側面を覆うように液状又はペースト状の第2樹脂部32を例えば印刷法やスピンドルコート法等により塗布し、加熱して硬化させる。

【0051】

次いで、図13に示す工程では、半導体チップ20の回路形成面に形成された第2樹脂部32を除去して、電極パッド22を含む半導体チップ20の回路形成面を露出する開口部32xを形成する。第2樹脂部32として感光性樹脂を用いた場合には、半導体チップ20の回路形成面に形成された第2樹脂部32を露光及び現像することにより、開口部32xを形成できる。20

【0052】

具体的には、第2樹脂部32としてポジ型の感光性樹脂を用い、所定の開口部を有するマスクを介して、半導体チップ20の回路形成面に形成された第2樹脂部32のみに露光光を照射する。そして、例えばアルカリ系等の現像液を用いて、第2樹脂部32の露光された部分をエッチングして除去し、開口部32xを形成する。或いは、第2樹脂部32としてネガ型の感光性樹脂を用い、所定の開口部を有するマスクを介して、半導体チップ20の回路形成面に形成された第2樹脂部32以外の部分に露光光を照射する。そして、例えば有機溶剤等を含む現像液を用いて、第2樹脂部32の露光されていない部分をエッチングして除去し、開口部32xを形成してもよい。30

【0053】

又、第2樹脂部32として感光性樹脂を用いていない場合には、半導体チップ20の回路形成面に形成された第2樹脂部32を、例えばプラズマアッティングにより除去できる。具体的には、例えば、半導体チップ20の回路形成面に形成された第2樹脂部32のみを露出するマスクを介して、O₂プラズマアッティング等を行う。O₂プラズマアッティングは、真空雰囲気中において、対象物を酸素ガスがプラズマ励起された酸素ラジカル及び酸素イオンにより酸化させ、COやCO₂等の気体状反応生成物として除去するものである。供給される酸素ガスには必要に応じて種々の不活性ガスを添加しても構わない。不活性ガスとしては、例えば、アルゴン系ガス、水素系ガス、窒素系ガス、CF₄、C₂F₆等のCF系ガス等を用いることができる。40

【0054】

次いで、図14に示す工程では、開口部32x内（半導体チップ20の回路形成面）及び第2樹脂部32上に、半導体チップ20の電極パッド22を覆うように第1絶縁層41を形成する。第1絶縁層41の材料としては、例えば熱硬化性を有するシート状のエポキシ系樹脂やポリイミド系樹脂等の絶縁樹脂、又は、熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等の絶縁樹脂を用いることができる。第1絶縁層450

1は、後述する工程(図15参照)でレーザ加工法等により第1ビアホール41xを形成しやすくするために、例えばフィラーが含有された加工性に優れた樹脂材を用いることが好ましい。第1絶縁層41の厚さは、例えば10μm程度とすることができます。

【0055】

第1絶縁層41の材料として熱硬化性を有するシート状のエポキシ系樹脂やポリイミド系樹脂等の絶縁樹脂を用いた場合には、開口部32x内(半導体チップ20の回路形成面)及び第2樹脂部32上に半導体チップ20の電極パッド22を覆うようにシート状の第1絶縁層41をラミネートする。そして、ラミネートした第1絶縁層41を押圧しつつ、第1絶縁層41を硬化温度以上に加熱して硬化させる。なお、第1絶縁層41を真空雰囲気中でラミネートすることにより、第1絶縁層41中へのボイドの巻き込みを防止できる。

10

【0056】

第1絶縁層41の材料として熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等の絶縁樹脂を用いた場合には、開口部32x内(半導体チップ20の回路形成面)及び第2樹脂部32上に半導体チップ20の電極パッド22を覆うように液状又はペースト状の第1絶縁層41を例えばスピンドルコート法等により塗布する。そして、塗布した第1絶縁層41を硬化温度以上に加熱して硬化させる。

【0057】

次いで、図15に示す工程では、第1絶縁層41に、第1絶縁層41を貫通し電極パッド22の上面を露出させる第1ビアホール41xを形成する。第1ビアホール41xは、例えばCO₂レーザ等を用いたレーザ加工法により形成できる。なお、第1ビアホール41xは、第1絶縁層41として感光性樹脂を用い、フォトリソグラフィ法により第1絶縁層41をパターニングすることにより形成しても構わない。又、第1ビアホール41xは、第1ビアホール41xに対応する位置をマスクするスクリーンマスクを介してペースト状の樹脂を印刷し硬化させることにより形成しても構わない。

20

【0058】

次いで、図16に示す工程では、第1絶縁層41上に第1配線層42を形成する。第1配線層42は、第1ビアホール41x内に充填されたビア配線、及び第1絶縁層41上に形成された配線パターンを含んで構成されている。第1配線層42は、第1ビアホール41x内に露出した電極パッド22と直接電気的に接続される。第1配線層42の材料としては、例えば銅(Cu)等を用いることができる。

30

【0059】

第1配線層42は、セミアディティブ法やサブトラクティブ法等の各種の配線形成方法を用いて形成できるが、一例としてセミアディティブ法を用いて第1配線層42を形成する方法を以下に示す。

【0060】

始めに、無電解めっき法又はスパッタ法により、第1ビアホール41x内に露出した電極パッド22の上面、及び第1ビアホール41xの内壁を含む第1絶縁層41上に銅(Cu)等からなるシード層(図示せず)を形成する。更に、シード層上に第1配線層42に対応する開口部を備えたレジスト層(図示せず)を形成する。そして、シード層を給電層に利用した電解めっき法により、レジスト層の開口部に銅(Cu)等からなる配線層(図示せず)を形成する。続いて、レジスト層を除去した後に、配線層をマスクにして、配線層に覆われていない部分のシード層をエッチングにより除去する。これにより、第1絶縁層41上に第1配線層42が形成される。

40

【0061】

次いで、図17に示す工程では、第2絶縁層43、第2ビアホール43x、及び第2配線層44を形成する。具体的には、始めに、図14と同様の工程により、第1絶縁層41上に、第1配線層42を覆うように第2絶縁層43を形成する。そして、図15と同様の工程により、第2絶縁層43に、第2絶縁層43を貫通し第1配線層42の上面を露出させる第2ビアホール43xを形成する。第2絶縁層43の材料や厚さは、第1絶縁層41

50

の材料や厚さと同様とすることができます。

【0062】

更に、図16と同様の工程により、第2絶縁層43上に第2配線層44を形成する。第2配線層44は、第2ビアホール43x内に充填されたビア配線、及び第2絶縁層43上に形成された配線パターンを含んで構成されている。第2配線層44は、第2ビアホール43x内に露出した第1配線層42と電気的に接続される。第2配線層44の材料としては、例えば銅(Cu)等を用いることができる。第2配線層44は、セミアディティブ法やサブトラクティブ法等の各種の配線形成方法を用いて形成できる。

【0063】

図14～図17の工程により、半導体チップ20の回路形成面及び第2樹脂部32上に、2層のビルドアップ配線層(第1配線層42及び第2配線層44)が形成される。なお、ビルドアップ配線層は1層でもよいし、図17の工程後に更に図17の工程を必要回数だけ繰り返すことにより、n層(nは3以上の整数)のビルドアップ配線層を形成してもよい。

10

【0064】

次いで、図18に示す工程では、第2絶縁層43上に、第2配線層44を覆うように開口部45xを有するソルダーレジスト層45を形成する。具体的には、第2絶縁層43上に、第2配線層44を覆うように、例えばエポキシ系樹脂やイミド系樹脂等の絶縁樹脂を含む感光性樹脂組成物からなるソルダーレジストを塗布する。そして、塗布したソルダーレジストを露光、現像することで開口部45xを形成する。これにより、開口部45xを有するソルダーレジスト層45が形成される。第2配線層44の一部は、ソルダーレジスト層45の開口部45x内に露出する。必要に応じ、開口部45x内に露出する第2配線層44上に、金属層等を形成してもよい。金属層の例としては、無電解めっき法で形成したAu層や、Ni/Au層(Ni層とAu層をこの順番で積層した金属層)、Ni/Pd/Au層(Ni層とPd層とAu層をこの順番で積層した金属層)等を挙げることができる。

20

【0065】

図14～図18の工程により、半導体チップ20の回路形成面及び第2樹脂部32上に、配線構造体40が形成される。図14～図18に示す工程において、第1樹脂部31は、半導体チップ20上に配線構造体40を形成する際の基体の一部としての機能を有する。

30

【0066】

次いで、図19に示す工程では、開口部45x内に露出する第2配線層44上に(第2配線層44上に金属層等が形成されている場合には、金属層等の上に)外部接続端子49を形成する。本実施の形態において、半導体パッケージ10は、外部接続端子49の形成されている領域が半導体チップ20の直上の領域の周囲に拡張された所謂ファンアウト構造を有する。但し、半導体パッケージ10は、目的に応じて所謂ファンイン構造を有しても構わない。

【0067】

外部接続端子49は、マザーボード等の実装基板(図示せず)に設けられたパッドと電気的に接続される端子として機能する。外部接続端子49としては、例えば、はんだボール等を用いることができる。はんだボールの材料としては、例えばPbを含む合金、SnとCuの合金、SnとAgの合金、SnとAgとCuの合金等を用いることができる。

40

【0068】

外部接続端子49は、例えば第2配線層44上に(第2配線層44上に金属層等が形成されている場合には、金属層等の上に)表面処理剤としてのフラックスを塗布した後、はんだボールを搭載し、240～260程度の温度でリフローし、その後、表面を洗浄してフラックスを除去することにより形成できる。

【0069】

但し、本実施の形態では外部接続端子49を形成しているが、外部接続端子49は必ず

50

しも形成する必要はない。要は、必要なときに外部接続端子を形成できるように第2配線層44の一部がソルダーレジスト層45から露出していれば十分である。

【0070】

次いで、図20に示す工程では、図19に示す構造体を所定の位置で切断することにより個片化する。これにより、図4に示す半導体パッケージ10が完成する。図19に示す構造体の切断は、ダイシングブレード57を用いたダイシング等によって行うことができる。なお、個片化は、隣接する半導体チップ20間の第1樹脂部31及び第2樹脂部32並びに配線構造体40を切断することにより行うが、その際、複数の半導体チップ20を有するように切断しても構わない。その場合には、複数の半導体チップ20を有する半導体パッケージが作製される。

10

【0071】

なお、例えば図18に示す工程と図19に示す工程との間等に、第1樹脂部31を薄型化する工程を設けても構わない。具体的には、例えばグラインダー等を用いて第1樹脂部31を裏面側（配線構造体40が形成されていない側）から研削して薄板化する。第1樹脂部31の研削は、半導体チップ20の裏面が第1樹脂部31から露出するまで行っても構わない。この際、半導体チップ20も研削して薄型化することもできる。裏面が第1樹脂部31から露出した半導体チップ20は、放熱性能が向上する。

【0072】

以上のように、第1の実施の形態によれば、半導体チップを樹脂で封止する工程において、半導体チップは粘着層を介して支持体に形成された凹部に仮固着されている。そのため、樹脂の流動があっても、半導体チップの位置ずれを防止できる。

20

【0073】

又、半導体チップの位置ずれが生じないため、半導体チップを封止する樹脂が硬化すると、各半導体チップは本来あるべき位置に固定される。その結果、各半導体チップの電極パッドと、配線構造体との接続信頼性を向上できる。

【0074】

又、樹脂封止後に支持体を除去し、第1樹脂部と半導体チップとの段差を第2樹脂部で埋める工程において、第2樹脂部として感光性樹脂を用いることにより、その後の工程で半導体チップの回路形成面を覆う第2樹脂部を容易に除去できる。

【0075】

30

又、第1樹脂部上に直接第1絶縁層を形成せず、材料選定の自由度の大きい第2樹脂部を介して第1絶縁層を形成することにより、第2樹脂部と第1絶縁層との密着性を向上できる。

【0076】

又、表面に微少孔の存在する第1樹脂部上に表面に微少孔の存在しない第2樹脂部を積層形成するため、微少孔の存在による信頼性上の問題を回避できる。

【0077】

又、半導体チップと配線構造体（半導体チップの電極パッドと配線層のビア配線）とを、はんだバンプ等を用いないで直接接続しているため、半導体パッケージを薄型化できる。

40

【0078】

又、半導体パッケージを薄型化することにより、半導体チップと配線構造体とを短い配線で接続することが可能となるため、ループインダクタンスの減少等の電気特性の向上を実現できる。

【0079】

第2の実施の形態

[第2の実施の形態に係る半導体パッケージの構造]

図21は、第2の実施の形態に係る半導体パッケージを例示する断面図である。図21を参照するに、半導体パッケージ60において、樹脂部30が樹脂部61に置換された点と、電極パッド22上に突起電極23が形成された点が図4に示す半導体パッケージ10

50

との主な相違点である。以下、半導体パッケージ 60について、半導体パッケージ 10と共通する部分の説明は省略し、異なる部分を中心に説明する。

【0080】

半導体パッケージ 60は、樹脂部 61が形成する面の上に極薄の配線構造体 40が形成され、更に配線構造体 40上に外部接続端子 49が形成された構造を有する。半導体チップ 20と配線構造体 40とは、はんだバンプ等を用いずに直接接続されている。

【0081】

半導体チップ 20は、半導体基板 21と、電極パッド 22と、突起電極 23とを有する。突起電極 23は電極パッド 22上に形成されている。突起電極 23としては、例えば円柱形状の銅 (Cu) ポスト等を用いることができる。突起電極 23の直径は、例えば 50 μm 程度とすることができます。突起電極 23の高さは、例えば 5 ~ 10 μm 程度とすることができます。隣接する突起電極 23のピッチは、例えば 100 μm 程度とすることができます。半導体チップ 20の厚さ T_7 は、例えば 300 ~ 800 μm 程度とすることができます。
10

【0082】

樹脂部 61は、半導体チップ 20の回路形成面（突起電極 23の形成部を除く）、半導体チップ 20の側面、及び突起電極 23の側面を封止するように形成されている。言い換えるれば、半導体チップ 20の突起電極 23の上面及び半導体チップ 20の裏面は、樹脂部 61から露出している。又、樹脂部 61の上面（第 1 絶縁層 41と接する面）と突起電極 23の上面（第 1 配線層 42のビア配線と接する面）とは面一である。後述のように、樹脂部 61の上面と突起電極 23の上面は研削されているため、平坦性に優れた面となっている。
20

【0083】

樹脂部 61の材料としては、例えばエポキシ系樹脂やポリイミド系樹脂等の絶縁樹脂を用いることができる。なお、樹脂部 61は、半導体パッケージ 60の基体の一部となる部分であるから、加工性よりも硬度や強度に優れた樹脂材を用いることが好ましい。

【0084】

このように、半導体チップ 20の回路形成面が加工性よりも硬度や強度に優れた樹脂材を用いた樹脂部 61で封止されているため、半導体チップ 20の回路形成面の保護に関する信頼性を向上できる。又、樹脂部 61の上面と突起電極 23の上面は平坦性に優れた面となっているため、第 1 絶縁層 41との密着性を向上できる。又、半導体チップ 20の裏面が樹脂部 61から露出しているため、半導体チップ 20の放熱性能を向上できる。
30

【0085】

樹脂部 61の幅 W_4 は、半導体チップ 20の側面から半導体パッケージ 60の側面までの樹脂部 61の幅であり、例えば 3 mm 程度とすることができます。樹脂部 61の幅 W_5 は、例えば 15 mm 程度とすることができます。樹脂部 61の厚さ T_8 は、例えば 300 ~ 800 μm 程度とすることができます。

【0086】

配線構造体 40において、第 1 配線層 42は、第 1 絶縁層 41を貫通し突起電極 23の上面を露出する第 1 ビアホール 41x 内に充填されたビア配線、及び第 1 絶縁層 41上に形成された配線パターンを含んで構成されている。第 1 配線層 42は、第 1 ビアホール 41x 内に露出した突起電極 23と電気的に接続されている。
40

【0087】

このように、半導体パッケージ 60は、半導体チップ 20の回路形成面（突起電極 23の形成部を除く）、半導体チップ 20の側面、及び突起電極 23の側面を封止するように樹脂部 61が形成され、樹脂部 61が形成する面の上に半導体チップ 20と電気的に接続された極薄の配線構造体 40が形成され、更に配線構造体 40上に外部接続端子 49が形成されている。

【0088】

[第 2 の実施の形態に係る半導体パッケージの製造方法]

50

続いて、第2の実施の形態に係る半導体パッケージの製造方法について説明する。図2～図26は、第2の実施の形態に係る半導体パッケージの製造工程を例示する図である。

【0089】

始めに、第1の実施の形態の図5～図8と同様な工程を実行する。但し、図8に対応する工程において、半導体チップ20の電極パッド22上に、例えば電解めっきにより、円柱形状の銅(Cu)ポスト等である突起電極23を形成する。この時点では、突起電極23の高さは、例えば30μm程度とすることができます。

【0090】

次いで、図22に示す工程では、支持体50の各凹部50xに、粘着層51を介して半導体チップ20をフェイスアップの状態で配置する。すなわち、半導体チップ20を、半導体チップ20の裏面が凹部50xの内底面に形成された粘着層51と接するように配置する。半導体チップ20は、粘着層51により、凹部50x内に仮固着される。

【0091】

支持体50及び半導体チップ20には、予め位置決め用のアライメントマークが形成されている。所定の位置決め装置を用いて支持体50及び半導体チップ20のアライメントマークを認識し、支持体50に対して半導体チップ20を位置決めすることにより、支持体50の各凹部50xに半導体チップ20を配置できる。なお、半導体チップ20の回路形成面側は支持体50の各凹部50xから突出している。

【0092】

次いで、図23に示す工程では、粘着層51上に、半導体チップ20を封止する樹脂部61を形成する。樹脂部61は、図10に示す工程と同様の方法により形成できるため、具体的な説明は省略する。

【0093】

前述のように、従来の半導体パッケージの製造方法では、複数の半導体チップを樹脂により一括で封止すると、樹脂の流動により各半導体チップが動かされて位置ずれし、各半導体チップが本来と異なる位置に固定されるという問題があった。しかしながら、本実施の形態に係る半導体パッケージの製造方法では、半導体チップ20は、粘着層51を介して凹部50xに仮固着されているため、樹脂の流動があっても、半導体チップ20の位置ずれが生じる虞はない。従って、樹脂部61が硬化すると、各半導体チップ20は本来あるべき位置に固定される。その結果、各半導体チップ20の突起電極23と、配線構造体40との接続信頼性を向上できる。

【0094】

次いで、図24に示す工程では、例えばグラインダー等を用いて図23に示す構造体を表面側から研削し、樹脂部61及び突起電極23の一部を除去して樹脂部61から突起電極23を露出させる。この工程により、樹脂部61の上面と突起電極23の露出面(樹脂部61から露出する上端面)とは面一となる。すなわち、図24に示す構造体の表面(樹脂部61の上面と突起電極23の露出面)は平坦性に優れた面となる。その結果、後の工程で、図24に示す構造体の表面に第1絶縁層41を形成する際に、樹脂部61の上面と第1絶縁層41との密着性を向上できる。なお、研削後の突起電極23の高さは、例えば5～10μm程度とすることができます。

【0095】

次いで、図25に示す工程では、図24に示す構造体から支持体50及び粘着層51を除去する。除去する方法は、図11に示す工程と同様であるため、その説明は省略する。この工程により、半導体チップ20の裏面と側面の一部が樹脂部61から露出する。つまり、半導体チップ20の一部が樹脂部61から突出する。

【0096】

次いで、図26に示す工程では、例えばグラインダー等を用いて図25に示す構造体を裏面側から研削し、半導体チップ20の突出部分を除去する。この際、図25に示す構造体の表面側に補強部材を設けても構わない(補強部材は、研削後に除去する)。この工程

10

20

30

40

50

により、樹脂部 6 1 の裏面と半導体チップ 2 0 の裏面とは面一となる。なお、半導体チップ 2 0 の突出部分の存在が問題とならない場合には、この工程を省略できる。

【 0 0 9 7 】

次いで、第 1 の実施の形態の図 1 4 ~ 図 2 0 と同様な工程を実行することにより、図 2 1 に示す半導体パッケージ 6 0 が完成する。但し、図 2 4 に示す工程の後に図 1 4 ~ 図 1 8 と同様な工程を実行して配線構造体 4 0 を形成し、その後に図 2 5 及び図 2 6 に示す工程を実行し、更にその後に図 1 9 及び図 2 0 と同様な工程を実行してもよい。

【 0 0 9 8 】

以上のように、第 2 の実施の形態によれば、第 1 の実施の形態と同様に、半導体チップを樹脂で封止する工程において、半導体チップは粘着層を介して支持体に形成された凹部に仮固着されている。そのため、樹脂の流動があっても、半導体チップの位置ずれを防止できる。

【 0 0 9 9 】

又、半導体チップの位置ずれが生じないため、半導体チップを封止する樹脂が硬化すると、各半導体チップは本来あるべき位置に固定される。その結果、各半導体チップの突起電極と、配線構造体との接続信頼性を向上できる。

【 0 1 0 0 】

又、半導体チップの回路形成面が加工性よりも硬度や強度に優れた樹脂材を用いた樹脂部で封止されているため、半導体チップの保護に関する信頼性を向上できる。

【 0 1 0 1 】

又、樹脂部の上面と突起電極の上面は平坦性に優れた面となっているため、第 1 絶縁層との密着性を向上できる。

【 0 1 0 2 】

又、半導体チップと配線構造体（半導体チップの電極パッドと配線層のビア配線）とを、はんだバンプ等を用いないで直接接続しているため、半導体パッケージを薄型化できる。

【 0 1 0 3 】

又、半導体パッケージを薄型化することにより、半導体チップと配線構造体とを短い配線で接続することが可能となるため、ループインダクタンスの減少等の電気特性の向上を実現できる。

【 0 1 0 4 】

以上、好ましい実施の形態について詳説したが、上述した実施の形態に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態に種々の変形及び置換を加えることができる。

【 0 1 0 5 】

例えば、第 1 の実施の形態において、半導体チップ 2 0 の電極パッド 2 2 上に突起電極 2 3 が形成されていても構わない。

【 符号の説明 】

【 0 1 0 6 】

1 0 、 6 0 半導体パッケージ

2 0 半導体チップ

2 1 半導体基板

2 2 電極パッド

2 3 突起電極

3 0 、 6 1 樹脂部

3 1 第 1 樹脂部

3 2 第 2 樹脂部

3 2 x 、 4 5 x 開口部

4 0 配線構造体

4 1 第 1 絶縁層

10

20

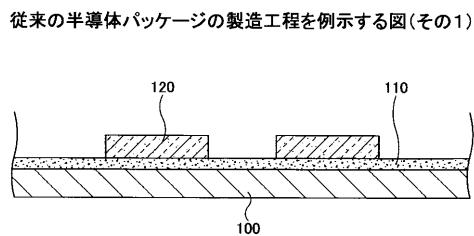
30

40

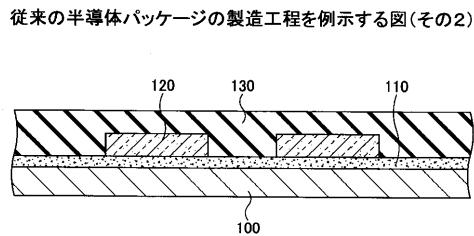
50

4 1 x	第 1 ビアホール	
4 2	第 1 配線層	
4 3	第 2 絶縁層	
4 3 x	第 2 ビアホール	
4 4	第 2 配線層	
4 5	ソルダーレジスト層	
4 9	外部接続端子	
5 0	支持体	
5 0 x	凹部	10
5 1	粘着層	
5 7	ダイシングブレード	
D	奥行き	
H	深さ	
T	厚さ	
W	幅	

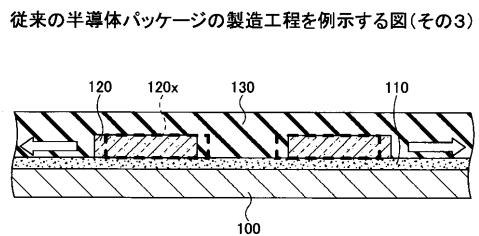
【図 1】



【図 2】

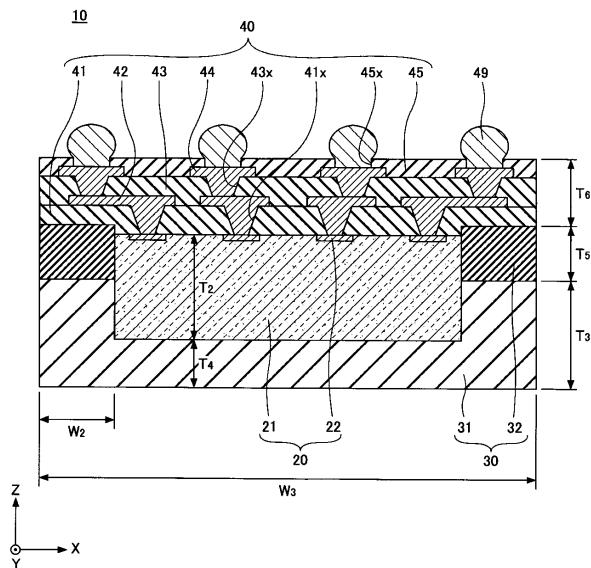


【図 3】



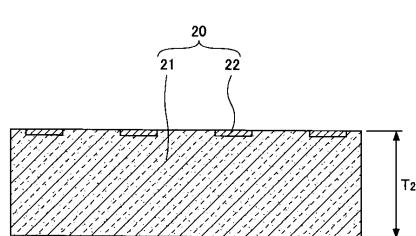
【図4】

第1の実施の形態に係る半導体パッケージを例示する断面図

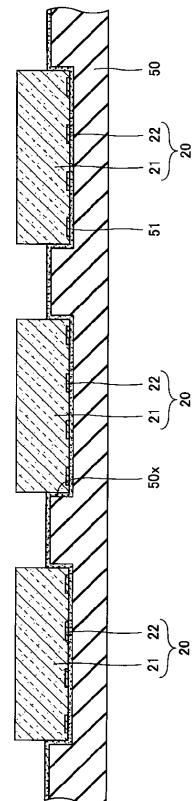


【図 8】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その4) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)

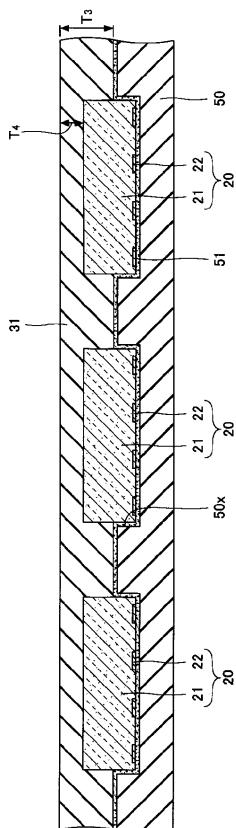


【図 9】

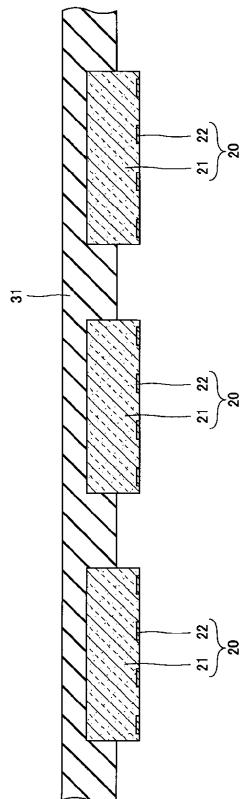


【図 10】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その6) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その7)

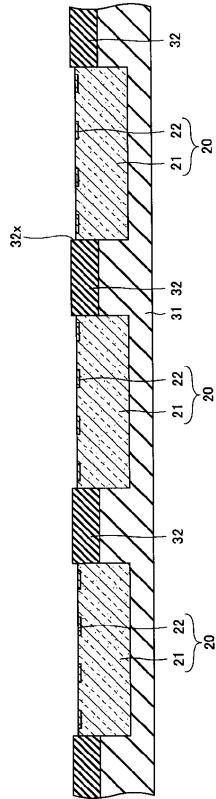
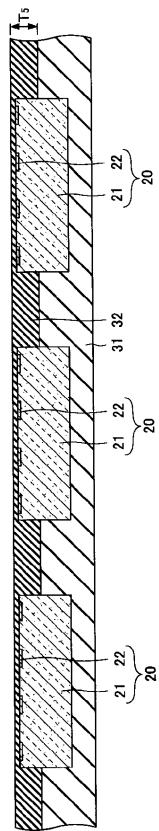


【図 11】



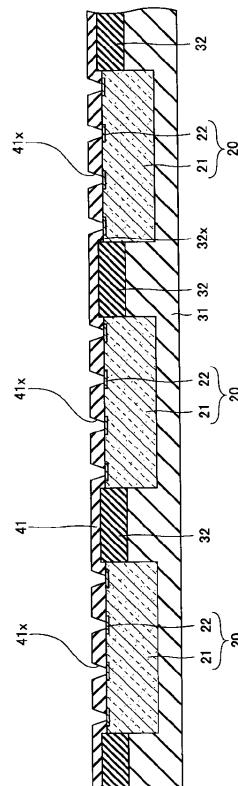
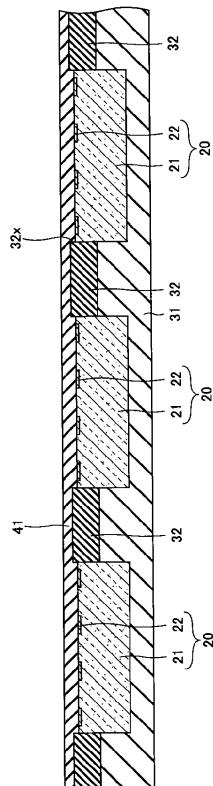
【図12】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その8) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その9)



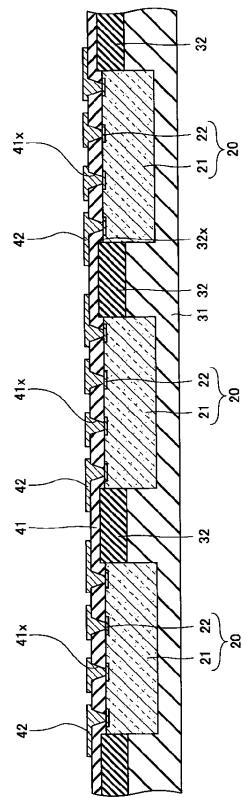
【図14】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その10) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その11)

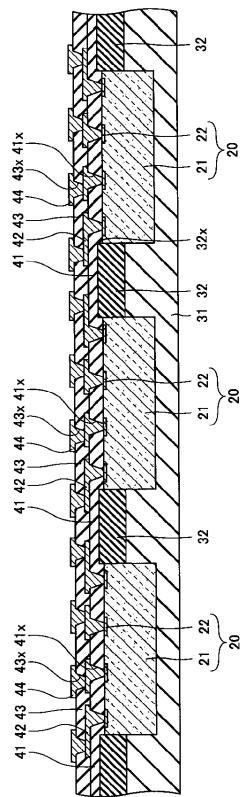


【図16】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その12) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その13)

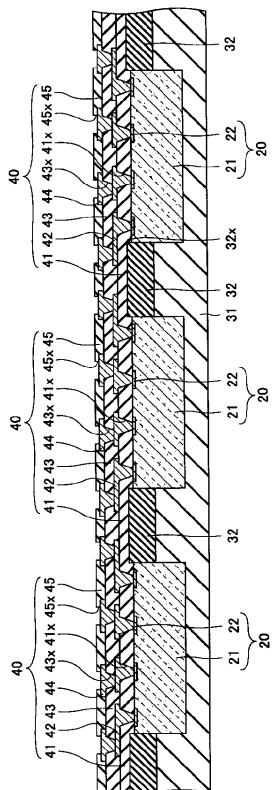


【図17】

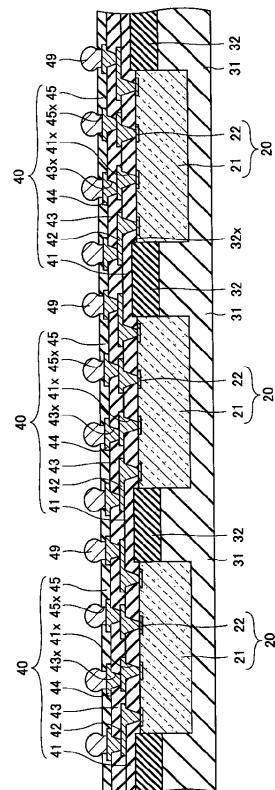


【図18】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その14) 第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その15)

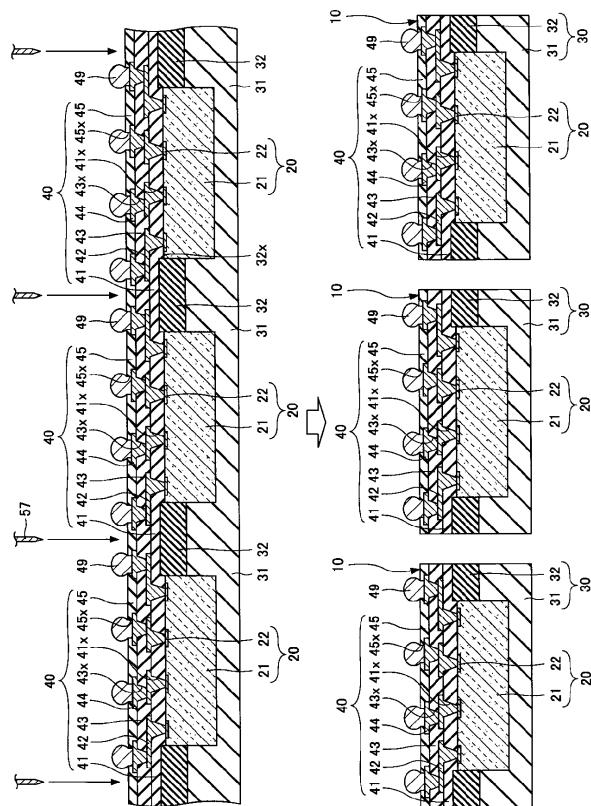


【図19】



【図20】

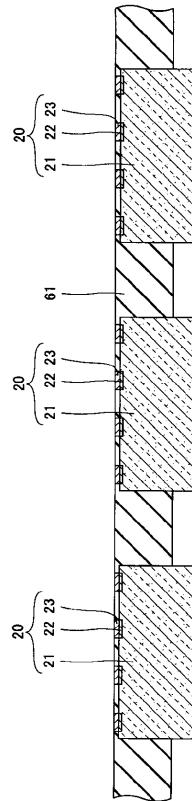
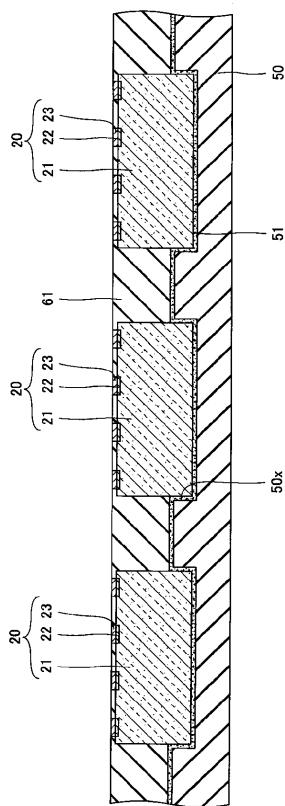
第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その16)



【図24】

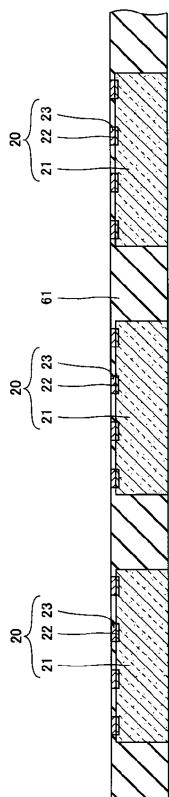
【図25】

第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その3) 第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その4)



【図26】

第2の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)



フロントページの続き

(56)参考文献 特開2005-191234(JP,A)
特開2002-076237(JP,A)
特開2000-277548(JP,A)
国際公開第2008/120755(WO,A1)
特開2008-210912(JP,A)
特開2006-196865(JP,A)
特開2004-193224(JP,A)
特開2006-032556(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/56
H01L 23/12
H01L 23/28
H01L 23/29
H01L 23/31