MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101994900404799
Data Deposito	24/11/1994
Data Pubblicazione	24/05/1996

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	04	J		

Titolo

DISPOSITIVO PER IL TRATTAMENTO DELLE FUNZIONI ATM.

Descrizione dell'invenzione avente per titolo:

"DISPOSITIVO PER IL TRATTAMENTO DELLE FUNZIONI ATM"

a nome Italtel - Società Italiana Telecomunicazioni s.p.a.- P.le Zavattari, 12 - 20149 Milano - Nazionalità italiana.

Inventori: Marco COLLIVIGNARELLI

Luigi LICCIARDI

Mauro MARCHISIO

Alberto PIPINO

Alessandro ZAPPALORTO

Domanda n.

depositata il 24 [illegible] TO 94A000944

=.=.=.=.=.=

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
c/o CSELT - TORINO

Testo della descrizione

La presente invenzione si riferisce ai sistemi di telecomunicazioni utilizzanti segnali numerici organizzati in pacchetti per la trasmissione di segnali vocali, segnali video e dati e in particolare riguarda un dispositivo per il trattamento delle funzioni ATM.

La tecnica di commutazione veloce di cella, denominata ATM dalle iniziali della definizione in lingua inglese "Asynchronous Transfer Mode" (Modo di trasferimento asincrono), sta assumendo un ruolo sempre più importante nella commutazione integrata di flussi numerici appartenenti a servizi per la trasmissione di segnali vocali, segnali video e dati con requisiti di larghezza di banda diversi e caratteristiche di traffico differenziate.

La tecnica ATM è ormai universalmente considerata come la soluzione per la realizzazione della rete ISDN a larga banda, denominata B-ISDN. Si tratta di

una tecnica efficiente di commutazione veloce di pacchetto, che tratta entità di lunghezza fissa denominate celle e combina alcuni dei vantaggi offerti dalle tecniche di commutazione di circuito e di pacchetto convenzionali.

Grazie alla flessibilità propria della commutazione di pacchetto, è quindi possibile trattare ogni tipo di informazione mediante un'unica tecnica di commutazione nell'ambito di una struttura di rete integrata e per natura indipendente dalla velocità di cifra, anzi in grado di gestire connessioni con velocità di cifra variabile.

Le risorse offerte dal sistema di commutazione non vengono dedicate in modo rigido ad una singola chiamata per tutta la sua durata, come nei sistemi a commutazione di circuito, ma vengono utilizzate soltanto nell'istante in cui vi è la necessità di trasmettere informazioni.

Come è noto, questa tecnica prevede che le informazioni relative ai vari servizi siano organizzate in unità contigue con una lunghezza fissa di circa 400 bit, denominate celle. Esse sono formate da un campo informativo e da un campo di intestazione, detto etichetta, che porta informazioni necessarie all'instradamento attraverso la rete di connessione e altre informazioni di servizio.

In particolare, in reti di connessione basate sulla tecnica ATM le celle di una specifica connessione, attiva su un collegamento della rete, sono identificate dall'insieme di due sequenze di bit, denominate VPI (Virtual Path Identifier = Identificatore di percorso virtuale) e VCI (Virtual Circuit Identifier = Identificatore di circuito virtuale). La dimensione della VPI è di 8 oppure di 12 bit, a seconda del tipo di interfaccia che è all'origine o al termine del collegamento, dette rispettivamente UNI (User Network Interface

Dr. Ing. Bruno MURACA

= Interfaccia di rete d'utente) oppure NNI (Netwok Node Interface = Interfaccia di nodo di rete). La dimensione della VCI è sempre di 16 bit, indipendentemente dal tipo di interfaccia. Queste specifiche possono essere reperite nella Raccomandazione ITU-T I.361 - "ATM layer specification for B-ISDN".

In una interfaccia di rete ATM, la gestione delle celle dipende dalla connessione di appartenenza. Tipicamente, la gestione della cella richiede l'accesso a dati univocamente associati alla connessione a cui appartiene la cella, che sono contenuti in tabelle. In aggiunta, in alcuni casi viene richiesto un accesso ai dati in funzione anche del tipo di cella all'interno della specifica connessione.

Il trattamento delle informazioni contenute nel campo d'intestazione è necessario sia per garantire le prestazioni definite a livello ATM, assicurando il mantenimento della connessione anche in presenza di eventuali malfunzionamenti, sia per aggiungere tutte quelle informazioni necessarie alla gestione della cella all'interno delle apparecchiature di commutazione. Tali informazioni sono finalizzate in primo luogo, ma non esclusivamente, all'instradamento della cella verso una predeterminata terminazione di centrale in uscita.

Le suddette prestazioni a livello ATM sono elementi essenziali per la definizione della qualità del servizio, espressa in termini di probabilità di perdita di celle e di ritardo di attraversamento delle celle stesse, compatibilmente con la banda utilizzata dalla specifica connessione. Infatti, in reti basate su tecniche ATM, la banda assegnata ad ogni connessione viene stabilita al momento dell'instaurazione e viene controllata per tutta la durata

dr. ing. Bruno MURACA

del collegamento al fine di evitare che sia utilizzata in quantità superiore a quella definita. Ciò potrebbe verificarsi nel caso in cui insorgessero guasti negli apparati d'utente o vi fosse un reale comportamento fraudolento. Il suddetto controllo è utile per evitare che l'abuso di risorse di rete sia causa di fenomeni di congestione, i quali, oltre a provocare lo scarto di parte delle celle dell'utente fraudolento, penalizzerebbero in termini di prestazioni di rete anche gli altri utenti.

Secondo la tecnica ATM, una stessa connessione è identificata da un insieme di valori VPI e VCI su un collegamento d'uscita, che è diverso dall'insieme di valori VPI e VCI sul collegamento d'ingresso. L'elaborazione della cella nell'interfaccia ha come oggetto l'inserimento dei nuovi valori VPI e VCI nell'intestazione della cella da presentare sul collegamento in uscita. Questa operazione è conosciuta con il nome di commutazione di etichetta (Label switching).

Inoltre, l'elaborazione dell'intestazione della cella nella terminazione d'ingresso della centrale ha lo scopo di consentire l'invio della cella stessa ad una o più terminazioni d'uscita, oppure, in alcuni casi, l'invio ad un elaboratore centralizzato o periferico.

In generale, a seconda delle strutture utilizzate per gli apparati di centrale, alle celle vengono assegnati dei formati interni diversi.

Un esempio di ciò è fornito dalla memoria dal titolo "The Concept of Virtual Paths and Virtual Channels in ATM-Networks", di Herbert Schneider, presentata al 1990 International Zurich Seminar on Digital Communications. Sono qui indicati alcuni dei principi che stanno alla base della commutazione ATM e alcune linee guida per la realizzazione della memoria di traduzione del

dr. ing. Bruno MURACA

rivelare l'eventuale perdita di una o più celle o l'alterazione dell'ordine di ingresso originario.

Effettua inoltre l'adattamento tra la temporizzazione della linea esterna e quella interna all'apparato.

Queste ed altre caratteristiche della presente invenzione saranno meglio chiarite dalla seguente descrizione di una forma di realizzazione della stessa, data a titolo di esempio non limitativo, e dai disegni annessi in cui:

- la Fig. 1 rappresenta il sistema ATM in cui è inserito il dispositivo oggetto dell'invenzione;
- la Fig. 2 rappresenta la partizione interna del dispositivo;
- la Fig. 3 rappresenta l'architettura interna della parte del dispositivo denominata CHPUP;
- le Fig. 4 e 5 rappresentano il formato interno della cella;
- la Fig. 6 rappresenta l'architettura interna della parte del dispositivo denominata CHPDW;
- la Fig. 7 rappresenta l'architettura interna dell'interfaccia tra il dispositivo e il microprocessore esterno.

Il dispositivo per il trattamento delle funzioni ATM, indicato con CHP in Fig. 1, colloquia con una memoria di transcodifica esterna TC, una memoria di traslazione TL e una memoria di commutazione CT, tutte di tipo RAM. Colloquia inoltre con un microprocessore di controllo MC e con un blocco PU per il controllo dei parametri di traffico. Il dispositivo CHP scambia inoltre le celle con una interfaccia di livello fisico Pb e con una interfaccia W verso la rete di connessione.

dr. ing. Bruno MURACA

formato della cella. La memoria propone possibili soluzioni, senza fornire, però, informazioni per la realizzazione di dispositivi adatti a svolgere funzioni di commutazione ed elaborazione delle celle.

Ovvia a queste limitazioni il dispositivo per il trattamento delle funzioni ATM, oggetto della presente invenzione, il quale permette l'ottimizzazione delle dimensioni della memoria in cui sono contenute le tabelle relative ad ogni connessione ed ad ogni interfaccia, gestisce i due formati di cella definiti a livello ATM (ossia quello alla UNI e quello alla NNI) ed il formato di cella proprietario (valido all'interno dell'apparato) ed esegue controlli di parametri di traffico interfacciandosi ad una o più unità di sorveglianza di tali parametri.

E' in grado di inviare le celle verso la rete di connessione o verso un microprocessore sia a monte che a valle dei circuiti che effettuano la conversione dal formato ATM a quello proprietario e gestisce l'inserimento nel flusso diretto verso la rete di connessione di celle provenienti dal microprocessore, oltre a quelle provenienti dall'interfaccia di ingresso (livello fisico).

In senso inverso è in grado di inviare la cella verso l'interfaccia d'ingresso o verso il microprocessore locale e gestisce l'inserimento diretto verso l'interfaccia d'ingresso di celle provenienti dal microprocessore, oltre a quelle provenienti dalla rete di connessione.

Genera e verifica un numero di sequenza che identifica l'ordine di ingresso nella rete di connessione, valido per ogni singola connessione. Tale numero viene in seguito esaminato nella terminazione d'uscita al fine di

dr. ing. Bruno MURACA

Le celle in formato ATM, composte da 53 ottetti, accedono tramite la connessione DINPb al dispositivo CHP, dove sono sottoposte alla traslazione dell'etichetta mediante opportuni accessi alle memorie TC e TL. Dopo aver verificato la conformità dei parametri di traffico mediante accesso al blocco PU, il dispositivo CHP invia le celle convertite in formato proprietario all'interfaccia W tramite la connessione DOUTW. Le celle sono ora composte da 64 ottetti, 15 dei quali sono di intestazione.

Analogamente, le celle provenienti dall'interfaccia W, dopo essere state commutate ed instradate dalla rete di commutazione, vengono portate a CHP tramite la connessione DINW. Mediante opportuni accessi alla memoria CT, CHP esegue opportune traslazioni di etichetta in modo da ricreare celle in formato ATM da 53 ottetti. Queste vengono inoltrate tramite la connessione DOUTPb all'interfaccia di livello fisico Pb.

Il microprocessore MC svolge funzioni di supervisione, monitoraggio e controllo del dispositivo. Il colloquio tra MC e CHP può avvenire a interrogazione (hand-shake) o a interruzione (interrupt), a seconda della scelta effettuata all'atto dell'inizializzazione.

In particolare, le funzioni di supervisione svolte dal microprocessore MC sono:

- invio di celle di test, di metasegnalazione e segnalazione verso le due interfacce Pb e W, con l'opportuno formato di cella;
- inizializzazione del dispositivo e definizione della sua configurazione.

Le funzioni di monitoraggio sono:

- estrazione delle celle di test e di segnalazione dalle interfacce Pb e W;

dr. ing. Bruno MURACA

- analisi della copia delle celle che il dispositivo, dopo aver effettuato la traslazione di etichetta, invia a una o a entrambe le interfacce Pb e W.

Le funzioni di controllo consistono essenzialmente nell'interrogazione del dispositivo relativamente al suo stato interno.

Il dispositivo CHP si fa carico delle seguenti operazioni richieste dal microprocessore MC:

- inizializzazione delle memorie TC, TL e CT;
- accessi in lettura e scrittura alle stesse memorie;
- instaurazione ed abbattimento delle connessioni.

Le connessioni tra il dispositivo CHP e il sistema, in cui è inserito, sono rappresentate in dettaglio nella Fig. 2. Sono inoltre mostrate le due parti in cui è suddiviso il dispositivo, denominate CHPUP e CHPDW, preposte alle operazioni precedentemente descritte sul flusso di celle che va dall'interfaccia Pb all'interfaccia W e viceversa, rispettivamente.

La connessione DINPb, proveniente dall'interfaccia Pb, è composta dalle seguenti connessioni:

- un bus unidirezionale 1, costituito da 8 fili, mediante il quale vengono trasferiti gli ottetti delle celle;
- un filo 2, sul quale giunge un segnale indicante che sul bus 1 è presente il primo ottetto di una cella;
- un filo 3, sul quale giunge un segnale continuo di temporizzazione utilizzabile per campionare i dati che transitano sul bus 1;
- un filo 4, sul quale giunge un segnale indicante la validità dell'ottetto presente sul bus 1.

dr. ing. Bruno MURACA

Nel caso di un flusso dati di 155,520 Mbit/s attraverso l'interfaccia Pb (Fig. 1), la frequenza massima del segnale continuo di temporizzazione sul filo 3 è uguale a 19,44 MHz.

Il colloquio tra CHP e la memoria TC (Fig. 1), indipendente dal tipo di implementazione della memoria stessa, avviene attraverso le seguenti connessioni:

- un bus bidirezionale multiplexato 5, costituito da 17 fili, che porta dati, indirizzi e un bit bidirezionale di parità;
- un bus di controllo 6, che oltre ai normali segnali di gestione di una memoria RAM, porta una parola di codice di 3 bit, che svolge la funzione di indirizzo secondario in quanto va ad integrare l'indirizzo primario presente sul bus 5.

Il colloquio tra CHP e la memoria TL (Fig. 1), indipendente dal tipo di implementazione della memoria stessa, avviene attraverso le seguenti connessioni:

- un bus bidirezionale multiplexato 7, costituito da 34 fili, che porta dati, indirizzi e due bit di parità sui dati contenuti o scritti nella memoria TL;
- un bus di controllo 8, che porta i normali segnali di gestione di una memoria RAM.

Il colloquio tra CHP e il blocco PU (Fig. 1), avviene attraverso un bus dati 9, diretto verso PU, e un bus dati 10, diretto verso CHP. Il bus 9 trasporta i seguenti segnali:

- un segnale di inizio cella;
- un segnale di validazione dei dati;

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
Corso Castelfidardo 30/A 10129 TORINO

- due segnali che corrispondono al valore di due bit allocati nell'intestazione della cella;

- un segnale di attivazione sul flusso globale;

- due segnali di attivazione del blocco PU con priorità implicita o esplicita.

Il bus 10 trasporta i seguenti segnali:

- un segnale che, se uguale a 1, indica la conformità del sottoflusso a bassa priorità (o del flusso totale) ai parametri di traffico contrattati;

- un segnale che, se uguale a 1, indica la conformità del sottoflusso ad alta priorità ai parametri di traffico contrattati;

- un segnale di validazione, che indica quando hanno significato i due segnali precedenti.

La connessione DOUTW, diretta all'interfaccia W, è composta dalle seguenti connessioni:

- un bus unidirezionale 11, costituito da 8 fili, sul quale vengono trasferiti gli ottetti delle celle trasmesse verso la rete di connessione;

- un bus unidirezionale di servizio 12, costituito da 2 fili, sul quale vengono trasferiti i primi 4 ottetti dell'intestazione ATM della cella in questione e un identificativo interno;

- un filo 13, che reca un segnale indicante che sul bus 11 è presente il primo ottetto della cella;

- un filo 14, che reca un segnale continuo di temporizzazione utilizzabile per campionare i dati che transitano sul bus 11.

Al dispositivo CHP viene anche fornito sul filo 15, proveniente dall'interfaccia W, un segnale di temporizzazione sincronizzato con il segnale di orologio utilizzato come riferimento nella rete di connessione. La

Dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney

sua frequenza coincide con la massima velocità di trasferimento ammissibile sul bus 11 dell'interfaccia W.

La connessione DINW, proveniente dall'interfaccia W, è composta dalle seguenti connessioni:

- un bus unidirezionale 16, costituito da 8 fili, sul quale vengono trasferiti gli ottetti delle celle provenienti dalla rete di connessione;
- un filo 17, che reca un segnale indicante che sul bus 16 è presente il primo ottetto di una cella;
- un filo 18, che reca un segnale continuo di temporizzazione utilizzabile per campionare i dati che transitano sul bus 16;
- un filo 19, che reca un segnale diretto verso l'elemento che trasmette le celle al CHP. Tale segnale indica l'indisponibilità del CHP a ricevere celle diverse dalle celle vuote nel formato interno al sistema. Pertanto, tramite questo segnale viene sospeso l'invio di celle utili indirizzate al CHP, forzando la trasmissione di celle vuote nel formato interno al sistema.

Nel caso di un flusso dati di 320 Mbit/s nella rete di connessione, la frequenza massima dei segnali di temporizzazione sui fili 14, 15 e 18 è uguale a 40 MHz.

Il colloquio tra CHP e il microprocessore MC (Fig. 1) fa uso di connessioni e segnali di tipo generale, che permettono l'interfacciamento a qualunque tipo di microprocessore. Tuttavia, la presente realizzazione rende possibile l'interfacciamento diretto del dispositivo CHP con il microprocessore MC68302 della Motorola.

Le connessioni utilizzate sono le seguenti:

- un bus indirizzi unidirezionale 20, per l'accesso ai registri interni al CHP;

dr. ing. Bruno MURACA

- un bus dati bidirezionale 21, costituito da 16 fili;

- una connessione 22, recante segnali di controllo.

Il colloquio tra CHP e la memoria CT (Fig. 1), indipendente dal tipo di implementazione della memoria stessa, avviene attraverso le seguenti connessioni:

- un bus bidirezionale multiplexato 23, costituito da 17 fili, che porta dati, indirizzi e un bit di parità sui dati contenuti o scritti nella memoria CT;

- un bus di controllo 24, che porta i normali segnali di gestione di una memoria RAM.

La connessione DOUTPb, diretta verso l'interfaccia Pb, è composta dalle seguenti connessioni:

- un bus unidirezionale 25, costituito da 8 fili, mediante il quale vengono trasferiti gli ottetti delle celle valide o delle celle di tipo diverso (idle, unassigned, traffic) verso l'interfaccia di livello fisico Pb (Fig. 1);

- un filo 26, che reca un segnale indicante che sul bus 25 è presente il primo ottetto di una cella;

- un filo 27, che reca un segnale continuo di temporizzazione utilizzabile per campionare i dati che transitano sul bus 25;

- un filo 28, che reca un segnale indicante la validità dell'ottetto presente sul bus 25.

Nel caso di un flusso dati di 155,520 Mbit/s attraverso l'interfaccia Pb (Fig. 1), la frequenza massima del segnale continuo di temporizzazione sul filo 27 è uguale a 19,44 MHz.

Il dispositivo CHP è inoltre collegato con l'interfaccia Pb attraverso:

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
c/o Ufficio Brevetti Murgey
TORINO

- un filo 29, che reca un segnale di temporizzazione sincronizzato con il segnale di orologio utilizzato come riferimento nel sistema di trasmissione. La sua frequenza coincide con la massima velocità di trasferimento ammissibile sul bus 25 dell'interfaccia Pb;
- un filo 30, che reca un segnale di maschera indicante la capacità del sistema trasmissivo utilizzato a livello fisico.

Se il livello fisico utilizza la trama STM-1 della gerarchia sincrona (livello fisico ATM basato su SDH), il segnale sul filo 30 discrimina 10 periodi del segnale 29 su 270.

L'architettura della parte del dispositivo denominata CHPUP è illustrata in Fig. 3.

Facendo riferimento a questa figura, si analizza il flusso dei dati che va dall'interfaccia Pb (Fig. 1) verso l'interfaccia W. Il flusso di dati entrante, trasportato dal bus 1, viene immagazzinato in un blocco, denominato PBIN, preposto alle seguenti funzioni:
- gestione del segnale di temporizzazione, presente sul filo 3, e del segnale indicante la validità dell'ottetto, presente sul filo 4, in modo da soddisfare le specifiche della trama STM-1 della gerarchia sincrona SDH;
- controllo dell'ottetto HEC (Header Error Control), se abilitato mediante opportuna scrittura di un registro interno da parte del microprocessore;
- correzione degli ottetti dell'intestazione nel caso di errore singolo;
- segnalazione verso il microprocessore di un errore doppio negli ottetti dell'intestazione;

dr. ing. Bruno MURACA

- verifica del formato della cella mediante test sul segnale sul filo 2 e conseguente scarto della medesima se è composta da un numero diverso da 53 ottetti;

- estrazione degli ottetti dell'intestazione, resi disponibili sul bus unidirezionale 31, al fine di poter effettuare la conversione di etichetta;

- estrazione degli ottetti informativi, resi disponibili sul bus unidirezionale 32 costituito da 8 fili, e loro memorizzazione in due memorie FIFO, indicate con FIA e FIB, gestendole in base al loro stato di occupazione;

- generazione di segnali di temporizzazione interni, resi disponibili sulla connessione 33.

Il blocco PBIN è essenzialmente costituito da due macchine a stati finiti.

Una macchina è preposta alla correzione degli ottetti dell'intestazione nel caso di errore singolo, basandosi su un polinomio che è il risultato del controllo sull'ottetto HEC e che porta l'informazione di quale bit e su quale ottetto dell'intestazione è presente l'errore.

L'altra macchina a stati è preposta alla verifica del formato della cella. L'algoritmo implementato verifica la presenza del segnale di inizio cella sul filo 2 ogni 53 ottetti e quindi discrimina le celle con un numero di ottetti diverso da 53. In caso di errore la macchina a stati evolve verso uno stato all'interno del quale si ricerca un nuovo sincronismo al fine di reiniziare correttamente l'algoritmo. Nel caso non sia possibile ritrovare un istante di sincronismo, viene informato il microprocessore di questo evento.

Il successivo blocco incontrato dal flusso dei dati è denominato RTC ed è preposto alle seguenti funzioni:

dr. ing. Bruno MURACA

- indirizzamento della memoria TC (Fig. 1) utilizzando i dati presenti sul bus 31;

- gestione delle operazioni di lettura e scrittura per conto del microprocessore nella memoria TC;

- gestione dello scambio dei segnali di controllo e dei dati con la memoria esterna TC tramite i fili 5 e 6, rispettivamente.

Il blocco RTC è costituito da una macchina a stati finiti preposta alle operazioni di transcodifica dell'intestazione della cella e alle operazioni di lettura e scrittura richieste dal processore. La regola di costruzione dell'intestazione della cella in formato interno dipende sia dalla configurazione del CHP, sia dal tipo di cella in questione.

Il valore contenuto nell'intestazione corrisponde ad un Identificativo Interno Compresso (ICI), reso disponibile all'esterno del blocco mediante il bus 34. L'ICI viene espresso su un numero di bit minore di quelli previsti per l'insieme dei campi VPI e VCI, contenuti nell'intestazione (24 bit alla UNI e 28 bit alla NNI), e dimensionato sul massimo numero di VPI e/o VCI che si possono avere contemporaneamente attivi sul link ATM d'ingresso (per es. 12 bit, corrispondenti a 4096 VPI e/o VCI contemporaneamente attivi, per un link a 150 Mbit/s).

L'impiego di un ICI costringe a realizzare l'operazione di costruzione della nuova etichetta ATM (almeno per la parte relativa alla traslazione di VPI e/o VCI) nel CHP di uscita.

L'algoritmo implementato si propone di ottenere l'Identificativo Interno Compresso, che è usato successivamente per accedere alla memoria di traslazione TL (Fig. 1) tramite un successivo blocco RTL.

dr. ing. Bruno MURACA

L'insieme dei valori dei campi VPI e VCI ha significato nei seguenti casi :

- permutazione/commutazione di VCI per identificare il VCI;
- permutazione/commutazione di VPI per identificare i VCI di OAM (Operation And Maintenance).

Nel caso di permutazione/commutazione di VPI, per i flussi che non sono di OAM, non è effettuata una transcodifica dei campi VPI e VCI, ma del solo valore di VPI.

Esiste quindi un primo livello che permette di identificare se la cella deve essere considerata come appartenente ad un VPI o ad un VCI.

Nel primo caso l'ICI è già disponibile a questo livello. Viene comunque proseguita la ricerca per mezzo dei valori VPI e VCI con lo scopo di identificare le celle di OAM, in quanto esse possono richiedere un trattamento specifico.

Nel secondo caso è invece necessario effettuare una ricerca per ottenere l'identificativo compresso associato al VCI. Questa ricerca costituisce la fase di transcodifica propriamente detta.

L'algoritmo di transcodifica dell'insieme dei valori VPI e VCI, impiegato per effettuare la ricerca dell'identificativo compresso, consiste nella implementazione di una struttura a 4 livelli in cui ogni livello consiste nell'identificativo associato ad uno tra i VCI attivi. In base ad un dato valore di VPI e/o VCI è possibile percorrere tutti i livelli relativi a detto insieme di VPI e VCI e ottenere così l'identificativo compresso del VCI.

Inoltre, per garantire il riconoscimento e la differenziazione dei flussi OAM di VCI, si prosegue la ricerca per un livello ulteriore, utilizzando i bit del campo PTI all'interno dell'intestazione.

dr. ing. Bruno MURACA

In totale quindi il percorso si sviluppa su 6 livelli, il primo e l'ultimo dei quali appartengono a strutture separate, e nella sua totalità permette la compressione dei valori VPI e VCI che identificano un VCI attivo.

La suddetta macchina a stati si fa carico di gestire il tentativo di invio di celle d'utente per flussi non associati mediante l'utilizzo di un campo interno della memoria TC (Fig. 1). Qualora il flusso non fosse preventivamente associato, le celle appartenenti a tale flusso verranno scartate e verrà informato il microprocessore mediante scrittura in un registro interno. Essa inoltre gestisce il controllo e la generazione della parità sui dati contenuti nella memoria TC.

L'ultima funzionalità implementata nell'algoritmo consiste nella gestione dei cicli di lettura e scrittura della memoria TC per conto del microprocessore, il quale porrà un indirizzo sul bus bidirezionale 35 e mediante il bus bidirezionale 36 invierà o riceverà i dati da scrivere o leggere nella suddetta memoria. Questa operazione verrà attivata mediante un apposito comando memorizzato in un registro interno e la macchina a stati, nella porzione di tempo preposta a ciò, provvederà alla sua esecuzione dandone risposta di fine operazione al microprocessore.

Il blocco RTL è preposto alla costruzione dell'intestazione interna della cella e al controllo dei parametri di flusso ad essa associati. Anche per questo blocco, la parte preponderante è costituita da una macchina a stati finiti, che utilizza l'ICI, presente sul filo 34, per indirizzare la memoria TL (Fig. 1) allo scopo di reperire i dati da inserire nell'intestazione della cella. L'algoritmo implementato, leggendo la memoria TL, provvede al reperimento delle informazioni che verranno inserite nell'intestazione della cella.

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale

Facendo riferimento alle figure 4 e 5, relative al formato della cella interna al sistema nel caso di commutazione di VCI e VPI, rispettivamente, si possono notare i primi 15 ottetti che formano la suddetta intestazione, 48 ottetti che formano il campo informativo PL e un ottetto FCS per la rivelazione degli errori della parte non variabile della cella mediante un codice di ridondanza ciclica. Più precisamente, l'intestazione è costituita da:

- sette ottetti, contenuti nel campo RT, relativi all'instradamento della cella nella rete di connessione;
- un ottetto SN, contenente un contatore progressivo per ogni cella appartenente alla specifica connessione, inviata alla rete di connessione;
- un campo TS, relativo a un orologio di sistema;
- un campo HK, relativo al destinatario della cella;
- un bit PRI, relativo alla priorità della cella all'interno del sistema;
- un campo OCI, che rappresenta un identificativo compresso che verrà utilizzato per la costruzione dell'intestazione di livello ATM della cella.

Per completare la descrizione dell'intestazione interna della cella, è necessario esplicitare i seguenti campi:

- un campo GFC, reperito dall'intestazione della cella di livello ATM nel caso che il dispositivo sia collocato alla UNI. In caso contrario, detto campo conterrà dei dati non significativi nel caso di commutazione di VCI (Fig. 4), oppure conterrà il campo OCI, nel caso di commutazione di VPI (Fig. 5);
- un campo VCI, reperito dall'intestazione della cella di livello ATM nel caso di commutazione di VPI (Fig. 5), oppure detto campo conterrà l'identificativo compresso OCI nel caso di commutazione di VCI (Fig. 4);

dr. ing. Bruno MURACA

- due campi PTI e CLP, reperiti dall'intestazione della cella di livello ATM e relativi rispettivamente alla gestione della cella appartenente ad un flusso OAM, oppure di metasegnalazione, e alla priorità di perdita della cella all'interno del sistema;

- un campo HEC, relativo al codice di correzione degli errori sull'intestazione della cella nel formato interno calcolato dal dispositivo.

L'algoritmo implementato nel blocco RTL non si limita alla sola costruzione dell'intestazione della cella, bensì gestisce alcune funzionalità ulteriori:

- conteggiare le celle appartenenti alla stessa connessione e che vengono elaborate dal dispositivo (funzione di tariffazione);

- conteggiare le celle appartenenti allo stesso flusso e che vengono scartate per violazione dei parametri di traffico concordato;

- gestire il controllo e la generazione della parità sui dati contenuti nella memoria TL.

- gestire i cicli di lettura e scrittura della memoria TL per conto del microprocessore, il quale porrà un indirizzo sul bus bidirezionale 35 e mediante il bus bidirezionale 36 invierà o riceverà i dati da scrivere o leggere nella suddetta memoria. Questa operazione verrà attivata mediante un apposito comando memorizzato in un registro interno e la macchina a stati, nella porzione di tempo preposta a ciò, provvederà alla sua esecuzione dandone risposta di fine operazione al microprocessore.

- memorizzare tramite il bus unidirezionale 37 l'intestazione della cella in formato interno nelle memorie FIFO, indicate con FHA e FHB di Fig. 3, gestendone i relativi comandi di scrittura in base al loro stato di occupazione;

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
n/r C.S.I.I.T. - Torino

- inviare tramite il filo 38 un segnale di validazione delle informazioni memorizzate in FHA e FHB;

- gestire tramite il filo 9 l'attivazione di un blocco esterno al dispositivo per il controllo dei parametri di traffico relativi alla connessione, rendendo disponibile tramite questo filo la priorità della cella in esame ed alcuni campi dell'intestazione di livello ATM della cella medesima;

- gestire tramite il filo 10 la risposta al controllo dei parametri di traffico, intervenendo in modo opportuno al fine di abbassare la priorità della cella in esame ed eventualmente scartarla;

- gestire lo scambio dei segnali di controllo e dei dati con la memoria esterna TC tramite i fili 7 e 8, rispettivamente.

Il blocco WOUT ha il compito di gestire il flusso di celle da inviare all'interfaccia W (Fig. 1) o al microprocessore e i relativi segnali di temporizzazione. Il suo compito consiste nel reperire il destinatario della cella in esame, che si trova immagazzinata nelle FIFO FHA e FIA, oppure FHB e FIB.

L'algoritmo implementato in WOUT, consistente essenzialmente in una macchina a stati finiti, analizza il filo 38 e il campo HK per discriminare se la cella deve essere inviata all'interfaccia W o al microprocessore. In alternativa, invia all'interfaccia W la cella memorizzata dal microprocressore in una memoria FIFO FM. In caso di assenza di celle da inviare alla suddetta interfaccia, la macchina a stati provvede ad inviare una cella di riempimento, memorizzata dal microprocessore nella memoria FIFO FE all'atto dell'inizializzazione del dispositivo tramite il filo 52.

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
c/o CSELT - TORINO

Le operazioni sopra descritte vengono effettuate mediante l'utilizzo del blocco di multiplessaggio logico MPX, gestito dal blocco WOUT mediante il filo 39. Inoltre, tramite questo blocco viene inserito l'ottetto per il codice di correzione degli errori HEC (Fig. 4, 5) calcolato dal blocco HG, il quale tramite il filo 11 riceve i dati su cui calcolare il codice e tramite il filo 41 lo invia al blocco MPX per la sua inserzione all'interno dell'intestazione della cella.

Nel caso di cella da inviare al microprocessore, il blocco WOUT, analizzando il campo HK, discrimina se la cella deve essere inviata al processore a fini diagnostici oppure è una cella di metasegnalazione, segnalazione, OAM. Nel primo caso, il blocco WOUT provvede a memorizzare tale cella nella memoria FIFO FSC, negli altri casi la cella viene memorizzata nel blocco FMC, composto da sette memorie FIFO, la cui scrittura è gestita dal blocco WOUT in base al loro stato di occupazione.

In ultima analisi, il blocco WOUT, tramite un segnale di orologio del sistema sul filo 15, provvede a generare sul filo 14 la temporizzazione relativa ai dati trasferiti all'interfaccia W, sul filo 13 un segnale di inizio cella e sul filo 44 varie temporizzazioni interne al dispositivo.

Il blocco MP rappresenta la logica di interfaccia tra il dispositivo e il microprocessore esterno. Mediante il filo 46 tale blocco invia i vari comandi alle logiche interne al dispositivo, ricevendo mediante i fili 47 e 48 lo stato interno del dispositivo c/o gli eventuali errori rilevati dai vari blocchi. Mediante il filo 49 il blocco MP memorizza nella memoria FIFO FM una cella da inviare all'interfaccia W e tramite i fili 50 e 51 è in grado di leggere dalle memorie FIFO dei blocchi FMC e FSC, gestendone lo stato di occupazione, le celle elaborate dal dispositivo e destinate al microprocessore.

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale

Il blocco MP gestisce lo scambio dei segnali di controllo e dei dati con il microprocessore esterno tramite i bus 22 e 21 rispettivamente.

L'architettura della parte di dispositivo denominata CHPDW è illustrata in Fig. 6. Facendo riferimento a questa figura, si analizza il flusso dei dati che transita dall'interfaccia W (Fig. 1) verso l'interfaccia Pb. Il flusso dei dati entrante, trasportato dal bus 16, viene immagazzinato in un blocco denominato WIN', preposto alle seguenti funzioni:

- gestione del segnale di temporizzazione, presente sul filo 18, e del segnale indicante il primo ottetto della cella, presente sul filo 17;
- controllo dell'ottetto HEC (Header Error Control), se abilitato, mediante opportuna scrittura di un registro interno da parte del microprocessore;
- correzione degli ottetti dell'intestazione nel caso di errore singolo;
- segnalazione verso il microprocessore di un errore doppio negli ottetti dell'intestazione;
- verifica del formato della cella mediante test sul segnale sul filo 17 e conseguente scarto della medesima se è composta da un numero di ottetti diverso da 64;
- estrazione degli ottetti dell'identificativo di uscita della connessione (OCI), resi disponibili sul bus unidirezionale 204 al fine di poter effettuare la costruzione dell'etichetta ATM;
- estrazione degli ottetti informativi, resi disponibili sul bus unidirezionale 205 costituito da 8 fili, e loro memorizzazione in due memorie FIFO, indicate con FIA' e FIB', gestendole in base al loro stato di occupazione;
- generazione di segnali di temporizzazione interni, resi disponibili sulla connessione 206.

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
c/o CSELT - TORINO

Il blocco WIN' è essenzialmente costituito da due macchine a stati finiti. Una macchina è preposta alla correzione degli ottetti dell'intestazione nel caso di errore singolo, basandosi su un polinomio che è il risultato del controllo dell'ottetto HEC e che porta l'informazione di quale bit e su quale ottetto dell'intestazione è presente l'errore.

L'altra macchina a stati è preposta alla verifica del formato della cella. L'algoritmo implementato verifica la presenza del segnale di inizio cella sul filo 17 ogni 64 ottetti e quindi discrimina le celle con un numero di ottetti diverso da 64. In caso di errore la macchina a stati evolve verso uno stato all'interno del quale si ricerca un nuovo sincronismo al fine di reiniziare correttamente l'algoritmo. Nel caso non sia possibile ritrovare un istante di sincronismo, viene informato il microprocessore di questo evento.

Il successivo blocco incontrato dal flusso dei dati è denominato RCT' ed è preposto alla costruzione dell'intestazione ATM della cella e al controllo di alcuni parametri di flusso ad essa associati. Anche per questo blocco, la parte preponderante è costituita da una macchina a stati finiti che utilizza l'OCI, presente sul filo 204, per indirizzare la memoria CT (Fig. 1) allo scopo di reperire i dati da inserire nell'intestazione della cella.

L'algoritmo implementato nel blocco RCT' non si limita alla sola costruzione dell'intestazione della cella, bensì gestisce alcune funzionalità ulteriori:

- conteggiare le celle appartenenti alla stessa connessione che vengono ricevute dal dispositivo con una sequenza non ordinata;
- conteggiare le celle mancanti ed appartenenti alla stessa connessione;

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
c/o CSELT - Torino

- conteggiare le celle inviate all'interfaccia Pb ed appartenenti alla stessa connessione;

- gestire il controllo e la generazione della parità sui dati contenuti nella memoria CT;

- gestire i cicli di lettura e scrittura della memoria CT per conto del microprocessore, il quale porrà un indirizzo sul bus bidirezionale 208 e mediante il bus bidirezionale 209 invierà o riceverà i dati da scrivere o leggere nella suddetta memoria. Questa operazione verrà attivata mediante un apposito comando memorizzato in un registro interno e la macchina a stati, nella porzione di tempo preposta a ciò, provvederà alla sua esecuzione dandone risposta di fine operazione al microprocessore;

- memorizzare tramite il bus unidirezionale 210 l'intestazione della cella in formato ATM nelle memorie FIFO, indicate con FHA' e FHB' di Fig. 6, gestendone i relativi comandi di scrittura in base al loro stato di occupazione;

- inviare tramite il filo 211 un segnale di validazione delle informazioni memorizzate in FHA'-FIA' e FHB'-FIB';

- gestire lo scambio dei segnali di controllo e dei dati con la memoria esterna CT tramite i fili 24 e 23 rispettivamente.

Il blocco PBOUT' ha il compito di gestire il flusso di celle da inviare all'interfaccia Pb (Fig. 1) o al microprocessore e i relativi segnali di temporizzazione. Il suo compito consiste nel reperire il destinatario della cella in esame, che si trova immagazzinata nelle FIFO FHA' e FIA', oppure FHB' e FIB'.

L'algoritmo implementato analizza il filo 211 e il campo HK, per discriminare se la cella deve essere inviata all'interfaccia Pb o al

dr. ing. Bruno MURACA

microprocessore. In alternativa, invia all'interfaccia Pb la cella memorizzata dal microprocessore nella memoria FIFO FM'.

In caso di assenza di celle da inviare alla suddetta interfaccia, la macchina a stati provvederà ad inviare una delle tre celle memorizzate dal microprocessore nelle memorie FIFO UNA', IDL', TR' all'atto dell'inizializzazione del dispositivo tramite il filo 212.

Più precisamente nel blocco UNA' il microprocessore memorizza una cella ATM di tipo unassigned, nel blocco IDL' memorizza una cella ATM di tipo idle e nel blocco TR' memorizza una cella di test. L'informazione di quale di queste tre celle il dispositivo deve inviare all'interfaccia Pb in assenza di celle è memorizzata in un registro interno; in alternativa il dispositivo può, tramite i fili 29 e 30, gestire l'assenza di celle come descritto nella trama STM-1 della gerarchia sincrona (livello fisico ATM basato su SDH).

Le operazioni sopra descritte vengono effettuate mediante l'utilizzo del blocco di multiplessaggio logico MPX', gestito dal blocco PBOUT' mediante il filo 215. Inoltre, tramite questo blocco viene inserito l'ottetto per il codice di correzione degli errori HEC calcolato dal blocco HG', il quale tramite il filo 25 riceve i dati su cui calcolare il codice e tramite il filo 217 lo invia al blocco MPX' per la sua inserzione all'interno dell'intestazione della cella.

Nel caso di cella da inviare al microprocessore, il blocco PBOUT' discrimina se la cella deve essere inviata al processore a fini diagnostici oppure se è una cella di metasegnalazione o segnalazione. Nel primo caso, il blocco PBOUT' provvede a memorizzare tale cella nella memoria FIFO FSC', negli altri casi la cella viene memorizzata nel blocco FMC', composta da sette memorie FIFO, la cui scrittura è gestita dal blocco PBOUT' in base al loro stato di occupazione.

dr. ing. Bruno MURACA

In ultima analisi il blocco PBOUT', tramite un segnale di orologio del sistema trasmissivo sul filo 29 e un segnale indicante la sua disponibilità ad accettare dati sul filo 30, provvede a generare sul filo 27 la temporizzazione relativa ai dati trasferiti all'interfaccia Pb, sul filo 26 un segnale di inizio cella, sul filo 28 un segnale indicante la validità del dato trasferito e sul filo 221 varie temporizzazioni interne al dispositivo.

Il blocco MP' rappresenta la logica di interfaccia tra il dispositivo e il microprocessore esterno. Mediante il filo 222 tale blocco invia i vari comandi alle logiche interne al dispositivo, ricevendo mediante i fili 223 e 224 lo stato interno del dispositivo e/o gli eventuali errori rilevati dai vari blocchi. Mediante il filo 225 il blocco MP' memorizza nella memoria FIFO FM' una cella da inviare all'interfaccia Pb e tramite i fili 226 e 227 è in grado di leggere dalle memorie FIFO dei blocchi FMC' e FSC', gestendone lo stato di occupazione, le celle elaborate dal dispositivo e destinate al microprocessore.

Il blocco MP' gestisce lo scambio dei segnali di controllo e dei dati con il microprocessore esterno tramite i bus 21 e 22 rispettivamente.

La Fig. 7 illustra la struttura del blocco di interfaccia (MP di Fig. 5 e MP' di Fig. 6) tra il microprocessore e il dispositivo CHP.

Il blocco denominato DR è preposto alla gestione dei segnali di controllo del microprocessore presenti sui fili 101, 102, 103, appartenenti al bus 22 (Fig. 2), che rappresentano rispettivamente il segnale di selezione del dispositivo, il segnale validante i dati presenti sul bus bidirezionale a 16 fili 21 e il segnale indicante se il ciclo in corso è un ciclo di lettura o di scrittura. Un'altra funzione di questo blocco consiste nel decodificare l'indirizzo del registro interno a cui il microprocessore intende accedere; questo indirizzo viene

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney

posto sul bus unidirezionale a 5 fili denominato 20 e la logica di decodifica provvederà, tramite il filo 107, ad abilitare in lettura o scrittura il registro interno del dispositivo.

Si analizzano ora i vari blocchi rappresentati in Fig. 7, che corrispondono ai registri interni del dispositivo.

Il blocco VC contiene i valori dei vettori di interruzione ed è scritto, tramite il filo 21, dal microprocessore all'atto dell'inizializzazione del componente.

Il blocco EV raccoglie al suo interno, tramite il filo 108, le segnalazioni interne al dispositivo quali arrivo di celle alle interfacce, avvenuto invio di celle alle interfacce ed altri eventi. Il contenuto di questo registro può essere letto dal microprocessore tramite il bus 21 mediante un ciclo di lettura ad interrogazione oppure mediante un ciclo di lettura su interruzione.

Il blocco MEV contiene al suo interno una maschera, scritta dal microprocessore tramite il filo 21, mediante la quale vengono abilitati gli eventi memorizzati nel blocco EV a generare, tramite il blocco IRQ, un ciclo di interruzione.

Una funzione analoga a questo blocco è implementata nei blocchi MER e MFL relativi alle segnalazioni di errori interni (blocco ER) e ai guasti (blocco FL).

Il blocco ER colleziona al suo interno le segnalazioni relative a situazioni di errore verificatesi nel dispositivo. Tramite il filo 109 vengono portate le informazioni relative a overflow di contatori di autodiagnosi, errori di parità sulle memorie esterne ed altro.

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale

Il microprocessore può accedere a questa sorgente in lettura tramite il bus 21 mediante interrogazione o su interruzione.

Il blocco FL raccoglie, tramite il filo 110, tutte le segnalazioni di guasto verificatesi nel dispositivo.

Il blocco IRQ è preposto al confronto tra le varie segnalazioni interne memorizzate nei blocchi EV, ER ed FL e le maschere memorizzate nei blocchi MEV, MER, MFL rispettivamente. Il risultato di questo confronto, se positivo, fa sì che il blocco IRQ inizi un ciclo di interruzione tramite il filo 105 e, tramite il filo 106 gestito dal microprocessore, questo ciclo può essere concluso con l'invio al microprocessore del relativo vettore di interruzione memorizzato nel blocco VC. I fili 105 e 106 appartengono al bus 22 (Fig. 2). Il blocco IRQ gestisce inoltre la priorità dei tre tipi di interruzione relativi agli eventi memorizzati nei blocchi EV, ER ed FL rispettivamente.

Il blocco VUN è preposto al conteggio delle celle arrivate all'interfaccia Pb e relative a connessioni non attivate.

Il blocco ST raccoglie le segnalazioni, tramite il filo 111, relative a comandi di operazioni quali la lettura/scrittura delle memorie esterne e altro.

Il blocco CMD contiene al suo interno i vari comandi che il microprocessore invia al dispositivo e relativi a operazioni sulle memorie esterne, inizializzazione e altro. Tramite il filo 112 i vari comandi sono portati alla logica interna che provvederà alla loro esecuzione.

Il blocco CONF contiene la configurazione interna per il dispositivo consistente nell'abilitazione o meno delle varie logiche di controllo quali il controllo/correzione del codice HEC, controllo/generazione della parità ed altro.

dr. ing. Bruno MURACA

Il blocco IDSUS contiene l'intestazione ATM della cella che, arrivata dall'interfaccia Pb, dopo essere stata trattata dal dispositivo, verrà duplicata e memorizzata a fini diagnostici nel blocco FSC (Fig. 3).

Il blocco HER contiene l'intestazione ATM della cella di una connessione non attiva.

I blocchi AND e NAD contengono al loro interno un valore fisso a fini diagnostici sul bus del microprocessore 21.

Il blocco ADD contiene l'indirizzo della memoria esterna a cui il microprocessore intende accedere. Questo blocco, tramite il filo 114, invierà l'indirizzo alla opportuna logica interna relativa alla memoria interessata (TC, TL, CT, Fig. 1).

Il blocco DT contiene il dato che il microprocessore intende scrivere o che è stato letto dalla memoria esterna. Questo blocco, tramite il filo 115, invierà o riceverà questo dato alla relativa memoria.

Il blocco OC è preposto al conteggio delle celle arrivate all'interfaccia W e relative a connessioni non attivate.

Il blocco IDSDS contiene il valore dell'OCI della cella che, arrivata dall'interfaccia W, dopo essere stata elaborata dal dispositivo verrà duplicata e memorizzata, a fini diagnostici, nel blocco FSC' (Fig. 6).

Il blocco MISS è utilizzato per conteggiare il numero totale di celle mancanti nel flusso proveniente dall'interfaccia W. Il dispositivo decrementa il valore contenuto in questo registro della quantità di celle mancanti dal flusso, il microprocessore può leggere questo valore a fini diagnostici e può scrivere questo valore in modo da imporre una soglia massima al numero di celle mancanti nel flusso.

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney

Il blocco NSEQ è utilizzato per conteggiare il numero totale di celle fuori sequenza dal flusso proveniente dall'interfaccia W. Il microprocessore può leggere questo valore a fini diagnostici e può scriverlo per imporre una soglia massima per le celle fuori sequenza.

E' evidente che quanto descritto è stato dato a titolo di esempio non limitativo. Varianti e modifiche sono possibili senza per questo uscire dall'ambito di protezione delle rivendicazioni.

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
Common Patent Attorney
c/o C.S.I.T. TORINO

Rivendicazioni

1. Dispositivo per il trattamento delle funzioni ATM (CHP), in grado di scambiare celle ATM con una interfaccia di livello fisico (Pb) e con una interfaccia verso la rete di connessione (W), sottoponendo le celle in formato ATM alla traslazione dell'etichetta mediante opportuni accessi a una memoria di transcodifica esterna (TC) e a una memoria di traslazione (TL) in modo da convertirle in formato proprietario per inviarle a detta interfaccia verso la rete di connessione (W) e, analogamente, in modo da convertire le celle da formato proprietario in celle in formato ATM mediante opportuni accessi a una memoria di commutazione (CT) per inviarle all'interfaccia di livello fisico (Pb), colloquiando con un blocco per il controllo dei parametri di traffico (PU) e con un microprocessore di controllo (MC) attraverso logiche di interfaccia (MP, MP'), caratterizzato dal fatto che comprende una prima parte (CHPUP), che è atta a convertire in formato proprietario le celle ATM per inviarle a detta interfaccia verso la rete di connessione (W) ed è composta da

- un primo blocco (PBIN), costituito essenzialmente da due macchine a stati finiti, che riceve il flusso di celle (1) ed esegue le seguenti funzioni:
  - gestione del segnale di temporizzazione (3) e del segnale indicante la validità dell'ottetto (4);
  - controllo dell'ottetto HEC;
  - correzione degli ottetti dell'intestazione nel caso di errore singolo;
  - segnalazione verso il microprocessore (MC) di un errore doppio negli ottetti dell'intestazione;
  - verifica del formato della cella;

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
10121 TORINO

- estrazione degli ottetti dell'intestazione al fine di poter effettuare la conversione di etichetta;
- estrazione degli ottetti informativi (32);
- generazione di segnali di temporizzazione interni (33);

- prime memorie FIFO (FIA, FIB) per la memorizzazione dei contenuti informativi delle celle estratte da detto primo blocco (PBIN);
- un secondo blocco (RTC), costituito essenzialmente da una macchina a stati finiti, in grado di effettuare la transcodifica dell'intestazione della cella ottenendo un identificativo interno compresso (34) mediante le seguenti operazioni:
  - indirizzamento (31) della memoria di transcodifica esterna (TC);
  - gestione delle operazioni di lettura e scrittura per conto del microprocessore nella memoria di transcodifica esterna;
  - gestione dello scambio dei segnali di controllo (5) e dei dati (6) con la memoria di transcodifica esterna;
- un terzo blocco (RTL), costituito essenzialmente da una macchina a stati finiti e preposto alla costruzione dell'intestazione interna della cella e al controllo dei parametri di flusso ad essa associati, utilizzando l'identificativo interno compresso (34) per indirizzare la memoria di traslazione (TL) allo scopo di reperire i dati da inserire nell'intestazione della cella e svolgendo le seguenti ulteriori funzioni:
  - conteggiare le celle appartenenti alla stessa connessione e allo stesso flusso;
  - gestire i cicli di lettura e scrittura della memoria di traslazione (TL) per conto del microprocessore e i relativi controlli di parità;

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
10121 - TORINO

- memorizzare (37) l'intestazione della cella in formato interno;
- gestire (9, 10) il controllo dei parametri di traffico relativi alla connessione e della priorità della cella ;
- gestire lo scambio dei segnali di controllo (7) e dei dati (8) con la memoria di transcodifica esterna (TC);

- seconde memorie FIFO (FHA, FHB) per la memorizzazione dell'intestazione della cella in formato interno;
- un quarto blocco (WOUT) atto a gestire il flusso di celle da inviare all'interfaccia verso la rete di connessione (W) o al microprocessore (MC), individuando il destinatario della cella e generando la temporizzazione (14) relativa ai dati trasferiti, un segnale di inizio cella (13) e temporizzazioni interne (44);
- una terza memoria FIFO (FE) per la memorizzazione di celle di riempimento;
- una quarta memoria FIFO (FM) per la memorizzazione di celle da parte del microprocessore (MC) ;
- un primo blocco di multiplessaggio logico (MPX), gestito dal quarto blocco (WOUT), che trasferisce all'interfaccia verso la rete di connessione (W) le celle contenute in dette memorie FIFO (FM, FHA, FIA, FHB, FIB) o la cella di riempimento contenuta in detta terza memoria FIFO (FE), permettendo inoltre l'inserimento di un codice di correzione degli errori;
- un quinto blocco (HG), per il calcolo del codice di correzione degli errori sul flusso di celle in uscita dal primo blocco di multiplessaggio logico (MPX);

dr. ing. Bruno MURACA

- una sesta memoria FIFO (FSC), per la memorizzazione di celle da inviare al microprocessore (MC) a fini diagnostici, controllata da detto quarto blocco (WOUT);
- un sesto blocco (FMC) composto da sette memorie FIFO, per la memorizzazione di celle di metasegnalazione, segnalazione, OAM e controllato da detto quarto blocco (WOUT);
- una prima logica di interfaccia (MP) per lo scambio dei segnali di controllo e dei dati tra la prima parte (CHPUP) e il microprocessore (MC).

2. Dispositivo per il trattamento delle funzioni ATM come nella rivendicazione 1, caratterizzato dal fatto che comprende una seconda parte (CHPDW), che è atta a convertire le celle da formato proprietario in celle in formato ATM per inviarle a detta interfaccia di livello fisico (Pb) ed è composta da:

- un settimo blocco (WIN'), costituito essenzialmente da due macchine a stati finiti, che riceve il flusso di celle (16) ed esegue le seguenti funzioni:
  - gestione del segnale di temporizzazione (18) e del segnale indicante il primo ottetto della cella (17);
  - controllo dell'ottetto HEC;
  - correzione degli ottetti dell'intestazione nel caso di errore singolo;
  - segnalazione verso il microprocessore (MC) di un errore doppio negli ottetti dell'intestazione;
  - verifica del formato della cella;
  - estrazione degli ottetti (204) dell'identificativo di uscita della connessione (OCI) al fine di poter effettuare la costruzione dell'etichetta ATM;

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
Piemonte Patent Attorney

- estrazione degli ottetti informativi (205);
- generazione di segnali di temporizzazione interni (206);

- settime memorie FIFO (FIA', FIB') per la memorizzazione dei contenuti informativi delle celle estratte da detto settimo blocco (WIN');
- un ottavo blocco (RCT'), costituito essenzialmente da una macchina a stati finiti, preposto alla costruzione dell'intestazione ATM della cella e al controllo di parametri di flusso ad essa associati mediante le seguenti operazioni:
  - indirizzamento (208) della memoria di commutazione (CT) utilizzando il campo OCI (204) della cella;
  - gestione delle operazioni di lettura e scrittura per conto del microprocessore nella memoria di commutazione (CT) e i relativi controlli di parità;
  - gestione dello scambio dei segnali di controllo (24) e dei dati (23) con la memoria di commutazione (CT);
  - conteggio delle celle appartenenti alla stessa connessione con una sequenza non ordinata, mancanti o inviate a detta interfaccia di livello fisico (Pb);
  - memorizzazione (210) dell'intestazione della cella in formato ATM;
  - invio (211) di un segnale di validazione delle informazioni memorizzate;
- ottave memorie FIFO (FHA', FHB') per la memorizzazione dell'intestazione della cella in formato ATM sotto il controllo di detto ottavo blocco (RCT');
- un nono blocco (PBOUT') atto a gestire il flusso di celle da inviare all'interfaccia di livello fisico (Pb) o al microprocessore (MC),

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
TORINO

individuando il destinatario della cella e generando la temporizzazione (27) relativa ai dati trasferiti, un segnale di inizio cella (26) e temporizzazioni interne (221);

- una nona memoria FIFO (FM') per la memorizzazione di celle da parte del microprocessore (MC);
- una decima memoria FIFO (UNA') per la memorizzazione di celle di tipo unassigned da parte del microprocessore (MC);
- una undicesima memoria FIFO (IDL') per la memorizzazione di celle di tipo idle da parte del microprocessore (MC);
- una dodicesima memoria FIFO (TR') per la memorizzazione di celle di test da parte del microprocessore (MC);
- un secondo blocco di multiplessaggio logico (MPX'), gestito dal nono blocco (PBOUT'), che trasferisce all'interfaccia di livello fisico (Pb) le celle contenute in dette memorie FIFO (FM', FHA', FIA', FHB', FIB') o le celle contenute in dette memorie FIFO (UNA', IDL', TR'), permettendo inoltre l'inserimento di un codice di correzione degli errori;
- un decimo blocco (HG'), per il calcolo del codice di correzione degli errori sul flusso di celle in uscita dal secondo blocco di multiplessaggio logico (MPX');
- una tredicesima memoria FIFO (FSC') per la memorizzazione di celle da inviare al microprocessore (MC) a fini diagnostici, controllata da detto nono blocco (PBOUT');
- un undicesimo blocco (FMC') composto da sette memorie FIFO, per la memorizzazione di celle di metasegnalazione o segnalazione, e controllato da detto nono blocco (PBOUT');

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
c/o CSELT - TORINO

- una seconda logica di interfaccia (MP') per lo scambio dei segnali di controllo e dei dati tra la seconda parte (CHPDW) e il microprocessore (MC).

3. Dispositivo per il trattamento delle funzioni ATM come nella rivendicazione 1 o 2, caratterizzato dal fatto che dette prima e seconda logica di interfaccia (MP, MP') comprendono i seguenti blocchi, accessibili dal microprocessore tramite una connessione multipla (21):

- un blocco (DR) di gestione dei segnali di controllo (101, 102, 103) del microprocessore (MC) e del registro interno (20, 107);
- un blocco (EV) contenente le segnalazioni interne (108) al dispositivo;
- un blocco (MEV) contenente una maschera per l'abilitazione degli eventi segnalati in detto blocco (EV);
- un blocco (ER) contenente le segnalazioni relative a situazioni di errore verificatesi nel dispositivo;
- un blocco (MER) contenente una maschera per l'abilitazione degli eventi segnalati in detto blocco (ER);
- un blocco (FL) contenente le segnalazioni di guasto verificatesi nel dispositivo;
- un blocco (MFL) contenente una maschera per l'abilitazione degli eventi segnalati in detto blocco (FL);
- un blocco (IRQ) preposto al confronto tra le segnalazioni memorizzate in detti blocchi (EV, ER, FL) e le maschere memorizzate in detti blocchi (MEV, MER, MFL), all'eventuale invio al microprocessore dei relativi vettori di interruzione e alla gestione della priorità dei tipi di interruzione;

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
c/o ESITT - TORINO

- un blocco (VC) contenente i valori dei vettori di interruzione;
- un blocco (VUN) preposto al conteggio delle celle arrivate all'interfaccia di livello fisico (Pb) e relative a connessioni non attivate;
- un blocco (ST) contenente segnalazioni (111) relative a comandi di operazioni;
- un blocco (CMD) contenente comandi inviati dal microprocessore e relativi a operazioni sulle memorie esterne;
- un blocco (CONF) contenente la configurazione interna per il dispositivo;
- un blocco (IDSUS) contenente l'intestazione della cella ATM da duplicare e memorizzare a fini diagnostici;
- un blocco (HER) contenente l'intestazione ATM della cella di una connessione non attiva;
- blocchi (AND, NAD) contenenti valori fissi a fini diagnostici sul bus del microprocessore (21);
- un blocco (ADD) contenente l'indirizzo della memoria esterna a cui il microprocessore intende accedere;
- un blocco (DT) contenente il dato che il microprocessore intende scrivere o che è stato letto dalla memoria esterna;
- un blocco (OC) preposto al conteggio delle celle arrivate all'interfaccia verso la rete di connessione (W) e relative a connessioni non attivate;
- un blocco (IDSDS) contenente il valore dell'OCI della cella arrivata dall'interfaccia verso la rete di connessione (W), da duplicare e memorizzare a fini diagnostici;

dr. ing. Bruno MURACA

- un blocco (MISS) preposto al conteggio del numero totale di celle mancanti nel flusso proveniente dall'interfaccia verso la rete di connessione (W);
- un blocco (NSEQ) preposto al conteggio del numero totale di celle fuori sequenza dal flusso proveniente dall'interfaccia verso la rete di connessione (W).

4. Dispositivo per il trattamento delle funzioni ATM come in una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detta cella in formato proprietario è composta da 15 ottetti che formano l'intestazione, 48 ottetti che formano il campo informativo (PL) e un ottetto (FCS) per la rivelazione degli errori della parte non variabile della cella mediante un codice di ridondanza ciclica, l'intestazione essendo costituita da:

- sette ottetti (RT), relativi all'instradamento della cella nella rete di connessione;
- un ottetto (SN), contenente un contatore progressivo per ogni cella appartenente alla specifica connessione, inviata all'interfaccia verso la rete di connessione (W);
- un campo (TS) relativo a un orologio di sistema;
- un campo (HK) relativo al destinatario della cella;
- un bit (PRI) relativo alla priorità della cella all'interno del sistema di commutazione;
- un campo (OCI) che rappresenta un identificativo compresso, utilizzato per la costruzione dell'intestazione della cella in formato ATM;
- un campo (GFC) contenente i dati analoghi reperiti nella cella in formato ATM, nel caso che il dispositivo sia collocato all'interfaccia di rete d'utente

dr. ing. Bruno MURACA
Consulente in Proprietà Industriale
European Patent Attorney
TORINO

(UNI), oppure contenente dei dati non significativi nel caso di commutazione dell'identificatore di circuito virtuale (VCI) o il suddetto campo (OCI), nel caso di commutazione dell'identificatore di percorso virtuale (VPI);

- un campo (VCI), reperito dall'intestazione della cella in formato ATM nel caso di commutazione dell'identificatore di percorso virtuale (VPI), oppure detto campo contiene il suddetto campo (OCI) nel caso di commutazione dell'identificatore di circuito virtuale (VCI);
- due campi (PTI, CLP), reperiti dall'intestazione della cella in formato ATM e relativi rispettivamente alla gestione della cella appartenente ad un flusso OAM, oppure di metasegnalazione, e alla priorità di perdita della cella all'interno del sistema di commutazione;
- un campo (HEC), relativo al codice di correzione degli errori sull'intestazione della cella nel formato proprietario, calcolato dal dispositivo.

p.p. ITALTEL - Società Italiana Telecomunicazioni s.p.A.

(Bruno MURACA)



TO 94A000944

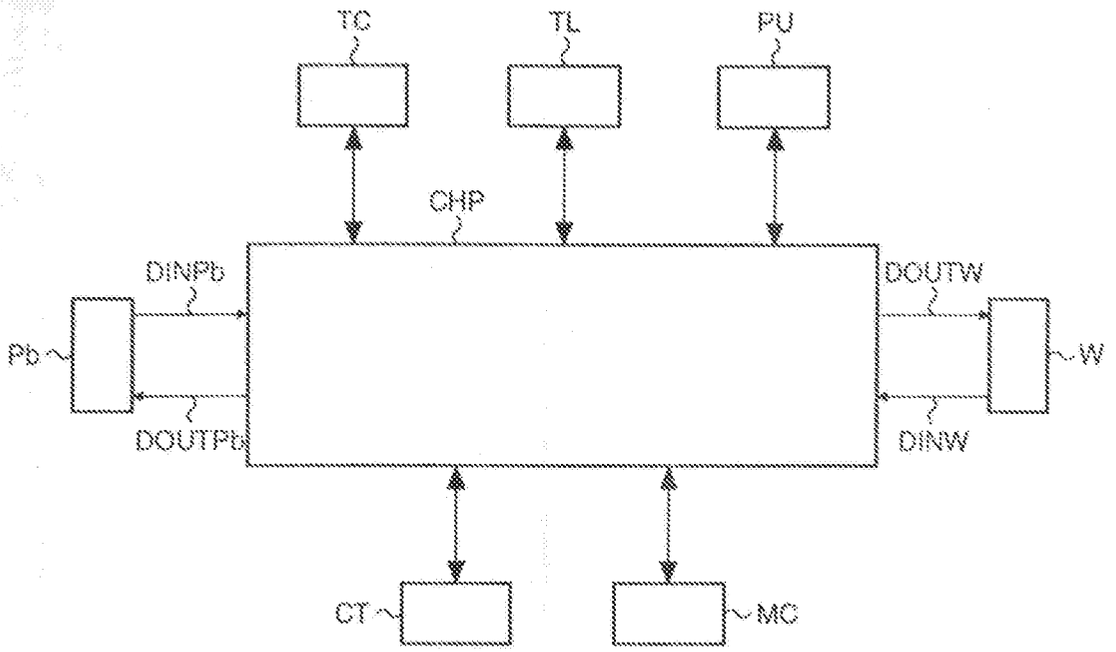


FIG 1

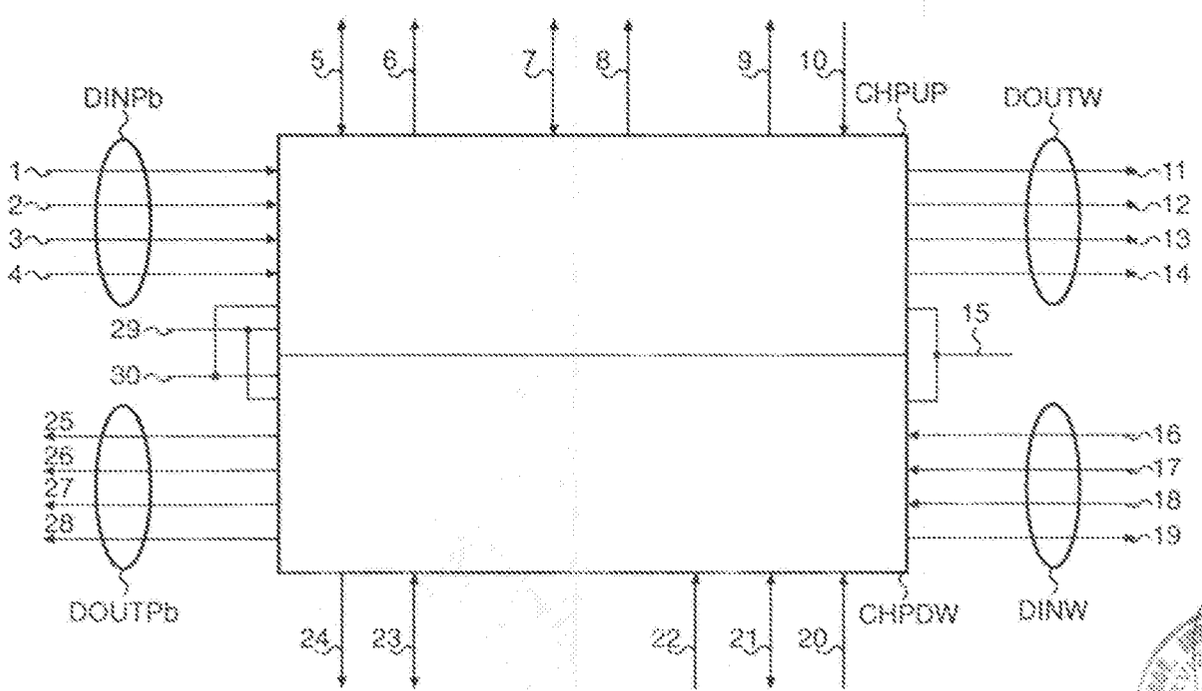


FIG 2

p.p. ITALTEL - Società Italiana
Telecomunicazioni s.p.A.

(Bruno MURACA)

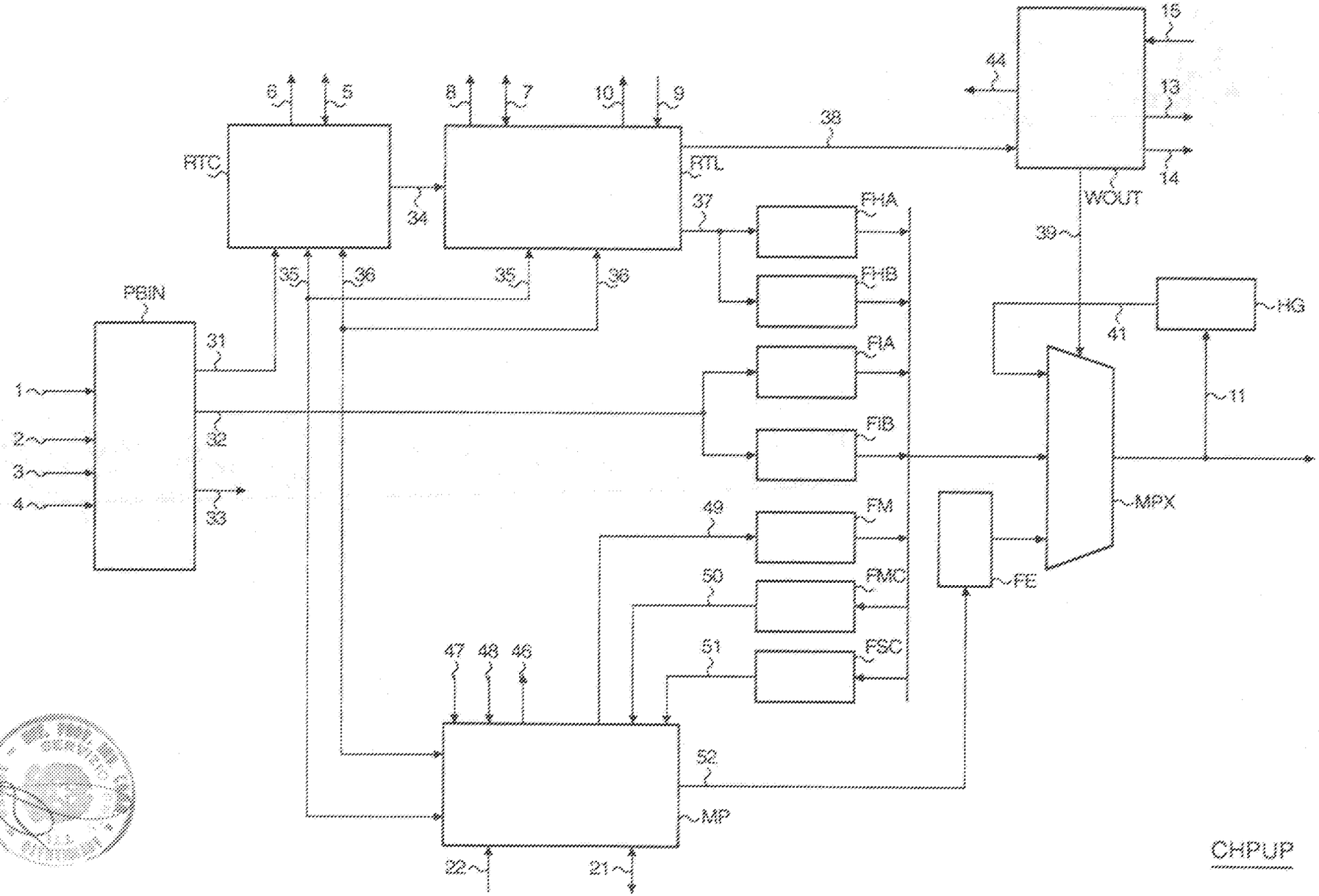


FIG 3

p.p. ITALTEL - Società Italiana Telecomunicazioni s.p.a.

(Bruno Muraca)

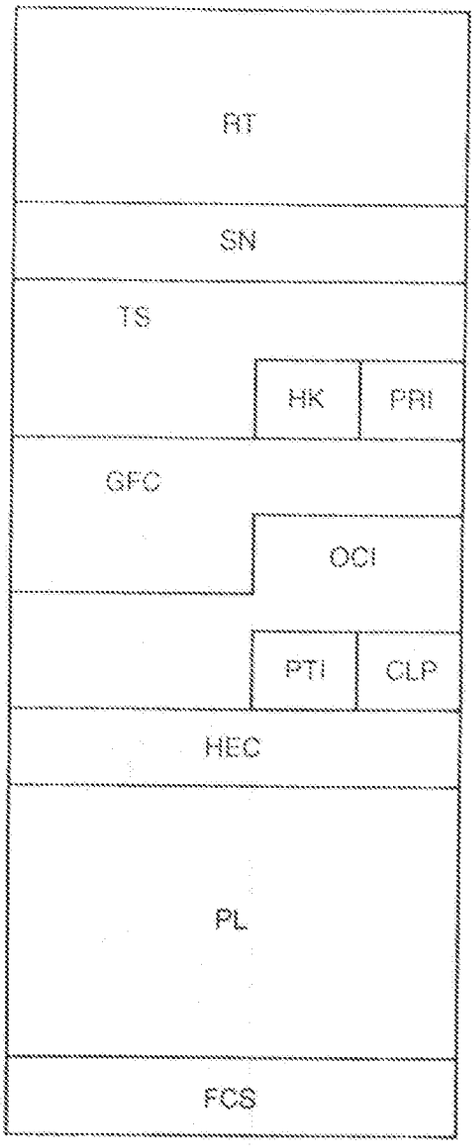


FIG 4

ITALTEL

p.p. Società Italiana Telecomunicazioni s.p.a.

(Bruno MURACA)

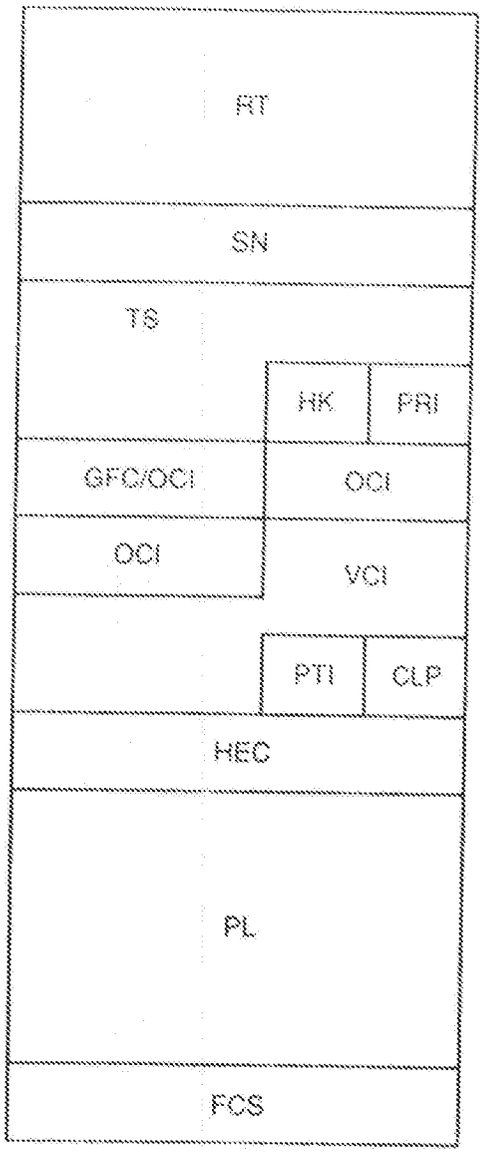
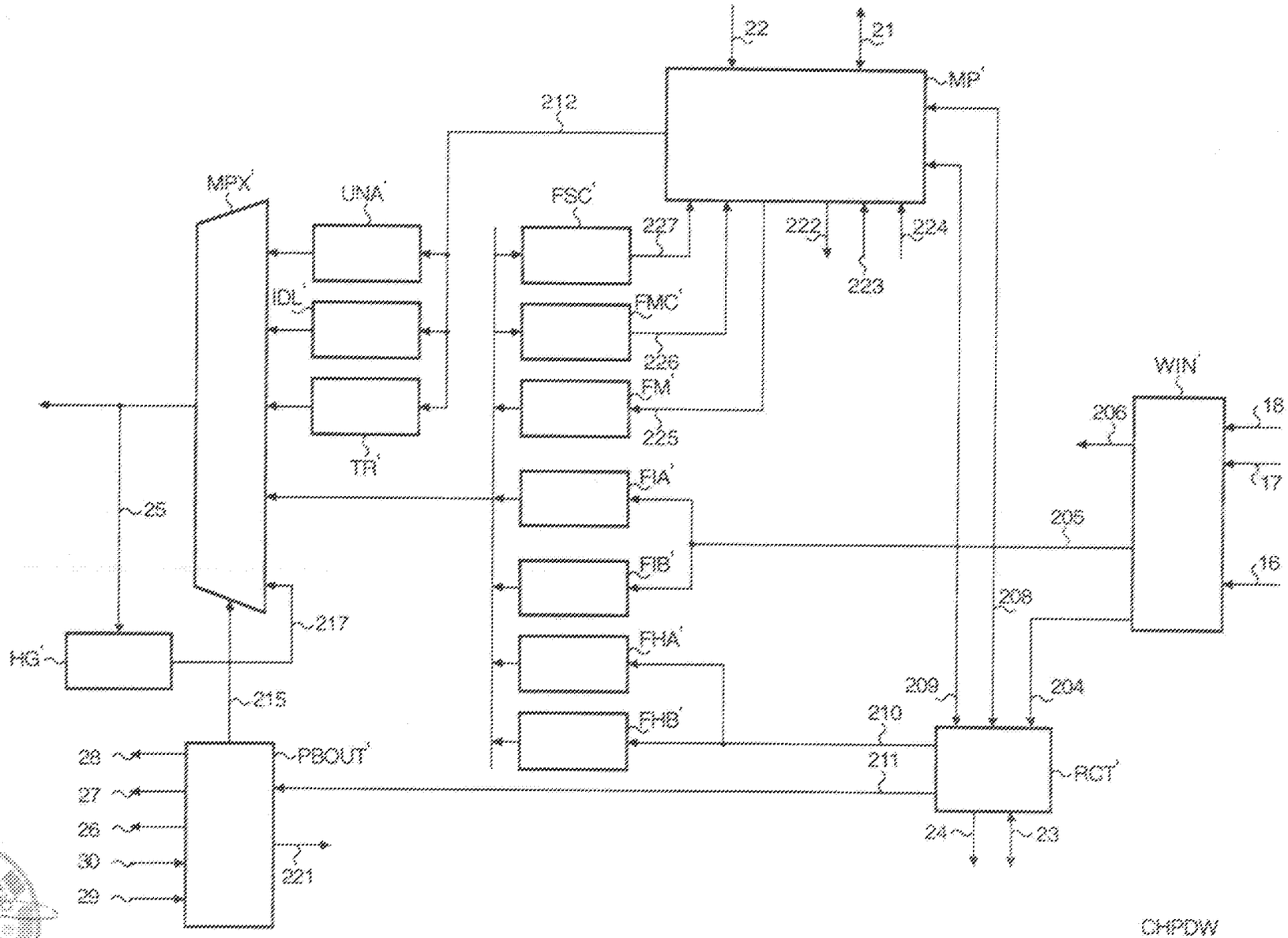


FIG 5

p.p. ITALTEL - Societa Italiana Telecomunicazioni s.p.a.

(Bruno MURACA)



CHPDW

FIG 6

p.p. ITALTEL- Società Italiana Telecomunicazioni s.p.a.

(Bruno MURACA)

TO 94A000184