(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년03월21일
(11) 등록번호 10-1605150
(24) 등록일자 2016년03월15일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) *H01L 21/225* (2006.01)
H01L 21/265 (2006.01) *H01L 29/78* (2006.01)
(21) 출원번호 10-2011-7020214
(22) 출원일자(국제) 2010년01월27일
심사청구일자 2015년01월13일
(85) 번역문제출일자 2011년08월30일
(65) 공개번호 10-2011-0113761
(43) 공개일자 2011년10월18일
(86) 국제출원번호 PCT/EP2010/000492
(87) 국제공개번호 WO 2010/086154
국제공개일자 2010년08월05일
(30) 우선권주장
10 2009 006 884.8 2009년01월30일 독일(DE)
12/688,999 2010년01월18일 미국(US)
(56) 선행기술조사문헌
US20070235802 A1*
KR1020090007388 A*
KR1020080074937 A*
KR1020070053300 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 피.오.박스 3453 원 에이엠디 플레이스
(72) 발명자
호엔트첼 잔
독일 01309 드레스덴 프렐레르스트라쎄 9
파파게오르지오우 바씰리오스
미국 텍사스 78728 오스틴 퓨즈 페어웨이 2210비
그리에베노우 우웨
독일 04416 마르크크리베르그 암 크래헨펠드 12
(74) 대리인
박장원

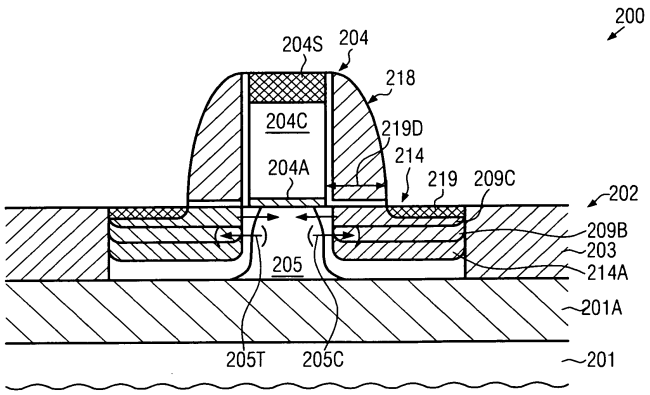
전체 청구항 수 : 총 13 항 심사관 : 조성수

(54) 발명의 명칭 **스트레인 유도 합금 및 그레이드형 도펀트 프로파일을 포함하는 인 시츄 형성되는 드레인 및 소스 영역들**

(57) 요 약

트랜지스터의 도펀트 프로파일은 인 시츄 도핑된 스트레인 유도 반도체 합금을 근거로 획득될 수 있으며, 여기서 그레이드형 도펀트 농도는 높이 방향을 따라 확립될 수 있다. 결과적으로, 반도체 합금은 채널 영역에 아주 근접하여 배치될 수 있으며, 그럼으로써 전체 스트레인 유도 효율을 향상시키며, 최종적으로 획득되는 도펀트 프로파일을 지나치게 타협하지 않을 수 있다. 더욱이, 추가적인 주입 종이 반도체 합금을 선택적으로 성장시키기 이전에 통합될 수 있으며, 그럼으로써 내부 스트레인의 주입 유도된 완화를 방지할 수 있다.

대 표 도 - 도2h



명 세 서

청구범위

청구항 1

반도체 디바이스를 형성하는 방법으로서,

게이트 전극 구조에 측면으로 인접한 트랜지스터의 액티브 영역에 캐비티들을 형성하는 단계와, 상기 게이트 전극 구조는 게이트 유전체 물질, 상기 게이트 유전체 물질 상에 형성되는 전극 물질 및 오프셋 측벽 스페이서를 포함하며;

상기 캐비티들을 통해서 상기 액티브 영역 내에 적어도 제 2 도펀트 종을 도입하는 단계와;

상기 캐비티들 내에 제 1 스트레인-유도 반도체 합금을 형성하는 단계와, 상기 제 1 스트레인-유도 반도체 합금은 제 1 도펀트 농도와 제 1 전도도 타입을 갖는 제 1 도펀트 종을 포함하며;

상기 캐비티들 내의 상기 제 1 스트레인 유도 반도체 합금 위에 제 2 스트레인-유도 반도체 합금을 형성하는 단계와, 상기 제2 스트레인-유도 반도체 합금은 상기 제 1 도펀트 농도보다 더 낮은 제 2 도펀트 농도를 갖는 상기 제 1 도펀트 종을 포함하며; 그리고

상기 제 1 도펀트 종의 상기 제 1 및 제 2 도펀트 농도를 근거로 드레인 소스 확장 영역을 형성하기 위해 열처리를 수행하는 단계를 포함하며,

상기 드레인 및 소스 확장 영역은 상기 트랜지스터의 채널 영역에 연결되는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 적어도 제 2 도펀트 종을 도입하는 단계는,

상기 제 1 도펀트 종과 결합하여 드레인 및 소스 영역을 형성하기 위해 제 1 전도도 타입을 갖는 상기 제 2 도펀트 종을 도입하는 단계와, 상기 드레인 및 소스 영역에 대하여 카운터-도핑된 영역을 형성하기 위해 상기 제 1 전도도 타입과 다른 제 2 전도도 타입을 갖는 카운터-도핑된 도펀트 종을 도입하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 4

제1항에 있어서,

상기 적어도 제 2 도펀트 종을 도입하는 단계는,

주입 공정을 수행하는 단계와, 상기 제 1 스트레인-유도 반도체 합금을 형성하는 단계 이전에 결정 손상을 재결정시키도록 제2 열처리를 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 5

제1항에 있어서,

상기 제2 스트레인-유도 반도체 합금을 형성하는 단계는,

버퍼층을 형성하는 단계를 포함하고, 상기 버퍼층보다 위에 확장층을 형성하는 단계를 포함하며, 상기 버퍼층의 도펀트 농도는 상기 확장층의 도펀트 농도보다 적은 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 6

제1항에 있어서,

상기 제2 스트레인-유도 반도체 합금을 형성하는 단계는,

버퍼층을 형성하는 단계를 포함하고, 상기 버퍼층보다 위에 확장층을 형성하는 단계를 포함하며, 상기 버퍼층의 도펀트 농도는 상기 확장층의 도펀트 농도보다 높은 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 7

제1항에 있어서,

상기 제1 및 제2 스트레인-유도 반도체 합금 중 적어도 하나를 형성하는 단계는,

선택적 에피택셜 성장 공정을 수행함으로써 게르마늄-함유 물질을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 8

제1항에 있어서,

상기 제1 및 제2 스트레인-유도 반도체 합금 중 적어도 하나를 형성하는 단계는,

선택적 에피택셜 성장 공정을 수행함으로써 주석-함유 물질을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 9

제1항에 있어서,

상기 제1 및 제2 스트레인-유도 반도체 합금 중 적어도 하나를 형성하는 단계는,

선택적 에피택셜 성장 공정을 수행함으로써 탄소-함유 물질을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 10

트랜지스터의 드레인 및 소스 영역을 형성하는 방법에 있어서, 상기 방법은,

캐비티들을 통해서 상기 트랜지스터의 액티브 영역 내에 제 1 전도도 타입을 갖는 드레인 및 소스 도펀트 종의 제 1 부분을 주입하는 단계;

상기 캐비티들에 스트레인-유도 반도체 합금을 형성하는 단계와, 상기 스트레인-유도 반도체 합금은 상기 캐비티들의 높이 방향에 대하여 그레이드형 농도를 갖는 상기 드레인 및 소스 도펀트 종의 제2 부분을 포함하여, 상기 그레이드형 농도는 높이가 증가함에 따라 감소하며; 그리고

상기 드레인 및 소스 도펀트 종의 상기 제1 및 제2 부분을 근거로 상기 드레인 및 소스 영역의 최종적인 도펀트 프로파일을 형성하기 위해 적어도 하나의 열처리를 수행하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 11

삭제

청구항 12

제10항에 있어서,

상기 스트레인-유도 반도체 합금을 형성하는 단계는,

버퍼층을 형성하는 단계와, 상기 버퍼층보다 위에 확장층을 형성하는 단계를 포함하며, 상기 버퍼층의 도펀트 농도는 상기 확장층의 도펀트 농도보다 높은 것을 특징으로 하는 방법.

청구항 13

제10항에 있어서,

상기 스트레인-유도 반도체 합금은,

탄소, 게르마늄, 및 주석 중 적어도 하나를 포함하는 것을 특징으로 하는 방법.

청구항 14

제10항에 있어서,

상기 스트레인-유도 반도체 합금을 형성하는 단계 이전에 상기 드레인 및 소스 도펀트 종에 대하여 카운터-도핑된 추가 도펀트 종을 주입하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 15

제10항에 있어서,

상기 트랜지스터는 SOI(Silicon-On-Insulator) 구조 상에 형성되며, 상기 드레인 및 소스 도펀트 종의 상기 제1 부분은 상기 SOI 구조의 매립형 절연층까지 연장하도록 주입되는 것을 특징으로 하는 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

발명의 설명

기 술 분 야

[0001] 일반적으로, 본 개시 내용은 집적 회로들에 관한 것이며, 보다 상세하게는 복잡한 도펀트 프로파일들을 가지고, 채널 영역에서 스트레인을 생성하기 위한 실리콘/게르마늄 합금과 같은 스트레인 유도 합금을 포함하는 트랜지스터들에 관한 것이다.

배 경 기 술

[0002] 집적 회로들은 명시된 회로 레이아웃에 따른 정해진 칩 영역 상에서 다수의 회로 소자들을 포함하며, 여기서 전계 효과 트랜지스터들과 같은 트랜지스터들은 스위칭 소자, 전류 및/또는 전압 증폭기로 사용되는 중요한 컴포넌트를 나타낸다. 트랜지스터들은 "액티브(active)" 영역들로서 역할을 하기 위한, 즉 적어도 일시적으로, 제어되는 전류 흐름을 생성하기 위한 전도성 영역들로서 역할을 하기 위한 명시된 기판 위치들에서 형성되는 추가적인 도펀트 물질들로 실질적으로 결정 반도체 영역들에 및 보다 위에 형성된다. 일반적으로, 복수의 공정 기법들이 현재 실시되며, 마이크로프로세서들, 저장 칩들 등과 같은 복잡한 회로에 대해서, MOS 기술은 오퍼레이팅 속도 및/또는 전력 소모 및/또는 비용 효율성을 고려하여 우수한 특성들로 인해 현재 가장 유망한 접근법들 중 하나이다. 예를 들어, MOS 기술을 이용하는 복잡한 집적 회로들의 제조 중에, 수백만 개의 트랜지스터들, 예를 들어 n-채널 트랜지스터들 및/또는 p-채널 트랜지스터들이 결정 반도체 층을 포함하는 기판 상에 형성된다. n-채널 트랜지스터 또는 p-채널 트랜지스터 또는 임의의 다른 트랜지스터 아키텍처가 고려되든 상관없이, 트랜지스터는 고농도로 도핑된 영역들에 인접하게 배치되는 채널 영역과 같은 저농도로 도핑된(lightly doped) 또는 비-도핑된 영역으로, 드레인 및 소스 영역과 같은 고농도로 도핑된 영역들(highly doped regions)의 계면(interface)에 의해 형성되는 이른바 pn-접합들을 포함한다. 전계 효과 트랜지스터의 경우에, 채널 영역의 전도성, 즉 전도성 채널의 구동 전류 용량(drive current capability)은 채널 영역에 인접하게 형성되며 얇은 절연층에 의해 채널 영역과 분리되는 게이트 전극에 의해 제어된다. 게이트 전극으로 적절한 제어 전압의 인가로 인해 전도성 채널의 형성에 대한 채널 영역의 전도성은 도펀트 농도, 전하 캐리어들의 이동성, 및 (트랜지스터 폭 방향으로 채널 영역의 정해진 확장에 대해서) 또한 채널 길이(channel length)라고도 부르는 소스 및 드레인 영역 사이에 거리에 의존한다. 따라서, 채널 영역의 전도성은 MOS 트랜지스터들의 성능에 실질적으로 영향을 준다. 따라서, 채널 길이의 스케일링(및 채널 길이의 스케일링과 함께 관련되는 채널 저항률의 감소)은 채널 길이를 집적 회로들의 오퍼레이팅 속도에서 증가를 달성하기 위한 지배적인 설계 기준으로 만든다.

[0003] 트랜지스터 치수들의 지속적인 감소는 하지만, 트랜지스터들의 치수들을 꾸준히 감소시킴으로써 획득되는 장점들을 지나치게 상쇄시키지 않도록 해결되어야 할 복수의 관련된 문제점들을 수반한다. 예를 들어, 수직 방향으로뿐만 아니라 측면 방향으로, 고도로 정교한 도펀트 프로파일들이 DIBL(drain induced barrier lowering) 등과 같은, 이른바 단채널 효과(short channel effect)들에 대처하기 위해서 원하는 채널 제어성(controllability)과 결합하여, 낮은 시트(low sheet) 및 콘택 저항률을 제공하도록 드레인 및 소스 영역들에서 요구된다. 추가로, 게이트 절연층에 대하여 pn 접합들의 수직 위치는 또한 누설 전류 제어를 고려하여 임계 설계 기준을 나타내며, 채널 길이를 감소시키는 것이 또한 게이트 절연층과 채널 영역에 의해 형성되는 계면에 대하여 드레인 및 소스 영역들의 깊이를 감소시키는 것을 요구함에 따라, 그럼으로써 정교한 주입 기법들을 호출한다.

[0004] 더욱이, 임계 치수들, 예를 들어, 트랜지스터들의 게이트 길이의 지속적인 크기 감소는 앞서-확인된 공정 단계들에 관련한 고도로 복잡한 공정 기법들의 적응과 가능하게는 새로운 개발을 필요하게 만들기 때문에, 예를 들어, 정해진 채널 길이에 대한 채널 영역에서 전하 캐리어 이동성을 증가시킴으로써 트랜지스터 소자들의 디바이스 성능을 또한 향상시키기 위해 제안되어 왔으며, 그럼으로써 다운사이즈된 디바이스들의 미래 기술 노드에의 진전과 비교할 만한 성능 개선을 달성하기 위한 잠재력을 제안하였으며, 디바이스 스케일링과 관련된 많은 앞선 공정 적응들을 방지하였다. 원칙적으로, 적어도 2개의 메커니즘들이 조합 또는 분리하여, 채널 영역에서 전하 캐리어들의 이동성을 증가시키기 위해서 사용될 수 있다. 첫째로, 전계 효과 트랜지스터들에서, 채널 영역 내의 도펀트 농도가 감소될 수 있으며, 그럼으로써 전하 캐리어들에 대한 스캐터링 이벤트들(scattering events)을 감소시키며 따라서 전도성을 증가시킬 수 있다. 하지만, 채널 영역에서 도펀트 농도를 감소시키는 것은 트랜지스터 디바이스의 임계 전압에 상당히 영향을 주며, 그럼으로써 다른 메커니즘들이 원하는 임계 전압을 조정하도록 개발되지 않는 한, 도펀트 농도의 감소를 덜 매력적인 접근법으로 이내 만든다. 둘째로, 채널 영역과 같은 각각의 반도체 영역들에서 격자 구조는 예를 들어, 인장(tensile) 또는 그 안에 압축 스트레인(compressive strain)을 생성함으로써 확장되고/늘어지게 될 수 있으며, 그 결과 각각 전자들 및 정공들에 대한 이동성을 수정하게 된다. 예를 들어, 전류 흐름 방향에 대하여 전계 효과 트랜지스터의 채널 영역에서 단축의 인장 스트레인(uniaxial tensile strain)을 생성하는 것은 전자들의 이동성을 증가시키는바, 이는 전도성에서 해당하는 증가로 즉시 바꿀 수 있다. 다른 한편으로, 채널 영역에서 압축 스트레인은 정공들의 이동성을 증가시킬 수 있으며, 그럼으로써 p-타입 트랜지스터들의 성능을 향상시키기 위한 잠재력을 제공할 수 있다. 집적 회로 제조에 스트레스(stress) 또는 스트레인(strain) 공학 기술의 도입은 추가 디바이스 세대들에 대한 극도로 유망한 접근법이며, 이는 예를 들어, 스트레인드 실리콘이 값비싼 반도체 물질들과 제조 기법들을 요구함이 없이 빠르고 강력

한 반도체 디바이스들의 제조를 가능하게 할 수 있는, "새로운(new)" 타입의 반도체로서 고려될 수 있기 때문이다.

[0005] 결과적으로, 해당하는 스트레인을 가져올 수 있는 압축 스트레스(compressive stress)를 생성하도록 p-채널 트랜지스터들의 드레인 및 소스 영역들에서 실리콘/게르마늄 합금을 도입하기 위해 제안되었다.

[0006] 도 1a 및 1b를 참조하여, 전형적이고 통상적인 접근법들이 단채널 효과들을 감소시키는 것에 대하여 p-채널 트랜지스터들의 성능을 향상시키고, 채널 영역에서 전하 캐리어 이동성을 향상시키고, 드레인/소스 경로의 전체 직렬 저항을 감소시키기 위해 설명될 것이다.

[0007] 도 1a는 실리콘 벌크 기판과 같은 기판(101)을 포함하는 p-채널 트랜지스터(100)의 횡단면도를 도식적으로 나타내며, SOI(silicon on insulator) 기판, 즉 매립형 절연층(buried insulating layer)(도시되지 않음)이 기판(101) 상에 형성될 수 있다. 더욱이, 실리콘층(silicon layer)과 같은 반도체 층(102)이 기판(101)보다 위에 형성되며, 얕은 트렌치 격리들(shallow trench isolations) 등과 같은 격리 구조들(isolation structures)(103)을 포함할 수 있다. 격리 구조들(103)은 트랜지스터(100)와 같은 하나 이상의 트랜지스터 소자들이 형성될 수 있는 곳에 및 보다 위에 "액티브(active)" 영역을 정의할 수 있다. 액티브 영역은 디바이스 요건들에 따라서 전체 전도성을 조정하도록, 예를 들어 트랜지스터 특성들 등을 달성하기 위해 적절한 도펀트 프로파일들을 수신하거나 그 안에 형성되게 하는 반도체 영역으로서 이해되어야 하는 것으로서 인식되어야 한다. 도시된 제조 단계에서, 게이트 전극 구조(gate electrode structure)(104)가 반도체 층(102)보다 위에 형성될 수 있으며, 여기서 게이트 전극 구조(104)의 게이트 절연층(104a)은 폴리실리콘 등과 같은 게이트 전극 물질을 반도체 층(102)에 있는 채널 영역(105)으로부터 분리한다. 더욱이, 나타낸 바와 같이, 게이트 전극 구조(104b)는 실리콘 이산화물 등과 같은 스페이서 소자들(spacer elements)의 형태로 비-전극 물질을 게이트 전극 구조(104b)의 측벽들 상에 형성될 수도 있다. 더욱이, 게이트 전극 구조(104)는 예를 들어, 실리콘 질화물로 구성될 수 있는 스페이서 소자들(107)과 캡층(cap layer)(108)에 의해 캡슐화된다. 더욱이, 리세스들(recesses) 또는 캐비티들(cavities)(106)이 게이트 전극 구조(104)에 측면으로 인접하고, 게이트 전극 구조(104)로부터 오프셋하는 반도체 층(102)에서 형성되며, 여기서 측면의 오프셋(lateral offset)은 스페이서(104b) 및 스페이서(107)의 폭에 의해 실질적으로 결정된다.

[0008] 도 1a에 도시된 바와 같은 트랜지스터(100)를 형성하기 위한 전형적이고 통상적인 공정 흐름은 다음의 공정들을 포함할 수 있다. 격리 구조들(103)을 형성하는 단계 이후에, 반도체 층(102) 내의 적절한 수직의 도펀트 프로파일이 따라서 주입 공정들을 설계되는 것에 의해 정의될 수 있다. 그 이후에, 게이트 전극 구조(104)에 대한 물질 층들, 즉 게이트 유전체 물질 및 전극 물질이 열적 또는 습식 화학적 산화 및/또는 게이트 전극에 대한 증착과 같은 적절한 기법들에 의해 형성될 수 있으며, 흔히 저압 화학 기상 증착(low pressure chemical vapour deposition : LPCVD)이 게이트 전극 물질로서 폴리실리콘을 증착하기 위해 사용될 수 있다. 더욱이, 반사방지 코팅(antireflective coating : ARC)의 일부로 역할을 할 수 있는 캡층(108)에 대한 물질과 같은 추가 물질 층들이 또한 잘-확립된 공정 방안들에 따라서 증착될 수 있다. 결과적으로 층 적층이 그 후 스페이서(104b)의 형성에 뒤따르는, 예를 들어, 열적 산화, 증착 등에 뒤따르는, 개선된 포토리소그래피 및 에칭 기법들에 의해 패터닝될 수 있다. 다음으로, 스페이서 물질이 예를 들어, 필요한 경우, 스페이서 소자들(107)을 획득하기 위해서 잘-확립된 이방성 에칭 기법들에 의해 그 후 패터닝될 수 있는 라이너 물질(liner material)과 결합하여, 증착될 수 있으며, 스페이서 소자들(107)의 폭은 캐비티들(106)의 측면 오프셋(lateral offset)을 실질적으로 결정할 수 있다.

[0009] 전술한 바와 같이, 전류 흐름 방향으로 채널 영역(105)에서 단축의 압축 스트레인이 정공들의 이동성을 상당히 향상시킬 수 있으며, 그럼으로써 p-채널 트랜지스터를 나타낼 때, 트랜지스터(100)의 전체 성능을 향상시킬 수 있다. 원하는 압축 스트레인을 제공하기 위해서, 캐비티들(106)이 스페이서들(107) 및 에칭 마스크와 같은 캡층(108)을 이용하여 잘-확립된 에칭 기법들에 의해 형성될 수 있으며, 여기서 도시된 예시에서 또한 격리 구조들(103)이 에칭 마스크로서 역할을 할 수 있다. 다른 경우들에서, 만일 캐비티들(106)의 측면의 확장이 격리 구조들(103)까지 완전히 확장(연장)하지 못하도록 제한되어야 하면, 추가적인 하드 마스크 층이 제공될 수 있다. 해당하는 에칭 공정 중에, 매립형 절연층이 기판(101)과 반도체 층(102) 사이에 배치될 수 있는 SOI 구성이 고려되면, 또한 층(102)의 템플릿 물질의 소정 양이 유지될 수 있다. 캐비티들(106)은 해당하는 에피택셜한 성장 물질이 스트레인드 상태로 형성될 수 있으며, 그럼으로써 또한 스트레스를 채널 영역(105)까지 행사하며 따라서 그것의 각각의 압축 스트레인을 생성하도록, 실리콘의 격자 상수보다 큰 정상적인 격자 상수를 가지는, 실리콘/게르마늄 합금과 같은 적절한 반도체 물질로 다시 채워질 수 있다. 실리콘/게르마늄 합금 물질들을 증착하기 위한 선택적 에피택셜 성장 기법들(selective epitaxial growth techniques)이 기술 분야에서 잘-확립되어 있으

며, 온도, 압력, 전구체 가스들과 캐리어 가스들의 유량(flow rate)과 같은, 적절히 선택된 공정 파라미터들을 근거로 수행될 수 있으며, 이러한 방식에서 물질의 중요한 증착이 결정 실리콘 표면들에 대해 실질적으로 제한되며 유전체 물질들 상에서 증착이 억제될 수도 있다. 더욱이, 실리콘/게르마늄 물질의 증착 중에, 또한 원하는 도펀트 종이 드레인 및 소스 영역들의 수직 및 측면 프로파일의 요구되는 복잡성에 따라, 드레인 및 소스 영역들에 대한 원하는 베이스 도핑을 획득하기 위해서, 붕소(boron)와 같은 증착 대기(deposition atmosphere)로 통합될 수 있다. 일반적으로, 드레인 및 소스 영역들의 감소된 직렬 저항은 높은 도펀트 농도들을 제공함으로써 달성될 수 있으며, 다른 한편으로 고도로 스케일된 반도체 디바이스들에 대해서, 채널 영역(105) 전체에 걸쳐 발생되는 해당하는 전계가 높은 도펀트 농도들로 게이트 절연층(104a) 내에 전하 캐리어 주입을 증가시킬 수 있으며, 그럼으로써 전형적으로 감소된 도펀트 농도 및 게이트 전극 구조(104)의 부근에서 드레인 및 소스 영역들의 얕은 프로파일을 요구할 수 있다.

[0010] 도 1b는 실리콘/게르마늄 합금(109)이 전술한 바와 같이 캐비티들(106)에서 형성될 수 있고, 스페이스들(107) 및 캡 층(108)이 게이트 전극 구조(104)를 노광하도록 제거될 수 있는, 추가 개선된 제조 단계에서의 트랜지스터(100)를 도식적으로 나타낸다. 원하는 경우, 스페이서들(104b)은 또한 제거될 수 있으며, 적절히 설계된 오프셋 스페이서들에 의해 대체될 수 있는 것으로 인식되어야 한다. 전술한 바와 같이, 트랜지스터 치수들 즉, 도 1b에서 게이트 전극 구조(104)의 수평 치수로 이해되어야 하는 트랜지스터(100)의 게이트 길이가 감소하자마자, 채널 영역(105)의 제어성(controllability)이 일부 통상적인 접근법들에서, 또한, 할로 영역들(halo regions)이라고도 부를 수 있는 카운터-도핑된 영역들(counter-doped regions)(110)을 제공함으로써 부분적으로 대처될 수 있는, 단채널 효과들로 인해 점점더 어려워질 수 있으며, 카운터-도핑된 영역들(110)에서 채널 영역(105) 및 남은 반도체 영역(바디 영역(body region)(102a)이라고도 부름)의 도펀트 농도는 상당히 증가되며, 그럼으로써 얕은 도핑된 드레인 및 소스 영역들을 제공함으로써 형성되어야 하는 해당하는 pn 접합들에서 인터 그레디언트(inter gradient)를 조정한다. 전형적으로, 카운터-도핑된 영역들 또는 할로 영역들(110)은 이온 주입에 의해, 예를 들어 게이트 전극 구조(104)를 갖는 어느 정도의 오버랩을 확립하기 위해서, 경사각(tilt angle)을 이용하여 형성될 수 있다. 하지만, 트랜지스터 치수들을 추가로 스케일링하자마자, 또한 도펀트 농도와 따라서 주입양(implantation dose)이 증가하여야 할 수 있으며, 그럼으로써 또한 도펀트 유도된 전하 캐리어 스캐터링, 도펀트 확산 및 포함된 대량 주입 공정들(high does implantation processes)로 인한 채널 영역(105)의 부근에서 스트레스 완화를 증가시킬 수 있다. 더욱이, 드레인 및 소스 영역들에서 도펀트 농도는 디바이스 성능을 제한하지 않기 위한 드레인 및 소스 영역들의 감소된 직렬 저항을 획득하기 위해서 일반적으로 증가되며, 또한 할로 영역들(110)을 생성하기 위한 주입 공정에 대한 양 및 에너지가 증가하여야 한다. 이것은 증가된 격자 손상 및 더 높은 도펀트 확산으로 인해 실리콘/게르마늄 합금에서 스트레스 완화를 더 증가시킬 수 있다. 정교한 주입 공정들 중에, 더 오래 처리 시간이 할로 영역들(110)의 생성 중에 원하는 대량을 획득하도록 요구될 수 있다. 따라서, 비록 실리콘/게르마늄 물질(109)이 높은 고유 도펀트 농도로서 제공될 수 있을지라도, 그럼에도 불구하고 정교하고 긴 주입 공정들이 할로 영역들(110)을 근거로 게이트 전극 구조(104)의 부근에서 pn 접합들을 조정하기 위해 요구될 수 있다.

[0011] 이전의 주입 공정들에 의해 야기되는 중요한 스트레인 완화로 인해, 이후 제조 단계에서, 즉 주입 유도된 손상을 방지하기 위해서 확장 영역들과 할로 영역들에 대한 도펀트 종을 통합한 이후에, 또한 실리콘/게르마늄 합금을 통합시키는 것이 제안되어왔다. 더욱이, 이러한 방식에 해당하는, 실리콘/게르마늄 합금은 딥 드레인(deep drain)과 소스 영역들에 대한 해당하는 높은 도펀트 농도를 제공하기 위해서 고농도로 도핑되어야 한다. 결과적으로, 고유 스트레인 컴포넌트가 실질적으로 유지될 수 있으며, 따라서 실리콘/게르마늄 합금으로부터 향상된 내부의 스트레인을 제공할 수 있다. 다른 한편으로, 하지만 고농도로 도핑된 실리콘/게르마늄 합금의 측면 거리(lateral distance)가 채널 영역에 대하여 요구될 수 있으며, 이는 점점더 도펀트 원자들이 그 안에 통합될 수 있다면, 적정하게 높은 도펀트 그레디언트가 상당한 도펀트 확산을 가져올 수 있기 때문이며, 그 결과 채널 영역에서 전도성을 감소시킬 수 있다. 어느 정도의 도펀트 확산이 예를 들어, SOI 디바이스들에서 기생 접합 커패시턴스를 감소시키기 위해서 매립형 절연층에 연결하도록, 고농도로 도핑된 드레인 및 소스 영역들의 깊이를 증가시키기 위해서 바람직할 때, 문제점이 더 관련될 수도 있다. 실리콘/게르마늄 물질의 높은 내부의 스트레인 레벨과 채널 영역에 대한 측면 거리 모두가 채널 영역에서 유도되는 전체 스트레인 컴포넌트를 실질적으로 결정하기 때문에, 주입 유도된 완화를 감소시킴으로써 획득되는 장점은 접근법이 오히려 바람직하지 않게 될 수 있도록, 특히 정교한 애플리케이션(application)에 대해서, 딥 드레인 및 소스 영역들이 부분적으로 대폭 감소된 SOI 트랜지스터들을 매립형 절연층까지 연장해야 하도록 인 시츄 도핑된 실리콘/게르마늄 물질의 증가된 오프셋을 요구함으로써 보상될 수 있거나 과잉 보상될 수도 있다. 다른 한편으로, 고농도로 인 시츄 도핑된 실리콘/게르마늄 물질의 오프셋의 감소는 매력적인 접근법을 나타내지 않을 것이며, 이는 상당한 도펀트 확산이 트랜지스

터의 전체 실패를 최종적으로 이끌 수 있는, 누설 전류들을 최종적으로 증가시킬 수 있는, 집적화된 전체 드레인 및 소스 도펀트 프로파일에 기여할 수 있기 때문이다.

발명의 내용

해결하려는 과제

[0012] 앞서 설명된 상황을 고려하여, 본 개시 내용은 향상된 스트레인 효율이 스트레인 유도 반도체 합금들을 근거로 달성될 수 있으며, 앞서 확인된 문제점들 중 하나 이상을 방지하거나 적어도 감소시키는, 방법들 및 트랜지스터 디바이스들에 관한 것이다.

과제의 해결 수단

[0013] 일반적으로, 본 개시 내용은 복잡한 수직 및 측면 도펀트 프로파일들이 원하는 프로파일을 가져올 수 있는 특별히 설계된 인 시츄 도펀트 농도로 제공될 수 있는, 스트레인 유도 반도체 합금을 통합시키기 위한 선택적 에피택셜 성장 공정을 근거로 드레인 및 소스 영역들에서 확립될 수 있는 방법들 및 트랜지스터 디바이스들에 관한 것이다. 이것을 위하여, 인 시츄 도펀트 농도는 드레인/소스 도펀트 종이 에피택셜하게 성장 물질 내의 여러 가지 높이 레벨들에서 여러 가지 농도로 제공될 수 있는 그레이드형 도펀트 프로파일(graded dopant profile)로서 제공될 수 있으며, 여기서 도펀트 확산의 정도가 통상적인 방식들에 비하면 상당히 낮은 온도에서 일반적으로 수행될 수 있는, 하나 이상의 어닐링 공정들에 대한 적절히 선택된 공정 파라미터들과 결합하여 도펀트 종의 수직 분포에 의해 따라서 결정될 수 있다. 본 명세서에 개시되는 다른 양상들에 따르면, 인 시츄 도핑된 반도체 합금이 주입 유도된 손상을 방지하기 위해서 에피택셜 성장 공정 이전에 수행될 수 있는, 하나 이상의 주입 단계들과 유리하게 결합될 수 있으며, 그럼에도 불구하고 전체 도펀트 프로파일을 설계하는 향상된 호환성을 제공한다. 본 명세서에 개시되는 일부 예시적인 실시예들에서, 주입 공정은 해당하는 캐비티들을 통해서 수행될 수 있으며, 그럼으로써 향상된 공정 효율을 제공할 수 있으며, 특히 정교한 반도체 디바이스들에서, 주입 종이 SOI 디바이스의 매립형 절연층에 가깝게 배치되도록 게이트 높이가 충분한 이온 블록킹 능력을 제공할 수 없다. 따라서, 캐비티들을 통해서 드레인/소스 도펀트 종의 적어도 일부를 통합시킴으로써, 상당히 낮은 주입 에너지들이 사용될 수 있으며, 그럼으로써 드레인/소스 도펀트 종을 게이트 전극 구조를 통해서 채널 영역 내에 주입하는 개연성을 방지하거나 적어도 상당히 감소시킬 수 있다.

[0014] 따라서, 정교한 드레인 및 소스 영역들을 제공하기 위한 매우 효율적인 제조 시퀀스가 달성될 수 있으며, 이는 통상적인 기법들에 비하면 드레인 및 소스 영역들을 형성하기 위한 복잡한 스페이서 제조 단계들 및 리소그래피 단계들의 수가 줄어들 수 있기 때문이다.

[0015] 본 명세서에 개시되는 하나의 예시적인 방법은 게이트 유전체 물질, 게이트 유전체 물질 상에 형성되는 전극 물질 및 오프셋 측벽 스페이서를 포함하는, 게이트 전극 구조에 측벽으로 인접한 트랜지스터의 액티브 영역에서 캐비티들을 형성하는 단계를 포함한다. 방법은 캐비티들에서 스트레인 유도 반도체 합금을 형성하는 단계를 더 포함하며, 여기서 스트레인 유도 반도체 합금은 캐비티들의 높이 방향을 따라 변화하는 도펀트 농도를 갖는 도펀트 종을 포함한다. 추가로, 방법은 도펀트 종의 변화하는 도펀트 농도를 근거로 드레인 및 소스 확장 영역들을 형성하도록 열처리를 수행하는 단계를 포함하며, 여기서 드레인 및 소스 확장 영역들은 트랜지스터의 채널 영역에 연결한다.

[0016] 본 명세서에 개시되는 추가 예시적인 방법은 트랜지스터의 드레인 및 소스 영역들을 형성하는 것에 관한 것이다. 방법은 트랜지스터의 액티브 영역 내에 캐비티들을 통해서 드레인 및 소스 도펀트 종의 제1 부분을 주입하는 단계를 포함한다. 추가로, 방법은 캐비티들에 스트레인 유도 반도체 합금을 형성하는 단계를 포함하며, 여기서 스트레인 유도 반도체 합금은 캐비티들의 높이 방향에 대하여 그레이드형 농도를 가지는 드레인 및 소스 도펀트 종의 제2 부분을 포함한다. 최종적으로, 방법은 드레인 및 소스 도펀트 종의 제1 및 제2 부분을 근거로 드레인 및 소스 영역들의 최종적인 도펀트 프로파일을 형성하기 위해서 적어도 하나의 열처리를 수행하는 단계를 포함한다.

[0017] 본 명세서에 개시되는 하나의 예시적인 트랜지스터 디바이스는 채널 영역보다 위에 형성되는 게이트 전극 구조와, 채널 영역에 측면으로 인접한 액티브 반도체 영역에 형성되는 드레인 및 소스 영역들을 포함한다. 더욱이, 트랜지스터 디바이스는 드레인 및 소스 영역들 내에 형성되는 스트레인 유도 반도체 합금을 포함하며, 여기서 스트레인 유도 반도체 합금은 드레인 및 소스 영역들의 높이 방향을 따라 그레이드형 도펀트 농도를 가진다.

도면의 간단한 설명

[0018] 본 개시 내용의 추가 실시예들이 첨부된 특허 청구 범위들에서 정의되고 있으며, 첨부한 도면들을 참조로 한 다음의 상세 설명으로 더욱 분명해질 것이다.

도 1a 및 1b는 통상적인 방식들에 따른 인 시츄 도핑과 후속적인 주입되는 할로 영역들로 에피택셜하게 성장 반도체 합금을 근거로 드레인 및 소스 영역들을 형성하는 다양한 제조 단계들 중에 트랜지스터의 횡단면도들을 도식적으로 나타낸다.

도 2a - 2h는 다양한 제조 단계들 중에, 정교한 드레인 및 소스 도펀트 프로파일이 예시적인 실시예들에 따른 스트레인 유도 반도체 합금의 그레이드형 인 시츄 도핑을 근거로 획득될 수 있는, 트랜지스터의 횡단면도들을 도식적으로 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 개시 내용이 다음의 상세한 설명뿐만 아니라 도면들에 나타낸 바와 같이 실시예들을 참조하여 설명되지만, 다음의 상세한 설명뿐만 아니라 도면들은 개시되는 특정한 실시예들에 대해 본 개시 내용을 제한하는 것으로 의도되어서는 안 되지만, 설명되는 예시적인 실시예들은 본 개시 내용의 다양한 양상들을 단순히 예를 드는 것이며, 본 개시 내용의 범위는 첨부되는 특허 청구 범위들에 의해 정의되는 것으로서 이해되어야 한다.

[0020] 일반적으로, 본 개시 내용은 정교한 드레인 및 소스 도펀트 프로파일들이 주입 공정들과 결합하여 선택적 에피택셜 성장 기법들을 근거로 달성될 수 있는 제조 기법들의 증가되는 복잡성의 문제점을 다룬다. 전체 공정 복잡성의 중요한 감소가 스트레인 유도 반도체 합금(strain inducing semiconductor alloy)에서 그레이드형 인 시츄 도펀트 농도(graded in situ dopant concentration)를 제공함으로써 본 명세서에 개시되는 원리들에 따라 달성될 수 있으며, 스트레인 유도 반도체 합금은 따라서 트랜지스터의 채널 영역에 접근하여 배치될 수 있다. 더욱이, 더 낮은 온도들에서 수행될 수 있는 적절히 설계된 어닐링 공정들과 결합하여, 스트레인 유도 반도체 합금에서 그레이드형 도펀트 프로파일은 드레인 및 소스 영역들의 원하는 측면 및 수직 프로파일을 가져올 수 있으며, 여기서 본 명세서에 개시되는 일부 예시적인 실시예들에서, 추가로 드레인 및 소스 영역들의 깊이가 주입 공정 또는 스트레인 유도 반도체 합금을 실제로 성장하기 이전에 드레인 및 소스 도펀트 종을 통합시키기 위한 임의의 다른 공정을 근거로 별도로 조정될 수 있다. 이러한 목적을 위해서, 하나의 예시적인 실시예에서, 딥 드레인 및 소스 영역들에 대한 드레인 및 소스 도펀트 종은 도펀트 종이 지나치게 높은 주입 에너지들을 요구함이 없이, 액티브 영역 내의 임의의 원하는 깊이에 예를 들어, 매립형 절연층에 대한 계면에 배치될 수 있도록 해당하는 캐비티들을 통해서 통합될 수 있다. 결과적으로, 비록 감소된 게이트 높이가 프린징 커패시턴스(fringing capacitance)의 감소 또는 게이트 전극 구조들에 의해 야기되는 더 적은 임계 표면 지형으로 인해 요구될 수 있더라도, 채널 영역 및 민감한 게이트 유전체 물질들의 완전성(integrity)이 해당하는 주입 공정 중에 보호될 수 있다. 다른 예시적인 실시예들에서, 다른 종이 할로 영역들을 형성하기 위한 카운터 도핑 종(counter doping species) 또는, 스트레인 유도 반도체 합금을 증착하기 이전에 캐비티들을 통해서 수행되는 주입 기법들에 의해 또한 달성될 수 있는 드레인 및 소스 영역의 얕은 영역들에서 에너지 트랩(energy trap)들을 정의하기 위한 종을 예를 들어, 배치함으로써, 트랜지스터의 전체 전자의 특성들을 조정하기 위해 사용될 수 있는 임의의 다른 형식의 물질 종과 같이 통합될 수 있다. 결과적으로, 전체 도펀트 프로파일은 복잡한 스페이서 구성들을 요구함이 없이 게이트 전극 구조의 단일 구성을 근거로 정의될 수 있으며, 그럼으로써 전체 제조 흐름의 감소된 복잡성에 기여할 수 있다. 더욱이, 일부 예시적인 실시예들에서, 딥 드레인 및 소스 영역들뿐만 아니라 할로 영역들과 다른 추가적인 주입 종이 동일한 리소그래피 마스크를 근거로 통합될 수 있으며, 마스킹 단계들의 수는 통상적인 방식들에 비해 감소될 수 있으며, 그럼으로써 또한 감소되고 따라서 비용 효율적인 제조 흐름에 기여할 수 있다. 더욱이, 정교한 스페이서 기법들이 드레인 및 소스 영역들의 도펀트 프로파일을 정의하기 위해 요구될 수 없기 때문에, 금속 실리사이드 영역들을 형성하기 위해 사용될 수 있는 임의의 추가적인 스페이서 소자들이 많은 통상적인 접근법들인 경우일 수도 있음에 따라, 딥 드레인 및 소스 영역들을 정의하기 위한 주입 마스크를 또한 제공하는 것에 대하여 임의의 타협을 필요함이 없이, 실리사이드화 공정의 성능을 향상시키는 것에 대하여 특별히 조정될 수 있다. 본 명세서에 개시되는 원리들이 50nm 이하의 임계 치수들의 트랜지스터 소자들이 제공될 수 있는 정교한 반도체 디바이스들의 맥락에서 매우 유리하게 될 것으로 인식되어야 하며, 이는 여기서 전형적으로 성능 향상 메커니즘이 스트레인 유도 반도체 합금들의 통합과 같이 요구될 수 있고, 동시에 정교한 드레인 및 소스 프로파일들이 전술한 바와 같이 채널 제어성 등을 고려하여 요구될 수 있기 때문이다. 본 명세서에 개시되는 일부 예시적인 실시예들에서, 정교한 제조 흐름 및 결과적인 드레인 및 소스 프로파일들이 개

선된 게이트 구성들과 결합하여 적용될 수 있으며, 이는 높은-k 유전체 물질들을 포함하는 것이 금속-함유 전극 물질들과 결합하여 10.0 또는 더 높은 유전체 상수를 갖는 유전체 물질들로 이해될 수 있기 때문이다. 또한, 이러한 경우에, 중요한 장점들이 예를 들어, 민감한 높은-k 유전체 물질에서 결점들을 생성하는 개연성을 줄일 수 있는 감소된 온도의 어닐링 기법들을 이용함으로써 얻게될 수 있으며, 여기서 추가로 액티브 영역에서 에칭되어야 하는 캐비티들의 오프셋을 정의하기 위해 사용되는 오프셋 스페이서 소자가 추가적인 스페이서 소자들을 요구함이 없이 민감한 높은-k 물질들의 향상된 완전성을 제공할 수 있다.

[0021] 도 2a - 2h를 참조하여, 추가 예시적인 실시예들이 이제 더욱 상세하게 설명될 것이며, 여기서 또한 필요한 경우, 참조는 도 1a 및 1b로 이루어질 수 있다.

[0022] 도 2a는 반도체 디바이스(200)의 횡단면도를 도식적으로 나타내며, 반도체 디바이스(200)는 그레이드형 인 시츄 도펀트 프로파일을 제공하도록 선택적 에피택셜 성장 기법에 의해 드레인 및 소스 영역들에서 반도체 합금을 받아들일 수 있는, p-채널 트랜지스터와 같은 트랜지스터들의 형태로 제공될 수 있다. 디바이스(200)는 기판(substrate)(201)을 포함할 수 있으며, 게르마늄, 탄소, 플루오르 등과 같은 다른 물질들과 가능하게는 결합하여, 실리콘의 상당한 양을 그 안에 통합시키는 물질 층으로 이해될 수 있는, 실리콘-기반의 층과 같은 반도체 층(semiconductor layer)(202)이 기판(201)보다 위에 형성될 수 있다. 더욱이, 도시되는 실시예에서, 매립형 절연층(buried insulating layer)(201a)이 기판(201)과 반도체 층(202) 사이에 제공될 수 있으며, 그럼으로써 예를 들어, 전술한 바와 같이 감소된 접합 커패시턴스에 대하여 유리하게 될 수 있는 SOI 아키텍처를 형성할 수 있다. 다른 예시적인 실시예들(도 2a에 도시되지 않음)에서, 매립형 절연층(201a)은 예를 들어, 도 1a 및 1b의 트랜지스터(100)를 참조하여 설명되는 것처럼, 생략될 수 있다. 더욱이, 디바이스(200)는 게이트 전극 구조(gate electrode structure)(204)를 포함할 수 있으며, 게이트 전극 구조(204)는 폴리실리콘, 금속-함유 물질들 등과 같은 임의의 적절한 전도성 물질의 형태로 게이트 전극 물질(204c)을 포함할 수 있다. 예를 들어, 정교한 반도체 디바이스들에서, 향상된 전도성이 조기의 제조 단계에서 폴리실리콘과 같은 다른 물질들과 가능하게는 결합하여 제공될 수 있는, 금속-함유 물질을 제공함으로써 달성될 수 있게 요구될 수 있다. 예를 들어, 가능하게는 추가적인 종과 결합하여, 티타늄 질화물과 같은 해당하는 금속-함유 전극 물질이 실리콘 이산화물, 실리콘 산화질화막(silicon oxynitride), 실리콘 질화물 등과 같은 임의의 적절한 유전체 물질의 형태로 제공될 수 있는 게이트 절연층(204a) 상에서 형성되도록 물질(204c)로 제공될 수 있으며, 여기서 두께는 전술한 바와 같이 게이트 전극 구조(204)의 길이에 적응되어야 할 수 있다. 일부 경우들에서, 게이트 절연층(204a)에서, 높은-k 유전체 물질이 층(204a)에 포함될 수 있으며, 그럼으로써 통상적인 유전체 물질들에 비하면 감소된 누설 전류들로 채널 영역(205)의 향상된 제어성을 제공할 수 있다. 예를 들어, 게이트 절연층(204)은 하프늄 산화물(hafnium oxide), 하프늄 지르코늄 산화물(hafnium zirconium oxide) 등과 같은 물질들을 포함할 수 있으며, 추가로 금속-함유 물질은 층(204a) 상에 형성될 수 있으며, 그럼으로써 흔히 폴리실리콘 물질을 근거로 형성되는 게이트 전극들에서 관찰될 수 있는 것과 같이, 공핍 지역(depletion zone)의 생성을 실질적으로 방지할 수 있다. 예시적인 실시예들에서, 게이트 길이, 즉 204L로 표시되는 바와 같이 전극 물질(204c)의 길이는 약 50nm 이하일 수 있는 것으로 인식되어야 하며, 이는 전형적으로 이러한 애플리케이션들에 대해서, 정교한 드레인 및 소스 프로파일들이 이미 앞서 논의된 바와 같이 추가적인 성능 향상 메커니즘들과 결합하여 요구될 수 있기 때문이다. 더욱이, 도시된 실시예에서, 게이트 전극 구조(204)는 오프셋 스페이서 소자(offset spacer element)(204b)를 포함할 수 있으며, 오프셋 스페이서 소자(204b)는 실리콘 질화물 등과 같은 임의의 적절한 물질로 구성될 수 있으며, 여기서 스페이서(204b)의 폭은 반도체 층(202)에서 즉, 디바이스(200)의 해당하는 액티브 영역(202a)에서 게이트 전극 구조(204)에 측면으로 인접하게 형성되어야 하는 캐비티들의 측면 오프셋을 실질적으로 결정할 수 있다. 따라서, 스페이서 소자(204b)는 캡 물질(cap material)(204d)과 결합하여, 전극 물질(204c) 및 게이트 절연층(204a)의 완전성을 보호할 수 있다. 예를 들어, 높은-k 유전체 물질들은 복수의 습식 화학적 에칭 공정들, 예를 들어 오염 물질들 등을 제거하기 위해 요구될 수 있는 플루오르화수소산(hydrofluoric acid) 등을 포함하는 공정들 중에, 두드러진 민감성을 나타낼 수 있다. 따라서, 스페이서 소자(204b)는 게이트 절연층(204a)을 캡슐화할 수 있고, 액티브 영역(202a)에서 해당하는 캐비티들을 형성하기 위한 후속적인 공정 중에 높은 에칭 저항률을 추가로 제공할 수 있다. 더욱이, 실리콘 질화물 등으로 구성될 수 있는 캡 층(204d)은 후속적인 공정 중에 에칭 마스크 및 성장 마스크로 역할을 할 수 있다.

[0023] 디바이스(200)의 임의의 제조 기법들 및 특성들에 대하여, 그것은 또한 디바이스(100)를 참조하여 주어진 해당하는 설명에 대해 참조될 수 있으며, 여기서 캡 물질(204d) 및 오프셋 스페이서(204b)는 추가적인 공정 요건들을 따르도록 물질 구성 및 두께의 관점에서 적절히 선택될 수 있다. 예를 들어, 캡 층(108)(예를 들어, 도 1a)을 참조하여 앞서 논의된 바와 같이, 캡 물질(204d)은 게이트 전극 물질(204c)의 적어도 일부에 따라 패터닝될 수 있으며, 여기서 패터닝 시퀀스는 전극 물질(204d)의 구성에 의존할 수 있다. 예를 들어, 정교한 게이트 전극

구조들이 고려될 때, 적절한 금속 종이 예를 들어 폴리실리콘 물질과 결합하여 증착될 수 있다. 비슷하게, 게이트 절연층(204a)은 임의의 적절한 제조 기법을 근거로 제공될 수 있다. 그 이후에, 스페이서 물질이 고밀도 물질 및 잘 제어되는 두께(well controlled thickness)를 획득하도록 열에 의해 활성화된 CVD 기법들에 의해 증착될 수 있다. 그 이후에, 스페이서 층이 잘-확립된 이방성 에칭 기법들을 근거로 패터닝될 수 있으며, 그럼으로써 추가 공정에 적합한 요구되는 에칭 저항률 및 폭을 갖는 스페이서(204b)를 획득할 수 있다. 예를 들어, 스페이서(204b)는 영역(202a)에 형성되어야 하는 캐비티의 원하는 오프셋에 따라, 대략 1nm에서 몇몇 나노미터들까지의 폭을 가질 수 있다.

[0024] 도 2b는 에칭 앰비언트(etch ambient)(211)에 노광될 때 반도체 디바이스(200)를 도식적으로 나타내며, 에칭 앰비언트(211)는 게이트 전극 구조(204) 및 또한, 격리 구조(203)에 대해 선택적으로 영역(202a)의 물질을 제거하기 위해서, 에칭 화학 물질을 이용하는 플라즈마 보조 앰비언트(plasma assisted ambient)를 근거로, 예를 들어, 플루오르(fluorine), 염소(chlorine) 등을 근거로 확립될 수 있으며, 여기서 하지만 해당하는 에칭 저항률(etch resistivity)이 캡 층(204d) 및 스페이서(204b)에 비하면 두드러지게 적을 수 있다. 에칭 공정 중에, 캐비티들(206)이 스페이서(204b) 및 에칭 공정의 에칭 파라미터들에 의해 실질적으로 결정되는 전극 물질(204c)에 대하여 측면 오프셋으로 형성될 수 있다.

[0025] 도 2c는 하나 이상의 도펀트 종을 캐비티들(206)을 근거로 영역(202a) 내에 도입하기 위해서 하나의 예시적인 실시예에 따른 이온 주입 시퀀스(212) 중에 디바이스(200)를 도식적으로 나타낸다. 하나의 예시적인 실시예에서, 주입 공정(212)은 214d로 표시될 수 있는 드레인 및 소스 도펀트 종의 일부를 도입하기 위한 주입 단계를 포함할 수 있으며, 이 드레인 및 소스 도펀트 종의 일부는 딥 드레인 및 소스 영역들에 일치할 수 있으며, 원하는 경우 최종적으로 원하는 프로파일이 어느 정도의 도펀트 확산을 야기하는 하나 이상의 추가 열 처리들(heat treatments)을 근거로 확립될 수 있다. 나타낸 바와 같이, 딥 드레인 및 소스 종(214d)을 통합시키기 위한 실제의 침투 깊이는 적정하게 낮은 주입 에너지가 적용될 수 있도록 캐비티들(206)의 존재로 인해 상당히 감소될 수 있으며, 그럼에도 불구하고 목표 깊이까지 예를 들어, 적어도 매립형 절연층(201a)까지 확장(연장)할 수 있도록 종(214d)을 증착시킨다. 적정하게 낮은 주입 에너지로 인해, 게이트 전극 구조(204)의 이온 블록킹 능력은 일반적으로 감소된 게이트 높이들이 게이트 전극(204)의 감소된 프린징 커패시턴스를 고려하고 또한 더 적은 두드러진 표면 지형을 고려하여 유리하게 될 수 있게 사용될 수 있도록 채널 영역(205)의 완전성을 믿을 수 있게 제공할 수 있다. 더욱이, 주입 시퀀스(212)는 적절한 경사각을 근거로 달성될 수 있는 카운터 도핑된 또는 할로 영역(210)을 정의하도록 도펀트 종, 예를 들어 카운터 도핑 종(counter doping species)을 통합시키기 위한 하나 이상의 추가적인 주입 단계들을 포함할 수 있으며, 여기서 할로 영역들(210)의 대칭적인 또는 비대칭적인 구성이 전체 디바이스 요건들에 따라 적용될 수 있다. 나타낸 바와 같이, 또한 이 경우에, 적정하게 낮은 침투 깊이가 요구될 수 있으며, 따라서 해당하는 감소된 주입 에너지들이 사용될 수 있다. 일부 예시적인 실시예들에서, 주입 시퀀스(212)는 또한 비정질화 주입(amorphization implantation)을 포함할 수 있으며, 비정질화 주입은 할로 영역(210)에 대한 카운터 도핑 종의 통합 중에 해당하는 채널링 효과들이 부적절하게 고려될 때, 경사 주입 공정(tilted implantation process)으로 수행될 수 있다. 따라서, 이 경우에, 특정한 부분이 비정질화(amorphized) 수 있으며, 그럼으로써 할로 영역들(210)을 정의하기 위한 도펀트 투입의 균일성을 향상시킬 수 있다. 캐비티들(206)의 하부에서 물질의 중요한 비정질화(amorphization)는 적절한 경사각을 이용함으로써 방지될 수 있는 것으로 인식되어야 한다. 더욱이, 주입 시퀀스(212)는 하나 이상의 추가적인 주입 단계들을 포함할 수 있으며, 이 하나 이상의 추가적인 주입 단계들에서 플루오르, 탄소 등과 같은 임의의 다른 적절한 종이 디바이스(200)의 전체 전자 특성들에 따라, 얕은 주입 영역(shallow implantation region)(213)을 정의하기 위해서 도입될 수 있다. 따라서, 딥 드레인 및 소스 종(214d), 할로 영역(210), 임의의 추가 얕은 주입 종 및, 가능하게는 해당하는 비정질화 과정은 주입 마스크의 변화를 요구함이 없이 또는 추가적인 스페이서 소자들 없이 수행될 수 있으며, 그럼으로써 전체 향상된 제조 및 따라 비용 효율 공정 기법에 기여할 수 있다.

[0026] 도 2d는 일부 예시적인 실시예들에 따른 반도체 디바이스(200)를 도식적으로 나타내며, 일부 예시적인 실시예들에서 열처리(215)는 214s로 표시되는 바와 같이 주입 유도된 손상이 후속적인 선택적 에피택셜 성장 공정 중에 부적절하게 고려될 수 있을 때 적용될 수 있다. 다른 경우들에서, 이전의 비정질화가 재결정될(recrystallized) 수 있으며, 그럼으로써 또한 다소 도펀트 종을 활성화시킬 수 있다. 열처리(215)가 레이저 어닐링, 섬광 어닐링(flashlight anneal) 등과 같은 잘-확립된 기법들을 이용하는 임의의 적절한 공정 파라미터들을 근거로 수행될 수 있는 것으로 인식되어야 한다. 예를 들어, 원하는 경우, 적절한 공정 파라미터들이 재결정화가 중요한 도펀트 확산을 유도함이 없이 발생할 수 있게 선택될 수 있다. 다른 경우들에서, 열처리(215)는 해당하는 주입 유도된 손상이 관련있게 되는 것으로 고려될 때 이 제조 단계에서 생략될 수 있다. 주입 시퀀스(212) 이후에 또는 열처리(215) 이후에, 디바이스(215)가 후속적인 선택적 에피택셜 성장 공정을 위해 준비될 수 있다. 이러한 목

적을 위해서, 임의의 적절한 습식 화학적 세정 공정들(wet chemical cleaning processes)이 수행될 수 있으며, 여기서 민감한 높은-k 유전체 물질로 구성되면, 스페이서(204b)가 게이트 절연층(204a)의 완전성을 보호할 수 있다.

[0027] 도 2e는 선택적 에피택셜 성장 공정(216a) 중에 반도체 디바이스(200)를 도식적으로 나타내며, 선택적 에피택셜 성장 공정(216a) 중에 스트레인 유도 반도체 물질(209a)이 캐비티들(206) 내에서 성장될 수 있다. 공정(216a) 중에, n-타입 종 또는 p-타입 종과 같은 적절한 도펀트 종이 인 시츄 도핑된 물질과 같은 물질(209a)을 형성하기 위해서 증착 앰비언트로 통합될 수 있다. 이러한 목적을 위해서, 잘-확립된 증착 방안들이 또한 전술한 바와 같이 사용될 수 있다. 예를 들어, 물질(209a)은 디바이스(200)가 압축 스트레인 컴포넌트를 요구할 때 실리콘/게르마늄 합금을 나타낼 수 있다. 다른 경우들에서, 실리콘/게르마늄 합금이 증착될 수 있으며, 여전히 다른 경우들에서 실리콘/주석 혼합물(silicon/tin mixture)이 원하는 압축 스트레인 컴포넌트를 획득하기 위해서 형성될 수 있다. 다른 예시적인 실시예들에서, 트랜지스터(200)가 인장 스트레인 컴포넌트를 요구할 수 있을 때, 물질(209a)이 실리콘/탄소 합금의 형태로 제공될 수 있다. 따라서, 호환성의 높은 정도는 전체 스트레인 컴포넌트에 상당히 영향을 줄 수 있는 적절한 물질 조성물을 선택함으로써 그리고 또한 적절한 도펀트 농도를 선택함으로써 획득될 수 있다. 예를 들어, 층(209a)의 농도가 이전의 딥 드레인 및 소스 종(214d)과 결합하여, 원하는 전체 도펀트 농도를 확립하도록 적정하게 높게 선택될 수 있다. 후속적인 단계에서 또는 별도의 단계에서, 216b로 표시되는, 추가 물질 층(209b)이 증착될 수 있으며, 여기서 적어도 도펀트 농도는 층(209a)에서의 농도와 비교하여 서로 다를 수 있다. 예를 들어, 감소된 도펀트 농도(209)가 층(209b)이 "버퍼(buffer)" 층으로 역할을 할 수 있도록 제공될 수 있다. 다른 경우들에서, 물질(209a)이 원하는 최종적인 드레인 및 소스 프로파일에 따라, 층(209b)에 비하면 감소된 도펀트 농도로 제공될 수 있다. 따라서, 도펀트 농도가 증착 페이즈들(phases) 또는 단계들(216a, 216b)의 여러 가지 공정 파라미터들로 인해 높이 방향(height direction)(206h)을 따라 달라질 수 있다. 도펀트 농도의 해당하는 변화는 해당하는 공정 파라미터들에 의존하여, 방향(206h)을 따라 1 nm 이하 이내임이 인식되어야 한다. 이 경우에, 도펀트 농도의 다소의 단계적 변화(step-like variation)가 획득될 수 있고, 다른 경우들에서는 덜 두드러진 변환이 발생할 수 있으며, 그럼에도 불구하고 농도의 해당하는 변화는 방향(206h)을 따라 층들(209a, 209b) 내에서 신뢰성 있게 검출될 수 있다. 도펀트 농도의 해당하는 변화는 또한 그레이드형 도펀트 농도(graded dopant concentration)라고도 칭해질 수 있음이 인식되어야 한다.

[0028] 도 2f는 추가 선택적 주입 공정 또는 단계 중에 반도체 디바이스(200)를 도식적으로 나타내며, 추가 선택적 주입 공정 또는 단계에서 최종 또는 확장 층(209c)이 이후의 제조 단계에서 수행되어야 하는 하나 이상의 열 처리들과 결합하여 드레인 및 소스 확장 영역들을 제공하기 위해서 적절한 인 시츄 농도로 제공될 수 있다. 인 시츄 도핑에 더하여, 또한 적절히 고려되는 경우, 물질 조성물이 층들(209b, 209a)에 대하여 수정될 수 있는 것으로 인식되어야 한다. 결과적으로, 2개 이상의 증착 공정들(216a, 216b, 216c)을 근거로 하여, 스트레인 유도 반도체 물질의 에피택셜 성장 층들의 임의의 적절한 수가 형성될 수 있으며, 여기서 이러한 층들 중 적어도 일부에서 여러 가지 인 시츄 도핑이 임의의 후속적인 열처리들과 결합하여 복잡한 드레인 및 소스 도펀트 프로파일을 형성하기 위한 요건들을 따르도록 제공될 수 있다. 따라서, 스트레인 유도 반도체 물질의 2개 층들 또는 3개 이상의 층들이 제공될 수 있으며, 다른 경우들에서 인 시츄 도펀트 농도의 다소 연속적인 변화가 적용될 수 있는 것으로 인식되어야 한다. 따라서, 통상적인 접근법들에 반해서, 높이 방향(206h)을 따라 상당히 비-일정한(non-constant) 인 시츄 도펀트 농도가 최종적인 도펀트 프로파일이 결정되는 중에 후속적인 열처리를 위한 적절한 시작 조건들을 제공하기 위해서 사용될 수 있다.

[0029] 도 2g는 예를 들어 레이저 어닐링 공정, 섬광 어닐링 공정 등의 형태로 열처리(217)를 당하게 될 때 반도체 디바이스(200)를 도식적으로 나타내며, 열처리(217)에서 적절한 공정 파라미터들이 드레인 및 소스 도펀트 종(214d)과 층들(209a, 209b, 209c)에 통합되는 다양한 소스 도펀트 종을 근거로 드레인 및 소스 영역들(214)을 확립하기 위해서 도펀트 확산의 원하는 정도를 획득하도록 적용될 수 있다. 확산 행동은 또한 공정(217) 중에 드레인 및 소스 영역들(214)에 대한 해당하는 최종적인 도펀트 프로파일이 획득될 수 있도록 해당하는 할로 또는 카운터 도핑된 영역들을 형성하는 이전의 주입된 종(210)에 의존할 수 있는 것으로 인식되어야 한다. 예를 들어, 각각의 확장 영역들(extension regions)(214e)은 채널 영역(205)의 지나친 투입을 방지하도록 적절한 도펀트 농도를 포함할 수 있는 층(209c)을 근거로 획득될 수 있다. 더욱이, 적절한 측면의 형상이 버퍼층으로서 역할을 할 수 있는 층(209b)에서 인 시츄 도핑 레벨을 상응하게 조정함으로써 획득될 수 있으며, 층(209a)이 종(214d)과 결합하여 딥 드레인 소스 영역을 제공할 수 있다. 하나 이상의 추가적인 열처리들이 전체 공정 및 디바이스 요건들에 따라, 스트레인 유도 반도체 합금(209a, 209b, 209c)을 제공한 이후에 임의의 적절한 제조 단계에서 수행될 수 있다. 더욱이, 일반적으로 열처리(217)는 감소된 공정 온도들에서 수행될 수 있으며, 이는 주입 유도된 손상의 두드러진 재결정화가 요구될 수 없기 때문이다. 따라서, 물질들(209a, 209b, 209c)이 실질적

으로 비-손상된 상태에서 제공될 수 있으며, 그럼으로써 채널 영역(205) 내에 높은 스트레인 전송 효율성을 획득하며, 여기서 또한 스페이서 소자(204b)에 의해 정의되는 원하는 감소된 오프셋이 높은 스트레인 유도 효율성에 기여할 수 있다. 결과적으로, 드레인 및 소스 영역들(214)이 전형적으로 통상적인 방식들에서 요구될 수 있음에 따라, 복잡한 스페이서 구조들 및 복수의 마스킹 단계들을 요구함이 없이 제조 시퀀스를 근거로 제공될 수 있다.

[0030] 어닐링 공정(217) 이전 또는 이후에, 오프셋 스페이서(204b)가 마스크 층(204d)과 결합하여 예를 들어, 잘-확립된 습식 화학적 에칭 방안들 등을 근거로 제거될 수 있다. 그 이후에, 추가 공정이 예를 들어, 필요한 경우, 스페이서 소자를 형성함으로써 그리고 실리사이드화 공정을 수행함으로써 계속될 수 있다. 따라서, 이전 공정 시퀀스 중에, 스페이서(204b)가 게이트 절연층(204b) 및 게이트 전극 물질(204c)의 완전성을 믿을 수 있게 보호할 수 있고, 희석된 플루오르화 수소산(diluted hydrofluoric acid)과 같은 임계 습식 화학적 에칭 방안에 대한 노광이 방지될 수 있는 제조 단계에서 제거될 수 있다.

[0031] 도 2h는 스페이서 구조(218)를 갖는 디바이스(200)를 도식적으로 나타내며, 스페이서 구조(218)는 채널 영역(205)에 대하여 금속 실리사이드 영역들(219)의 오프셋(219d)을 조정하도록 적절한 폭을 가질 수 있다. 스페이서 구조(218)는 에칭 정지 물질 등과 같은 가능하게는 실리콘 이산화물과 결합하여, 실리콘 질화물과 같은 임의의 적절한 물질로 구성될 수 있다. 더욱이, 폴리실리콘 물질로 구성될 때, 금속 실리사이드 영역(metal silicide region)(204s)이 전극 물질(204c)에서 형성될 수 있다. 다른 경우들에서, 물질(204s)이 예를 들어, 고도로 전도성 물질에 의해 전극 물질(204c)의 적어도 일부를 대체함으로써, 이후의 제조 단계에서 제거될 수 있다. 스페이서 구조(218)가 예를 들어, 실리사이드화 공정 중에 야기될 수 있는, 채널 영역(205)을 향하여 도펀트들의 지나친 "전달(transfer)"을 방지함으로써, 향상된 트랜지스터 성능을 제공하도록 오프셋(219)을 획득하도록 선택되었던 목표 폭을 근거로 제공될 수 있는 것으로 인식되어야 한다. 따라서, 스페이서 구조(218)의 특성들이 실리사이드화 공정의 파라미터들 및 니켈, 백금, 코발트 등과 같이 사용되는 해당하는 물질들을 처리하기 위해서, 적용될 수 있으며, 그럼으로써 또한 향상된 전체 트랜지스터 성능에 기여할 수 있다. 원하는 경우, 스페이서 구조(218)는 예를 들어, 완성된 트랜지스터 구조보다 위에 증착될 수 있는 임의의 유전체 물질의 향상된 스트레스 전달을 고려하여, 금속 실리사이드 영역들(219)을 형성한 이후에 제거될 수 있으며, 그럼으로써 채널 영역(205)에 아주 가까운 고도로 스트레스된 유전체 물질의 증가된 양의 증착을 가능하게 할 수 있다.

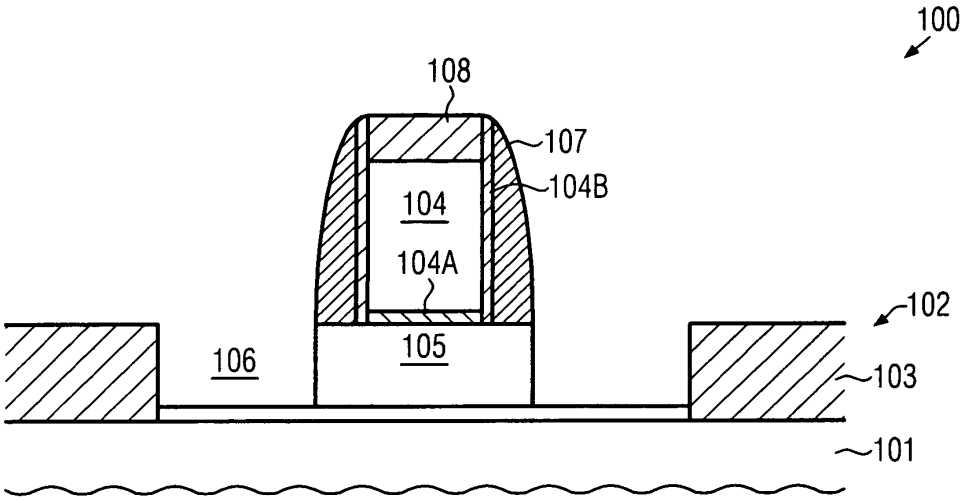
[0032] 결과적으로, 트랜지스터(200)는 우수한 결정 상태에 있는 스트레인 유도 물질(209a, 209b, 209c)을 포함할 수 있으며, 그럼으로써 스트레인 유도 합금의 물질 조성물에 따라, 압축 컴포넌트 또는 인장 컴포넌트와 같은 높은 스트레인 컴포넌트(205c 또는 205t)를 유도할 수 있다. 더욱이, 물질들(209a, ... , 209c)에서 그레이드형 인시츄 도펀트 농도는 드레인 및 소스 영역들(214)의 원하는 측면 및 수직 프로파일을 가져올 수 있으며, 그럼으로써 물질들(209c, 209b, 209a)이 또한 우수한 스트레인 전달 효율성에 기여할 수 있는 채널 영역(205)에 아주 가깝게 배치되게 할 수 있다.

[0033] 결과적으로, 본 개시 내용은 그레이드형 도펀트 프로파일이 에피택셜하게 성장 스트레인 유도 반도체 물질로 확립될 수 있는 것과 마찬가지의 것을 형성하기 위한 반도체 디바이스들 및 기법들을 제공하며, 에피택셜하게 성장 스트레인 유도 반도체 물질은 따라서 결과적인 도펀트 프로파일과 타협함이 없이 채널 영역에 아주 가깝게 배치될 수 있다. 더욱이, 추가적인 주입 종이 스트레인 유도 반도체 합금의 에피택셜 성장 이전에 통합될 수 있으며, 여기서 해당하는 캐비티들의 존재는 향상된 주입 조건들을 제공할 수 있다. 드레인 및 소스 도펀트 프로파일들이 정교한 트랜지스터 소자들을 형성하는 상당히 감소된 복잡성에 기여할 수 있는 복잡한 스페이서 구조들을 요구함이 없이 획득될 수 있다.

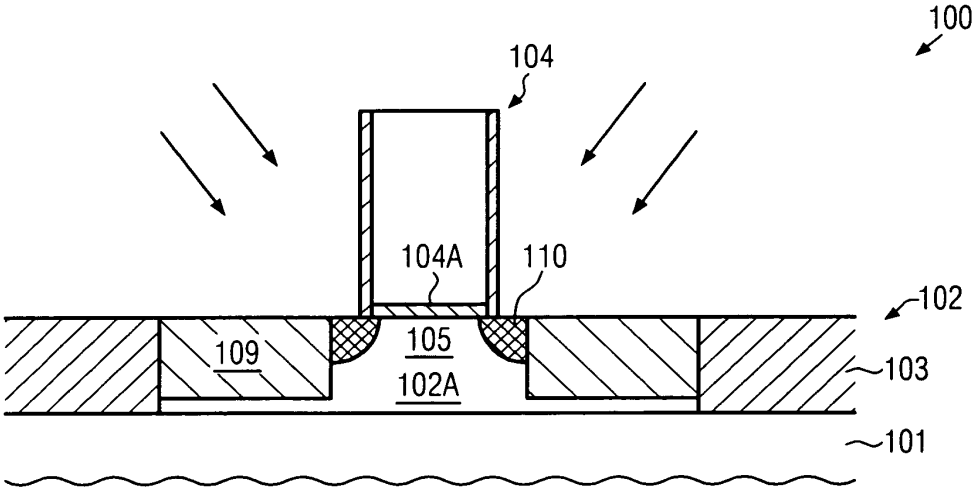
[0034] 본 개시 내용의 추가적인 수정들 및 변형들이 본 설명을 고려하여 당업자에게 명백해질 것이다. 따라서, 본 설명은 단지 예시적인 것이며, 본 명세서에서 개시되는 원리들을 수행하는 일반적인 방법을 당업자에게 설명하기 위한 것으로 해석되어야 한다. 이해될 사항으로써, 본 명세서에서 설명되는 형태들은 현재 바람직한 실시예들로서 개시되었다.

도면

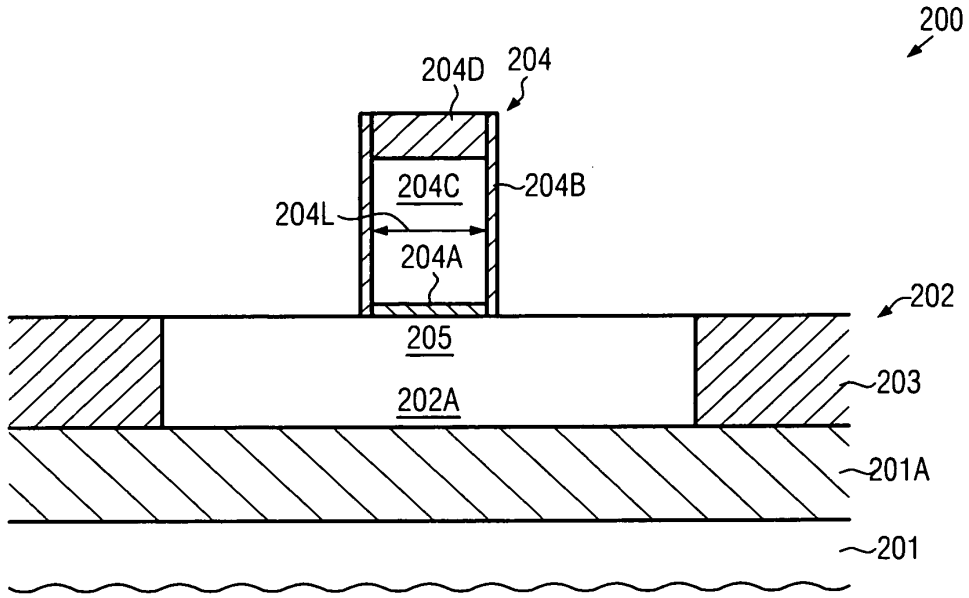
도면1a


100
108
107
104B
104
104A
102
106
105
103
101

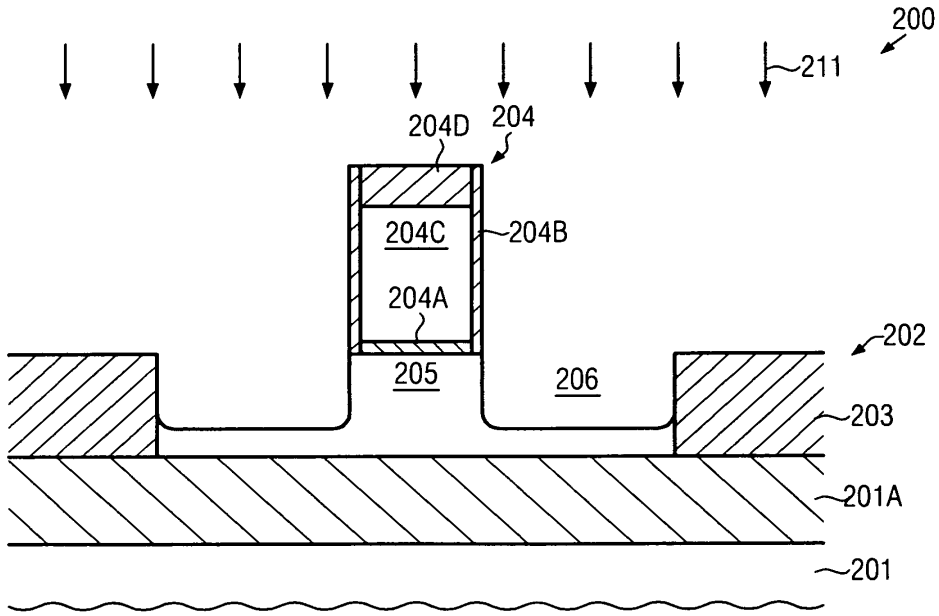
도면1b


100
104
104A
110
102
109
105
102A
103
101

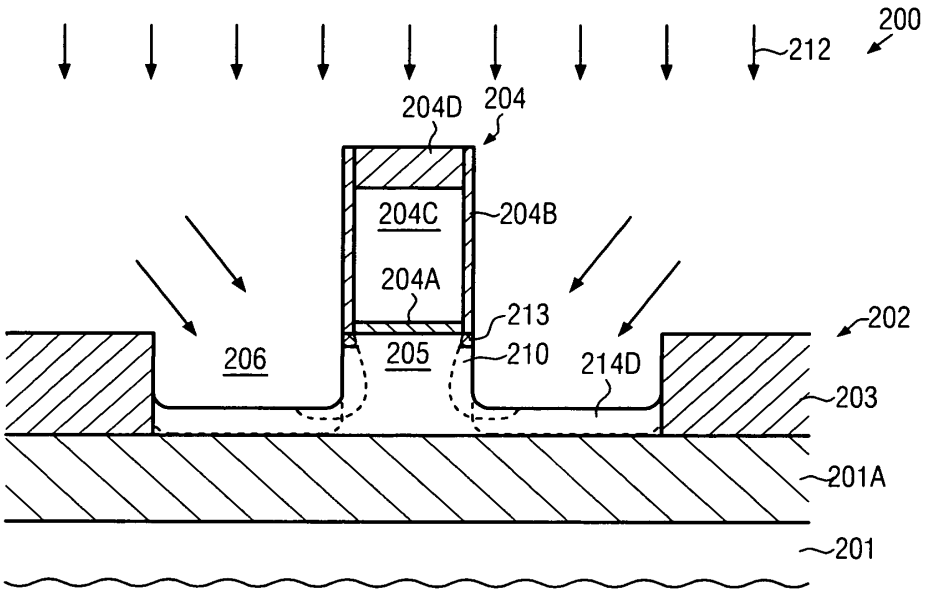
도면2a


200
204D
204
204C
204B
204L
204A
202
205
202A
203
201A
201

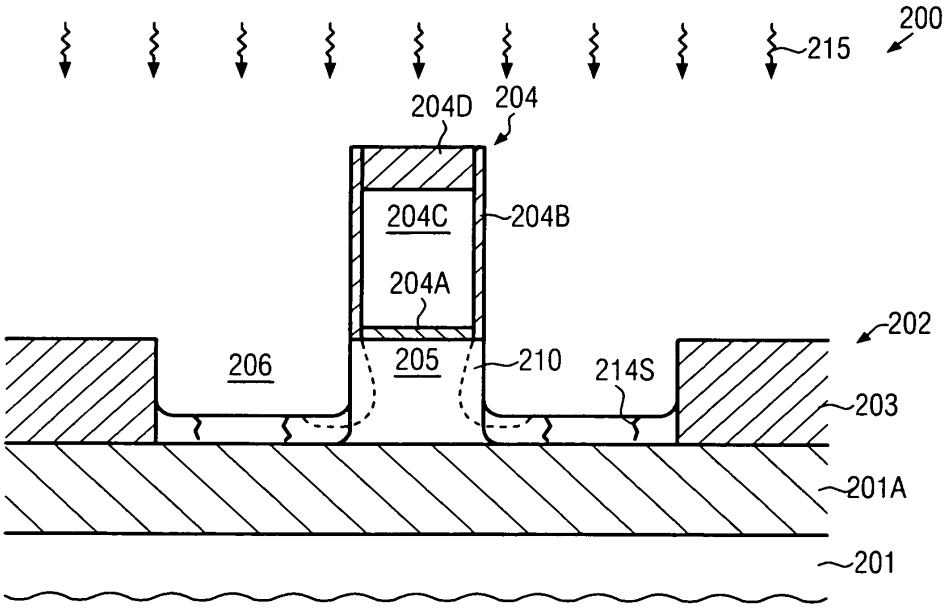
도면2b


200
211
204D
204
204C
204B
204A
202
205
206
203
201A
201

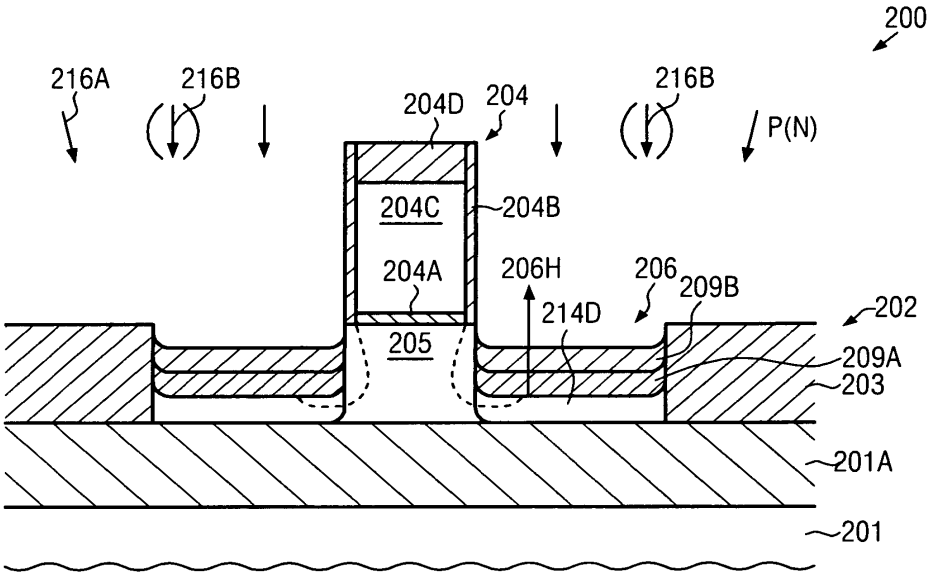
도면2c


200
212
204D
204
204C
204B
204A
213
202
206
205
210
214D
203
201A
201

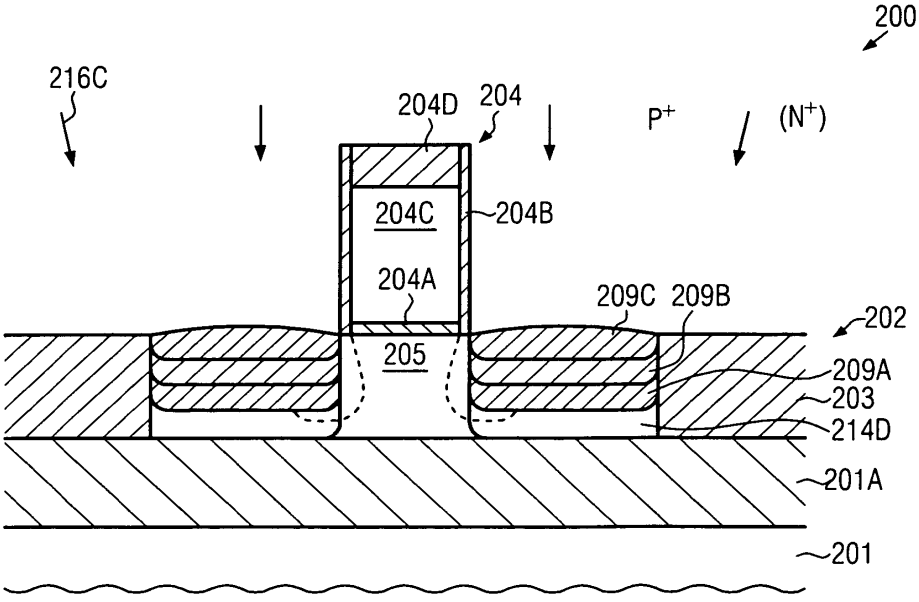
도면2d


200
215
204D
204
204C
204B
204A
202
206
205
210
214S
203
201A
201

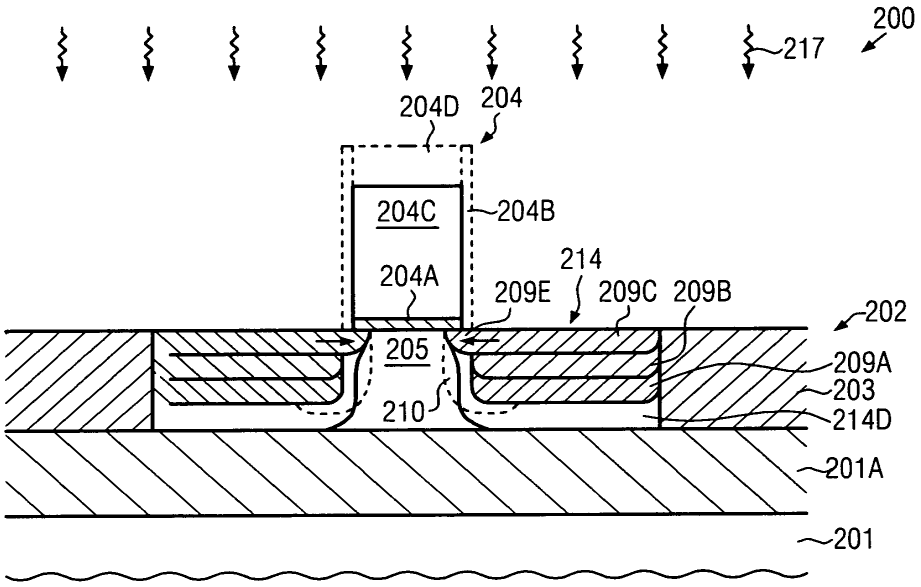
도면2e


200
216A
216B
204D
204
216B
P(N)
204C
204B
204A
206H
206
209B
214D
202
205
209A
203
201A
201

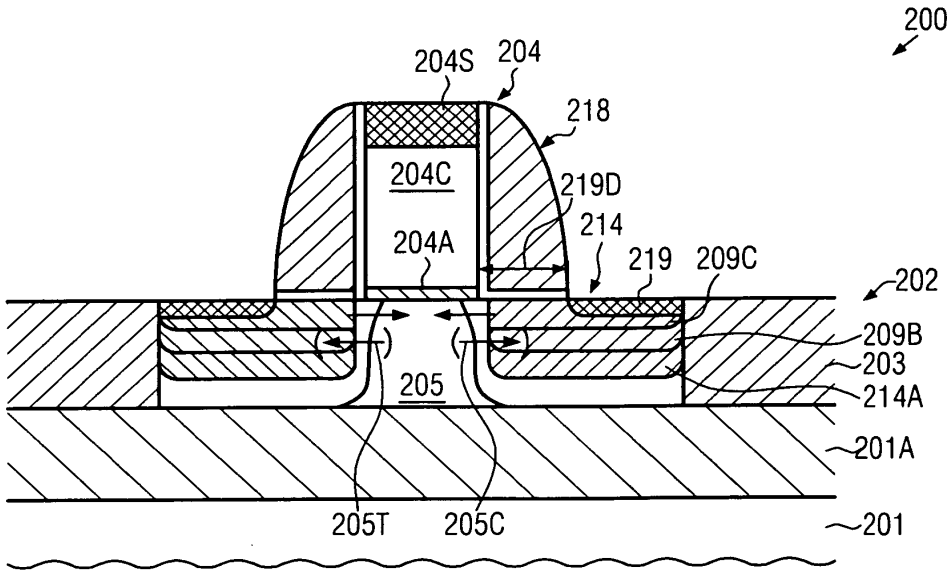
도면2f


200
216C
204D
204
P+
(N+)
204C
204B
204A
209C
209B
202
205
209A
203
214D
201A
201

도면2g


200
217
204D
204
204C
204B
204A
214
209E
209C
209B
202
205
209A
210
203
214D
201A
201

도면2h


200
204S
204
218
204C
219D
214
204A
219
209C
202
209B
203
205
214A
201A
205T
205C
201