



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년05월21일
(11) 등록번호 10-0898852
(24) 등록일자 2009년05월14일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0114865
(22) 출원일자 2007년11월12일
심사청구일자 2007년11월12일
(65) 공개번호 10-2008-0043247
(43) 공개일자 2008년05월16일

(30) 우선권주장

JP-P-2006-00306853 2006년11월13일 일본(JP)

(56) 선행기술조사문헌

KR1020060060937 A*

JP11097705 A*

KR1020060020475 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 히타치 디스프레이즈
일본국 치바켄 모바라시 하야노 3300

(72) 발명자

노다 다케시
일본 지바켄 모바라시 기사끼 170-1-101

가모 다까히로

일본 도쿄도 시부야구 에비스 2조메 36-7-310

신모또 히데아끼

일본 아이찌켄 도요카와시 조우시 5조메 12-10

(74) 대리인

박충범, 이중희, 장수길

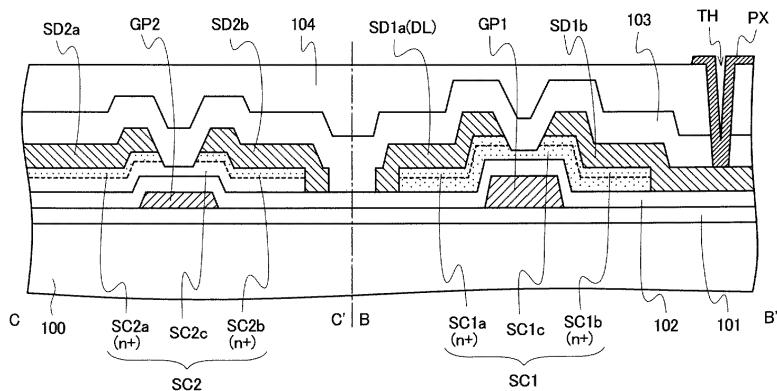
전체 청구항 수 : 총 17 항

심사관 : 한만열

(54) 표시 장치 및 표시 장치의 제조 방법

(57) 요 약

반도체층이 아몰퍼스 반도체의 MIS 트랜지스터와, 반도체층이 다결정 반도체를 갖는 MIS 트랜지스터가 형성된 표시 장치에서, 각 MIS 트랜지스터를 보텀 게이트 구조로 했을 때에 다결정 반도체로 이루어지는 반도체층의 결정성을 좋게 한다. 기판의 제1 영역에 형성된 제1 MIS 트랜지스터, 및 상기 제1 영역과는 서로 다른 제2 영역에 형성된 제2 MIS 트랜지스터는, 각각, 상기 기판과 상기 반도체층 사이에 게이트 전극을 갖고, 상기 제1 MIS 트랜지스터는, 상기 반도체층이 아몰퍼스 반도체만으로 구성되고, 상기 제2 MIS 트랜지스터는, 상기 반도체층이 다결정 반도체를 갖고 있고, 상기 제2 MIS 트랜지스터의 게이트 전극은, 상기 제1 MIS 트랜지스터의 게이트 전극보다도 얇은 표시 장치이다.

대 표 도

특허청구의 범위

청구항 1

기판 위에 도전층, 절연층, 및 반도체층을 적층하여 형성된 MIS 트랜지스터를 갖는 표시 장치로서,

상기 기판의 제1 영역에 형성된 제1 MIS 트랜지스터, 및 상기 제1 영역과는 서로 다른 제2 영역에 형성된 제2 MIS 트랜지스터는, 각각, 상기 기판과 상기 반도체층 사이에 게이트 전극을 갖고,

상기 제1 MIS 트랜지스터는, 상기 반도체층이 아몰퍼스 반도체만으로 구성되고, 상기 제2 MIS 트랜지스터는, 상기 반도체층이 다결정 반도체를 갖고 있고,

상기 제2 MIS 트랜지스터의 게이트 전극은, 상기 제1 MIS 트랜지스터의 게이트 전극보다도 얇은 것을 특징으로 하는 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 MIS 트랜지스터의 게이트 전극은, 상기 제2 MIS 트랜지스터의 게이트 전극보다도 배선 저항이 낮은 것을 특징으로 하는 표시 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 제2 MIS 트랜지스터의 게이트 전극은, 상기 제1 MIS 트랜지스터의 게이트 전극보다도 열전도율이 낮은 것을 특징으로 하는 표시 장치.

청구항 4

제1항 또는 제2항에 있어서,

상기 제1 MIS 트랜지스터의 게이트 전극과, 상기 제2 MIS 트랜지스터의 게이트 전극은, 도전층의 적층 구성이 서로 다른 것을 특징으로 하는 표시 장치.

청구항 5

제4항에 있어서,

상기 제1 MIS 트랜지스터의 게이트 전극은, 상기 제2 MIS 트랜지스터의 게이트 전극의 도전층의 적층 구성 외에, 1층 이상의 도전층을 갖는 것을 특징으로 하는 표시 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 제1 MIS 트랜지스터의 게이트 전극과, 상기 제2 MIS 트랜지스터의 게이트 전극은, 도전층의 적층 구성이 동일한 것을 특징으로 하는 표시 장치.

청구항 7

제1항 또는 제2항에 있어서,

상기 제1 영역은, 영상 또는 화상을 표시하는 표시 영역이며, 상기 제2 영역은, 상기 표시 영역의 외측에 있는 구동 회로가 형성된 영역인 것을 특징으로 하는 표시 장치.

청구항 8

제7항에 있어서,

상기 제1 MIS 트랜지스터의 상기 게이트 전극과 동일한 적층 구성이며, 또한, 상기 제1 MIS 트랜지스터의 상기

게이트 전극과 일체적으로 형성된 주사 신호선을 갖는 것을 특징으로 하는 표시 장치.

청구항 9

절연 기판과, 상기 절연 기판 위의 제1 영역에 형성되고, 반도체층으로서 아몰퍼스 반도체만을 이용한 제1 MIS 트랜지스터와, 상기 절연 기판 위의 제2 영역에 형성되고, 반도체층으로서 다결정 반도체를 갖는 제2 MIS 트랜지스터를 갖는 표시 장치의 제조 방법으로서,

상기 절연 기판 위에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 덮는 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막 위에 아몰퍼스 반도체막을 성막하는 공정과,

상기 제1 영역 및 상기 제2 영역 중, 상기 제2 영역의 아몰퍼스 반도체막만을 용융, 결정화시켜서 다결정 반도체막으로 개질하는 공정을 갖고,

상기 게이트 전극을 형성하는 공정은,

상기 제1 영역 및 상기 제2 영역에 제1 도전층을 형성하는 제1 공정과,

상기 제1 영역 및 상기 제2 영역 중, 상기 제1 영역에만 제2 도전층을 형성하는 제2 공정을 가짐과 함께,

상기 제1 도전층과 상기 제2 도전층을 갖는 상기 제1 MIS 트랜지스터의 게이트 전극과, 상기 제1 도전층을 갖고, 막 두께가 상기 제1 MIS 트랜지스터의 게이트 전극보다도 얇은 상기 제2 MIS 트랜지스터의 게이트 전극을 형성하는 공정인 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 10

제9항에 있어서,

상기 제2 공정은, 상기 제1 공정 후에 행해지고,

상기 제2 공정은, 상기 제1 영역 및 상기 제2 영역에 상기 제2 도전층을 형성한 후, 상기 제2 영역에 있는 상기 제2 도전층을 제거하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 11

제9항에 있어서,

상기 제2 공정은, 상기 제1 공정 전에 행해지고,

상기 제2 공정은, 상기 제1 영역 및 상기 제2 영역에 상기 제2 도전층을 형성한 후, 상기 제2 영역에 있는 상기 제2 도전층을 제거하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 12

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 제1 도전층과 상기 제2 도전층은, 동일한 재료인 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 13

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 제1 도전층과 상기 제2 도전층은, 서로 다른 재료이며,

상기 제1 도전층은, 상기 제2 도전층보다도 열전도율이 낮은 재료로 형성하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 14

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 제2 도전층은, 상기 제1 도전층보다도 배선 저항이 낮은 재료로 형성하는 것을 특징으로 하는 표시 장치의

제조 방법.

청구항 15

제9항에 있어서,

상기 절연 기판 위에, 상기 제1 도전층 및 상기 제2 도전층을 계속해서 형성하는 공정과,

상기 제2 도전층을 덮고, 상기 제2 MIS 트랜지스터의 상기 게이트 전극을 형성하는 영역에서의 두께가 0보다 크고, 또한, 상기 제1 MIS 트랜지스터의 상기 게이트 전극을 형성하는 영역에서의 두께보다도 얇은 제1 레지스트 막을 형성하는 공정과,

상기 제1 레지스트 막을 마스크로 하여 상기 제1 도전층 및 상기 제2 도전층을 제거하는 공정과,

상기 제1 레지스트 막을 얇게 하여, 상기 제2 MIS 트랜지스터의 상기 게이트 전극을 형성하는 상기 영역에서의 두께가 0이며, 또한, 상기 제1 MIS 트랜지스터의 상기 게이트 전극을 형성하는 상기 영역에서의 두께가 0보다 큰 상태의 제2 레지스트 막으로 하는 공정과,

상기 제2 레지스트 막을 마스크로 하여 상기 제2 MIS 트랜지스터의 상기 게이트 전극을 형성하는 상기 영역에서의 상기 제2 도전층을 제거하는 공정을 갖는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 16

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 제1 영역은, 영상 또는 화상을 표시하는 표시 영역이며, 상기 제2 영역은, 상기 표시 영역의 외측에 있는 구동 회로가 형성된 영역인 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 17

제16항에 있어서,

상기 제1 MIS 트랜지스터의 상기 게이트 전극과 동일한 적층 구성이며, 또한, 상기 제1 MIS 트랜지스터의 상기 게이트 전극과 일체적으로 형성된 주사 신호선을 갖는 것을 특징으로 하는 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은, 표시 장치 및 표시 장치의 제조 방법에 관한 것으로, 특히, 표시 영역 및 표시 영역의 외측의 주변 영역에 MIS 트랜지스터가 형성된 표시 장치에 적용하는 데에 유효한 기술에 관한 것이다.

배경 기술

<2> 종래, 액정 표시 장치에는, 액티브 매트릭스형이라고 불리는 액정 표시 장치가 있다. 상기 액티브 매트릭스형 액정 표시 장치는, 한쌍의 기판 사이에 액정 재료를 봉입한 액정 표시 패널을 갖고, 상기 한쌍의 기판 중 한쪽의 기판(이하, TFT 기판이라고 함)의 표시 영역에, 액티브 소자(스위칭 소자라고도 불림)로서 이용되는 TFT 소자(MOS 트랜지스터를 포함하는 MIS 트랜지스터)가 매트릭스 형상으로 배치되어 있다.

<3> 상기 액정 표시 패널의 상기 TFT 기판은, 복수개의 주사 신호선 및 복수개의 영상 신호선을 갖고, 상기 TFT 소자의 게이트 전극은 주사 신호선에 접속되어 있고, 드레인 전극 또는 소스 전극 중 어느 한쪽은 영상 신호선에 접속되어 있다.

<4> 또한, 종래의 액정 표시 장치에서, 상기 TFT 기판의 상기 복수개의 영상 신호선은, 예를 들면, 데이터 드라이버라고 불리는 드라이버 IC 칩이 실장된 TCP 또는 COF 등의 반도체 패키지에 접속되어 있고, 상기 TFT 기판의 상기 복수개의 주사 신호선은, 예를 들면, 주사 드라이버 또는 게이트 드라이버라고 불리는 드라이버 IC 칩이 실장된 TCP 또는 COF 등의 반도체 패키지에 접속되어 있다. 또한, 액정 표시 장치의 종류에 따라서는, 상기 각 드라이버 IC 칩을 상기 TFT 기판에 직접 실장하고 있는 경우도 있다.

- <5> 또한, 최근의 액정 표시 장치에서는, 상기 각 드라이버 IC 칩을 이용하는 대신에, TFT 기판의 표시 영역의 외측(이하, 주변 영역이라고 함)에, 상기 각 드라이버 IC 칩과 동등한 기능을 갖는 구동 회로를 직접 형성하는 방법도 제안되어 있다.
- <6> 상기 TFT 기판의 상기 주변 영역에 구동 회로를 직접 형성하는 경우, 예를 들면, 구동 회로를 구성하는 다수의 MOS 트랜지스터의 구성을, 표시 영역의 TFT 소자와 동일한 구성으로 하면, 표시 영역의 TFT 소자와 동시에 구동 회로의 MOS 트랜지스터도 형성할 수 있다.
- <7> 그러나, 상기 구동 회로의 MOS 트랜지스터는, 표시 영역의 TFT 소자에 비하여 고속으로 동작을 시킬 필요가 있다. 그 때문에, 상기 구동 회로의 MOS 트랜지스터의 반도체층은, 캐리어의 이동도가 높은 다결정 실리콘으로 형성하는 것이 바람직하다.
- <8> 상기 구동 회로의 MOS 트랜지스터의 반도체층을 다결정 실리콘으로 형성하는 경우, 예를 들면, 기판의 전체면에 아몰퍼스 실리콘막을 성막한 후, 그 아몰퍼스 실리콘막에 액시머 레이저 또는 연속 발진 레이저 등의 에너지 빔을 조사하여 용융, 결정화시켜서 아몰퍼스 실리콘막을 다결정 실리콘화한 후, 패터닝하여 형성한다.
- <9> 이 때, 예를 들면, 표시 영역의 아몰퍼스 실리콘도 동시에 다결정 실리콘화 하면, 표시 영역의 TFT 소자의 반도체층도 다결정 실리콘으로 형성할 수 있지만, 액정 텔레비전 등의 대형의 표시 장치에 이용되는 대면적의 TFT 기판의 경우, 그 전체면에 레이저를 조사하기 위해서는 많은 에너지가 필요함과 함께, 다결정 실리콘화에 요하는 시간이 길어져, TFT 기판의 생산성이 나빠진다.
- <10> 그 때문에, 최근에는, 예를 들면, 기판의 전체면에 성막한 아몰퍼스 실리콘막 중, 고속으로 동작(구동)시키는 구동 회로의 MOS 트랜지스터를 형성하는 영역에만 레이저 등의 에너지 빔을 조사하여 다결정 실리콘화하는 방법이 제안되어 있다(예를 들면, 특히 문헌 1을 참조). 이 방법이라면, 예를 들면, 표시 영역의 TFT 소자의 반도체층은 아몰퍼스 실리콘으로 형성되고, 구동 회로의 MOS 트랜지스터는 다결정 실리콘으로 형성된다.
- <11> [특히 문헌1] 일본 특개 2003-124136호 공보

발명의 내용

해결 하고자 하는 과제

- <12> 그런데, 상기한 바와 같이, 상기 표시 영역의 TFT 소자의 반도체층을 아몰퍼스 실리콘으로 형성하는 경우, 그 TFT 소자는, 클래스 기판 등의 절연 기판과 반도체층 사이에 게이트 전극을 갖는 구조(이하, 보텀 게이트 구조라고 함)로 하는 것이 바람직하다. 이 때, TFT 기판의 생산성을 좋게 하기 위해서는, 주변 영역의 구동 회로의 MOS 트랜지스터도, 보텀 게이트 구조로 하는 것이 바람직하다.
- <13> 그러나, 주변 영역의 구동 회로의 MOS 트랜지스터를 보텀 게이트 구조로 하는 경우, 반도체층을 형성하는 공정에서 아몰퍼스 실리콘을 다결정 실리콘화할 때에, 예를 들면, 이하와 같은 문제가 생긴다.
- <14> 우선, 게이트 전극에 이용하는 재료는 열전도율이 높기 때문에, 연속 발진 레이저 등을 조사할 때에, 게이트 전극 위에 있는 아몰퍼스 실리콘을 용융, 결정화하는 데에 필요한 에너지가, 게이트 전극이 없는 부분에 비하여 증대한다. 그 때문에, 조사하는 빔의 에너지를 크게 할 필요가 있어, 생산성이 저하한다고 하는 문제가 있다.
- <15> 또한, 보텀 게이트 구조의 TFT 소자(MOS 트랜지스터)의 반도체층은, 게이트 전극과 평면에서 보아 겹치는 부분을 채널 영역으로서 사용하고, 그 외측의 부분을 드레인 영역 및 소스 영역으로서 사용하기 때문에, 1개의 반도체층에 주목한 경우, 각 부분(영역)의 결정성이 갖추어져 있는 것이 바람직하다. 그러나, 게이트 전극의 열전도의 영향으로, 게이트 전극 위의 채널 영역과, 그 외측의 드레인 영역 및 소스 영역에서 결정성을 갖추는 것은 곤란하다고 하는 문제가 있다. 이 때, 예를 들면, 게이트 전극 위의 반도체막에서 원하는 결정 입자를 얻을 수 있도록 레이저의 에너지를 설정하면, 그 이외의 부분에서는, 에너지가 지나치게 커서 반도체막이 애블레이션을 야기하는 경우도 있다. 또한, 게이트 전극 위의 반도체막에는, 게이트 전극의 끝부 위와 중앙부 위에서 결정성이 서로 다르다고 하는 문제도 발생한다. 이와 같이, 게이트 전극의 열전도의 영향에 의해, 게이트 전극 위와 그 이외에서, 동등한 결정 입자를 얻을 수 있는 에너지 범위는 좁아져, 제조가 곤란해진다.
- <16> 또한, 보텀 게이트 구조의 TFT 소자의 경우, 게이트 전극의 막 두께는, 그대로 반도체층의 단차로 된다. 그 때문에, 예를 들면, 연속 발진 레이저에 의한 다결정 실리콘화와 같이 반도체층의 용융 시간이 길면, 용융한 실리콘이 단차 위로부터 아래로 이동하여, 단차 부분에서 막 박리를 야기하기 쉽다고 하는 문제도 있다.

- <17> 또한, 게이트 전극의 열전도의 영향을 작게 하는 방법으로서, 예를 들면, 게이트 전극의 막 두께를 얇게 하는 방법이 유효한 것이 알려져 있다. 그러나, 이 방법에서는, 표시 영역의 TFT 소자의 게이트 전극이나 주사 신호선의 배선 저항이 높아져, 소비 전력의 증대나 화소부의 신호 지연에 의한 불량을 초래하기 쉽다고 하는 문제가 있다.
- <18> 또한, 아몰퍼스 실리콘을 다결정 실리콘화하고 있는 동안, 게이트 전극은 고온으로 되기 때문에, 상기 구동 회로의 MOS 트랜지스터를 보텀 게이트 구조로 하는 경우, 게이트 전극에는, 예를 들면, Mo(몰리브덴), W(텅스텐), Cr(크롬), Ta(탄탈), MoW 합금 등의 고용접 재료를 사용할 필요가 있다. 그러나, 이들 고용접 재료는, Al(알루미늄) 등과 비교하면 전기 저항이 높기 때문에, 막 두께를 얇게 하면, 배선 저항의 높이가 보다 두드러지게 된다고 하는 문제가 있다.
- <19> 또한, 게이트 전극의 열전도의 영향을 작게 하는 방법으로서, 게이트 전극을 얇게 하는 방법 이외에, 예를 들면, 게이트 절연막을 두껍게 한다고 하는 방법이 있다. 그러나, 이 방법에서는, 트랜지스터 특성 중 I_{ON} 의 저하, V_{th} 의 변동이 커지기 쉬워, 회로 동작을 곤란하게 하는 등의 문제가 있기 때문에, 반드시 유효한 방법이라고는 할 수 없다.
- <20> 본 발명의 목적은, 예를 들면, 반도체층이 아몰퍼스 반도체의 MIS 트랜지스터와, 반도체층이 다결정 반도체를 갖는 MIS 트랜지스터가 형성된 표시 장치에서, 각 MIS 트랜지스터를 보텀 게이트 구조로 했을 때에 다결정 반도체를 갖는 반도체층의 결정성을 좋게 하는 것이 가능한 기술을 제공하는 것에 있다.
- <21> 본 발명의 다른 목적은, 예를 들면, 반도체층이 아몰퍼스 반도체의 MIS 트랜지스터와, 반도체층이 다결정 반도체를 갖는 MIS 트랜지스터가 형성된 표시 장치에서, 각 MIS 트랜지스터를 보텀 게이트 구조로 했을 때의 생산성 및 제조 수율을 향상시키는 것이 가능한 기술을 제공하는 것에 있다.
- <22> 본 발명의 상기 및 그 밖의 목적과 신규의 특징은, 본 명세서의 기술 및 첨부 도면에 의해 밝혀질 것이다.

과제 해결수단

- <23> 본원에서 개시되는 발명 중, 대표적인 것의 개략을 설명하면, 이하와 같다.
- <24> (1) 기판 위에 도전층, 절연층, 및 반도체층을 적층하여 형성된 MIS 트랜지스터를 갖는 표시 장치로서, 상기 기판의 제1 영역에 형성된 제1 MIS 트랜지스터, 및 상기 제1 영역과는 서로 다른 제2 영역에 형성된 제2 MIS 트랜지스터는, 각각, 상기 기판과 상기 반도체층 사이에 게이트 전극을 갖고, 상기 제1 MIS 트랜지스터는, 상기 반도체층이 아몰퍼스 반도체만으로 구성되고, 상기 제2 MIS 트랜지스터는, 상기 반도체층이 다결정 반도체를 갖고 있고, 상기 제2 MIS 트랜지스터의 게이트 전극은, 상기 제1 MIS 트랜지스터의 게이트 전극보다도 얇은 표시 장치.
- <25> (2) 상기 (1)의 표시 장치에서, 상기 제1 MIS 트랜지스터의 게이트 전극은, 상기 제2 MIS 트랜지스터의 게이트 전극보다도 배선 저항이 낮은 표시 장치.
- <26> (3) 상기 (1) 또는 (2)의 표시 장치에서, 상기 제2 MIS 트랜지스터의 게이트 전극은, 상기 제1 MIS 트랜지스터의 게이트 전극보다도 열전도율이 낮은 표시 장치.
- <27> (4) 상기 (1) 내지 (3) 중 어느 하나의 표시 장치에서, 상기 제1 MIS 트랜지스터의 게이트 전극과, 상기 제2 MIS 트랜지스터의 게이트 전극은, 도전층의 적층 구성이 서로 다른 표시 장치.
- <28> (5) 상기 (4)의 표시 장치에서, 상기 제1 MIS 트랜지스터의 게이트 전극은, 상기 제2 MIS 트랜지스터의 게이트 전극의 도전층의 적층 구성 외에, 1층 이상의 도전층을 갖는 표시 장치.
- <29> (6) 상기 (1) 또는 (2)의 표시 장치에서, 상기 제1 MIS 트랜지스터의 게이트 전극과, 상기 제2 MIS 트랜지스터의 게이트 전극은, 도전층의 적층 구성이 동일한 표시 장치.
- <30> (7) 상기 (1) 내지 (6) 중 어느 하나의 표시 장치에서, 상기 제1 영역은, 영상 또는 화상을 표시하는 표시 영역이며, 상기 제2 영역은, 상기 표시 영역의 외측에 있는 구동 회로가 형성된 영역인 표시 장치.
- <31> (8) 상기 (7)의 표시 장치에서, 상기 제1 MIS 트랜지스터의 상기 게이트 전극과 동일한 적층 구성이며, 또한, 상기 제1 MIS 트랜지스터의 상기 게이트 전극과 일체적으로 형성된 주사 신호선을 갖는 표시 장치.
- <32> (9) 절연 기판과, 상기 절연 기판 위의 제1 영역에 형성되고, 반도체층으로서 아몰퍼스 반도체만을 이용한 제1

MIS 트랜지스터와, 상기 절연 기판 위의 제2 영역에 형성되고, 반도체층으로서 다결정 반도체를 갖는 제2 MIS 트랜지스터를 갖는 표시 장치의 제조 방법으로서, 상기 절연 기판 위에 게이트 전극을 형성하는 공정과, 상기 게이트 전극을 덮는 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막 위에 아몰퍼스 반도체막을 성막하는 공정과, 상기 제1 영역 및 상기 제2 영역 중, 상기 제2 영역의 아몰퍼스 반도체막만을 용융, 결정화시켜서 다결정 반도체막으로 개질하는 공정을 갖고, 상기 게이트 전극을 형성하는 공정은, 상기 제1 영역 및 상기 제2 영역에 제1 도전층을 형성하는 제1 공정과, 상기 제1 영역 및 상기 제2 영역 중, 상기 제1 영역에만 제2 도전층을 형성하는 제2 공정을 가짐과 함께, 상기 제1 도전층과 상기 제2 도전층을 갖는 상기 제1 MIS 트랜지스터의 게이트 전극과, 상기 제1 도전층을 갖고, 막 두께가 상기 제1 MIS 트랜지스터의 게이트 전극보다도 얇은 상기 제2 MIS 트랜지스터의 게이트 전극을 형성하는 공정인 표시 장치의 제조 방법.

- <33> (10) 상기 (9)의 표시 장치의 제조 방법에서, 상기 제2 공정은, 상기 제1 공정 후에 행해지고, 상기 제2 공정은, 상기 제1 영역 및 상기 제2 영역에 상기 제2 도전층을 형성한 후, 상기 제2 영역에 있는 상기 제2 도전층을 제거하는 표시 장치의 제조 방법.
- <34> (11) 상기 (9)의 표시 장치의 제조 방법에서, 상기 제2 공정은, 상기 제1 공정 전에 행해지고, 상기 제2 공정은, 상기 제1 영역 및 상기 제2 영역에 상기 제2 도전층을 형성한 후, 상기 제2 영역에 있는 상기 제2 도전층을 제거하는 표시 장치의 제조 방법.
- <35> (12) 상기 (9) 내지 (11) 중 어느 하나의 표시 장치의 제조 방법에서, 상기 제1 도전층과 상기 제2 도전층은, 동일한 재료인 표시 장치의 제조 방법.
- <36> (13) 상기 (9) 내지 (11) 중 어느 하나의 표시 장치의 제조 방법에서, 상기 제1 도전층과 상기 제2 도전층은, 서로 다른 재료이며, 상기 제1 도전층은, 상기 제2 도전층보다도 열전도율이 낮은 재료로 형성하는 표시 장치의 제조 방법.
- <37> (14) 상기 (9) 내지 (11) 중 어느 하나의 표시 장치의 제조 방법에서, 상기 제2 도전층은, 상기 제1 도전층보다도 배선 저항이 낮은 재료로 형성하는 표시 장치의 제조 방법.
- <38> (15) 상기 (9)의 표시 장치의 제조 방법에서, 상기 절연 기판 위에, 상기 제1 도전층 및 상기 제2 도전층을 계속해서 형성하는 공정과, 상기 제2 도전층을 덮고, 상기 제2 MIS 트랜지스터의 상기 게이트 전극을 형성하는 영역에서의 두께가 0보다 크고, 또한, 상기 제1 MIS 트랜지스터의 상기 게이트 전극을 형성하는 영역에서의 두께보다도 얇은 제1 레지스트막을 형성하는 공정과, 상기 제1 레지스트막을 마스크로 하여 상기 제1 도전층 및 상기 제2 도전층을 제거하는 공정과, 상기 제1 레지스트막을 얇게 하여, 상기 제2 MIS 트랜지스터의 상기 게이트 전극을 형성하는 상기 영역에서의 두께가 0이고, 또한, 상기 제1 MIS 트랜지스터의 상기 게이트 전극을 형성하는 상기 영역에서의 두께가 0보다 큰 상태의 제2 레지스트막으로 하는 공정과, 상기 제2 레지스트막을 마스크로 하여 상기 제2 MIS 트랜지스터의 상기 게이트 전극을 형성하는 상기 영역에서의 상기 제2 도전층을 제거하는 공정을 갖는 표시 장치의 제조 방법.
- <39> (16) 상기 (9) 내지 (15) 중 어느 하나의 표시 장치의 제조 방법에서, 상기 제1 영역은, 영상 또는 화상을 표시하는 표시 영역이며, 상기 제2 영역은, 상기 표시 영역의 외측에 있는 구동 회로가 형성된 영역인 표시 장치의 제조 방법.
- <40> (17) 상기 (16)의 표시 장치의 제조 방법에서, 상기 제1 MIS 트랜지스터의 상기 게이트 전극과 동일한 적층 구성이며, 또한, 상기 제1 MIS 트랜지스터의 상기 게이트 전극과 일체적으로 형성된 주사 신호선을 갖는 표시 장치의 제조 방법.

효과

- <41> 본 발명의 표시 장치 및 그 제조 방법에 따르면, 예를 들면, 반도체층이 아몰퍼스 반도체의 제1 MIS 트랜지스터와, 반도체층이 다결정 반도체를 갖는 제2 MIS 트랜지스터가, 모두 보텀 게이트 구조이어도, 제2 MIS 트랜지스터의 반도체층(다결정 반도체)의 결정성을 좋게 할 수 있다. 그 때문에, 제2 MIS 트랜지스터를 이용하여 형성되는 제2 영역의 구동 회로의 동작 특성을 향상할 수 있음과 함께, 제1 MIS 트랜지스터의 동작 특성의 저하를 방지할 수 있다.
- <42> 또한, 본 발명의 표시 장치의 제조 방법에 따르면, 표시 장치의 생산성 및 제조 수율을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <43> 이하, 본 발명에 대해서, 도면을 참조하여 실시 형태(실시예)와 함께 상세히 설명한다.
- <44> 또한, 실시예를 설명하기 위한 전체 도면에서, 동일 기능을 갖는 것은, 동일 부호를 붙이고, 그 반복 설명은 생략한다.
- <45> 도 1a, 도 1b, 도 2, 도 3은, 본 발명에 따른 표시 패널(표시 장치)의 개략 구성의 일례를 도시하는 모식도이다.
- <46> 도 1a는, 액정 표시 패널의 개략 구성의 일례를 도시하는 모식 평면도이다. 도 1b는, 도 1a에 도시한 액정 표시 패널의 A-A'선에서의 단면 구성의 일례를 도시하는 모식 단면도이다. 도 2는, 본 발명의 적용이 요망되는 TFT 기판의 개략 구성의 일례를 도시하는 모식 평면도이다. 도 3은, 액정 표시 패널의 1화소의 회로 구성의 일례를 도시하는 모식 회로도이다.
- <47> 본 발명은, 예를 들면, 액정 텔레비전, 퍼스널 컴퓨터(PC)용의 액정 디스플레이 등의 액정 표시 장치에 이용하는 액티브 매트릭스형 액정 표시 패널(이하, 간단히 액정 표시 패널이라고 함)에 적용된다.
- <48> 액정 표시 패널은, 예를 들면, 도 1a 및 도 1b에 도시하는 바와 같이, 제1 기판(1) 및 제2 기판(2)의 2매(한 쌍)의 기판 사이에 액정 재료(3)가 봉입되어 있는 표시 패널이다. 이 때, 제1 기판(1)과 제2 기판(2)은, 영상이나 화상 등을 표시하는 표시 영역 DA의 외측에 형성된 고리 형상의 실재(4)로 접착되어 있고, 액정 재료(3)는, 제1 기판(1) 및 제2 기판(2) 및 실재(4)로 둘러싸인 공간에 봉입되어 있다. 또한, 액정 표시 패널이 투과형 또는 반투과형인 경우, 제1 기판(1) 및 제2 기판(2)의 외측을 향한 면에는, 예를 들면, 편광판(5A, 5B)이 붙여져 있다. 또한 이 때, 제1 기판(1)과 편광판(5A) 사이, 제2 기판(2)과 편광판(5B) 사이에는, 1층부터 수층의 위상차판이 형성되어 있는 경우도 있다.
- <49> 액정 표시 패널의 제1 기판(1)은, 일반적으로, TFT 기판이라고 불리고 있고, 글래스 기판 등의 절연 기판 위에, 복수개의 주사 신호선, 복수개의 영상 신호선, 표시 영역 DA를 구성하는 복수의 화소의 각각에 대하여 배치되는 TFT 소자(스위칭 소자), 및 화소 전극 등이 형성되어 있다.
- <50> 제1 기판(이하, TFT 기판이라고 함)(1)은, 예를 들면, 도 2에 도시하는 바와 같이, x방향으로 길게 연장되는 주사 신호선 GL이 y방향으로 복수개 배열되어 있고, y방향으로 길게 연장되는 영상 신호선 DL이 x방향으로 복수개 배열되어 있다.
- <51> 이와 같은 TFT 기판(1)에서는, 2개의 인접하는 주사 신호선 GL과 2개의 인접하는 영상 신호선 DL로 둘러싸인 영역이 1개의 화소 영역에 상당하고, 각 화소 영역에 TFT 소자나 화소 전극 등이 배치되어 있다. 이 때, 예를 들면, 도 3에 도시하는 바와 같이, 2개의 인접하는 주사 신호선 GL_m, GL_{m+1}과, 2개의 인접하는 영상 신호선 DL_n, DL_{n+1}로 둘러싸인 영역을 화소 영역으로 하는 화소에 주목하면, 그 화소에 대하여 배치되는 TFT 소자는, 게이트(G)가 2개의 인접하는 주사 신호선 GL_m, GL_{m+1} 중 한쪽의 주사 신호선 GL_{m+1}에 접속되어 있다. 또한 이 때, 상기 TFT 소자는, 예를 들면, 드레인(D)이 2개의 인접하는 영상 신호선 DL_n, DL_{n+1} 중 한쪽의 영상 신호선 DL_n에 접속되어 있고, 소스(S)가 화소 전극 PX에 접속되어 있다. 또한, 화소 전극 PX는, 공통 전극 CT(대향 전극이라고도 불림) 및 액정 재료(3)와 함께 화소 용량을 형성하고 있다. 또한, 공통 전극 CT는, 대향 기판(2)에 형성되어 있는 경우도 있고, TFT 기판(1)에 형성되어 있는 경우도 있다.
- <52> 또한, 본 발명은, 예를 들면, 도 2에 도시하는 바와 같이, 표시 영역 DA의 외측에, 제1 구동 회로 DRV1 및 제2 구동 회로 DRV2가, 내장 회로로서 상기 절연 기판 위에 일체적으로 형성되어 있는 TFT 기판(1)에의 적용이 기대된다. 제1 구동 회로 DRV1 및 제2 구동 회로 DRV2는 각각, MOS 트랜지스터나 다이오드 등의 반도체 소자를 다수개 조합한 집적 회로로서, TFT 기판(1)의 제조 과정에서, 주사 신호선 GL, 영상 신호선 DL, 표시 영역 DA의 TFT 소자 등과 함께 형성된다. 이하, 제1 구동 회로 DRV1 및 제2 구동 회로 DRV2의 MOS 트랜지스터를, 주변 영역의 MOS 트랜지스터라고 한다.
- <53> 제1 구동 회로 DRV1은, 예를 들면, 종래의 액정 표시 장치에서 이용되고 있는 칩 형상의 데이터 드라이버 IC와 동등한 기능을 갖는 회로로서, 예를 들면, 각 영상 신호선 DL에 더하는 영상 신호(계조 데이터)를 생성하는 회로, 생성한 영상 신호를 각 영상 신호선 DL에 출력하는 타이밍을 제어하는 회로 등을 갖는다. 또한, 제2 구동 회로 DRV2는, 종래의 액정 표시 장치에서 이용되고 있는 칩 형상의 주사 드라이버 IC와 동등한 기능을 갖는 회로로서, 예를 들면, 각 주사 신호선 GL에 더하는 주사 신호를 생성하는 회로, 생성한 주사 신호를 각 주사 신호선 GL에 출력하는 타이밍을 제어하는 회로 등을 갖는다.

- <54> 또한 이 때, 제1 구동 회로 DRV1 및 제2 구동 회로 DRV2는, 실재(4)보다도 내측, 즉 실재(4)와 표시 영역 DA 사이에 형성하는 것이 바람직하지만, 실재(4)와 평면에서 보아 겹치는 영역이나 실재(4)의 외측에 형성되어 있어도 된다.
- <55> 도 4a 내지 도 4c는, 본 발명의 개요를 설명하기 위한 모식도이다.
- <56> 도 4a는, 본 발명을 적용한 TFT 기판에서의 표시 영역의 TFT 소자의 개략 구성의 일례를 도시하는 모식 평면도이다. 도 4b는, 본 발명을 적용한 TFT 기판에서의 주변 회로의 MOS 트랜지스터의 개략 구성의 일례를 도시하는 모식 평면도이다. 도 4c는, 도 4a의 B-B'선에서의 단면 구성의 일례 및 도 4b의 C-C'선에서의 단면 구성의 일례를 가로로 배열하여 도시한 모식 단면도이다. 또한, 도 4c에서, (n+)는 고농도의 n형 불순물 영역인 것을 나타내고 있다.
- <57> 본 발명은, 도 2 및 도 3에 도시하는 바와 같은 구성의 TFT 기판(1)에서, 표시 영역 DA의 TFT 소자(MOS 트랜지스터)나, 주변 영역의 MOS 트랜지스터를 보텀 게이트형이라 불리는 구성, 즉, 클래스 기판 등의 기판과 반도체층 사이에 각 트랜지스터의 게이트 전극이 형성되어 있는 구성으로 하는 경우에 적용된다.
- <58> 이 때, 표시 영역 DA의 각 화소에 대하여 배치되는 MOS 트랜지스터(TFT 소자)는, 예를 들면, 도 4a 및 도 4c에 도시하는 바와 같은 구성으로 되어 있고, 클래스 기판(100)의 표면에 형성된 기초 절연층(101) 위에 게이트 전극 GP1이 형성되어 있다. 게이트 전극 GP1은, 예를 들면, 주사 신호선 GL과 일체이며, 주사 신호선 GL의 폭(y 방향의 치수)을 부분적으로 넓게 하여 형성한 직사각 형상의 돌출 부분을 이용하고 있다.
- <59> 또한, 클래스 기판(100)으로부터 보아 게이트 전극 GP1 위에는, TFT 소자의 게이트 절연막으로서의 기능을 갖는 제1 절연층(102)을 개재하여 반도체층 SC1이 형성되어 있다. 반도체층 SC1은, 드레인 영역 SC1a, 소스 영역 SC1b, 및 채널 영역 SC1c의 3개의 영역으로 이루어지고, 3개의 영역 모두가 아몰퍼스 실리콘 등의 아몰퍼스 반도체로 형성되어 있다. TFT 소자가 N채널 MOS 트랜지스터인 경우, 반도체층 SC1의 드레인 영역 SC1a 및 소스 영역 SC1b는, 예를 들면, 불순물로서 P⁺(인 이온)를 주입한 n형의 아몰퍼스 반도체이다. 또한, N채널 MOS 트랜지스터의 경우, 채널 영역 SC1c는 진성(i형)의 아몰퍼스 반도체, 또는 불순물 농도가 매우 낮은 n형의 아몰퍼스 반도체, 혹은 불순물 농도가 매우 낮은 p형의 아몰퍼스 반도체 중 어느 하나이다.
- <60> 또한, 클래스 기판(100)으로부터 보아 반도체층 SC1의 드레인 영역 SC1a 위에는 드레인 전극 SD1a가 형성되고, 소스 영역 SC1b 위에는 소스 전극 SD1b가 형성되어 있다. 드레인 전극 SD1a는, 예를 들면, 영상 신호선 DL과 일체이며, 영상 신호선 DL의 폭(x방향의 치수)을 부분적으로 넓게 하여 형성한 직사각 형상의 돌출 부분을 이용하고 있다.
- <61> 또한, 클래스 기판(100)으로부터 보아 드레인 전극 SD1a 및 소스 전극 SD1b 등의 더 위에는, 제2 절연층(103) 및 제3 절연층(104)을 개재하여 화소 전극 PX가 형성되어 있다. 화소 전극 PX는, 쓰루홀 TH에 의해 소스 전극 SD1b와 접속하고 있다.
- <62> 또한 이 때, 주변 영역의 MOS 트랜지스터, 예를 들면, 제1 구동 회로 DRV1의 MOS 트랜지스터는, 도 4b 및 도 4c에 도시하는 바와 같은 구성으로 되어 있고, 클래스 기판(100)의 표면에 형성된 기초 절연층(101) 위에 게이트 전극 GP2가 형성되어 있다. 또한, 본 발명을 적용한 TFT 기판(1)에서는, 주변 영역의 MOS 트랜지스터의 게이트 전극 GP2의 두께가, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1의 두께보다도 얇아져 있다.
- <63> 또한, 클래스 기판(100)으로부터 보아 게이트 전극 GP2 위에는, 제1 절연층(102)을 개재하여 반도체층 SC2가 형성되어 있다. 반도체층 SC2는, 드레인 영역 SC2a, 소스 영역 SC2b, 및 채널 영역 SC2c의 3개의 영역으로 이루어지고, 드레인 영역 SC2a 및 소스 영역 SC2b는 아몰퍼스 실리콘 등의 아몰퍼스 반도체로 형성되어 있고, 채널 영역 SC2c는 다결정 실리콘 등의 다결정 반도체로 형성되어 있다. 주변 영역의 MOS 트랜지스터가 N채널 MOS 트랜지스터인 경우, 반도체층 SC2의 드레인 영역 SC2a 및 소스 영역 SC2b는, 예를 들면, 불순물로서 P⁺(인 이온)를 주입한 n형의 아몰퍼스 반도체이다. 또한, N채널 MOS 트랜지스터의 경우, 채널 영역 SC2c는 진성(i형)의 다결정 반도체, 또는 불순물 농도가 매우 낮은 n형의 다결정 반도체, 혹은 불순물 농도가 매우 낮은 p형의 다결정 반도체 중 어느 하나이다. 특히, 반도체층 SC2와 같이 다결정 실리콘으로 형성되어 있는 경우, 채널 영역 SC2c에 불순물을 약간 더함으로써, MOS 트랜지스터의 임계값의 제어가 가능하게 된다.
- <64> 또한, 클래스 기판(100)으로부터 보아 반도체층 SC2의 드레인 영역 SC2a 위에는 드레인 전극 SD2a가 형성되고, 소스 영역 SC2b 위에는 소스 전극 SD2b가 형성되어 있다.

- <65> 또한, 클래스 기판(100)으로부터 보아 드레인 전극 SD2a 및 소스 전극 SD2b의 더 위에는, 제2 절연층(103) 및 제3 절연층(104)이 형성되어 있다.
- <66> 본 발명은, 상기한 바와 같이, 표시 영역 DA(제1 영역)의 TFT 소자(MOS 트랜지스터)와, 주변 영역(제2 영역)의 MOS 트랜지스터가, 각각, 클래스 기판과 반도체층 사이에 게이트 전극을 갖는 보텀 게이트형이며, 또한, 표시 영역 DA의 MOS 트랜지스터의 반도체층 SC1의 각 영역을 아몰퍼스 실리콘 등의 아몰퍼스 반도체로 형성하고, 주변 영역의 MOS 트랜지스터의 반도체층 SC2의 채널 영역 SC2c를 다결정 실리콘 등의 다결정 반도체로 형성하는 경우에 적용된다.
- <67> 이하, 본 발명이 적용된 액정 표시 장치의 TFT 기판(1)에서의 표시 영역 DA 및 주변 영역 SA의 각 MOS 트랜지스터의 게이트 전극 GP1, GP2의 구성 및 제조 방법에 대해서 설명한다.
- <68> [실시예1]
- <69> 도 5는, 본 발명에 따른 실시예1의 TFT 기판의 특징을 도시하는 모식 단면도이다. 또한, 도 5에서, 일점쇄선의 우측은 표시 영역 DA에 형성되는 TFT 소자(MOS 트랜지스터)의 게이트 전극 GP1의 단면 구성의 일례를 나타내고 있고, 일점쇄선의 좌측은 주변 영역 SA에 형성되는 MOS 트랜지스터의 게이트 전극 GP2의 단면 구성의 일례를 나타내고 있다.
- <70> 실시예1의 TFT 기판(1)은, 예를 들면, 도 5에 도시하는 바와 같이, 주변 영역 SA에 배치된 제1 구동 회로 DRV1 등의 MOS 트랜지스터의 게이트 전극 GP2의 두께 d2가, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1의 두께 d1보다도 얇다. 이 때, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1은, 주변 영역 SA의 MOS 트랜지스터의 게이트 전극 GP2에 이용되고 있는 제1 도전층(601) 위에, 두께 d3의 제2 도전층(602)이 적층된 구성으로 되어 있다.
- <71> 실시예1에서, 주변 영역 SA의 MOS 트랜지스터의 게이트 전극 GP2 및 표시 영역 DA의 TFT 소자의 게이트 전극 GP1의 하층에 이용되고 있는 제1 도전층(601)과, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1에만 이용되고 있는 제2 도전층(602)은, 동일한 재료이어도 되고, 서로 다른 재료이어도 된다. 단, 제1 도전층(601)의 재료와 제2 도전층(602)의 재료의 조합은, 제1 도전층(601)의 재료의 열전도율이 제2 도전층(602)의 재료의 열전도율보다도 낮은 것이 바람직하다. 또한 이 때, 제2 도전층(602)의 재료의 전기 저항(배선 저항)이 제1 도전층(601)의 재료의 전기 저항(배선 저항)보다도 낮은 조합이면, 더욱 바람직하다.
- <72> 도 6a~도 6e는, 실시예1의 TFT 기판의 게이트 전극의 제조 방법을 설명하기 위한 모식 단면도이다. 또한, 도 6a~도 6e에는, 게이트 전극을 형성하는 수순에서 특징으로 되는 부분만을 도시하고 있다. 또한, 도 6a~도 6e에서, 일점쇄선의 우측은 표시 영역 DA에 형성되는 TFT 소자(MOS 트랜지스터)의 게이트 전극 GP1의 형성 수순을 나타내고 있고, 일점쇄선의 좌측은 주변 영역 SA에 형성되는 MOS 트랜지스터의 게이트 전극 GP2의 형성 수순을 나타내고 있다.
- <73> 실시예1의 TFT 기판(1)의 제조 방법에서, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1 및 주변 영역 SA의 MOS 트랜지스터의 게이트 전극 GP2를 형성하는 공정은, 우선, 도 6a에 도시하는 바와 같이, 클래스 기판(100)(절연 기판) 위에, 예를 들면, 실리콘 질화막(SiN막) 등의 기초 절연층(101)을 성막한 후, 제1 도전층(601) 및 제2 도전층(602)을 계속해서 성막한다.
- <74> 다음으로, 도 6b에 도시하는 바와 같이, 제2 도전층(602) 위 중, 표시 영역 DA 위에만 레지스트(701)를 형성한 후, 그 레지스트(701)를 마스크로 하여 에칭을 행하고, 표시 영역 DA의 외측(주변 영역 SA 등)에 있는 제2 도전층(602)을 제거한다.
- <75> 다음으로, 레지스트(701)를 제거한 후, 도 6c에 도시하는 바와 같이, 표시 영역 DA 및 주변 영역 SA의 게이트 전극을 형성하는 영역에 별도의 레지스트(702)를 형성한다.
- <76> 다음으로, 도 6d에 도시하는 바와 같이, 레지스트(702)를 마스크로 하여 에칭을 행하고, 표시 영역 DA는 제2 도전층(602) 및 제1 도전층(601)의 불필요한 부분을 제거하고, 주변 영역 SA는 제1 도전층(601)의 불필요한 부분을 제거한다.
- <77> 그 후, 레지스트(702)를 제거하면, 도 6e에 도시하는 바와 같이, 표시 영역 DA에는 제1 도전층(601) 및 제2 도전층(602)이 적층된 게이트 전극 GP1이 형성되고, 주변 영역 SA에는 제1 도전층(601)만으로 이루어지는 얇은 게이트 전극 GP2가 형성된다.
- <78> 또한, 도 6a~도 6e에 도시한 바와 같은 수순으로 게이트 전극 GP1, GP2를 형성하는 경우, 상기 제1 도전층

(601) 및 제2 도전층(602)은, 동일한 재료이어도 되지만, 서로 다른 재료인 쪽이 바람직하다. 특히, 주변 영역 SA의 MOS 트랜지스터의 게이트 전극 GP2에 이용하는 제1 도전층(601)은, 반도체층 SC2의 채널 영역 SC2c에 이용하는 다결정 실리콘을 형성하는 공정에서 고온으로 되기 때문에, 제1 도전층(601)에는 고온 점 금속 재료를 이용하는 것이 바람직하다.

<79> 제1 도전층(601) 및 제2 도전층(602)에 동일한 재료를 이용하는 경우, 그 재료로서는, 예를 들면, MoW 합금을 들 수 있다. 그러나, 제1 도전층(601) 및 제2 도전층(602)에 동일한 재료를 이용한 경우, 도 6b에 도시한 공정, 즉 주변 영역 SA에 있는 제2 도전층(602)을 에칭할 때에 제2 도전층(602)만을 제거하는 것이 어렵다. 그 때문에, 제1 도전층(601)의 표면도 에칭될 우려가 있어, 주변 영역 SA의 게이트 전극 GP2의 평탄성이 나빠질 가능성이 있다.

<80> 이것으로부터, 제1 도전층(601)에는, 예를 들면, 제2 도전층(602)보다도 응점이 높고, 열전도율이 낮은 재료를 이용하는 것이 바람직하다. 또한, 제1 도전층(601)에는, 예를 들면, 제2 도전층(602)의 에칭에 이용하는 에칭 액에 대하여 불용성 또는 난용성을 나타내는 재료를 이용하는 것이 바람직하다. 또한, 제1 도전층(601)은, 예를 들면, 제2 도전층보다도 전기 전도율이 낮은 재료를 이용하는 것이 바람직하다. 이와 같은 조건을 충족시키는 재료의 조합으로서는, 예를 들면, 제1 도전층(601)을 Ta, Ti(티탄), MoW 중 어느 하나로 하고, 제2 도전층(602)을 Al(알루미늄)로 하는 조합이 있다.

<81> 도 7a~도 7c, 도 8a~도 8b는, 실시예1의 TFT 기판의 반도체층의 제조 방법을 설명하기 위한 모식도이다.

<82> 도 7a는, 아몰퍼스 실리콘막을 성막한 직후의 기판의 개략 구성을 도시하는 모식 평면도이다. 도 7b는, 도 7a의 D-D'선에서의 모식 단면도이다. 도 7c는, 도 7b에 도시한 단면도에서, 주변 영역의 MOS 트랜지스터의 게이트 전극이 형성된 영역과 표시 영역의 TFT 소자의 게이트 전극이 형성된 영역을 확대하여 배열한 모식 단면도이다. 도 8a는, 아몰퍼스 실리콘을 다결정 실리콘화하는 방법의 일례를 도시하는 모식 사시도이다. 도 8b는, 다결정 실리콘화된 영역의 반도체층의 개략 구성을 도시하는 모식 평면도이다.

<83> 또한, 도 7c 및 도 9에서, 일점쇄선의 우측은 표시 영역 DA에 형성되는 TFT 소자(MOS 트랜지스터)의 게이트 전극 GP1의 주변에서의 단면 구성의 일례를 나타내고 있고, 일점쇄선의 좌측은 주변 영역 SA에 형성되는 MOS 트랜지스터의 게이트 전극 GP2의 주변에서의 단면 구성의 일례를 나타내고 있다.

<84> 실시예1의 액정 표시 장치(TFT 기판(1))를 제조할 때에 이용하는 글래스 기판(100)은, 예를 들면, 도 7a에 도시하는 바와 같이, TFT 기판(1)으로서 이용할 때의 크기보다도 큰 마더 글래스라고 불리는 글래스 기판(100)을 이용하여 제조된다. 그리고, 마더 글래스(100) 위에 상기 수순으로 게이트 전극 GP1, GP2를 형성한 후, 계속해서, 제1 절연층(102), 반도체층 SC1, SC2, 영상 신호선 DL(드레인 전극 SD1a를 포함함) 및 소스 전극 SD1b, 화소 전극 PX 등을 형성하고, 마지막으로 마더 글래스(100)로부터 영역(100A)을 잘라내면, 도 2 및 도 3에 도시한 바와 같은 구성의 TFT 기판(1)이 얻어진다.

<85> 상기 수순으로 게이트 전극 GP1, GP2를 형성한 후에는, 예를 들면, 도 7a 및 도 7b에 도시하는 바와 같이, 마더 글래스(100)의 전체면에 게이트 절연막으로서의 기능을 갖는 제1 절연층(102)을 성막하고, 계속해서, 아몰퍼스 실리콘막 SCa를 성막한다. 이 때, 아몰퍼스 실리콘막 SCa는, 표시 영역 DA뿐만 아니라, 주변 영역 SA를 포함하는 마더 글래스(100)의 전체면에 성막한다. 또한, 도 7b에서는 생략하고 있지만, 표시 영역 DA나, 주변 영역 SA 중 제1 구동 회로를 형성하는 영역 R1 및 제2 구동 회로를 형성하는 영역 R2에는, 예를 들면, 도 7c에 도시하는 바와 같이, 게이트 전극 GP1, GP2가 주사 신호선 GL 등이 형성되어 있다. 그 때문에, 아몰퍼스 실리콘막 SCa는, 예를 들면, 게이트 전극 GP1, GP2 위에 있는 부분과, 그 외측에 있는 부분의 경계에, 각 게이트 전극 GP1, GP2의 두께에 따른 단차가 생기고 있다.

<86> 실시예1의 TFT 기판(1)의 제조 방법에서는, 아몰퍼스 실리콘막 SCa를 성막한 후, 예를 들면, 주변 영역 SA의 전역, 또는 제1 구동 회로를 형성하는 영역 R1 및 제2 구동 회로를 형성하는 영역 R2의 아몰퍼스 실리콘막 SCa를 다결정 실리콘화한다.

<87> 아몰퍼스 실리콘막 SCa를 다결정 실리콘화할 때에는, 예를 들면, 엑시머 레이저나 연속 발진 레이저 등의 에너지 빔을, 다결정 실리콘화하고자 하는 영역에 조사하여 아몰퍼스 실리콘막 SCa를 용융시킨 후, 용융한 실리콘을 결정화시킨다. 보다 구체적으로는, 우선, 다결정 실리콘화하고자 하는 영역에 엑시머 레이저 또는 연속 발진 레이저 등을 조사하고, 아몰퍼스 실리콘막 SCa를 탈수소화한다. 그리고, 탈수소화한 아몰퍼스 실리콘막에, 별도의 레이저 등을 조사하여 용융시킨 후, 결정화시킨다. 이 때, 마더 글래스(100)는, 예를 들면, x방향 및 y방향으로 이동 가능한 스테이지 위에 실어서 고정해 둔다. 그리고, 예를 들면, 도 8a에 도시하는 바와 같이, 레

이제 발진기(8)에서 발생시킨 연속 발진 레이저(9a)를 광학계(10)에서 원하는 에너지 밀도 및 형상으로 변환하고, 그 변환한 연속 발진 레이저(9b)를 마더 글래스(100)의 아몰퍼스 실리콘 SCa에 조사한다. 이 때, 마더 글래스(100)를 실은 스테이지를, x방향 및 y방향으로 이동시키면서, 마더 글래스(100) 위에서의 연속 발진 레이저(9b)의 조사 위치를 이동시켜서, 다결정 실리콘화하고자 하는 영역의 전역에 연속 발진 레이저(9b)를 조사한다.

<88> 또한 이 때, 용융한 실리콘을 다결정 실리콘화시키기 위해서는, 예를 들면, 조사하는 연속 발진 레이저(9b)의 에너지 밀도와 조사 영역의 이동 속도(주사 속도)를 조정하면 된다. 조사하는 연속 발진 레이저(9b)의 에너지 밀도와 조사 영역의 이동 속도(주사 속도)가 임의의 조건을 충족시키는 경우, 용융한 실리콘이 고화하는 과정에서 래터럴 성장이 일어나고, 조사 영역의 이동 방향을 따라서 길게 연장되는 띠 형상 결정의 집합체로 이루어지는 다결정 실리콘이 얻어진다.

<89> 또한, 아몰퍼스 실리콘막 SCa를 다결정 실리콘화할 때에는, 예를 들면, 우선, 도 8b의 상측에 도시하는 바와 같이, 미결정 또는 입상 결정 등의 미소한 결정(11p)의 집합체로 이루어지는 다결정 실리콘을 형성하여도 된다. 이 경우, 미소한 결정(11p)의 집합체로 이루어지는 다결정 실리콘에 다시 연속 발진 레이저(9b)를 조사하여 용융, 재결정화시켜서, 도 8b의 하측에 도시하는 바와 같이, 연속 발진 레이저(9b)의 조사 위치의 이동 방향 BD를 따라서 길게 연장되는 띠 형상 결정(11w)의 집합체로 이루어지는 다결정 실리콘 SCp를 형성한다.

<90> 이와 같은 띠 형상 결정(11w)의 집합체로 이루어지는 다결정 실리콘 SCp를 형성한 경우, 띠 형상 결정(11w)이 길게 연장되는 방향이 채널 길이의 방향, 즉 MOS 트랜지스터에서의 캐리어의 이동 방향으로 되도록 드레인 전극 SD2a 및 소스 전극 SD2b를 형성하면, 캐리어의 이동을 저해하는 결정 입체가 거의 없어, 각 구동 회로 DRV1, DRV2의 MOS 트랜지스터를 고속으로 동작시킬 수 있다.

<91> 상기한 바와 같은 수순으로 주변 영역 SA의 아몰퍼스 실리콘막 SCa를 다결정 실리콘 SCp로 한 후의, TFT 기판의 제조 방법(수순)에 대해서, 이하, 간단히 설명한다.

<92> 주변 영역 SA의 아몰퍼스 실리콘막 SCa를 다결정 실리콘 SCp로 하면, 다음으로, 예를 들면, 마더 글래스(100)의 전체면에 n형의 아몰퍼스 실리콘막을 성막하고, 그 n형의 아몰퍼스 실리콘막, 아몰퍼스 실리콘막 SCa 및 다결정 실리콘 SCp를 섭 형상으로 패터닝한다.

<93> 다음으로, 마더 글래스(100)의 전체면에 도전막을 성막하고, 그 도전막을 패터닝하여 영상 신호선 DL, 드레인 전극 SD1a, SD2a, 및 소스 전극 SD1b, SD2b 등을 형성한다.

<94> 다음으로, 드레인 전극 SD1a, SD2a, 및 소스 전극 SD1b, SD2b를 마스크로 하여, 아몰퍼스 실리콘막 SCa 및 다결정 실리콘막 SCp 위에 있는 n형의 아몰퍼스 실리콘막을 에칭한다. 이 때, 아몰퍼스 실리콘막 SCa 위에 있는 n형의 아몰퍼스 실리콘막은 드레인 영역 SC1a와 소스 영역 SC1b로 분리되고, 다결정 실리콘막 SCp 위에 있는 n형의 아몰퍼스 실리콘막은 드레인 영역 SC2a와 소스 영역 SC2b로 분리된다. 또한 이 때, n형의 아몰퍼스 실리콘막을 에칭하면, 예를 들면, 도 4c에 도시한 바와 같이, 아몰퍼스 실리콘막 SCa 및 다결정 실리콘 SCp의 일부도 제거되어 얇아진다. 이와 같은 수순으로 반도체층을 형성함으로써, 표시 영역 DA의 TFT 소자의 반도체층 SC1은, 드레인 영역 SC1a, 소스 영역 SC1b, 및 채널 영역 SC1c가 모두 아몰퍼스 실리콘으로 형성된 반도체층으로 된다. 한편, 주변 영역 SA의 MOS 트랜지스터의 반도체층 SC2는, 드레인 영역 SC2a 및 소스 영역 SC2b가 아몰퍼스 실리콘으로 형성되고, 채널 영역 SC1c가 다결정 실리콘으로 형성된 반도체층으로 된다.

<95> 또한, 그 이후는, 제2 절연층(103) 및 제3 절연층(104)을 성막하고, 쓰루홀 TH를 형성한 후, 예를 들면, ITO 등의 광 투과율이 높은 도전막을 성막하고, 그 도전막(ITO막)을 패터닝하여 화소 전극 PX를 형성한다.

<96> 도 9는, 실시예1의 TFT 기판의 제조 방법의 작용 효과를 설명하기 위한 모식 단면도이다.

<97> 전술한 아몰퍼스 실리콘막 SCa를 다결정 실리콘화하는 공정은, 예를 들면, 연속 발진 레이저 등의 에너지 빔을 조사하여 아몰퍼스 실리콘막 SCa를 가열하고, 용융시킬 필요가 있다. 이 때, 예를 들면, 주변 영역 SA의 아몰퍼스 실리콘막 SCa에 연속 발진 레이저를 조사하면, 예를 들면, 도 9에 도시하는 바와 같이, 주변 영역 SA의 게이트 전극 GP2 위에 있는 아몰퍼스 실리콘 SCa에 조사된 에너지 빔에 의한 열이, 제1 절연막(102)을 개재하여 게이트 전극 GP2에 전도한다. 이 때, 게이트 전극 GP2 위에 있는 부분과, 그 외측에 있는 부분에서 아몰퍼스 실리콘 SCa가 받는 열량(에너지)의 총량에 차가 생겨서, 결정성에 변동이 생기는 경우가 있다. 그 때문에, 실시예1의 TFT 기판(1)의 제조 방법과 같이, 레이저가 조사되는 영역(다결정 실리콘화하는 영역)의 게이트 전극 GP2를 얇게 형성하여 열전도의 양을 작게 하면, 게이트 전극 GP2 위에 있는 부분과, 그 외측에 있는 부분에서 아몰퍼스 실리콘막 SCa가 받는 열량의 총량의 차를 작게 할 수 있어, 결정성의 변동을 저감할 수 있다. 이 효과는, 게이트 전극 GP2에 이용하는 제1 도전층(601)의 열전도율이 낮을수록 크고, 또한, 막 두께가 얇을수록 크

다.

<98> 또한, 실시예1의 TFT 기판(1)의 제조 방법과 같이, 레이저가 조사되는 영역(다결정 실리콘화하는 영역)의 게이트 전극 GP2를 얇게 형성하면, 게이트 전극 GP2 위에 있는 부분과, 그 외측에 있는 부분의 경계선에 생기는 아몰퍼스 실리콘막 SCa의 단차를 작게(낮게) 할 수 있다. 그 때문에, 레이저를 조사하여 아몰퍼스 실리콘막 SCa를 용융시켰을 때에, 단자 위의 부분으로부터 아래의 부분에 흘러내리는 용융 실리콘의 양을 적게 할 수 있어, 단자 부분에서의 막 박리를 저감할 수 있다. 이 효과는, 게이트 전극 GP2에 이용하는 제1 도전층(601)의 막 두께가 얇을수록 크다.

<99> 또한, 실시예1의 TFT 기판의 제조 방법에서는, 레이저가 조사되는 영역, 즉 고속에서의 동작이 요구되는 제1 구동 회로 DRV1을 형성하는 영역 R1 및 제2 구동 회로 DRV2를 형성하는 영역 R2의 MOS 트랜지스터의 게이트 전극 GP2만을 얇게 할 수 있고, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1은, 종래의 액정 표시 장치(TFT 기판)에서의 게이트 전극과 동일 정도의 두께로 할 수 있다. 그 때문에, 예를 들면, 게이트 전극 GP1과 일체의 주사 신호선 GL을 형성하는 경우, 주사 신호선 GL의 배선 저항이 높아지는 것을 방지하고, 소비 전력의 증대나 화소부의 신호지연에 의한 동작 불량을 저감할 수 있다. 주사 신호선 GL은, 그 일단이 표시 영역 DA의 외측에 있는 제2 구동 회로 DRV2를 형성하는 영역 R2까지 연장되어 있지만, 표시 영역 DA를 통과하는 부분의 배선 길이의 쪽이 길다. 그 때문에, 주사 신호선 GL 중 표시 영역 DA를 통과하는 부분을 게이트 전극 GP1과 동일한 적층 구조으로 함으로써, 배선 저항을 작게 하는 효과가 커진다. 또한 이 때, 제1 도전층(601)과 제2 도전층(602)이 동일한 재료이어도 배선 저항을 작게 하는 효과는 얻어지지만, 제2 도전층(602)에, 제1 도전층(601)보다도 전기 전도율이 높은 재료를 이용하면, 더욱 큰 효과가 얻어진다. 또한, 제2 도전층(602)은, 제1 도전층(601)에 비해서 융점이 낮은 재료를 이용하는 것도 가능하며, 예를 들면, Al을 이용할 수도 있다.

<100> 또한, 실시예1의 TFT 기판의 제조 방법에서는, 표시 영역 DA의 TFT 소자(MOS 트랜지스터) 및 주변 영역 SA의 MOS 트랜지스터의 게이트 절연막(102)의 막 두께를 두껍게 하지 않아도, 게이트 전극 GP2의 열전도의 영향에 의한 다결정 실리콘막의 결정성의 변동을 작게 할 수 있다. 그 때문에, 게이트 절연막의 막 두께를 두껍게 함으로써 생기는 별도의 문제, 예를 들면, 트랜지스터 특성 중 I_{ON} 의 저하, V_{th} 의 변동의 증가라고 하는 문제나, 생산성의 저하라고 하는 문제를 회피할 수 있다.

<101> 도 10a~도 10f는, 실시예1의 TFT 기판의 제조 방법의 변형예를 설명하기 위한 모식 단면도이다. 또한, 도 10a ~도 10f에는, 게이트 전극을 형성하는 수순에서 특징으로 되는 부분만을 도시하고 있다. 또한, 도 10a~도 10f에서, 일점쇄선의 우측은 표시 영역 DA에 형성되는 TFT 소자(MOS 트랜지스터)의 게이트 전극 GP1의 형성 수순을 나타내고 있고, 일점쇄선의 좌측은 주변 영역 SA에 형성되는 MOS 트랜지스터의 게이트 전극 GP2의 형성 수순을 나타내고 있다.

<102> 실시예1의 TFT 기판의 제조 방법에서, 게이트 전극 GP1, GP2를 형성하는 수순으로서는, 예를 들면, 도 6a~도 6e에 도시한 바와 같이, 1번째의 레지스트(701)로 표시 영역 DA의 외측에 있는 제2 도전층(602)을 제거하고, 2 번째의 레지스트(702)로 게이트 전극 GP1, GP2를 패터닝하는 수순이 생각된다. 그러나, 이 수순에서는, 1번째의 레지스트(701)를 형성할 때, 2번째의 레지스트(702)를 형성할 때에, 각각 서로 다른 마스크를 이용하여 노광, 현상할 필요가 있기 때문에 생산성이 나쁘다. 따라서, 실시예1의 TFT 기판(1)의 게이트 전극 GP1, GP2를 형성할 때에는, 예를 들면, 하프 노광 또는 하프톤 노광이라고 불리는 노광 기술을 이용해서 레지스트를 형성하고, 1회의 노광, 현상으로 형성한 레지스트로 주변 영역 SA의 제2 도전층(602)의 제거와, 게이트 전극 GP1, GP2의 패터닝을 행하는 것이 바람직하다.

<103> 하프 노광 기술을 이용한 레지스트에서 게이트 전극 GP1, GP2를 형성할 때에도, 우선, 도 10a에 도시하는 바와 같이, 클래스 기판(100)(절연 기판) 위의 실리콘 질화막(SiN막) 등의 기초 절연층(101)을 성막한 후, 제1 도전층(601) 및 제2 도전층(602)을 계속해서 성막한다.

<104> 다음으로, 도 10b에 도시하는 바와 같이, 제2 도전층(602) 위에 도포한 감광성 레지스트(703)에 대하여 하프 노광을 행한다. 하프 노광을 행할 때에는, 예를 들면, 주변 영역 SA의 얇은 게이트 전극 GP2를 형성하는 영역의 광의 투과량이, 표시 영역 DA의 게이트 전극 GP1을 형성하는 영역의 광의 투과량보다도 작아지도록 한 마스크(도시하지 않은)를 이용하여, 각 영역에 조사되는 광(12)(예를 들면 자외선)의 광량을 변화시킨다. 이 때, 예를 들면, 표시 영역 DA의 게이트 전극 GP1을 형성하는 영역의 레지스트(703)가 완전히 감광하는 최단 시간에서 노광을 종료하면, 주변 영역 SA의 얇은 게이트 전극 GP2를 형성하는 영역의 레지스트(703)는 불완전한 상태로 감광이 종료된다. 그 때문에, 이 레지스트(703)를 현상하면, 예를 들면, 도 10c에 도시하는 바와 같이, 주변 영역 SA의 얇은 게이트 전극 GP2를 형성하는 영역에서의 레지스트(703b)의 막 두께가, 표시 영역 DA의 게이트

전극 GP1을 형성하는 영역에서의 레지스트(703a)의 막 두께보다도 얇아진다.

<105> 또한, 도 10b 및 도 10c에 도시한 수순에서는, 네가티브형의 감광성 레지스트를 이용하여 레지스트(703a, 703b)를 형성하는 경우를 예를 들고 있지만, 이에 한하지 않고, 예를 들면, 포지티브형의 감광성 레지스트를 이용하여 레지스트(703a, 703b)를 형성하는 것도 가능하다.

<106> 다음으로, 도 10d에 도시하는 바와 같이, 표시 영역 DA의 게이트 전극 GP1을 형성하는 영역의 레지스트(703a), 및 주변 영역 SA의 얇은 게이트 전극 GP2를 형성하는 영역의 레지스트(703b)를 마스크로 하여, 각 영역의 제2 도전층(602) 및 제1 도전층(601) 중 불필요한 부분을 제거한다. 이 때, 주변 영역 SA의 얇은 게이트 전극은, 평면에서 본 형상은 최종적인 게이트 전극 GP2와 동일한 패턴이지만, 아직 제2 도전층(602)(불필요한 도전층)이 남아 있는 상태이다.

<107> 따라서, 다음으로, 예를 들면, O₂ 애성을 행하고, 도 10e에 도시하는 바와 같이, 마더 클래스(100)에 형성되어 있는 모든 레지스트(703a, 703b)를, 주변 영역 SA의 얇은 게이트 전극 GP2를 형성하는 부분에 있는 레지스트(703b)의 두께 d4의 분만큼 얇게 한다. 이와 같이 하면, 주변 영역 SA의 얇은 게이트 전극 GP2를 형성하는 부분은 레지스트가 없어져, 표시 영역 DA의 게이트 전극 GP1을 형성하는 부분에만 레지스트(703b)의 두께 d4분만큼 얇게 된 레지스트(703a')가 남는다.

<108> 다음으로, 예를 들면, 도 10f에 도시하는 바와 같이, O₂ 애성 후에 남은 레지스트(703a')를 마스크로 한 예칭으로 제2 도전층(602)을 제거하면, 주변 영역 SA에 제1 도전층(601)만으로 이루어지는 얇은 게이트 전극 GP2를 형성할 수 있다.

<109> 이와 같이, 하프 노광 기술을 이용하면, 두께가 서로 다른 게이트 전극 GP1, GP2를 형성하기 위한 레지스트를 노광, 현상하는 공정을 1회로 할 수 있다.

<110> 도 11은, 실시예1의 TFT 기판의 응용예를 설명하기 위한 모식 단면도이다. 또한, 도 11에서, 일점쇄선의 우측은 표시 영역 DA에 형성되는 TFT 소자(MOS 트랜지스터)의 게이트 전극 GP1의 단면 구성을 나타내고 있고, 일점쇄선의 좌측은 주변 영역 SA에 형성되는 MOS 트랜지스터의 게이트 전극 GP2의 단면 구성을 나타내고 있다.

<111> 실시예1에서는, 예를 들면, 제1 도전층(601) 및 제2 도전층(602)이, 각각 단일의 재료인 경우를 예로 들었지만, 이에 한하지 않고, 제1 도전층(601) 또는 제2 도전층(602) 중 어느 한쪽, 혹은 그 양쪽이, 2층 이상의 도전층을 적층한 구성 이어도 된다. 즉, 제1 도전층(601)만으로 형성되는 주변 영역 SA의 게이트 전극 GP2에서, 그 제1 도전층(601)은, 예를 들면, 도 11에 도시하는 바와 같이, 3개의 도전층(601a, 601b, 601c)이 적층된 구성이어도 된다. 이 때, 제1 도전층(601) 및 제2 도전층(602)으로 형성되는 표시 영역 DA의 게이트 전극 GP1은, 예를 들면, 도 11에 도시하는 바와 같이, 3개의 도전층(601a, 601b, 601c)으로 이루어지는 제1 도전층(601) 위에, 2개의 도전층(602a, 602b)으로 이루어지는 제2 도전층(602)이 적층되어 있어도 된다. 이와 같은 구성의 경우, 예를 들면, 도전층(601b, 602a)에는 Al을 이용하고, 도전층(601a, 601c, 602b)에는 Mo 또는 MoW 합금을 이용한다.

<112> 또한, 도 11에 도시한 예는, 제1 도전층(601)의 적층 구성 및 제2 도전층(602)의 적층 구성의 조합의 일례로서, 표시 영역 DA의 게이트 전극 GP1 및 주변 영역 SA의 게이트 전극 GP2 및 주사 신호선 GL에 대한 전기적인 특성 및 열적인 특성의 관계가, 실시예1에서 설명한 조건을 충족시키는 것이면, 다른 적층 구성이어도 되는 것은 물론이다.

<113> [실시예2]

<114> 도 12는, 본 발명에 따른 실시예2의 TFT 기판의 특징을 도시하는 모식 단면도이다. 또한, 도 12에서, 일점쇄선의 우측은 표시 영역 DA에 형성되는 TFT 소자(MOS 트랜지스터)의 게이트 전극 GP1의 단면 구성을 일례를 나타내고 있고, 일점쇄선의 좌측은 주변 영역 SA에 형성되는 MOS 트랜지스터의 게이트 전극 GP2의 단면 구성을 일례를 나타내고 있다.

<115> 실시예2의 TFT 기판(1)은, 예를 들면, 도 12에 도시하는 바와 같이, 주변 영역 SA에 배치된 제1 구동 회로 DRV1 등의 MOS 트랜지스터의 게이트 전극 GP2의 두께 d2가, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1의 두께 d1보다도 얇다. 이 때, 주변 영역 SA의 게이트 전극 GP2가 제1 도전층(601)만으로 형성되어 있고, 표시 영역 DA의 게이트 전극 GP1이 제1 도전층(601)과 제2 도전층(602)으로 형성되어 있는 점은, 실시예1의 TFT 기판(1)과 동일하다.

- <116> 단, 실시예2의 TFT 기판(1)에서, 표시 영역 DA의 게이트 전극 GP1은, 제2 도전층(602)이, 클래스 기판(100)(기초 절연층(101))과, 제1 도전층(601) 사이에 형성된 구성으로 되어 있다.
- <117> 또한, 실시예2에서도, 주변 영역 SA의 MOS 트랜지스터의 게이트 전극 GP2 및 표시 영역 DA의 TFT 소자의 게이트 전극 GP1에 이용되고 있는 제1 도전층(601)과, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1에만 이용되고 있는 제2 도전층(602)은, 동일한 재료이어도 되고, 서로 다른 재료이어도 된다. 단, 제1 도전층(601)의 재료와 제2 도전층(602)의 재료의 조합은, 실시예1에서도 설명한 바와 같이, 제1 도전층(601)의 열전도율이 제2 도전층(602)의 열전도율보다도 낮은 것이 바람직하고, 또한 이 때, 제2 도전층(602)의 전기 저항(배선 저항)이 제1 도전층(601)의 전기 저항(배선 저항)보다도 낮은 조합이면, 더욱 바람직하다.
- <118> 도 13a~도 13e는, 실시예2의 TFT 기판의 게이트 전극의 제조 방법을 설명하기 위한 모식 단면도이다. 또한, 도 13a~도 13e에는, 게이트 전극을 형성하는 수순에서 특징으로 되는 부분만을 도시하고 있다. 또한, 도 13a~도 13e에서, 일점쇄선의 우측은 표시 영역 DA에 형성되는 TFT 소자(MOS 트랜지스터)의 게이트 전극 GP1의 형성 수순을 나타내고 있고, 일점쇄선의 좌측은 주변 영역 SA에 형성되는 MOS 트랜지스터의 게이트 전극 GP2의 형성 수순을 나타내고 있다.
- <119> 실시예2의 TFT 기판(1)의 제조 방법에서, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1, 제1 구동 회로 DRV1 및 제2 구동 회로 DRV2의 MOS 트랜지스터의 게이트 전극 GP2를 형성하는 공정은, 우선, 도 13a에 도시하는 바와 같이, 클래스 기판(절연 기판)(100) 위에 실리콘 질화막(SiN막) 등의 기초 절연층(101)을 성막한 후, 제2 도전층(602)을 성막한다.
- <120> 다음으로, 도 13b에 도시하는 바와 같이, 제2 도전층(602) 위 중, 표시 영역 DA 위에만 레지스트(701)를 형성하고, 표시 영역 DA의 외측(주변 영역 SA)에 있는 제2 도전층(602)을 예칭으로 제거한다.
- <121> 다음으로, 레지스트(701)를 제거한 후, 도 13c에 도시하는 바와 같이, 클래스 기판(100)의 전체면, 즉 표시 영역 DA 및 주변 영역 SA에 제1 도전층(601)을 성막한다.
- <122> 다음으로, 도 13d에 도시하는 바와 같이, 레지스트(702)를 형성하고, 레지스트(702)를 마스크로 한 예칭을 행하고, 표시 영역 DA는 제1 도전층(601) 및 제2 도전층(602)의 불필요한 부분을 제거하고, 그 외측의 주변 영역 SA는 제1 도전층(601)의 불필요한 부분을 제거한다.
- <123> 그 후, 레지스트(702)를 제거하면, 도 13e에 도시하는 바와 같이, 표시 영역 DA에는 제1 도전층(601) 및 제2 도전층(602)이 적층한 게이트 전극 GP1이 형성되고, 주변 영역 SA에는 제1 도전층(601)만으로 이루어지는 얇은 게이트 전극 GP2가 형성되어 있다.
- <124> 또한, 도 13a~도 13e에 도시한 바와 같은 수순으로 게이트 전극 GP1, GP2를 형성하는 경우, 상기 제2 도전층(602) 및 제1 도전층(601)은, 동일한 재료이어도 되고, 서로 다른 재료이어도 된다. 동일한 재료를 이용하는 경우에는, 예를 들면, MoW 합금을 이용한다. 또한, 서로 다른 재료를 이용하는 경우에는, 예를 들면, 주변 영역 SA의 MOS 트랜지스터의 게이트 전극 GP2에도 이용되는 제1 도전층(601)에 MoW 합금을 이용하고, 제2 도전층(602)에 Al을 이용한다.
- <125> 또한, 이와 같은 수순으로 표시 영역 DA와 그 외측의 주변 영역 SA에서 두께가 서로 다르고, 또한, 주변 영역 SA의 쪽이 얇아지도록 각 영역 DA, SA의 게이트 전극 GP1, GP2를 형성한 후에는, 아몰퍼스 실리콘막 SCa를 성막하고, 예를 들면, 주변 영역 SA의 아몰퍼스 실리콘 SCa를 다결정 실리콘화한다. 이 때의 수순, 및 얻어지는 효과에 대해서는, 실시예1에서 설명한 바와 같다. 또한, 주변 영역 SA의 아몰퍼스 실리콘막 SCa를 다결정 실리콘화한 후의 공정에 대해서는, 실시예1에서 설명한 수순으로 행하면 되기 때문에, 그 설명은 생략한다.
- <126> 이와 같이, 실시예2의 TFT 기판(1)의 제조 방법에서도, 주변 영역 SA의 MOS 트랜지스터를 형성하는 영역의 아몰퍼스 실리콘 SCa를 다결정 실리콘화했을 때에, 게이트 전극 GP2 위에 있는 부분과 그 외측에 있는 부분의 결정성의 변동이나, 단차 부분에서의 막 박리를 저감할 수 있다.
- <127> 또한, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1이나 주사 신호선 GL의 배선 저항이 높아지는 것을 방지하여, 소비 전력의 증대나 화소부의 신호 지연에 의한 불량을 저감할 수 있다.
- <128> 또한, 각 영역의 TFT 소자(MOS 트랜지스터)의 게이트 절연막(102)의 막 두께를 두껍게 함으로써 생기는 별도의 문제, 예를 들면, 트랜지스터 특성 중 I_{ON} 의 저하, V_{th} 의 변동의 증가라고 하는 문제나, 생산성의 저하라고 하는 문제를 회피할 수 있다.

- <129> 또한, 실시예2의 TFT 기판(1)의 제조 방법에서는, 표시 영역 DA에만 제2 도전층(602)을 형성한 후, 제1 도전층(601)을 전체면에 형성하기 때문에, 주변 영역 SA는 제1 도전층(601)만을 에칭하면 된다. 그 때문에, 제2 도전층(602)과 제1 도전층(601)이 동일한 재료, 예를 들면, MoW 합금이어도, 주변 영역 SA의 게이트 전극 GP2의 표면의 평탄성이 나빠지는 것을 막을 수 있다.
- <130> 또한, 실시예2에서는, 예를 들면, 제1 도전층(601) 및 제2 도전층(602)이, 각각 단일의 재료인 경우를 예로 들었지만, 이에 한하지 않고, 제1 도전층(601) 또는 제2 도전층(602) 중 어느 한쪽, 혹은 그 양쪽이, 2층 이상의 도전층을 적층한 구성이어도 되는 것은 물론이다.
- <131> [실시예3]
- <132> 도 14a 및 도 14b는, 본 발명에 따른 실시예3의 TFT 기판의 특징을 도시하는 모식 단면도이다.
- <133> 도 14a는, 표시 영역의 게이트 전극과 주변 영역의 게이트 전극의 단면 구성의 일례를 도시하는 모식 단면도이다. 도 14b는, 표시 영역의 주사 신호선과 주변 영역의 주사 신호선의 접속 부분의 단면 구성의 일례를 도시하는 모식 단면도이다. 또한, 도 14a에서, 일점쇄선의 우측은 표시 영역 DA에 형성되는 TFT 소자(MOS 트랜지스터)의 게이트 전극 GP1의 단면 구성의 일례를 나타내고 있고, 일점쇄선의 좌측은 주변 영역 SA에 형성되는 MOS 트랜지스터의 게이트 전극 GP2의 단면 구성의 일례를 나타내고 있다. 또한, 도 14b에서, 일점쇄선의 우측은 표시 영역 DA에서의 주사 신호선 GL의 단면 구성의 일례를 나타내고 있고, 일점쇄선의 좌측은 주변 영역 SA에서의 주사 신호선 GL의 단면 구성의 일례를 나타내고 있다.
- <134> 실시예1 및 실시예2에서는, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1에, 주변 영역 SA의 MOS 트랜지스터의 게이트 전극 GP2에 이용하는 제1 도전층(601)이 포함되어 있는 경우의 구성에 대해서 설명했다. 실시예3에서는, 이를 구성과는 달리, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1에, 주변 영역 SA의 MOS 트랜지스터의 게이트 전극 GP2에 이용하는 제1 도전층(601)이 포함되어 있지 않은 경우의 구성에 대해서 설명한다.
- <135> 실시예3의 TFT 기판(1)은, 예를 들면, 도 14a에 도시하는 바와 같이, 주변 영역 SA에 배치된 제1 구동 회로 DRV1 등의 MOS 트랜지스터의 게이트 전극 GP2의 두께가, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1의 두께보다도 얇다. 이 때, 주변 영역 SA의 게이트 전극 GP2가 제1 도전층(601)만으로 형성되어 있는 점은, 실시예1이나 실시예2의 TFT 기판(1)과 동일하다.
- <136> 단, 실시예3의 TFT 기판(1)에서, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1은, 예를 들면, 제2 도전층(602)만으로 형성되어 있다. 이 때, 표시 영역 DA의 게이트 전극 GP1에 접속되어 있는 주사 신호선 GL은, 예를 들면, 도 14b에 도시하는 바와 같이, 표시 영역 DA를 통과하는 부분은 제2 도전층(602)으로 형성되고, 주변 영역 SA를 통과하는 부분은 제1 도전층(601)으로 형성된다. 그리고, 1개의 주사 신호선 GL을 구성하는 제1 도전층(601)과 제2 도전층(602)은, 예를 들면, 표시 영역 DA와 주변 영역 SA의 경계 혹은 그 근방에서, 제2 도전층(602)의 끝부가 제1 도전층(601)의 끝부 위에 올라탄 형태로 전기적으로 접속된다.
- <137> 실시예3과 같은 구성의 TFT 기판(1)의 제조 방법에서, 게이트 전극 GP1, GP2나 주사 신호선 GL을 형성할 때에는, 예를 들면, 우선, 클래스 기판(100) 위에 실리콘 질화막 등의 기초 절연층(101)을 성막한 후, 계속해서 제1 도전층(601)을 성막한다. 다음으로, 제1 도전층(601) 위에 레지스트를 형성하고, 제1 도전층(601)을 에칭하여, 표시 영역 DA의 외측(주변 영역 SA)에만, 주사 신호선 GL, 제1 구동 회로 DRV1 및 제2 구동 회로 DRV2의 MOS 트랜지스터의 게이트 전극 GP2 등을 형성한다.
- <138> 다음으로, 클래스 기판(100) 위에 제2 도전층(602)을 성막한다. 그 후, 제2 도전층(602) 위에 레지스트를 형성하고, 제2 도전층(602)을 에칭하여, 표시 영역 DA에만, 주변 영역 SA에 형성되어 있는 주사 신호선 GL과 접속되는 주사 신호선 GL, 표시 영역 DA의 TFT 소자의 게이트 전극 GP1 등을 형성한다.
- <139> 이 때, 예를 들면, 제1 도전층(601)의 재료로서, 제2 도전층(602)(예를 들면, 알루미늄)보다도 열전도율이 낮은 재료를 이용하는 것이 바람직하다. 그리고, 제1 도전층(601)을 제2 도전층(602)보다도 얇게 성막하여 게이트 전극 GP2 등을 형성하면, 실시예1 및 실시예2에서 설명한 TFT 기판(1)과 마찬가지의 효과를 얻을 수 있다.
- <140> 또한, 실시예3과 같은 구성의 TFT 기판(1)의 경우, 예를 들면, 제1 도전층(601)의 재료로서, 제2 도전층(602)(예를 들면, 알루미늄)보다도 열전도율이 낮은 재료를 이용하는 것이면, 각 도전층(601, 602)의 두께는 거의 동일하여도 되는 것은 물론이다. 그러나, 아몰퍼스 실리콘 SCa를 다결정 실리콘화하는 공정에서, 용융한 실리콘이 단차의 상측으로부터 하측으로 흘러 내려 단차 부분에 막 박리가 일어나는 것을 방지하기 위해서는, 제1 도전층(601)을 가능한 한 얇게 성막하는 것이 바람직하다.

- <141> 이상, 본 발명을, 상기 실시예에 기초하여 구체적으로 설명했지만, 본 발명은, 상기 실시예에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서, 다양하게 변경 가능한 것은 물론이다.
- <142> 예를 들면, TFT 기판(1)의 표시 영역 DA의 TFT 소자, 제1 구동 회로 DRV1 및 제2 구동 회로 DRV2의 MOS 트랜지스터는, 보텀 게이트 구조이어도 되고, 도 4a 내지 도 4c에 도시한 바와 같은 구조에 한하지 않고, 다른 구조이어도 된다.
- <143> 도 15 및 도 16a 내지 도 16c는, 본 발명의 TFT 기판에서의 MOS 트랜지스터의 구조의 다른 일례를 도시하는 모식도이다.
- <144> 도 15는, 도 4a에 도시한 TFT 소자의 평면 구성의 변형예를 설명하기 위한 모식 평면도이다.
- <145> 도 16a는, 본 발명을 적용한 TFT 기판에서의 표시 영역의 TFT 소자의 개략 구성의 다른 일례를 도시하는 모식 평면도이다. 도 16b는, 본 발명을 적용한 TFT 기판에서의 주변 회로의 MOS 트랜지스터의 개략 구성의 다른 일례를 도시하는 모식 평면도이다. 도 16c는, 도 16a의 E-E'선에서의 단면 구성의 일례 및 도 16b의 F-F'선에서의 단면 구성의 일례를 가로로 배열하여 도시한 모식 단면도이다. 또한, 도 16c에서, (n+)는 고농도의 n형 불순물 영역인 것을 나타내고, (n-)는 저농도의 n형 불순물 영역인 것을 나타내고 있다.
- <146> 상기 실시예1 내지 실시예3에서는, 표시 영역 DA에서의 TFT 소자의 주변을 평면에서 보았을 때의 구성이, 예를 들면, 도 4a에 도시한 바와 같은 구성으로 되어 있고, 주사 신호선 GL의 폭(y방향의 치수)을 부분적으로 넓게 하여 형성한 직사각 형상의 돌출 부분을 게이트 전극 GP1로서 이용하고 있다. 그러나, 표시 영역 DA의 TFT 소자의 평면 구성은, 이에 한하지 않고, 예를 들면, 도 15에 도시하는 바와 같이, 주사 신호선 GL의 폭을 일정하게 하여, 그 주사 신호선 GL 위에 반도체층 SC1을 형성하여도 된다. 또한, 영상 신호선 DL에 대해서도, 영상 신호선 DL의 폭(x방향의 치수)을 부분적으로 넓게 하여 형성한 직사각 형상의 돌출 부분을 드레인 전극 SD1a로서 이용하는 대신에, 예를 들면, 도 15에 도시하는 바와 같이, 영상 신호선 DL의 폭을 일정하게 하여, 영상 신호선 DL 아래에 반도체층 SC1을 형성하여도 되는 것은 물론이다.
- <147> 또한, 표시 영역 DA의 TFT 소자(MOS 트랜지스터)나, 주변 영역 SA의 제1 구동 회로 DRV1 및 제2 구동 회로 DRV2의 MOS 트랜지스터를 보텀 게이트 구조으로 하는 경우, 각 영역 DA, SA에 형성되는 MOS 트랜지스터는, 도 4a 내지 도 4c에 도시한 바와 같은 구성에 한하지 않고, 예를 들면, 도 16a 내지 도 16c에 도시한 바와 같은 구성으로 할 수 있다. 이 때, 표시 영역 DA의 각 화소에 대하여 배치되는 MOS 트랜지스터(TFT 소자)는, 예를 들면, 도 16a 및 도 16c에 도시하는 바와 같은 구성으로 되어 있고, 클래스 기판(100)의 표면에 형성된 기초 절연층 (101) 위에 게이트 전극 GP1이 형성되어 있다. 게이트 전극 GP1은, 예를 들면, 주사 신호선 GL과 일체이며, 주사 신호선 GL의 폭(y방향의 치수)을 부분적으로 넓게 하여 형성한 직사각 형상의 돌출 부분을 이용하고 있다.
- <148> 또한, 클래스 기판(100)으로부터 보아 게이트 전극 GP1 위에는, 제1 절연층(제이트 절연막)(102)을 개재하여 반도체층 SC1이 형성되어 있다. 반도체층 SC1은, 드레인 영역 SC1a, 소스 영역 SC1b, 및 채널 영역 SC1c의 3개의 영역으로 이루어지고, 각 영역은, 아몰퍼스 실리콘 등의 아몰퍼스 반도체로 형성되어 있다. TFT 소자가 N채널 MOS 트랜지스터인 경우, 반도체층 SC1의 드레인 영역 SC1a 및 소스 영역 SC1b는, 예를 들면, 불순물로서 인이 주입된 n형 반도체 영역으로서, 채널 영역 SC1c는 진성(i형)의 아몰퍼스 반도체, 또는 불순물 농도가 매우 낮은 n형의 아몰퍼스 반도체, 혹은 불순물 농도가 매우 낮은 p형의 아몰퍼스 반도체 중 어느 하나이다.
- <149> 또한, 클래스 기판(100)으로부터 보아 반도체층 SC1의 더 위에는, 제4 절연층(105)을 개재하여 영상 신호선 DL 및 소스 전극 SD1b가 형성되어 있고, 영상 신호선 DL은 쓰루홀 TH1에 의해 반도체층 SC1의 드레인 영역 SC1a와 접속하고 있고, 소스 전극 SD1b는 쓰루홀 TH2에 의해 반도체층 SC1의 소스 영역 SC1b와 접속하고 있다.
- <150> 또한, 영상 신호선 DL 및 소스 전극 SD1b의 더 위에는, 제2 절연층(103) 및 제3 절연층(104)을 개재하여 화소 전극 PX가 형성되어 있다. 화소 전극 PX는, 쓰루홀 TH3에 의해 소스 전극 SD1b와 접속하고 있다.
- <151> 또한, 도 16a에 도시한 예에서는, 영상 신호선 DL의 폭(x방향의 치수)을 일정하게 하고, 영상 신호선 DL과 반도체층 SC1이 평면에서 보아 겹치는 영역에 쓰루홀 TH1을 형성하고 있지만, 이에 한하지 않고, 예를 들면, 영상 신호선 DL의 폭을 부분적으로 넓게 한 직사각 형상의 돌출 부분을 형성하고, 그 돌출 부분을 TFT 소자의 드레인 전극 SD1a로서 이용하여도 되는 것은 물론이다.
- <152> 또한 이 때, 주변 영역의 MOS 트랜지스터는, 예를 들면, 도 16b 및 도 16c에 도시한 바와 같은 구성으로 되어 있고, 클래스 기판(100)의 표면에 형성된 기초 절연층(101) 위에 게이트 전극 GP2가 형성되어 있다.
- <153> 또한, 클래스 기판(100)으로부터 보아 게이트 전극 GP2 위에는, 제1 절연층(102)을 개재하여 반도체층 SC2가 형

성되어 있다. 주변 영역의 MOS 트랜지스터를 N채널 MOS 트랜지스터로 하는 경우, 예를 들면, 보다 스무스하게 캐리어가 이동하는 LDD 구조(Lightly Doped Drain 구조)로 하는 것이 바람직하다. 이 때, 반도체층 SC2는, 2개의 드레인 영역 SC2a, SC2d, 2개의 소스 영역 SC2b, SC2e, 및 채널 영역 SC2c의 5개의 영역으로 이루어지고, 5개의 영역 모두가 다결정 실리콘 등의 다결정 반도체로 형성되어 있다. 또한 이 때, 2개의 드레인 영역 SC2a, SC2d는, 예를 들면, 불순물로서 P⁺(인 이온)가 주입된 N형 반도체 영역이며, 또한, 채널 영역 SC2c에 가까운 쪽의 영역 SC2d는, 먼 쪽의 영역 SC2a보다도 불순물 농도가 낮다. 마찬가지로, 2개의 소스 영역 SC2b, SC2e도, 예를 들면, 불순물로서 P⁺(인 이온)가 주입된 N형 반도체 영역이며, 또한, 채널 영역 SC2c에 가까운 쪽의 영역 SC2e는, 먼 쪽의 영역 SC2b보다도 불순물 농도가 낮다. 또한, 채널 영역 SC2c는 진성(i형)의 다결정 반도체, 또는 불순물 농도가 매우 낮은 n형의 다결정 반도체, 혹은 불순물 농도가 매우 낮은 p형의 다결정 반도체 중 어느 하나이다. 특히, 반도체층 SC2와 같이 다결정 반도체(다결정 실리콘)로 형성되어 있는 경우, 채널 영역 SC2c에 불순물을 약간 더함으로써, MOS 트랜지스터의 임계값의 제어가 가능하게 된다.

<154> 또한, 글래스 기판(100)으로부터 보아 반도체층 SC2의 드레인 영역 SC2a 위에는 드레인 전극 SD2a가 형성되고, 소스 영역 SC2b 위에는 소스 전극 SD2b가 형성되어 있다. 드레인 전극 SD2a는, 쓰루홀 TH4에 의해 드레인 영역 SC2a와 접속하고 있고, 소스 전극 SD2b는, 쓰루홀 TH5에 의해 소스 영역 SC2b와 접속하고 있다.

<155> TFT 기판(1)의 표시 영역 DA에 형성되는 TFT 소자의 구성, 및 주변 영역 SA에 형성되는 구동 회로 DRV1, DRV2의 MOS 트랜지스터의 구성이, 도 16a 내지 도 16c에 도시한 바와 같은 구성인 경우에도, 예를 들면, 각 영역 DA, SA의 MOS 트랜지스터의 게이트 전극 GP1, GP2의 구성을 실시예1 내지 실시예3에서 설명한 구성으로 함으로써, 각 실시예에 예로 든 TFT 기판(1) 및 그 제조 방법에 의해 얻어지는 효과와 동일한 효과가 얻어진다.

<156> 또한, 도 16a 내지 도 16b에 도시한 바와 같은 구성의 MOS 트랜지스터(TFT 소자)를 형성하는 경우, 예를 들면, 아몰퍼스 실리콘막 SCa를 성막하고, 주변 영역 SA의 아몰퍼스 실리콘막 SCa를 다결정 실리콘화한 후, 실시예1에서 설명한 바와 같은 n형의 아몰퍼스 실리콘막을 성막할 필요는 없다. 그 대신에, 예를 들면, 주변 영역 SA의 일부 또는 전부를 다결정 실리콘화한 아몰퍼스 실리콘막 SCa를 섬 형상으로 패터닝한 후, 섬 형상의 아몰퍼스 실리콘막 SCa(반도체층 SC1) 및 다결정 실리콘막 SCp(반도체층 SC2)에 불순물을 주입하여, 반도체층 SC1의 드레인 영역 SC1a 및 소스 영역 SC1b와, 반도체층 SC2의 드레인 영역 SC2a, SC2d 및 소스 영역 SC2b, SC2e를 형성한다. 이 때 불순물의 주입의 수순은, 종래의 TFT 기판(1)의 제조 방법에서 적용되어 있는 수순이면 되기 때문에, 상세한 설명은 생략한다.

<157> 이와 같이, 본 발명은, 표시 영역 DA(제1 영역)에 형성되는 TFT 소자(MOS 트랜지스터)와, 주변 영역 SA(제2 영역)에 형성되는 MOS 트랜지스터가, 기판과 반도체층 사이에 게이트 전극을 갖는 보텀 게이트형이며, 또한, 한쪽의 영역에 형성되는 MOS 트랜지스터의 반도체층이 아몰퍼스 실리콘막으로 이루어지고, 다른 쪽의 영역에 형성되는 MOS 트랜지스터의 반도체층이 다결정 실리콘막을 갖는 구성이면, 어떤 구성의 경우에도 적용할 수 있다.

<158> 또한, 실시예1 내지 실시예3에서는, 표시 영역 DA의 TFT 소자의 반도체층 SC1은 아몰퍼스 실리콘 SCa로 형성하고, 주변 영역 SA의 MOS 트랜지스터의 반도체층 SC2는 띠 형상 결정의 집합체로 이루어지는 다결정 실리콘 SCp로 형성하는 경우를 예로 들었지만, 이에 한하지 않고, 주변 영역 SA의 MOS 트랜지스터의 반도체층 SC2를, 예를 들면, 도 8b의 상측에 도시한 바와 같은 미결정 또는 입상 결정 등의 미소 결정(11p)의 집합체로 이루어지는 다결정 실리콘으로 형성하는 경우에도, 본 발명을 적용할 수 있는 것은 물론이다.

<159> 또한, 실시예1 내지 실시예3에서는, 반도체층 SC1, SC2를 형성하기 위한 반도체 재료로서 실리콘을 이용한 경우를 예로 들었지만, 아몰퍼스 상태의 것을 가열하여 다결정 상태로 개질하는 반도체 재료이면, 실리콘에 한하지 않고, 다른 반도체 재료를 이용하여도 되는 것은 물론이다.

<160> 또한, 본 발명은, 게이트 절연막이 산화막인 MOS 트랜지스터에 한하지 않고, 게이트 절연막이 산화막 이외의 절연막인 경우에도 적용할 수 있는 것은 물론이다. 즉, 본 발명은, 반도체층이 아몰퍼스 반도체만으로 형성된 MIS 트랜지스터와 반도체층이 다결정 반도체를 갖는 MIS 트랜지스터를 갖는 TFT 기판에 적용할 수 있다.

<161> 또한, 실시예1 내지 실시예3에 나타낸 바와 같은 수순으로 게이트 전극 GP1, GP2나 주사 신호선 GL을 형성하는 경우, 예를 들면, 표시 영역 DA의 게이트 전극 GP1 및 주사 신호선 GL은, 아래부터 MoW 합금, Al, MoW 합금의 순으로 적층된 적층 배선으로 하고, 주변 영역 SA의 게이트 전극 GP2 및 그 배선은, MoW 합금의 단층의 배선으로 하는 것이 바람직하다.

<162> 또한, 실시예1 내지 실시예3에서, 표시 영역 DA의 게이트 전극 GP1 및 주사 신호선 GL은, 동일한 프로세스로 일

팔하여 형성하는 것이 바람직하다. 즉, 주사 신호선 GL은, 표시 영역 DA의 게이트 전극 GP1과 동일한 적층 구성을으로 게이트 전극 GP1과 일체적으로 형성되는 것이 바람직하다.

<163> 게이트 전극 GP1과 주사 신호선 GL은, 별도의 프로세스로 형성하는 것도 가능하지만, 그 경우, 게이트 전극 GP1을 가공하기 위한 마스크와, 주사 신호선 GL을 가공하기 위한 마스크의 오정렬을 고려하여, 화소 내의 다른 구성 요소를 가공하기 위한 마스크를 설계할 필요가 있다. 그 때문에, 각 마스크의 마진을 크게 취할 필요가 있고, 그 결과로서, 예를 들면, 화소의 개구율의 저하를 초래할 우려가 있다.

<164> 이에 대하여, 게이트 전극 GP1과 주사 신호선 GL을 동일한 프로세스로 일괄하여 형성함으로써, 화소 내의 다른 구성 요소를 가공하기 위한 마스크의 마진을 작게 할 수 있어, 화소의 개구율을 향상시킬 수 있다.

<165> 또한, 실시예1 내지 실시예3은, 예를 들면, 도 1a, 도 1b, 도 2, 도 3에 도시한 바와 같은 구성의 액정 표시 패널의 TFT 기판(1)에 본 발명을 적용했을 때의 게이트 전극 GP1, GP2의 구성 및 제조 방법에 대해서 설명했다. 그러나, 본 발명은, 이와 같은 액정 표시 패널의 TFT 기판(1)에 한하지 않고, 예를 들면, 유기 EL(ElectroLuminescence)을 이용한 자발광형의 표시 패널 등에 이용되는 기판에도 적용할 수 있는 것은 물론이다.

도면의 간단한 설명

<166> 도 1a는 액정 표시 패널의 개략 구성의 일례를 도시하는 모식 평면도.

<167> 도 1b는 도 1a에 도시한 액정 표시 패널의 A-A'선에서의 단면 구성의 일례를 도시하는 모식 단면도.

<168> 도 2는 본 발명의 적용이 요망되는 TFT 기판의 개략 구성의 일례를 도시하는 모식 평면도.

<169> 도 3은 액정 표시 패널의 1화소의 회로 구성의 일례를 도시하는 모식 회로도.

<170> 도 4a는 본 발명을 적용한 TFT 기판에서의 표시 영역의 TFT 소자의 개략 구성의 일례를 도시하는 모식 평면도.

<171> 도 4b는 본 발명을 적용한 TFT 기판에서의 주변 회로의 MOS 트랜지스터의 개략 구성의 일례를 도시하는 모식 평면도.

<172> 도 4c는 도 4a의 B-B'선에서의 단면 구성의 일례 및 도 4b의 C-C'선에서의 단면 구성의 일례를 가로로 배열하여 도시한 모식 단면도.

<173> 도 5는 본 발명에 따른 실시예1의 TFT 기판의 특징을 도시하는 모식 단면도.

<174> 도 6a~도 6e는 실시예1의 TFT 기판의 게이트 전극의 제조 방법을 설명하기 위한 모식 단면도.

<175> 도 7a는 아몰퍼스 실리콘막을 성막한 직후의 기판의 개략 구성을 도시하는 모식 평면도.

<176> 도 7b는 도 7a의 D-D'선에서의 모식 단면도.

<177> 도 7c는 도 7b에 도시한 단면도에서, 주변 영역의 MOS 트랜지스터의 게이트 전극이 형성된 영역과 표시 영역의 TFT 소자의 게이트 전극이 형성된 영역을 확대하여 배열한 모식 단면도.

<178> 도 8a는 아몰퍼스 실리콘을 다결정 실리콘화하는 방법의 일례를 도시하는 모식 사시도.

<179> 도 8b는 다결정 실리콘화된 영역의 반도체층의 개략 구성을 도시하는 모식 평면도.

<180> 도 9는 실시예1의 TFT 기판의 제조 방법의 작용 효과를 설명하기 위한 모식 단면도.

<181> 도 10a~도 10f는 실시예1의 TFT 기판의 제조 방법의 변형예를 설명하기 위한 모식 단면도.

<182> 도 11은 실시예1의 TFT 기판의 응용예를 설명하기 위한 모식 단면도.

<183> 도 12는 본 발명에 따른 실시예2의 TFT 기판의 특징을 도시하는 모식 단면도.

<184> 도 13a~도 13e는 실시예2의 TFT 기판의 게이트 전극의 제조 방법을 설명하기 위한 모식 단면도.

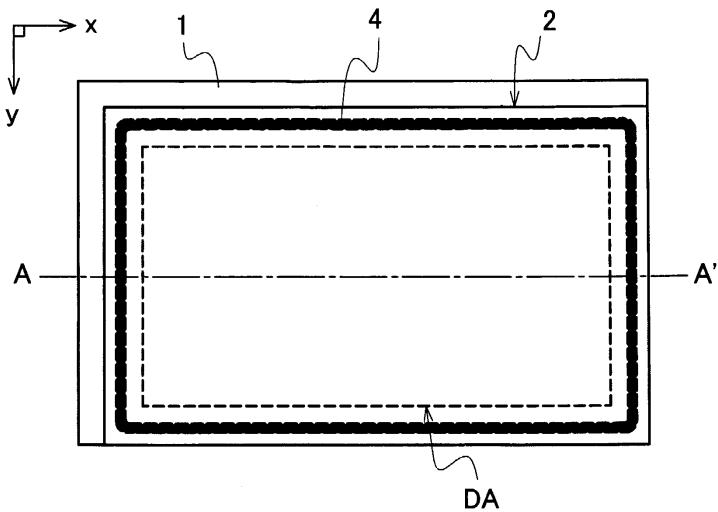
<185> 도 14a는 표시 영역의 게이트 전극과 주변 영역의 게이트 전극의 단면 구성의 일례를 도시하는 모식 단면도.

<186> 도 14b는 표시 영역의 주사 신호선과 주변 영역의 주사 신호선의 접속 부분의 단면 구성의 일례를 도시하는 모식 단면도.

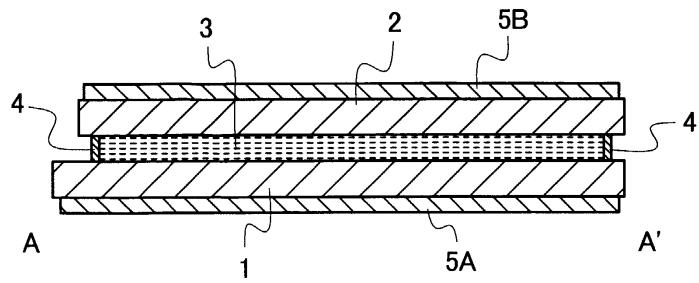
- <187> 도 15는 도 4a에 도시한 TFT 소자의 평면 구성의 변형예를 설명하기 위한 모식 평면도.
- <188> 도 16a는 본 발명을 적용한 TFT 기판에서의 표시 영역의 TFT 소자의 개략 구성의 다른 일례를 도시하는 모식 평면도.
- <189> 도 16b는 본 발명을 적용한 TFT 기판에서의 주변 회로의 MOS 트랜지스터의 개략 구성의 다른 일례를 도시하는 모식 평면도.
- <190> 도 16c는 도 16a의 E-E'선에서의 단면 구성의 일례 및 도 16b의 F-F'선에서의 단면 구성의 일례를 가로로 배열하여 도시한 모식 단면도.
- <191> <도면의 주요 부분에 대한 부호의 설명>
- <192> 1 : 제1 기판
- <193> 2 : 제2 기판
- <194> 3 : 액정 재료
- <195> 4 : 실재
- <196> 5A, 5B : 편광판
- <197> DA : 표시 영역
- <198> GL : 주사 신호선
- <199> DL : 영상 신호선
- <200> PX : 화소 전극
- <201> CT : 공통 전극

도면

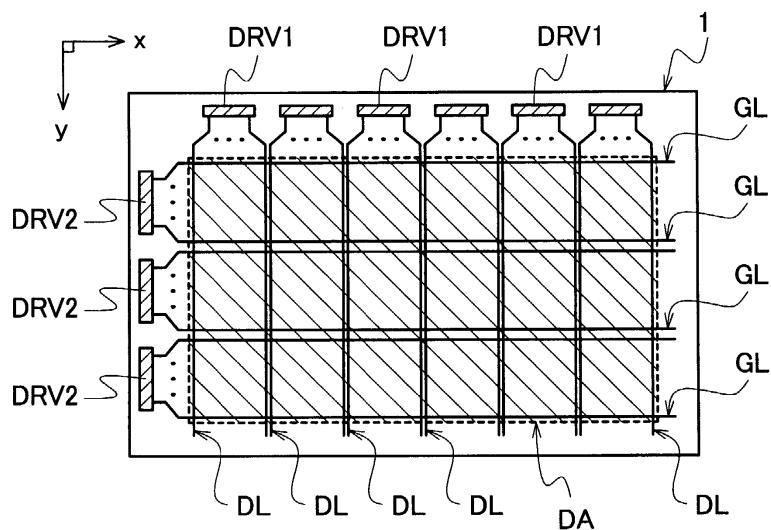
도면1a



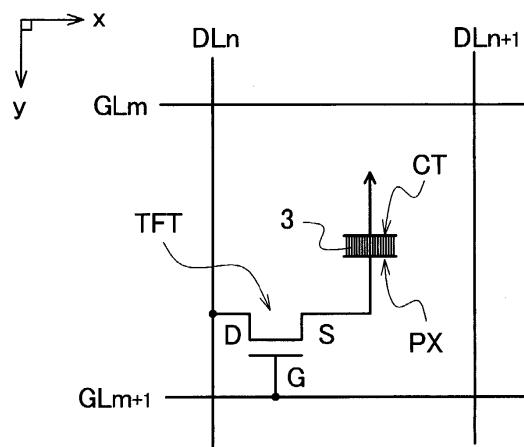
도면1b



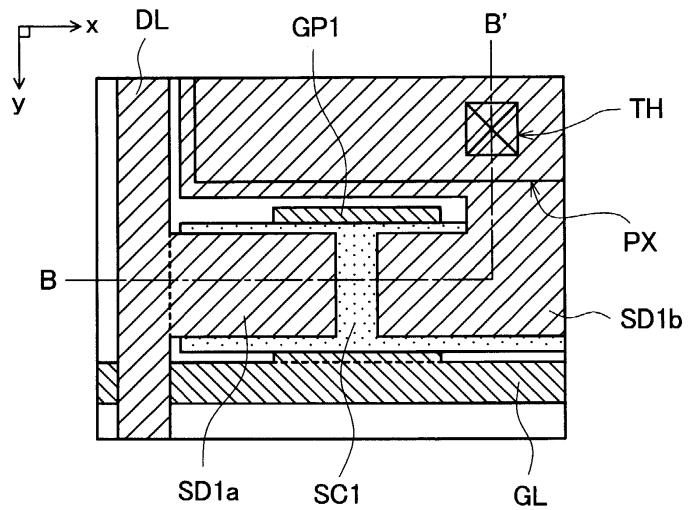
도면2



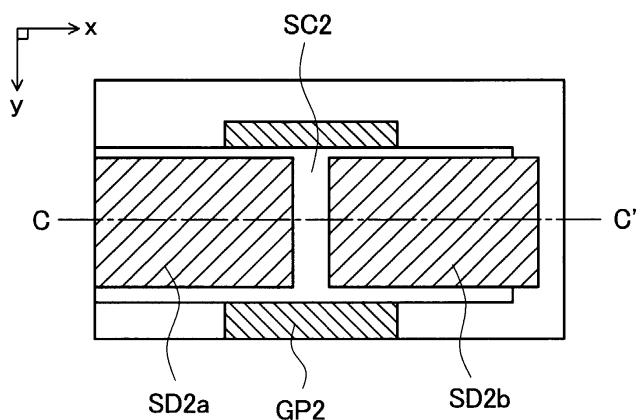
도면3



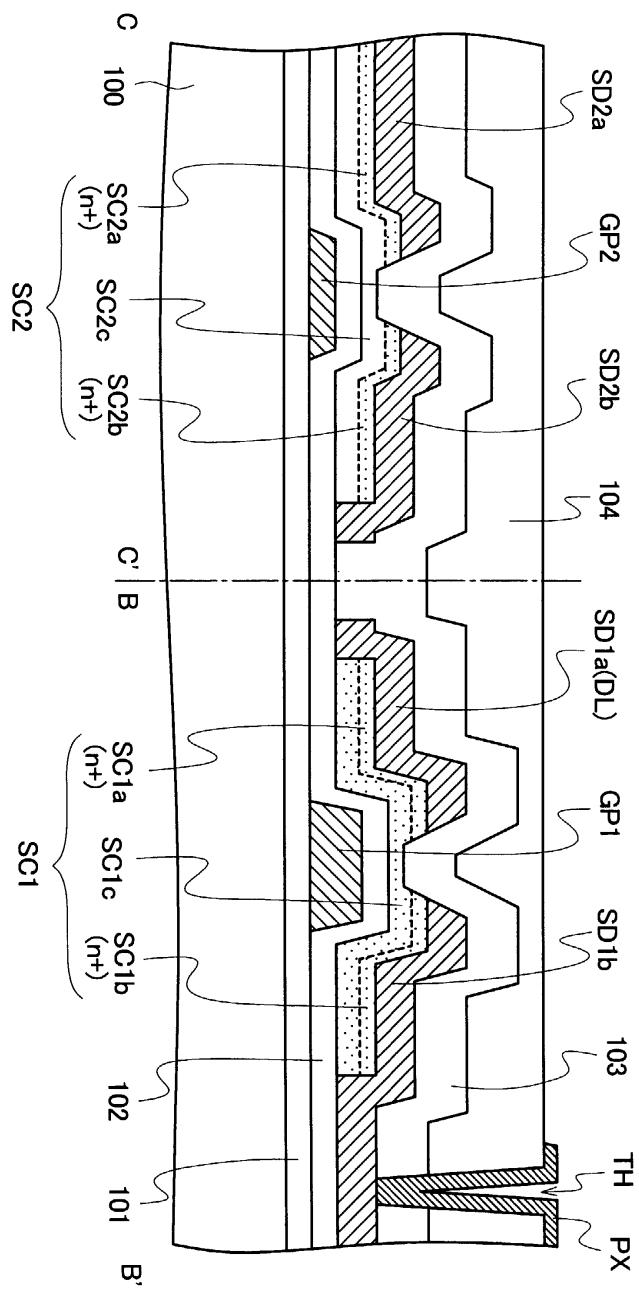
도면4a



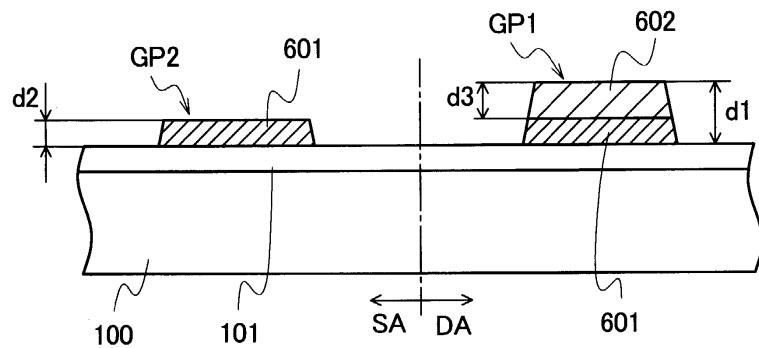
도면4b



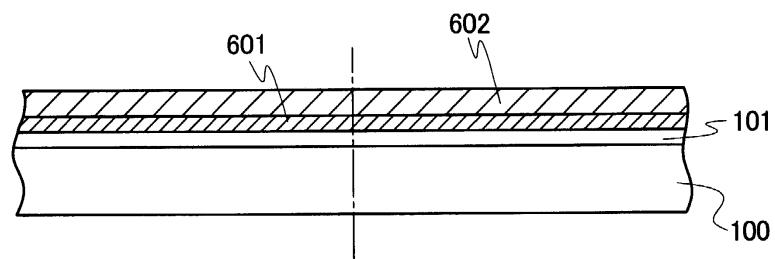
도면4c



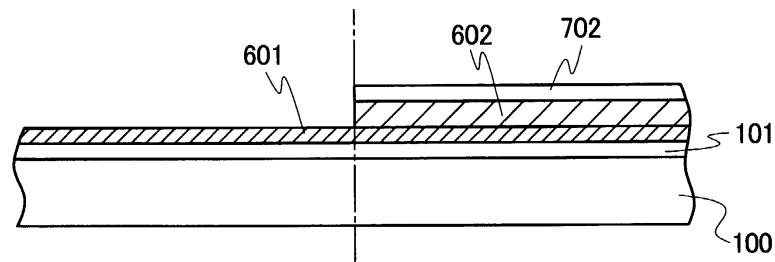
도면5



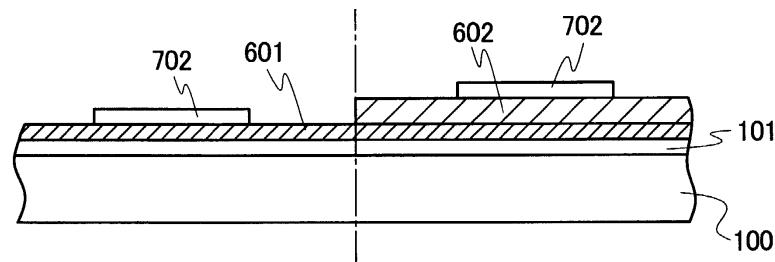
도면6a



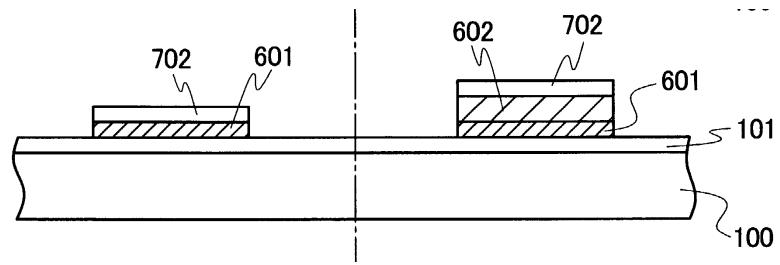
도면6b



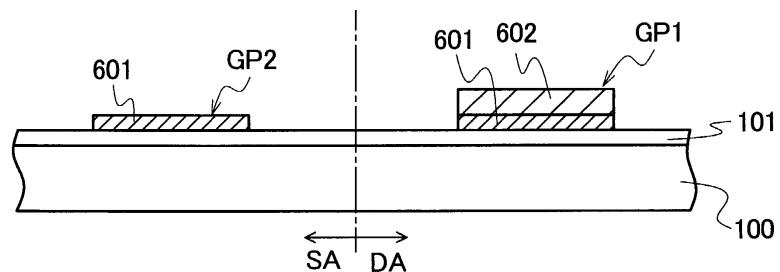
도면6c



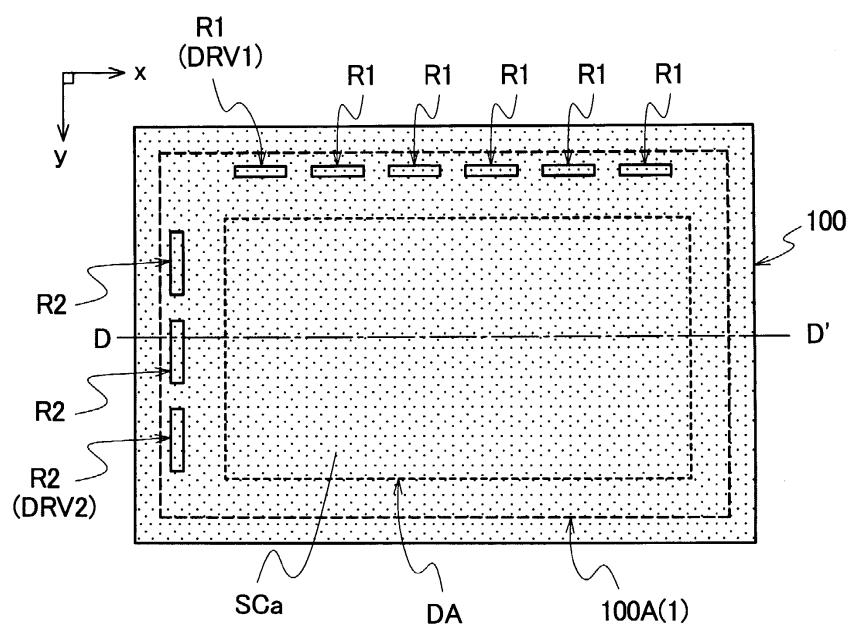
도면6d



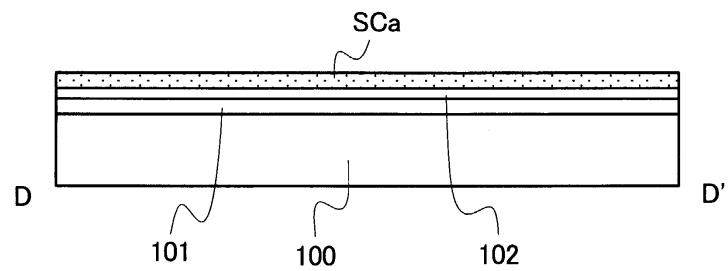
도면6e



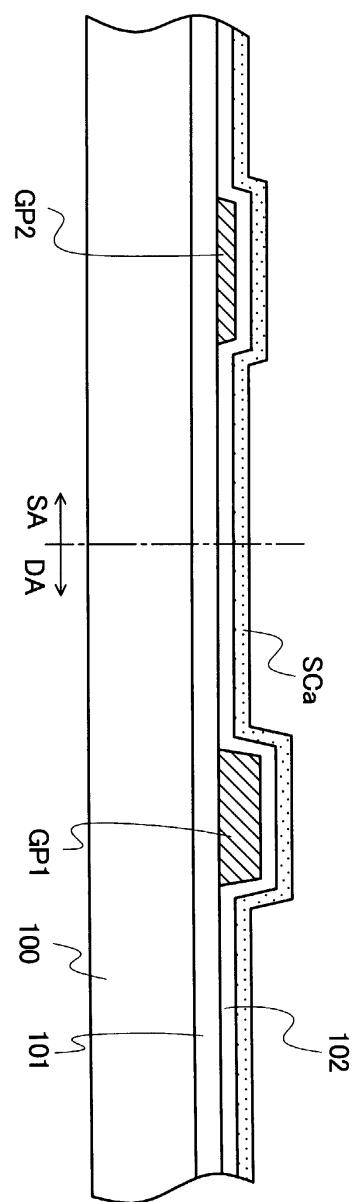
도면7a



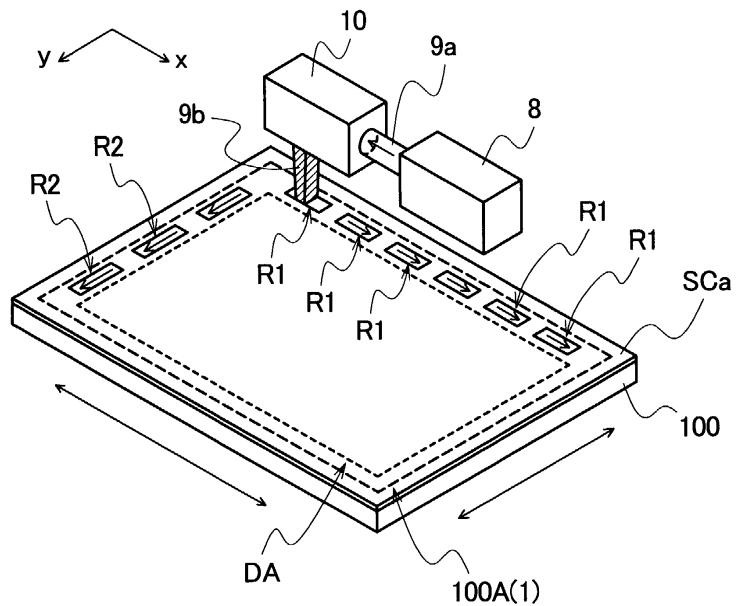
도면7b



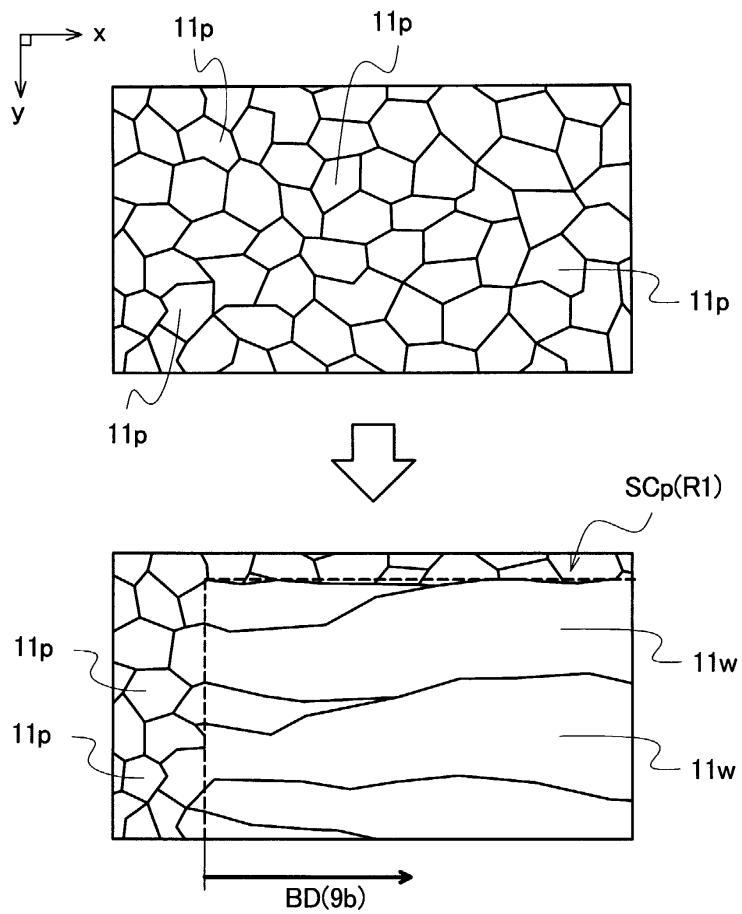
도면7c



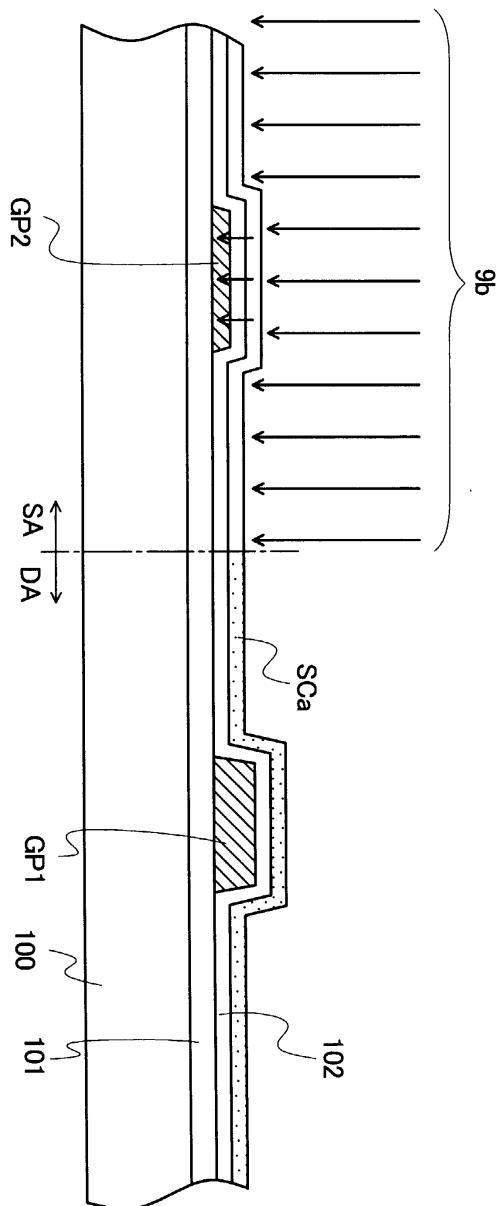
도면8a



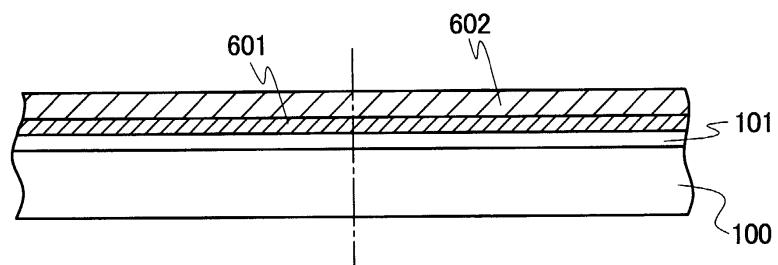
도면8b



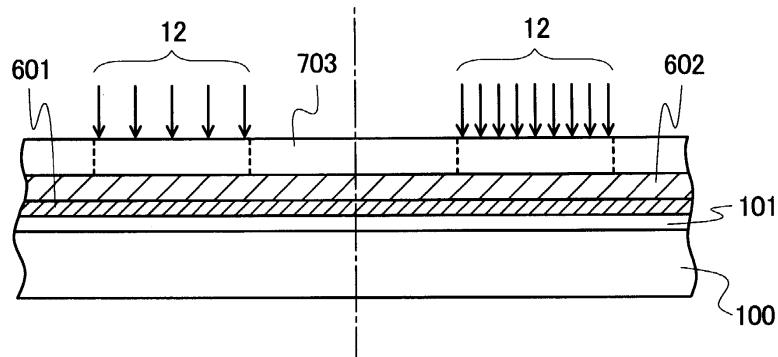
도면9



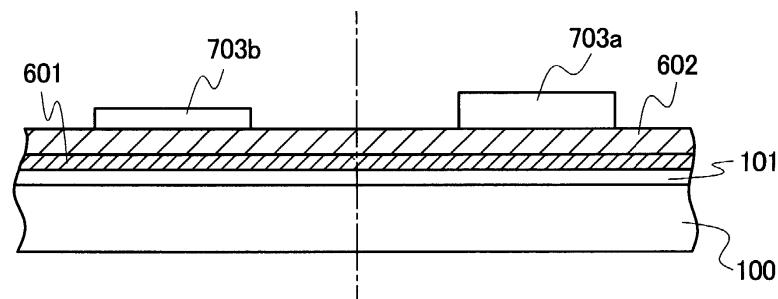
도면10a



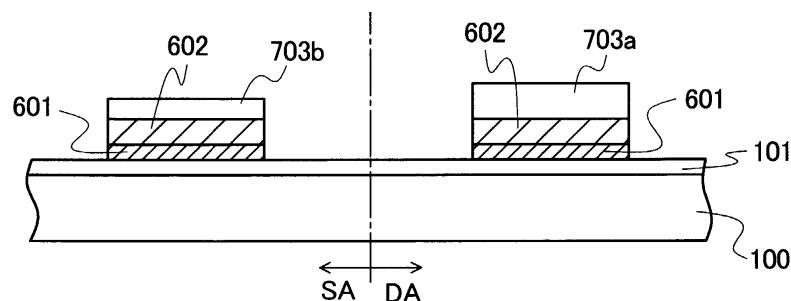
도면10b



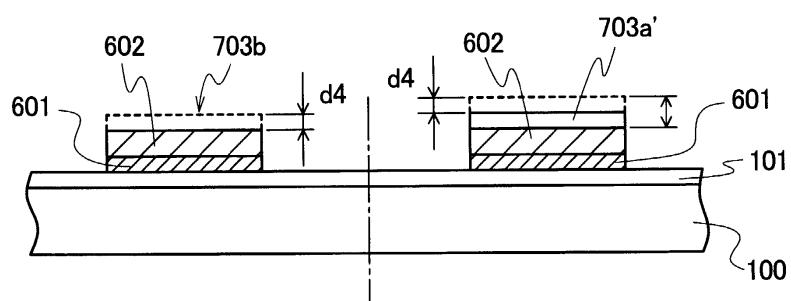
도면10c



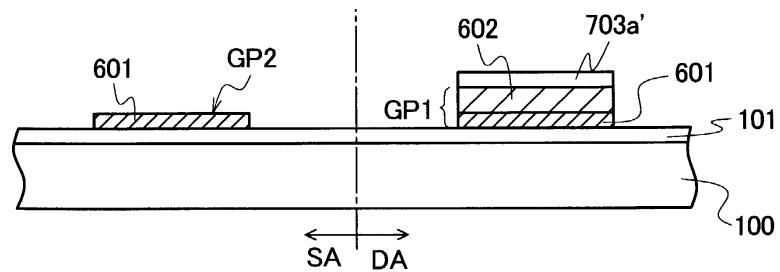
도면10d



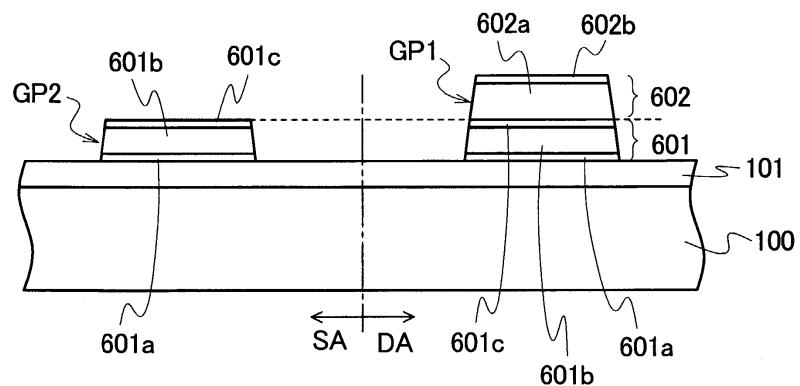
도면10e



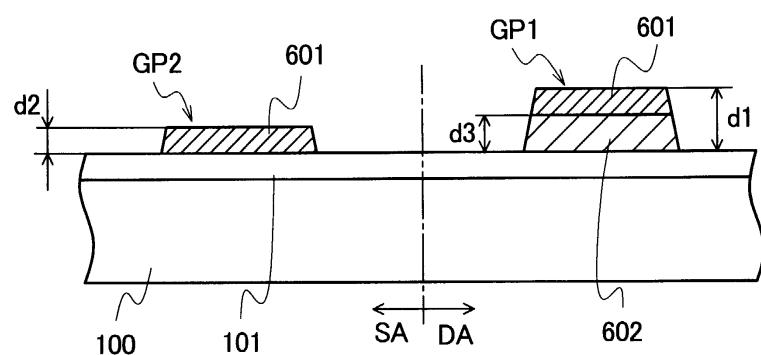
도면10f



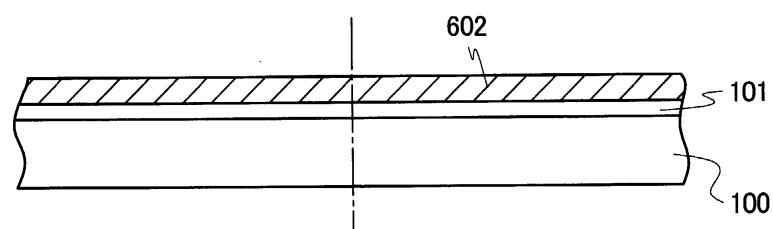
도면11



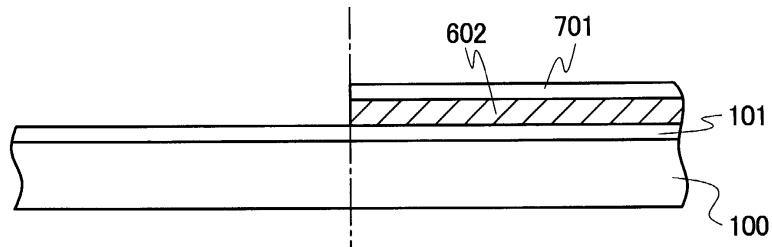
도면12



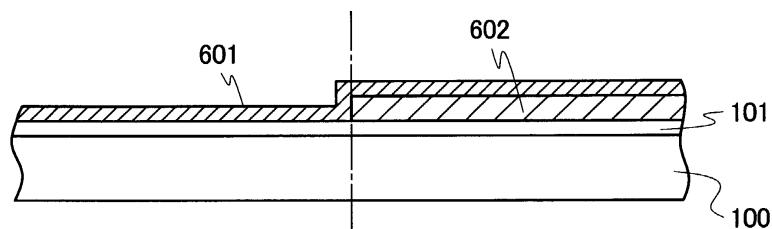
도면13a



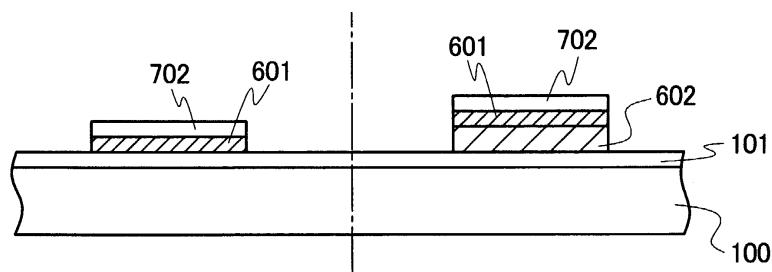
도면13b



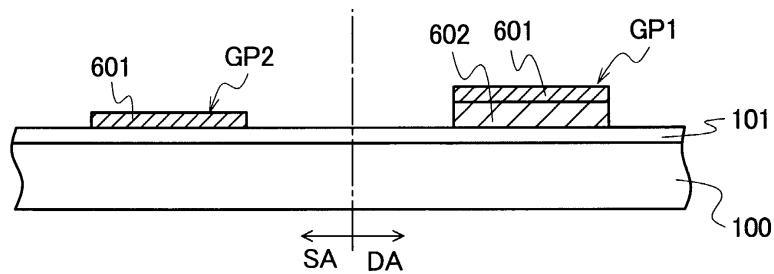
도면13c



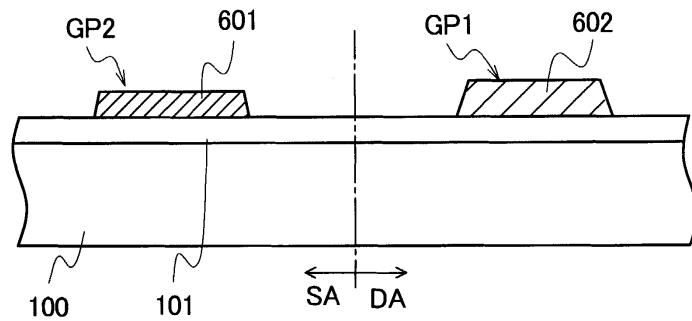
도면13d



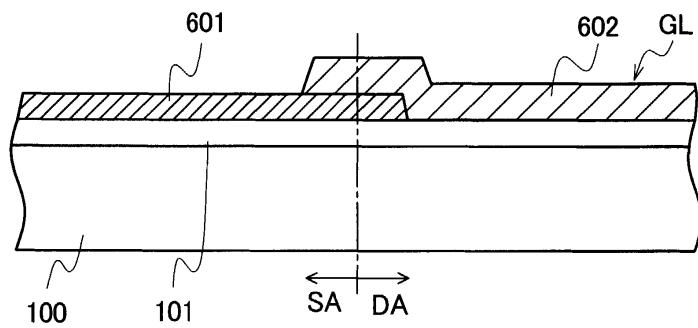
도면13e



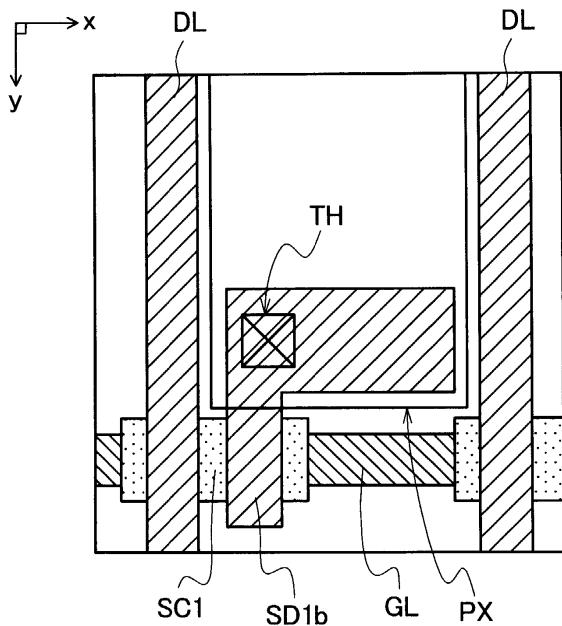
도면14a



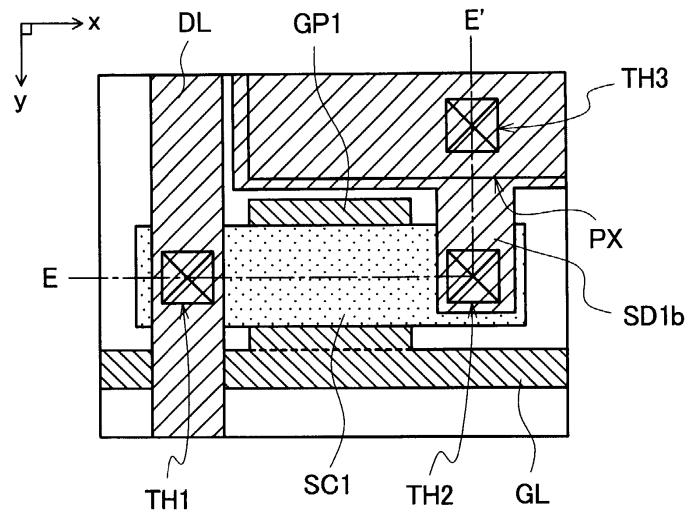
도면14b



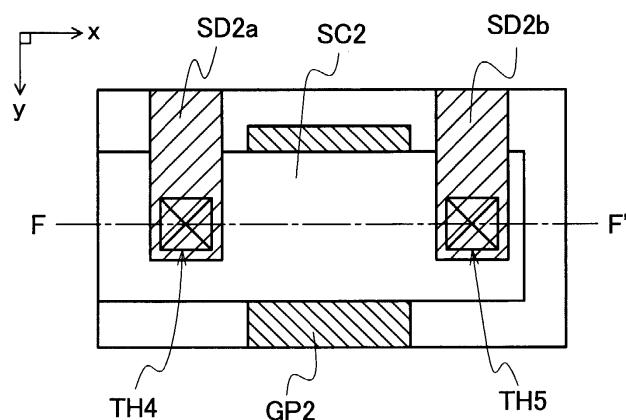
도면15



도면16a



도면16b



도면16c

