

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5681354号
(P5681354)

(45) 発行日 平成27年3月4日(2015.3.4)

(24) 登録日 平成27年1月16日(2015.1.16)

(51) Int.Cl.

H01L 21/02 (2006.01)
H01L 27/12 (2006.01)

F 1

H01L 27/12

B

請求項の数 5 (全 32 頁)

(21) 出願番号 特願2009-229202 (P2009-229202)
 (22) 出願日 平成21年10月1日 (2009.10.1)
 (65) 公開番号 特開2010-109356 (P2010-109356A)
 (43) 公開日 平成22年5月13日 (2010.5.13)
 審査請求日 平成24年9月18日 (2012.9.18)
 (31) 優先権主張番号 特願2008-257762 (P2008-257762)
 (32) 優先日 平成20年10月2日 (2008.10.2)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 下村 明久
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 古山 将樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 比嘉 栄二
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 S O I 基板の作製方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板の表面にラジカル処理を行うことにより、前記半導体基板に第1の絶縁膜を形成する工程と、

加速されたイオンを前記第1の絶縁膜を介して前記半導体基板に照射することにより、前記半導体基板に脆化領域を形成する工程と、

前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

前記半導体基板と、ベース基板とを対向させ、前記第2の絶縁膜の表面と前記ベース基板の表面とを接合させる工程と、

前記脆化領域において分離することにより、前記ベース基板上に前記第1の絶縁膜及び前記第2の絶縁膜を介して半導体層を形成する工程と、を有し、

前記第1の絶縁膜の膜厚は、1nm以上10nm未満であることを特徴とするS O I 基板の作製方法。

【請求項 2】

半導体基板の表面にラジカル処理を行うことにより、前記半導体基板に第1の絶縁膜を形成する工程と、

加速されたイオンを前記第1の絶縁膜を介して前記半導体基板に照射することにより、前記半導体基板に脆化領域を形成する工程と、

前記第1の絶縁膜を除去する工程と、

前記半導体基板上に第2の絶縁膜を形成する工程と、

10

20

前記半導体基板と、ベース基板とを対向させ、前記第2の絶縁膜の表面と前記ベース基板の表面とを接合させる工程と、

前記脆化領域において分離することにより、前記ベース基板上に前記第2の絶縁膜を介して半導体層を形成する工程と、を有し、

前記第1の絶縁膜の膜厚は、1 nm以上10 nm未満であることを特徴とするSOI基板の作製方法。

【請求項3】

請求項1または請求項2において、

電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、且つ電子温度が3 eV以下であるプラズマを用いて、前記ラジカル処理を行うことを特徴とするSOI基板の作製方法。 10

【請求項4】

請求項1乃至3のいずれか一において、

前記第1の絶縁膜は、酸化シリコン、窒化シリコン、酸化窒化シリコン、又は窒化酸化シリコンのいずれか一又は複数を有する膜であることを特徴とするSOI基板の作製方法。 20

【請求項5】

請求項1乃至4のいずれか一において、

前記第2の絶縁膜の表面と前記ベース基板の表面とを接合させた後に熱処理を行う工程を有することを特徴とするSOI基板の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁膜を介して半導体層が設けられた基板の作製方法に関し、特にSOI (Silicon on Insulator) 基板の作製方法に関する。また、絶縁膜を介して半導体層が設けられた基板を用いた半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、バルク状のシリコンウェハに代わり、絶縁表面に薄い単結晶半導体層が存在するSOI (Silicon on Insulator) 基板を使った集積回路が開発されている。SOI基板を使うことで、トランジスタのドレインと基板間における寄生容量が低減されるため、SOI基板は半導体集積回路の性能を向上させるものとして注目されている。 30

【0003】

SOI基板を製造する方法の1つに、スマートカット法が知られている（例えば、特許文献1参照）。スマートカット法によるSOI基板の作製方法の概要を以下に説明する。まず、シリコンウェハにイオン注入法を用いて水素イオンを注入することによって表面から所定の深さに脆化領域を形成する。次に、酸化シリコン膜を介して、水素イオンを注入したシリコンウェハを別のシリコンウェハに接合させる。その後、熱処理を行うことにより、脆化領域が劈開面となり、水素イオンが注入されたシリコンウェハの一部が脆化領域を境に薄膜状に分離し、接合させた別のシリコンウェハ上に単結晶シリコン膜を形成することができる。また、スマートカット法は水素イオン注入剥離法と呼ぶこともある。 40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2000-124092号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

シリコンウェハに脆化領域を形成する際に、水素イオンの照射によりシリコンウェハの表面が荒れることを防止するために、シリコンウェハの表面に絶縁膜を形成してから水素 50

イオンの照射を行う。ところが、水素イオンの照射により、絶縁膜の表面も荒れてしまい、絶縁膜の表面に凹凸が生じている状態となる。

【0006】

このような表面凹凸をなくすためには、水素イオンの照射の後にさらに絶縁膜を形成する方法もあるが、絶縁膜の膜厚を厚く堆積する必要があり、製造コストが増加する。また、表面が荒れた状態で絶縁膜を厚く堆積しても絶縁膜の表面の凹凸がさらに大きくなってしまう。このような凹凸を有したまま、ベース基板と貼り合わせを行うと、絶縁膜の表面凹凸を反映して貼り合わせ面内でボイドと呼ばれる局所的な隙間が生じ、貼り合わせ強度が低下する原因となる。

【0007】

また、パワーMOS用途、太陽電池用途などで、単結晶シリコン膜の膜厚を厚くすることが必要となっている。ベース基板に形成される単結晶シリコン膜の膜厚は、脆化領域の深さにより決まり、脆化領域の深さは、シリコンウエハの表面に形成される絶縁膜の膜厚、膜質と、イオン照射の加速電圧により決まる。したがって、シリコンウエハの表面に形成される絶縁膜の膜厚が厚くなると、その分だけベース基板に形成される単結晶シリコン膜の厚さは薄くなってしまう。また、絶縁膜の膜厚や膜質にはらつきがあると、脆化領域が均一の深さに形成することができず、単結晶シリコン膜の膜厚を均一に形成することが困難となる。

【0008】

本発明は、これらの点に鑑みてなされたものであり、単結晶半導体層とベース基板との密着性を向上させ、貼り合わせ不良を低減することを目的のーとする。貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつSOI基板の作製方法を提供することを目的のーとする。

【課題を解決するための手段】

【0009】

本発明の一態様は、半導体基板の表面にラジカル処理を行うことにより、半導体基板に第1の絶縁膜を形成し、第1の絶縁膜を介して半導体基板に加速されたイオンを照射することにより、半導体基板に脆化領域を形成し、第1の絶縁膜上に第2の絶縁膜を形成し、半導体基板と、ベース基板とを対向させ、第2の絶縁膜の表面とベース基板の表面とを接合させ、第2の絶縁膜の表面とベース基板の表面とを接合させた後に熱処理を行い、脆化領域において分離することにより、ベース基板上に第1及び第2の絶縁膜を介して半導体層を形成し、半導体層にエッチング処理を行い、エッチング処理が行われた半導体層にレーザビームを照射することを特徴としている。

【0010】

本発明の一態様は、半導体基板の表面にラジカル処理を行うことにより、半導体基板に第1の絶縁膜を形成し、第1の絶縁膜を介して半導体基板に加速されたイオンを照射することにより、半導体基板に脆化領域を形成し、第1の絶縁膜をエッチングにより除去し、半導体基板上に、第2の絶縁膜を形成し、半導体基板と、ベース基板とを対向させ、第2の絶縁膜の表面とベース基板の表面とを接合させ、第2の絶縁膜の表面とベース基板の表面とを接合させた後に熱処理を行い、脆化領域において分離することにより、ベース基板上に第2の絶縁膜を介して半導体層を形成し、半導体層にエッチング処理を行い、エッチング処理が行われた半導体層にレーザビームを照射することを特徴としている。

【0011】

本明細書において、ラジカル処理とは、プラズマを基板から離れた位置で生成し、活性化した原子又は分子のうち、長寿の中性原子又は中性分子を移送し、被処理物と反応させることをいう。

【0012】

ラジカル処理により形成された絶縁膜は、気相堆積法を用いて形成された絶縁膜とは異なり、塵埃に起因する表面の凹凸が生じにくく、高い平坦性を得ることができる。

【0013】

10

20

30

40

50

また、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜を用いることができる。本明細書中において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) 及び水素前方散乱法 (HFS: Hydrogen Forward Scattering) を用いて測定した場合に、濃度範囲として酸素が50~70原子%、窒素が0.5~15原子%、シリコンが25~35原子%、水素が0.1~10原子%で含まれるものという。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5~30原子%、窒素が20~55原子%、シリコンが25~35原子%、水素が10~30原子%で含まれるものという。ただし、酸化窒化シリコン又は窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

【0014】

ベース基板は、絶縁体である基板を用いる。具体的には、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。

【0015】

単結晶とは、ある結晶軸に注目した場合、その結晶軸の方向が試料のどの部分においても同じ方向を向いている結晶のことをいい、かつ結晶と結晶との間に結晶粒界が存在しない結晶である。なお、本明細書では、結晶欠陥やダングリグボンドを含んでいても、上記のように結晶軸の方向が揃っており、粒界が存在していない結晶であるものは単結晶とする。また、単結晶半導体層の再単結晶化とは、単結晶構造の半導体層が、その単結晶構造と異なる状態（例えば、液相状態）を経て、再び単結晶構造になることをいう。あるいは、単結晶半導体層の再単結晶化とは、単結晶半導体層を再結晶化して、単結晶半導体層を形成するということもできる。

【0016】

また、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置に含まれる。

【0017】

また、本明細書中において表示装置とは、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL (Electro Luminescence) 素子、有機EL素子等が含まれる。

【発明の効果】

【0018】

本発明により、単結晶半導体層とベース基板との密着性を向上させ貼り合わせ不良を低減し、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつSOI基板を作製することができる。

【図面の簡単な説明】

【0019】

【図1】本発明一態様に係るSOI基板の作製方法の一例を示す図。

【図2】高密度プラズマ処理装置の構成例を説明する図。

【図3】本発明一態様に係るSOI基板の作製方法の一例を示す図。

【図4】本発明一態様に係るSOI基板の作製方法の一例を示す図。

【図5】本発明一態様に係るSOI基板の作製方法の一例を示す図。

【図6】本発明一態様に係るSOI基板を用いた作製方法の一例を示す図。

【図7】本発明一態様に係るSOI基板を用いた作製方法の一例を示す図。

【図8】本発明一態様に係るSOI基板を用いた半導体装置の一例を示す図。

【図9】本発明一態様に係るSOI基板を用いた半導体装置の一例を示す図。

10

20

30

40

50

【図10】本発明一態様に係るSOI基板を適用した光電変換装置の製造方法を示す断面図。

【図11】本発明一態様に係るSOI基板を適用した光電変換装置の製造方法を示す断面図。

【図12】本発明一態様に係るSOI基板を適用した光電変換装置の例を示す平面図。

【図13】本発明一態様に係るSOI基板を適用した光電変換装置の例を示す断面図。

【発明を実施するための形態】

【0020】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる形態で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態および詳細を変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

10

【0021】

(実施の形態1)

本実施の形態では、半導体基板とベース基板を貼り合わせて、絶縁膜を介して半導体層が設けられた基板(例えば、SOI基板)を作製する方法に関して図面を参照して説明する。

【0022】

20

まず、半導体基板として、単結晶半導体基板100を準備する(図1(A-1)参照)。単結晶半導体基板100は、単結晶半導体基板や多結晶半導体基板を用いることができ、例えば、単結晶又は多結晶のシリコン基板や、ゲルマニウム基板、ガリウムヒ素やインジウムリン等の化合物半導体基板が挙げられる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)、直径16インチ(400mm)サイズの円形のものが代表的である。なお、形状は円形に限らず矩形状等に加工したシリコン基板を用いることも可能である。以下の説明では、単結晶半導体基板100として、単結晶シリコン基板を用いる場合について示す。

【0023】

30

また、単結晶半導体基板100の表面をあらかじめ硫酸過水(SPM)、アンモニア過水(APM)、塩酸過水(HPM)、希フッ酸(DHF)などを用いて適宜洗浄することが汚染除去の点から好ましい。また、希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

【0024】

次に、単結晶半導体基板100上に絶縁膜102を形成する。絶縁膜102は、後に行うイオン照射工程において単結晶半導体基板の表面が荒れてしまうことを抑制するために形成する。また、ベース基板110に設けられる単結晶半導体層112の膜厚の均一性は、単結晶半導体基板100に形成される脆化領域104の深さの均一性に依存する。そして、脆化領域104の深さの均一性は、絶縁膜102の膜厚、膜質に依存する。したがって、絶縁膜102は、膜厚、膜質の均一性が高い膜であることが好ましい。また、ベース基板110に設けられる単結晶半導体層112の膜厚を厚くするためには、絶縁膜102の膜厚を薄くすることが好ましい。

40

【0025】

膜厚、膜質の均一性の高い絶縁膜を形成するために、単結晶半導体基板100にラジカル処理により、絶縁膜102(第1の絶縁膜とも記す)を形成する(図1(A-2)参照)。本明細書において、ラジカル処理とは、プラズマを基板から離れた位置で生成し、活性化した原子又は分子のうち、長寿の中性原子又は中性分子を移送し、被処理物と反応させることをいう。また、ラジカルとは、電子が安定している通常(基底)状態に対して電子励起状態にある原子又は分子をいう。

50

【0026】

絶縁膜102は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜を用いることができる。絶縁膜102として酸化シリコン膜を形成する方法には、酸素を組成に含むガス（例えば、酸素（O₂）又は一酸化二窒素（N₂O））を励起して酸素ラジカルを生成し、酸素ラジカルにより単結晶半導体基板100を酸化する方法（酸素ラジカル処理ともいう）がある。また、窒化シリコン膜を形成する方法には、窒素を組成に含むガス（例えば、窒素ガス又はアンモニアガス等）を励起して窒素ラジカル又は窒化水素ラジカルを生成し、窒素ラジカル又は窒化水素ラジカルにより単結晶半導体基板100を窒化する方法（窒素ラジカル処理ともいう）がある。なお、本明細書においては、酸素ラジカル処理及び窒素ラジカル処理を含めてラジカル処理と呼ぶ。

10

【0027】

絶縁膜102として酸化窒化シリコン膜を形成する方法には、酸素ラジカルによる酸化処理により単結晶半導体基板100の表面を酸化して酸化シリコン膜を形成し、この酸化シリコン膜を窒素ラジカルによる窒化処理により表面を窒化することで形成する方法がある。また、窒化酸化シリコン膜を形成する方法には、窒化ラジカルによる窒化処理により表面を窒化して窒化シリコン膜を形成し、この窒化シリコン膜を酸素ラジカルによる酸化処理により表面を酸化することで形成する方法がある。

【0028】

酸素ラジカルによる酸化処理、若しくは窒素ラジカル又は窒化水素ラジカルによる窒化処理を行う場合には、マイクロ波でガスを励起してプラズマを生成することが好ましい。これは、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、且つ電子温度が3eV以下の高密度プラズマを生成することができるからである。高密度プラズマを生成するためのマイクロ波の代表的な周波数は2.45GHzである。高密度プラズマを用いることで、550以下の加熱温度で、実用的な反応速度で絶縁膜を形成することができる。つまり、マイクロ波によって高密度プラズマを生成させ、高密度プラズマで生成されたラジカルと処理物を反応させることで、基板加熱温度が550以下の低温且つ短時間で、処理物を固相反応によって酸化又は窒化をすることができる。

20

【0029】

図2に、マイクロ波励起による高密度プラズマで各種の処理を行うための高密度プラズマ処理装置の構成例を示す。高密度プラズマを用いた処理には、半導体材料、絶縁材料、及び導電性材料に対する酸化処理、窒化処理、酸窒化処理、窒酸化処理、水素化処理、表面改質処理などがある。プラズマ励起するガスを変えることで、目的とする処理を行うことができる。

30

【0030】

図2(A)に示す高密度プラズマ処理装置は、マルチチャンバー構造であり、少なくとも第1のプラズマ処理室201、第2のプラズマ処理室202、ロードロック室203、及び共通室204を備えている。第1のプラズマ処理室201はラジカル酸化を行うためのチャンバーで、第2のプラズマ処理室202はラジカル窒化を行うためのチャンバーである。図2(A)に示す各チャンバーは、それぞれ真空排気されるようになっており、ラジカル酸化及びラジカル窒化を、単結晶半導体基板100を大気にさらすことなく連続的に行うことができる。

40

【0031】

高密度プラズマ処理装置は、図2(A)に示す以外に、CVD用のチャンバー、スパッタ用のチャンバー、ドライエッチング用のチャンバー、イオンドーピング用のチャンバー、熱処理用のチャンバーなど、ラジカル酸化及びラジカル窒化以外の処理を行うことができるチャンバーをさらに備えていてもよい。

【0032】

図2(B)は、第1のプラズマ処理室201及び第2のプラズマ処理室202に共通する構成を示す。プラズマ処理室200には、単結晶半導体基板100を配置するためのステージ211、ガス供給部212に連結されたシャワープレート218、プラズマ処理室

50

200を排気するための真空ポンプに接続する排気口210を有する。プラズマ処理室200の上部には、アンテナ214、誘電体板216、マイクロ波発生部213に連結された同軸導波管215を有する。また、ステージ211に温度制御部219を設けることによって単結晶半導体基板100の温度を制御することも可能である。

【0033】

ラジカル処理を行うには、所定のガスをガス供給部212から供給する。ガスはシャワープレート218の孔を通って、プラズマ処理室200に導入される。マイクロ波発生部213から、周波数2.45GHzのマイクロ波を発生させ、同軸導波管215へ供給する。マイクロ波は同軸導波管215、アンテナ214から誘電体板216を通してプラズマ処理室200に供給される。マイクロ波によって、プラズマ処理室200に供給されたガスが励起され、高密度プラズマが生成される。ステージ211とシャワープレート218との間隔(以下、電極間隔ともいう)は、20mm以上80mm以下とすることが可能、この間隔は、20mm以上60mm以下が好ましい。また、温度制御部219によって、単結晶半導体基板100を加熱しながらラジカル処理することができる。

【0034】

酸素ラジカル処理を行う場合には、プラズマ励起させるガスに、酸素を組成に含むガスと共に、希ガスを含ませることが好ましい。なお、酸素を組成に含むガスは、例えば、酸素(O_2)、一酸化二窒素(N_2O)などである。また、窒素ラジカル処理を行う場合も、プラズマ励起させるガスに、窒素を組成に含むガスと共に希ガスを含ませることが好ましい。なお、窒素を組成に含むガスは、例えば、窒素(N_2)、アンモニア(NH_3)などである。希ガスを添加することで、プラズマ中に効率良く酸素ラジカル(以下、「 O^* 」と表記する)、窒素ラジカル(以下、「 N^* 」と表記する)を生成することができる。希ガスとして、He、Ne、Ar、Kr、およびXeから選ばれる1種類又は複数種類のガスをも用いることができる。高密度プラズマを生成するためには、原子半径がより大きい、Ar、Kr、及びXeが好ましい。

【0035】

図2の高密度プラズマ処理装置を用いて、単結晶半導体基板100を酸素ラジカル処理する方法の一例を説明する。ガス供給部212から O_2 、Krをそれぞれプラズマ処理室200に供給する。そして、マイクロ波をプラズマ処理室200に導入することで、 O_2 およびKrの混合ガスのプラズマが生成される。このプラズマ中では、導入されたマイクロ波によりKrが励起されて、Krラジカル(以下、「 Kr^* 」と表記する)が生成され、この Kr^* と酸素分子(O_2)とが衝突することにより、 O^* が生成される。そして、プラズマ中で生成された O^* とステージ211上の単結晶半導体基板100が反応して、単結晶半導体基板100が酸化される。また、さらに、酸素を組成に含むガス、希ガスと共に水素(H_2)ガスを励起することで、プラズマ中にOHラジカル(以下、「 OH^* 」と表記する)を生成させて、 OH^* により単結晶半導体基板100を酸化することもできる。酸素ラジカル処理のための加熱温度は、300以上550以下の範囲とすることができる。圧力は100Pa以上140Pa以下が好ましい。

【0036】

図2の高密度プラズマ処理装置を用いて、単結晶半導体基板100を窒素ラジカル処理する方法の一例を説明する。ガス供給部212から N_2 、Krをそれぞれプラズマ処理室200に供給する。そして、マイクロ波をプラズマ処理室200に導入することで、 N_2 およびKrの混合ガスのプラズマが生成される。このプラズマ中では、導入されたマイクロ波によりKrが励起されて、 Kr^* が生成され、この Kr^* と窒素分子(N_2)とが衝突することにより、 N^* が生成される。そして、プラズマ中で生成された N^* とステージ211上の単結晶半導体基板100が反応して、単結晶半導体基板100が窒化される。また、 N_2 、 H_2 および希ガスの混合ガス、または NH_3 と希ガスの混合ガスを励起することで、窒素ラジカル処理を行うことができる。これらの混合ガスのプラズマ中には、 N^* およびNHラジカル(以下、「 NH^* 」と表記する)が生成され、 N^* 、 NH^* により単結晶半導体基板100が窒化される。窒素ラジカル処理のための加熱温度は、300

10

20

30

40

50

以上 550 以下の範囲とすることができます。圧力は 5 Pa 以上 15 Pa 以下が好ましい。

【0037】

ラジカル処理による第 1 絶縁膜 102 の形成方法の一例を説明する。まず、高密度プラズマにより O⁺ を生成し、単結晶半導体基板 100 の表面を酸化して 1 nm ~ 10 nm の厚さの酸化シリコン膜を形成する。さらに、高密度プラズマにより窒素ラジカルを生成し、窒素ラジカルにより酸化シリコン膜の上部を窒化してもよい。酸化シリコン膜に窒化を行うことで、酸化窒化シリコン膜を形成することができる。または、高密度プラズマにより窒化ラジカルを生成し、単結晶半導体基板 100 の表面を窒化して、1 nm ~ 10 nm の厚さの窒化シリコン膜を形成する。さらに、高密度プラズマにより酸素ラジカルを生成し、酸素ラジカルにより窒化シリコン膜の上部を酸化してもよい。窒化シリコン膜に酸化を行うことで、窒化酸化シリコン膜を形成することができる。

【0038】

ラジカル処理は、基板へのダメージが少なく反応性の高い中性原子又は中性分子がシリコン界面を原子レベルで平坦化すると共に、シリコン界面に存在するダングリングボンドを終端することで、界面準位密度や固定電荷の少ない高品質な絶縁膜を形成することができる。よって、ラジカル処理により、膜厚、膜質の均一性が高い絶縁膜を形成することができる。また、ラジカル処理による単結晶半導体基板 100 の酸化又は窒化は、原子レベルで制御ができるため、極薄（数 nm 程度）の膜厚の絶縁膜 102 を形成することができる。

【0039】

次に、運動エネルギーを有するイオン 103 を単結晶半導体基板 100 に照射することで、単結晶半導体基板 100 の所定の深さに結晶構造が損傷された脆化領域 104 を形成する（図 1 (A-3) 参照）。図 1 (A-3) に示すように、絶縁膜 102 を介して、加速されたイオン 103 を単結晶半導体基板 100 に照射することで、単結晶半導体基板 100 の表面から所定の深さの領域にイオン 103 が導入され、脆化領域 104 を形成することができる。イオン 103 は、ソースガスを励起して、ソースガスのプラズマを生成し、このプラズマに含まれるイオンを、電界の作用によりプラズマから引き出して、加速したイオンである。

【0040】

脆化領域 104 が形成される領域の深さは、イオン 103 の運動エネルギー、質量、電荷、入射角によって調節することができる。また、運動エネルギーは加速電圧などにより調節できる。また、脆化領域 104 が形成される深さは、絶縁膜 102 の膜厚によっても調節することができる。脆化領域 104 は、イオン 103 の平均侵入深さとほぼ同じ深さの領域に形成される。そのため、イオン 103 を添加する深さで、単結晶半導体基板 100 から分離される半導体層の厚さが決定される。この半導体層の厚さが 110 nm 以上 500 nm 以下、好ましくは 200 nm 以上 350 nm 以下になるように、脆化領域 104 が形成される深さを調節する。例えば、半導体層の厚さを 300 nm とする場合、イオンの深さ方向プロファイルのピーク値が 300 nm となるようにイオンを照射すればよい。

【0041】

脆化領域 104 の形成は、イオンドーピング処理で行うことができる。イオンドーピング処理には、イオンドーピング装置を用いて行うことができる。イオンドーピング装置の代表的な装置は、プロセスガスをプラズマ励起して生成された全てのイオン種をチャンバー内に配置された被処理体に照射する非質量分離型の装置である。非質量分離型の装置であるのは、プラズマ中のイオン種を質量分離しないで、全てのイオン種を被処理体に照射しているからである。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置は、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する装置である。

【0042】

イオンドーピング装置の主要な構成は、被処理物を配置するチャンバー、所望のイオン

10

20

30

40

50

を発生させるイオン源、およびイオンを加速し、照射するための加速機構である。イオン源は、所望のイオン種を生成するためのソースガスを供給するガス供給装置、ソースガスを励起して、プラズマを生成させるための電極などで構成される。プラズマを形成するための電極として、フィラメント型の電極や容量結合高周波放電用の電極などが用いられる。加速機構は、引出電極、加速電極、減速電極、接地電極等の電極など、およびこれらの電極に電力を供給するための電源などで構成される。加速機構を構成する電極には複数の開口やスリットが設けられており、イオン源で生成されたイオンは電極に設けられた開口やスリットを通過して加速される。なお、イオンドーピング装置の構成は上述したものに限定されず、必要に応じた機構が設けられる。

【0043】

10

本実施形態では、イオンドーピング装置で、イオンを単結晶半導体基板100に照射する。プラズマソースガスとして水素を含むガスを供給する。例えば、H₂を供給する。水素ガスを励起してプラズマを生成し、質量分離せずに、プラズマ中に含まれるイオンを加速し、加速されたイオンを単結晶半導体基板100に照射する。

【0044】

20

イオンドーピング装置において、水素ガスから生成されるイオン種(H⁺、H₂⁺、H₃⁺)の総量に対してH₃⁺の割合が50%以上とする。より好ましくは、H₃⁺の割合を80%以上とする。イオンドーピング装置は質量分離を行わないため、プラズマ中に生成される複数のイオン種のうち、1つ(H₃⁺)を50%以上することが好ましく、80%以上することがより好ましい。同じ質量のイオンを照射することで、単結晶半導体基板100の同じ深さに集中させてイオンを添加することができる。ここで、複数のイオン種のうち同じ質量のイオンが50%以上含まれるとき、当該イオンを主成分という。上記において、H₃⁺を主成分とする複数のイオンを単結晶半導体基板100に照射する。

【0045】

イオンドーピング装置は廉価で、大面積処理に優れているため、このようなイオンドーピング装置を用いてH₃⁺を照射することで、半導体特性の向上、大面積化、低コスト化、生産性向上などの顕著な効果を得ることができる。また、イオンドーピング装置を用いた場合、重金属も同時に導入されるおそれがあるが、ラジカル処理により形成された絶縁膜102を介してイオンの照射を行うことによって、これらの重金属による単結晶半導体基板100の汚染を低減することができる。

30

【0046】

なお、加速されたイオン103を単結晶半導体基板100に照射する工程は、イオン注入装置で行うこともできる。イオン注入装置は、チャンバー内に配置された被処理体に、ソースガスをプラズマ励起して生成された複数のイオン種を質量分離し、特定のイオン種を照射する質量分離型の装置である。したがって、イオン注入装置を用いる場合は、水素ガスやPH₃を励起して生成されたH⁺イオンおよびH₂⁺イオンを質量分離して、H⁺イオンまたはH₂⁺イオンの一方のイオンを加速して、単結晶半導体基板100に照射する。

【0047】

40

ラジカル処理により形成された絶縁膜102は、膜厚及び膜質の均一性が高く、緻密性が高い。また、原子レベルでの制御ができるため、極薄(数nm程度)の膜厚を形成することができる。ラジカル処理により形成された絶縁膜102を用いることによって、絶縁膜102を介して単結晶半導体基板100に照射されるイオンを、均一に添加することができる。絶縁膜102の膜質の緻密性が高いため、イオンの照射による表面荒れを低減することができる。絶縁膜102の膜厚は、数nm程度の膜厚なので、絶縁膜102を数十nmで設けた場合よりも、深く添加することができる。よって、ラジカル処理により、絶縁膜102を形成してイオンの照射を行うことによって、単結晶半導体基板100の深い領域に均一な脆化領域を形成することができる。したがって、単結晶半導体層の膜厚均一性が高いSOI基板を作製することができる。

【0048】

50

次に、絶縁膜 102 上に、絶縁膜 105 (第 2 の絶縁膜とも記す) を形成する (図 1 (A - 4) 参照)。

【0049】

絶縁膜 105 は、単層構造又は 2 層以上の積層構造とすることができる。絶縁膜 105 を構成する膜には、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化ゲルマニウム膜、窒化ゲルマニウム膜、酸化窒化ゲルマニウム膜、窒化酸化ゲルマニウム膜などのシリコン又はゲルマニウムを組成に含む膜を用いることができる。また、酸化アルミニウム、酸化タンタル、酸化ハフニウムなどの金属の酸化物でなる絶縁膜、窒化アルミニウムなどの金属の窒化物でなる絶縁膜、酸化窒化アルミニウム膜などの金属の酸化窒化物でなる絶縁膜、窒化酸化アルミニウム膜などの金属の窒化酸化物でなる絶縁膜を用いることもできる。

10

【0050】

絶縁膜 105 は、化学気相法 (CVD ; Chemical Vapor Deposition)、スパッタリング法、原子エピタキシ (ALE) 法により形成することができる。CVD 法は、減圧 CVD 法、熱 CVD 法、プラズマ励起 CVD 法 (以下、PECVD 法という) などがある。PECVD 法は、350 以下の低温処理であり、また他の CVD 法よりも成膜速度が速いので好ましい。

【0051】

本実施の形態では、絶縁膜 105 を絶縁膜 105a、105b の 2 層構造で形成する例を示す。絶縁膜 102 が除去された単結晶半導体基板 100 上に、絶縁膜 105a と、絶縁膜 105b を積層する。絶縁膜 105a は、化学的な反応により形成される絶縁膜が好ましく、特に酸化シリコンが好ましい。絶縁膜 105a として、酸化シリコンを CVD 法で形成する場合には、シリコンのソースガスとして有機シランガスを用いることが好ましい。酸素のソースガスには酸素気体を用いることができる。有機シランガスには、酸化ヒル (TEOS : 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、トリメチルシラン (TMS : $(\text{CH}_3)_3\text{SiH}$)、テトラメチルシラン (TMS : 化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、又はトリスジメチルアミノシラン ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)などを用いることができる。

20

【0052】

絶縁膜 105a となる酸化シリコン膜は、熱 CVD 法で、加熱温度が 500 以下 200 以上で形成される LTO (低温酸化物、Low Temperature Oxide) で形成することができる。この場合、シリコンのソースガスにシラン (SiH_4) 又はジシラン (Si_2H_6) 等を用い、酸素ソースガスに酸素 (O_2) 又は一酸化二窒素 (N_2O) 等を用いることができる。また、単結晶半導体基板 100 に脆化領域 104 が形成された後に、絶縁膜 105a を形成する場合には、絶縁膜 105a は 300 以下好ましくは 200 以下で形成されることが好ましい。単結晶半導体基板 100 に添加された水素が脱離してしまうのを防ぐためである。膜厚は、10 nm 以上 200 nm 以下、好ましくは、50 nm 以上 100 nm 以下の範囲で設けることが好ましい。

30

【0053】

絶縁膜 105b は、窒化シリコン膜 (SiN_x) 又は窒化酸化シリコン膜 ((SiN_xO_y) ($x > y$)) 等の窒素を含有する膜 (窒素含有層とも記す) で形成する。本実施の形態において、絶縁膜 105b は、ベース基板 110 と貼り合わされる層 (接合層) となる。また、絶縁膜 105b は、後にベース基板上に単結晶構造を有する半導体層 (以下、単結晶半導体層と記す) を設けた際に、ベース基板に含まれるナトリウム (Na) 等の不純物が単結晶半導体層に拡散することを防ぐためのバリア層として機能する。

40

【0054】

また、絶縁膜 105b は接合層として用いるため、接合不良を抑制するには絶縁膜 105b の表面を平滑とすることが好ましい。具体的には、絶縁膜 105b の平均面粗さ (R

50

a) を 0.5 nm 以下、自乗平均粗さ (Rms) を 0.60 nm 以下、より好ましくは、平均面粗さを 0.35 nm 以下、自乗平均粗さを 0.45 nm 以下となるよう絶縁膜 105b を形成する。膜厚は、10 nm 以上 200 nm 以下、好ましくは、50 nm 以上 100 nm 以下の範囲で設けることが好ましい。なお、貼り合わせに係る接合層は、ベース基板側に設けた場合においても、上記の範囲の平均面粗さ、自乗平均粗さで設けることが好ましい。

【0055】

また、ベース基板 110 との接合には、水素結合が大きく寄与するため、絶縁膜 105b に水素が含まれるように成膜することが好ましい。絶縁膜 105b として、水素を含有する窒化シリコン膜又は窒化酸化シリコン膜を用いることによって、Si-OH、N-OH を結合手として、ガラス等のベース基板 110 と水素結合によって強固に接合することができる。

【0056】

このような絶縁膜 105b を形成するため、本実施の形態では、プラズマ CVD 法を用いて、成膜時の基板温度を室温以上 350 以下、好ましくは、室温以上 300 以下として窒化シリコン膜又は窒化酸化シリコン膜の成膜を行うことが好ましい。成膜時の基板温度を低くすることによって、形成される絶縁膜 105b の表面粗さを小さくすることができる。これは、成膜時の基板温度が高くなるにつれて膜の堆積表面でのラジカル等によるエッティング反応が過多となり表面荒れを起こすためである。また、単結晶半導体基板 100 に添加された水素が脱離してしまうのを防ぐことができる。

【0057】

また、本実施の形態では、プラズマ CVD 法において、少なくともシランガス、アンモニアガス及び水素ガスを用いて成膜を行うことが好ましい。アンモニアガスや水素ガスを用いることによって、膜中に水素を含む絶縁膜 105b を形成することができる。また、成膜時の基板温度を低くすることによって、成膜中の脱水素反応が抑制され、絶縁膜 105b に含まれる水素の量を多くすることができるという利点もある。

【0058】

また、プラズマ CVD 法において、成膜時の基板温度を低くすることにより得られた絶縁膜 105b は、水素を多く含んでおり緻密性が低い膜となる。緻密性が低い絶縁膜 105b は、加熱処理により緻密性を高めることができるために、加熱処理の前後で膜厚が収縮しうる。そのため、絶縁膜 105b の緻密性が低い状態でベース基板との貼り合わせを行うことによって、ベース基板の表面や絶縁膜 105b の表面に凹凸がある場合であっても、当該絶縁膜 105b の収縮により凹凸を吸収することができ、接合不良を低減することができる。また、貼り合わせと同時に又はその後に加熱処理を行うことによって、絶縁膜 105b を緻密化した後に、トランジスタ等の素子を形成することができる。

【0059】

ラジカル処理により形成された絶縁膜 102 を用いて、単結晶半導体基板 100 にイオンの照射を行うことで、絶縁膜 102 の表面荒れを低減することができる。したがって、絶縁膜 102 上に、さらに絶縁膜 105 を堆積しても絶縁膜 105 の表面の凹凸に影響を及ぼさないため、絶縁膜 105 を平坦に形成することができる。

【0060】

次に、ベース基板 110 を準備する(図 1(B) 参照)。ベース基板 110 は、絶縁体である基板を用いる。具体的には、アルミニシリケートガラス、アルミニホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。本実施の形態では、ガラス基板を用いる場合について説明する。ベース基板 110 として大面積化が可能で安価なガラス基板を用いることにより、シリコンウエハを用いる場合と比較して低コスト化を図ることができる。

【0061】

次に、単結晶半導体基板 100 とベース基板 110 とを対向させ、絶縁膜 105b の表

10

20

30

40

50

面とベース基板 110 の表面とを接合させる（図 1 (C) 参照）。

【0062】

ここでは、単結晶半導体基板 100 とベース基板 110 とを、絶縁膜 105 を介して密着させた後、単結晶半導体基板 100 の一箇所に 1 ~ 500 N / cm²、好ましくは 1 ~ 20 N / cm² 程度の圧力を加える。圧力を加えた部分から絶縁膜 105 とベース基板 110 が接合しはじめ、自発的に接合が形成されほぼ全面におよぶ。この接合工程は、ファンデルワールス力や水素結合が作用しており、加熱処理を伴わず、常温で行うことができるため、ベース基板 110 に、ガラス基板のように耐熱温度が低い基板を用いることができる。また、絶縁膜 105 は平坦に形成されているため、貼り合わせ面内の局所的な隙間（ボイド）が生じにくく、貼り合わせ強度を高めることができる。

10

【0063】

なお、単結晶半導体基板 100 とベース基板 110 との貼り合わせを行う前に、単結晶半導体基板 100 上に形成された絶縁膜 105 と、ベース基板 110 の少なくとも一方に表面処理を行うことが好ましい。

【0064】

表面処理としては、プラズマ処理、オゾン処理、メガソニック洗浄、2流体洗浄（純水や水素添加水等の機能水を窒素等のキャリアガスとともに吹き付ける方法）又はこれらの方法を組み合わせて行うことができる。特に、絶縁膜 105 とベース基板 110 の少なくとも一方の表面にプラズマ処理を行った後に、単結晶半導体基板 100 及びベース基板 110 にオゾン処理、メガソニック洗浄、2流体洗浄等を行うことによって、被処理面の有機物等のゴミを除去し、表面を親水化することができる。その結果、絶縁膜 105 とベース基板 110 接合強度を向上させることができる。ここでプラズマ処理は、不活性ガス（例えば、アルゴン（Ar）ガス）及び/又は反応性ガス（例えば、酸素（O₂）ガス、窒素（N₂）ガス）を用いて、RIE 法、ICP 法、大気圧プラズマを行う。

20

【0065】

また、ベース基板 110 に単結晶半導体基板 100 を接合させた後、絶縁膜 105 とベース基板 110 との接合強度を増加させるための熱処理を行うことが好ましい。この熱処理の温度は、脆化領域 104 に亀裂を発生させない温度とし、例えば、室温以上 400 未満の温度範囲で処理する。また、この温度範囲で加熱しながら、絶縁膜 105 とベース基板 110 とを接合させてもよい。熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。

30

【0066】

一般的に、絶縁膜 105 とベース基板 110 を接合と同時に又は接合させた後に熱処理を行うと、接合界面において脱水反応が進行し、接合界面同士が近づき、水素結合の強化や共有結合が形成されることにより接合が強化される。脱水反応を促進させるためには、脱水反応により接合界面に生じる水分を高温で熱処理を行うことにより除去する必要がある。つまり、接合後の熱処理温度が低い場合には、脱水反応で接合界面に生じた水分を効果的に除去できないため、脱水反応が進まず接合強度を十分に向上させることが難しい。

40

【0067】

本実施の形態では、ベース基板 110 としてガラス等の耐熱性が低い基板を用いた場合であっても、絶縁膜 105 とベース基板 110 の接合強度を十分に向上させることができるとなる。また、貼り合わせの前にバイアス電圧を印加してプラズマ処理を行った場合は、低温であっても絶縁膜 105 とベース基板 110 の接合強度を向上させることができる。

【0068】

次に、熱処理を行い脆化領域 104 において分離（劈開）することにより、ベース基板 110 上に、絶縁膜 102、105 を介して単結晶半導体層 112（以下、第 1 の単結晶半導体層 112 と記す）を設けることができる（図 1 (D) 参照）。

【0069】

加熱処理を行うことで、温度上昇によって脆化領域 104 に形成されている微小な孔内

50

部の圧力が上昇する。圧力の上昇により脆化領域 104 の微小な孔に体積変化が起こり、脆化領域 104 に亀裂が生じるので、脆化領域 104 に沿って単結晶半導体基板 100 が劈開（分離）する。絶縁膜 105 はベース基板 110 に接合しているので、ベース基板 110 上には単結晶半導体基板 100 から分離された第 1 の単結晶半導体層 112 が形成される。また、ここでの熱処理の温度は、ベース基板 110 の歪点を超えない温度とする。

【0070】

この加熱処理には、拡散炉、抵抗加熱炉などの加熱炉、R T A (瞬間熱アーナー、Rapid Thermal Anneal) 装置、マイクロ波加熱装置などを用いることができる。例えば、R T A 装置を用いる場合、加熱温度 550 以上 730 以下、処理時間 0.5 分以上 60 分以内で行うことができる。

10

【0071】

なお、上述したベース基板 110 と絶縁膜 105 との接合強度を増加させるための熱処理を行わず、絶縁膜 105 とベース基板 110 との接合強度の増加の熱処理工程と、脆化領域 104 における分離の熱処理工程を同時に行ってもよい。

【0072】

以上の工程により、ベース基板 110 上に絶縁膜 102、絶縁膜 105 を介して第 1 の単結晶半導体層 112 が設けることができる（図 1 (D) 参照）。

【0073】

一般的に、分離後におけるベース基板 110 上に形成された第 1 の単結晶半導体層 112 は、脆化領域 104 の形成及び脆化領域 104 における分離により、結晶欠陥等が形成され、平坦性が劣化した状態となっている（図 1 (D) 参照）。また、第 1 の単結晶半導体層 112 の表面に、自然酸化膜が形成される場合もある。そこで、第 1 の単結晶半導体層 112 の欠陥修復処理又は表面平坦化処理を行っても良い。なお、以下に示す欠陥修復処理又は表面平坦化処理は必須の工程ではない。

20

【0074】

欠陥修復処理又は表面平坦化処理は、エッチング処理又はレーザビームの照射の一方又は双方を組み合わせて行う。エッチング処理としては、ドライエッチング、ウェットエッチング、又は両者を組み合わせて行う。また、エッチング処理の代わりに C M P 等の研磨処理を行ってもよい。

【0075】

エッチング処理は、例えば、反応性イオンエッチング (R I E : Reactive Ion Etching) 法、I C P (Inductively Coupled Plasma) エッチング法、E C R (Electron Cyclotron Resonance) エッチング法、平行平板型（容量結合型）エッチング法、マグネットロンプラズマエッチング法、2 周波プラズマエッチング法またはヘリコン波プラズマエッチング法等を用いることができる。エッチングガスは、例えば、C₁₂、B C₁₃、S i C₁₄ 等の塩素系のガス、C H F₃、C F₄、C₄ F₈、C₂ F₆、N F₃、弗化硫黄等のフッ素系のガス、H B r 等の臭素系のガスを用いることによりエッチングすることができる。その他、H e やA r やX e などの不活性ガス、又はO₂ ガス、H₂ ガスを用いることができる。なお、エッチング処理は、複数回に分けて行ってもよい。第 1 の単結晶半導体層 112 に存在する欠陥の大きさや深さは、イオンを添加するエネルギーの大きさやドーズ量に起因するため、エッチング処理によって第 1 の単結晶半導体層 112 の表面を除去する膜厚は、エッチング処理前の第 1 の単結晶半導体層 112 の膜厚とその表面粗さの程度によって適宜設定すればよい。例えば、エッチング処理により、第 1 の単結晶半導体層 112 を 1 n m 以上 30 n m 以下除去することが好ましい。エッチング処理を行うことにより、第 1 の単結晶半導体層 112 表面に形成された欠陥の除去を行うことができ、第 1 の単結晶半導体層 112 の表面荒れを低減することができる。

30

【0076】

エッチング処理により、ベース基板 110 上に形成された第 1 の単結晶半導体層 112 の表層部を除去することにより、第 1 の単結晶半導体層 112 の結晶欠陥等の除去、平坦

40

50

化を図ることができる。

【0077】

第1の単結晶半導体層112の内部には、脆化領域104形成のためのイオン照射工程によって結晶欠陥が形成されている。第1の単結晶半導体層112の分離面側から、または、ベース基板110側からレーザビームを照射することで、第1の単結晶半導体層112を溶融させ、結晶性の改善および平坦性の向上を図る。第1の単結晶半導体層112にレーザビームを照射することで、第1の単結晶半導体層112を部分溶融又は完全溶融させる。

【0078】

好ましくは、レーザビームの照射により、第1の単結晶半導体層112を部分溶融させる。第1の単結晶半導体層112を部分溶融させることで、溶融されていない固相部分から結晶成長が進行するため、結晶性を低下させることなく、結晶欠陥を修復することができる。なお、本明細書において、部分溶融とは、単結晶半導体層の一部（例えば、上層部分）は溶融されて液相状態となるが、その他（例えば、下層部分）は溶融せず固相状態のままであることをいう。また、完全溶融とは、単結晶半導体層が下部界面付近まで溶融されて、液相状態になることをいう。

10

【0079】

レーザビームの照射により部分溶融させながら、レーザビームを走査することで、溶融されていない固相部分から結晶成長が進行する。これにより、第1の単結晶半導体層112の結晶欠陥が減少し、結晶性が向上する。溶融されていない部分は、単結晶であり、結晶方位が揃っているため、結晶粒界が形成されず、レーザビーム照射後の第1の単結晶半導体層112は、結晶粒界のない単結晶半導体層とすることができます。また、溶融された領域は凝固することで再単結晶化するが、隣接している溶融していない部分の単結晶半導体と結晶方位が揃った単結晶半導体が形成される。よって、主表面の面方位が(100)の単結晶シリコンを単結晶半導体基板100として用いた場合、第1の単結晶半導体層112の主表面の面方位は(100)であり、レーザビーム照射によって溶融し、再単結晶化された第1の単結晶半導体層112の主表面の面方位(100)になる。なお、レーザビーム照射の代わりにRTAやフラッシュランプ照射を行ってもよい。

20

【0080】

エッチング処理を行った後に、レーザビームを照射することで、単結晶半導体層に結晶欠陥や汚染物等が取り込まれてしまうことを防ぐことができる。また、自然酸化膜を除去することによって、レーザビームの照射による表面荒れを防ぐことができる。

30

【0081】

以上により、単結晶半導体基板100から分離して形成された第1の単結晶半導体層112を有するSOI基板を作製することができる。なお、以下の工程は、上記の結晶修復処理又は表面平坦化処理を行った後に行っても良いし、結晶修復処理又は表面平坦化処理を行わずに行ってもよい。

【0082】

次に、第1の単結晶半導体層112上に第1の半導体層113Aを形成する（図3（B）参照）。例えば、気相成長（気相エピタキシャル成長）法を用いて形成する（図3（B）参照）。すなわち、第1の半導体層113Aは、第1の単結晶半導体層112の結晶性の影響を受けた半導体層である。ここで、第1の半導体層113Aは、第1の単結晶半導体層112に合わせて材料を選択し、形成すればよい。第1の半導体層113Aとしてシリコン層を形成する場合には、例えば、シラン系ガス（代表的にはシラン）と水素ガスとの混合ガスを原料として、プラズマCVD法により形成することができる。また、第1の半導体層113Aは、5nm以上100nm以下、好ましくは10nm以上50nm以下程度の厚さとなるように形成する。

40

【0083】

なお、第1の半導体層113Aのエピタキシャル成長を行う前に、第1の単結晶半導体層112表面に形成されている自然酸化膜などは除去しておくことが好ましい。これは、

50

第1の単結晶半導体層112の表面に酸化層が存在する場合には、第1の単結晶半導体層112の結晶性を受けたエピタキシャル成長を進行させることができず、第1の半導体層113Aの結晶性が低下してしまうためである。ここで、上記の酸化層の除去は、フッ酸系の溶液などを用いて行うことができる。

【0084】

次に、第1の半導体層113A上に第1の半導体層113Bを形成する(図3(C)参照)。ここで、第1の半導体層113Bは、第1の半導体層113Aに合わせて材料を選択し、形成する。また、第1の半導体層113Bは、200nm以上(好ましくは400nm以上)の厚さとなるように形成する。この場合においても、第1の半導体層113A表面に形成されている酸化層は除去しておくことが好ましい。

10

【0085】

第1の半導体層113Bは、第1の半導体層113Aと比較して結晶性が低い半導体層とする。または、第1の半導体層113Bは、第1の半導体層113Aと比較して水素濃度が高い半導体層(水素含有量が大きい半導体層)とする。このような第1の半導体層113Bとしては、例えば、非晶質半導体層を形成すればよい。

【0086】

第1の半導体層113Bの形成方法は任意であるが、少なくとも第1の半導体層113Aより成膜速度が高い条件で形成することが好ましい。例えば、シラン系ガス(代表的にはシラン)と水素ガスとの混合ガスを原料として、プラズマCVD法により第1の半導体層113Bを形成する場合には、シラン系ガスに対する水素ガスの流量比を2倍以上20倍以下(好ましくは5倍以上15倍以下)とすればよい。また、周波数を10MHz乃至200MHz、電力を5W以上50W以下、チャンバー内圧力を10Pa以上10³Pa以下、電極間隔(平行平板型の場合)を15mm以上30mm以下、ベース基板110の温度を200以上400以下とすると良い。代表的には、シラン(SiH₄)の流量を25sccm、水素の流量を150sccm、周波数を27MHz、電力を30W、圧力を66.6Pa、電極間隔を25mm、基板温度を280とする。なお、上記の成膜条件は一例に過ぎず、本発明はこれに限定して解釈されるものではない。ここで重要な点は、第1の半導体層113Bとして結晶性は低くとも(又は水素濃度が高くとも)成膜速度の高い半導体層を形成することであるから、この目的を達成することができれば、どのような形成方法で第1の半導体層113Bを形成しても構わない。

20

【0087】

その後、熱処理を行い、固相エピタキシャル成長(固相成長)による第2の単結晶半導体層114を形成する(図3(D)参照)。なお、第1の半導体層113Aは第2の単結晶半導体層114の下層領域114Aに対応し、第1の半導体層113Bは第2の単結晶半導体層114の上層領域114Bに対応する。

30

【0088】

上記の熱処理は、RTA(Rapid Thermal Anneal)、炉(ファーネス)、ミリ波加熱装置などの熱処理装置を用いて行うことができる。熱処理装置の加熱方式としては抵抗加熱式、ランプ加熱式、ガス加熱式、電磁波加熱式などが挙げられる。レーザビームの照射や、熱プラズマジェットの照射を行っても良い。

40

【0089】

以上により、第1の単結晶半導体層112と第2の単結晶半導体層114の積層構造が形成される。ここで、第2の単結晶半導体層114を厚く(例えば、500nm以上)形成するために、気相成長法のみを用いることは、成膜速度の点から好ましくない。一方で、固相成長法のみを用いて第2の単結晶半導体層114を形成する場合には、熱処理に起因する半導体層の剥離の問題が生じることになる。これは、成膜直後の半導体層(例えば、非晶質半導体層)が多量の水素を含有することに起因するものと考えられる。

【0090】

本実施の形態では、気相成長により第1の半導体層113A(結晶性が高い半導体層、水素濃度が低い半導体層)を薄く形成した後、第1の半導体層113B(結晶性が低い半

50

導体層、水素濃度が高い半導体層)を厚く形成し、その後、固相成長を行うことで第2の単結晶半導体層114を形成している。これにより、成膜速度を確保しつつ、半導体層の剥離の問題を解消することができる。つまり、生産性良く、且つ、歩留まり良く、所定の厚さを有する単結晶半導体層を形成することができる。

【0091】

このように、単結晶半導体層上に結晶性の高い半導体層と結晶性の低い半導体層の積層構造を形成し、その後固相成長させることで剥離の問題が低減されるのは、隣接する層同士の結晶性の差が小さくなることで、界面における原子同士の結合が強化され、密着性が高まることによると考えられる。

【0092】

なお、本実施の形態においては、単結晶半導体層(第1の単結晶半導体層112)と結晶性が低い半導体層(第1の半導体層113B)との間に結晶性が高い半導体層(第1の半導体層113A)を一層形成しているが、上述の理由を考えた場合、本発明をこれに限定して解釈する必要はない。つまり、単結晶半導体層と結晶性が低い半導体層との間に、結晶性が異なる半導体層を複数設ける構成としても良い。例えば、単結晶半導体層上に、結晶性が高い半導体層を形成し、その上に結晶性がやや高い半導体層を形成し、その上に結晶性が低い半導体層を形成する。このような構成とすることで、密着性をより向上させることができある。

【0093】

以上により、厚膜化された単結晶半導体層を有する半導体基板を作製することができる。なお、本実施の形態においては第1の単結晶半導体層112の表面に平坦化処理を施していないため、第2の単結晶半導体層114の表面は、第1の単結晶半導体層112の表面の影響を強く受けたものとなっている。このため、必要がある場合には、第2の単結晶半導体層114の表面を平坦化しても良い。

【0094】

また、本実施の形態では、ベース基板110上に絶縁膜102及び105を介して第1の単結晶半導体層112及び第2の単結晶半導体層114を形成する方法について説明しているが、本発明はこれに限定して解釈されるものではない。例えば、第1の単結晶半導体層112の下部に各種の機能を持たせた層(以下、機能層と呼ぶ)を設けても良い。例えば、導電性材料を含む層や、不純物元素を含有する層(不純物元素を含有する半導体層)などを機能層として形成することができる。

【0095】

(実施の形態2)

本実施の形態では、実施の形態1とは異なるSOI基板の作製方法について図4を参照して説明する。以下、これについて実施の形態1とは異なる部分について説明する。よって、実施の形態1と同様の部分については詳細な説明を省略する。

【0096】

本実施の形態において、図4(A-1)単結晶半導体基板100の準備、図4(A-2)絶縁膜102の形成工程、図4(A-3)イオン照射工程を、実施の形態1の図1(A-1)単結晶半導体基板100の準備、図1(A-2)絶縁膜102の形成工程、図1(A-3)イオン照射工程と同様に行うことができる。

【0097】

次に、単結晶半導体基板100に形成された絶縁膜102を除去する(図4(A-4)参照)。絶縁膜102は、ウェットエッチングを用いて除去する。また、ドライエッチング、化学的機械的研磨(Chemical Mechanical Polishing: CMP)により除去することもできる。絶縁膜102を除去することにより、イオン照射工程により平坦性が損なわれた部分を除去して、半導体基板の表面を平坦にことができる。また、絶縁膜102の表面付近に存在する汚染物を除去することができる。したがって、SOI基板への不純物による影響を低減することができる。

【0098】

10

20

30

40

50

次に、絶縁膜 102 が除去された単結晶半導体基板 100 上に、実施の形態 1 と同様にして絶縁膜 105 を形成する（図 4（A-5）参照）。図 4（A-5）では、酸化シリコン膜を単層で設ける例を示すが、これに限られず 2 層以上の積層構造で設けてもよい。

【0099】

次に、実施の形態 1 と同様にしてベース基板 110 を準備し（図 4（B-1）参照）、ベース基板 110 上に窒素含有層 111（例えば、窒化シリコン膜（SiNx）又は窒化酸化シリコン膜（SiNxOy）（x > y）等の窒素を含有する絶縁膜）を形成する（図 4（B-2）参照）。

【0100】

本実施の形態において、窒素含有層 111 は、単結晶半導体基板 100 上に設けられた絶縁膜 105 と貼り合わされる層（接合層）となる。また、窒素含有層 111 は、後にベース基板 110 上に単結晶構造を有する単結晶半導体層を設けた際に、ベース基板 110 に含まれる Na（ナトリウム）等の不純物が単結晶半導体層に拡散することを防ぐためのバリア層として機能する。

【0101】

また、窒素含有層 111 を接合層として用いるため、接合不良を抑制するには窒素含有層 111 の表面を平滑とすることが好ましい。具体的には、窒素含有層 111 の表面の平均面粗さ（Ra）を 0.5 nm 以下、自乗平均粗さ（Rms）を 0.60 nm 以下、より好ましくは、平均面粗さを 0.35 nm 以下、自乗平均粗さを 0.45 nm 以下となるよう窒素含有層 111 を形成する。膜厚は、10 nm 以上 200 nm 以下、好ましくは 50 nm 以上 100 nm 以下の範囲で設けることが好ましい。

【0102】

ここで、単結晶半導体基板 100 上に形成された絶縁膜 105 と、ベース基板 110 上に形成された窒素含有層 111 の少なくとも一方に表面処理を行うことが好ましい。表面処理としては、プラズマ処理、オゾン処理、メガソニック洗浄、2 流体洗浄（純水や水素添加水等の機能水を窒素等のキャリアガスとともに吹き付ける方法）又はこれらを組み合わせて行うことができる。特に、絶縁膜 105 とベース基板 110 の少なくとも一方の表面にプラズマ処理を行った後に、単結晶半導体基板 100 及びベース基板 110 にオゾン処理、メガソニック洗浄、2 流体洗浄等を行うことによって、被処理面の有機物等のゴミを除去し、表面を親水化することができる。その結果、絶縁膜 105 とベース基板 110 接合強度を向上させることができる。ここでプラズマ処理は、不活性ガス（例えば、アルゴン（Ar）ガス）及び/又は反応性ガス（例えば、酸素（O2）ガス、窒素（N2）ガス）を用いて、RIE 法、ICP 法、大気圧プラズマを行う。

【0103】

次に、単結晶半導体基板 100 の表面とベース基板 110 の表面とを対向させ、絶縁膜 105 の表面と窒素含有層 111 の表面とを接合させ（図 4（C）参照）、熱処理を行うことにより、脆化領域 104 において単結晶半導体基板 100 を分離して、ベース基板 110 上に絶縁膜 105 及び窒素含有層 111 を介して第 1 の単結晶半導体層 112 を設ける（図 4（D）参照）。図 4（C）、（D）の工程については、図 1（C）、（D）と同様に行うことができるため、詳細な説明は省略する。

【0104】

単結晶半導体基板 100 から分離された第 1 の単結晶半導体層 112 の処理については、実施の形態 1、図 3（A）～（D）と同様にして行うことができるため、詳細な説明は省略する。

【0105】

以上の工程により、ベース基板 110 上に絶縁膜 105 及び窒素含有層 111 を介して第 1 の単結晶半導体層 112 が設けられた SOI 基板を作製することができる。本実施の形態で示した作製方法を用いることによって、絶縁膜 102 がイオンの照射により表面が荒れたとしても絶縁膜 102 を除去した後に絶縁膜 105 を形成することによって、絶縁膜 105 の表面を平坦な膜で形成することができる。また、イオンドーピング装置を用い

10

20

30

40

50

て上述した水素イオンの照射を行う場合、重金属元素などの不純物が絶縁膜 102 内に残存してしまうことがある。絶縁膜 102 を除去することで、上記不純物を絶縁膜 102 とともに取り除くことができる。絶縁膜 105 を平坦な膜で形成することができるため、窒素含有層 111 との貼り合わせ面内での局所的な隙間が生じにくく、貼り合わせ強度を高めることができる。また、ベース基板 110 上に窒素含有層 111 を形成することにより、ベース基板 110 上に形成される第 1 の単結晶半導体層 112 への不純物拡散を抑制すると共に、ベース基板 110 と第 1 の単結晶半導体層 112 とが強固に密着した SOI 基板を形成することができる。

【0106】

なお、本実施の形態で示した SOI 基板の作製方法は、本明細書の他の実施の形態で示す作製方法と適宜組み合わせて行うことができる。 10

【0107】

(実施の形態 3)

本実施の形態では、不純物半導体層（第 1 の不純物半導体層）と導電層の積層構造を形成する場合の単結晶半導体基板の加工方法について、図 5 を参照して説明する。なお、実施の形態 1、2 と重複する部分についての詳細は省略する。

【0108】

まず、単結晶半導体基板 100 を用意する（図 5（A）参照）。単結晶半導体基板 100 を洗浄した後、単結晶半導体基板 100 の表面に絶縁膜 102 を形成する（図 5（B）参照）。次に、絶縁膜 102 を介して単結晶半導体基板 100 にイオンを照射して、所定の深さの領域に脆化領域 104 を形成する（図 5（C）参照）。図 5（A）～（C）の工程については、図 1（A-1）～（A-3）と同様に行うことができるため、詳細な説明は省略する。 20

【0109】

単結晶半導体基板 100 に脆化領域 104 を形成した後、単結晶半導体基板 100 に一導電型を付与する不純物元素を照射して第 1 の不純物半導体層 115 を形成する（図 5（D））。なお、単結晶半導体基板 100 上には、絶縁膜 102 が形成されているため、一導電型を付与する不純物元素は絶縁膜 102 を通過して単結晶半導体基板 100 に添加されることになる。ここで、第 1 の不純物半導体層 115 の厚さは 30 nm 以上 300 nm 以下、好ましくは 50 nm 以上 100 nm 以下程度とする。 30

【0110】

上記一導電型を付与する不純物元素としては、例えば、リンなどを用いる。これにより、n 型の第 1 の不純物半導体層 115 を形成することができる。もちろん、ボロンなどを用いて p 型の第 1 の不純物半導体層 115 を形成しても良い。なお、ここでは、イオンビームを照射して第 1 の不純物半導体層 115 を形成する場合について示したが、本発明はこれに限定して解釈されない。例えば、第 1 の不純物半導体層 115 を熱拡散法により形成しても良い。ただし、熱拡散法では 900 度又はそれ以上の高温処理が行われるため、脆化領域 104 を形成する前に行うことが必要となる。又は、あらかじめ一導電型を付与する不純物元素が添加された単結晶半導体基板を用いて、上記不純物元素の添加を省略しても良い。 40

【0111】

なお、不純物元素の濃度については特に限定しないが、例えば、 1×10^{19} atom s / cm³ 以上 5×10^{21} atom s / cm³ 以下程度とすると良い。また、上記の方法により作製された第 1 の不純物半導体層 115 は単結晶半導体である。

【0112】

第 1 の不純物半導体層 115 を形成した後、絶縁膜 102 を除去する（図 5（E）参照）。絶縁膜 102 を除去した後、導電層 116 を形成する（図 5（F）参照）。導電層 116 は、後の工程における熱処理に耐え得るものとする必要がある。このため、導電層 116 は、高融点金属材料を用いて形成することが好ましい。例えば、チタン、モリブデン、タンゲステン、タンタル、クロム、ニッケルなどを用いることができる。また、前述の 50

金属材料と、金属材料の窒化物との積層構造としても良い。例えば、窒化チタン層とチタン層の積層構造、窒化タンタル層とタンタル層の積層構造、窒化タングステン層とタングステン層の積層構造などを用いることができる。なお、導電層 116 は、蒸着法やスパッタリング法を用いて形成することができる。また、電極（又は配線）として用いる場合には、その厚さを 100 nm 以上とすることが好ましい。

【0113】

次に、導電層 116 上に絶縁層 117 を形成する（図 5（G）参照）。絶縁層 117 は、貼り合わせに係る層であるから、その表面は、高い平坦性を有することが好ましい。このような絶縁層 117 としては、例えば、有機シランガスを用いて化学気相成長法により形成される酸化シリコン層を用いることができる。また、窒化シリコン層を用いても良い。

【0114】

なお、図 5においては、単結晶半導体基板 100 上に絶縁膜 102 を形成した後、イオンを照射して脆化領域 104 を形成し、その後、単結晶半導体基板 100 に一導電型を付与する不純物元素を添加して第 1 の不純物半導体層 115 を形成し、絶縁膜 102 を除去して、導電層 116 及び絶縁層 117 を形成する場合について説明しているが、本発明はこれに限定されない。

【0115】

例えば、以下に示すいずれの方法を採用することもできる。

【0116】

（2）単結晶半導体基板の一表面上に保護層を形成し、該保護層の表面から一導電型を付与する不純物元素を照射して単結晶半導体基板の一表面側に第 1 の不純物半導体層を形成した後、保護層の表面からイオンを照射して単結晶半導体基板の所定の深さの領域に脆化領域を形成する。保護層を除去した後、第 1 の不純物半導体層上に第 1 の電極を形成し、該第 1 の電極上に絶縁層を形成する。

【0117】

（3）単結晶半導体基板の一表面上に第 1 の電極を形成する。該第 1 の電極の表面に一導電型を付与する不純物元素を照射して、単結晶半導体基板の一表面側に第 1 の不純物半導体層を形成する。さらに、第 1 の電極の表面にイオンを照射して単結晶半導体基板の所定の深さの領域に脆化領域を形成した後、第 1 の電極上に絶縁層を形成する。

【0118】

（4）単結晶半導体基板の一表面上に第 1 の電極を形成する。該第 1 の電極の表面にイオンを照射して単結晶半導体基板の所定の深さの領域に脆化領域を形成する。さらに、第 1 の電極の表面に一導電型を付与する不純物元素を照射して、単結晶半導体基板の一表面側に第 1 の不純物半導体層を形成する。そして、第 1 の電極上に絶縁層を形成する。

【0119】

以上により、不純物半導体層（第 1 の不純物半導体層）と導電層の積層構造を有する単結晶半導体基板を作製することができる。

【0120】

次に、本発明の半導体装置の一例として、パワー MOSFET の構成について図 6～図 9 を用いて説明する。

【0121】

まず、単結晶半導体基板 100 を用意する（図 6（A）参照）。ここで用意される単結晶半導体基板 100 には、脆化領域 104、不純物半導体層 115 と導電層 116 と絶縁層 117 が設けられている。

【0122】

次に、ベース基板 110 を用意する（図 6（B）参照）。ベース基板 110 の詳細については、実施の形態 1 を参照すればよい。

【0123】

その後、上記のベース基板 110 と単結晶半導体基板 100 とを貼り合わせる（図 6（

10

20

30

40

50

C) 参照)。具体的には、ベース基板110及び絶縁層117の表面を超音波洗浄などの方法で洗浄した後、ベース基板110の表面と絶縁層117の表面とが接触するように配置する。そして、ベース基板110の表面と絶縁層117の表面とが貼り合わせられるよう、加圧処理を施す。その他の詳細については、実施の形態1を参照することができる。

【0124】

次に、単結晶半導体基板100を、脆化領域104にて、不純物半導体層118と単結晶半導体基板120とに分離する(図6(D)参照)。単結晶半導体基板100の分離は、加熱処理により行う。詳細については、実施の形態1を参照すればよい。なお、第1の不純物半導体層118の膜厚は、脆化領域104が形成される深さにほぼ対応しており、500nm以下、好ましくは400nm以下、より好ましくは50nm以上300nm以下となる。

【0125】

上述のようにして形成された不純物半導体層118の表面には、分離工程やイオン照射工程による欠陥が存在し、また、その平坦性は損なわれている(図6(E)参照)。そこで、本実施の形態では、第1の不純物半導体層118の欠陥修復処理又は表面平坦化処理を行う。なお、当該欠陥修復処理又は表面平坦化処理が不要な場合には適宜省略しても良い。

【0126】

欠陥修復処理や、表面平坦化処理としては、例えば、エッチング処理及びレーザ光照射のいずれか一又は複数を組み合わせて行うことができる。レーザ光を第1の不純物半導体層118の上方から照射することで、第1の不純物半導体層118上部が溶融し、その後、冷却、固化することで、欠陥が修復され、また、表面の平坦性が向上する。レーザ光の照射の際には、ベース基板の耐熱温度の範囲内における加熱を行う構成としても良い。ベース基板を加熱することにより、欠陥の低減を効果的に進めることができる。欠陥修復処理、表面平坦化処理は、実施の形態1と同様であるため、詳細な説明を省略する。

【0127】

なお、上記レーザ光の照射による第1の不純物半導体層118の溶融は、部分溶融とする。完全溶融とする場合には、液相となった後の無秩序な核発生により微結晶化し、結晶性が低下する可能性が高まるためである。一方で、部分溶融させることにより、溶融されていない固相部分から結晶成長が進行する。これにより、半導体層中の欠陥を減少させることができる。ここで、完全溶融とは、第1の不純物半導体層118が下部界面付近まで溶融されて、液相となることをいう。他方、部分溶融とは、この場合、第1の不純物半導体層118の上部は溶融して液相となるが、下部は溶融せずに固相のままであることをいう。なお、その他の条件などについては実施の形態1を参照することができる。

【0128】

以上により、欠陥が修復され、表面が平坦化された第1の不純物半導体層118を有する半導体基板を作製することができる(図6(F)参照)。

【0129】

次に、第1の不純物半導体層118上に第1の半導体層119Aをエピタキシャル成長(気相成長、気相エピタキシャル成長)させる(図7(A)参照)。すなわち、第1の半導体層119Aは、第1の不純物半導体層118の結晶性の影響を受けた半導体層である。ここで、第1の半導体層119Aは、第1の不純物半導体層118に合わせて材料を選択し、形成すればよい。第1の半導体層119Aとしてシリコン層を形成する場合には、例えば、シラン系ガス(代表的にはシラン)と水素ガスとの混合ガスを原料として、プラズマCVD法により形成することができる。なお、上記の原料ガスには、第1の不純物半導体層118と同じ導電型を付与する不純物元素を添加しておくことが好ましい。もちろん、第1の半導体層119Aを形成した後に不純物元素を添加しても良い。第1の半導体層119A中の不純物濃度については特に限定しないが、第1の不純物半導体層118より低濃度とすることが好ましく、例えば、 1×10^{15} atoms/cm³以上 1×10^{15}

10

20

30

40

50

19 atoms / cm^3 以下程度とすると良い。また、第1の半導体層 119A は、5nm 以上 100nm 以下、好ましくは 10nm 以上 50nm 以下程度の厚さとなるように形成する。

【0130】

上記原料ガスは、シラン系ガスに対する水素ガスの流量比を 50 倍以上（好ましくは 100 倍以上）とする混合ガスである。例えば、シラン（ SiH_4 ）を 400sccm、水素を 400sccm で混合させて用いれば良い。水素ガスの流量を高めることにより、結晶性の高い半導体層を形成することができる。これにより、半導体層中の水素含有量を低減することができる。詳細な条件については、実施の形態 1 を参照することができる。

【0131】

次に、第1の半導体層 119A 上に第1の半導体層 119B を形成する（図 7 (B) 参照）。ここで、第1の半導体層 119B は、第1の半導体層 119A に合わせて材料を選択し、形成する。また、第1の半導体層 119B には、第1の半導体層 119A と同様の不純物元素を添加する。不純物元素の濃度については、第1の半導体層 119A と同程度とすることが好ましい。また、第1の半導体層 119B は、200nm 以上（好ましくは 400nm 以上）の厚さとなるように形成する。

【0132】

第1の半導体層 119B は、第1の半導体層 119A と比較して結晶性が低い半導体層とする。または、第1の半導体層 119B は、第1の半導体層 119A と比較して水素濃度が高い半導体層（水素含有量が大きい半導体層）とする。このような第1の半導体層 119B としては、例えば、非晶質半導体層を形成すればよい。詳細については、実施の形態 1 を参照することができる。

【0133】

その後、熱処理を行い、固相エピタキシャル成長（固相成長）による第2の不純物半導体層 121 を形成する（図 7 (C) 参照）。なお、第1の半導体層 119A は第2の不純物半導体層 121 の下層領域 121A に対応し、第1の半導体層 119B は第2の不純物半導体層 121 の上層領域 121B に対応する。また、第2の不純物半導体層 121 は単結晶半導体である。熱処理の詳細についても、実施の形態 1 を参照することができる。

【0134】

以上により、第1の不純物半導体層 118 と第2の不純物半導体層 121 の積層構造が形成される。ここで、第2の不純物半導体層 121 を厚く（例えば、500nm 以上）形成するために、気相成長法のみを用いることは、成膜速度の点から好ましくない。一方で、固相成長法のみを用いて第2の不純物半導体層 121 を形成する場合には、熱処理に起因する半導体層の剥離の問題が生じることになる。これは、成膜直後の半導体層（例えば、非晶質半導体層）が多量の水素を含有することに起因するものと考えられる。

【0135】

本実施の形態では、気相成長により第1の半導体層 119A（結晶性が高い半導体層、水素濃度が低い半導体層）を薄く形成した後、第1の半導体層 119B（結晶性が低い半導体層、水素濃度が高い半導体層）を厚く形成し、その後、固相成長を行うことで第2の不純物半導体層 121 を形成している。これにより、成膜速度を確保しつつ、半導体層の剥離の問題を解消することができる。つまり、生産性良く、且つ、歩留まり良く、所定の厚さを有する不純物半導体層（単結晶の不純物半導体層）を形成することができる。

【0136】

次に、図 7 (C) において示した半導体基板を用意する（図 8 (A) 参照）。該半導体基板は、ベース基板 110 上に絶縁層 117、導電層 116、第1の不純物半導体層 118、第2の不純物半導体層 121 が順に積層された構造を有している。第2の不純物半導体層 121 の厚さは、素子に要求される耐圧によって適宜変更することができ、一例としては 1 μm 以上である。また、第2の不純物半導体層 121 の不純物濃度は、第1の不純物半導体層 118 の不純物濃度より低くしておくことが望ましい。

【0137】

10

20

30

40

50

なお、本実施の形態においては、導電層 116 を第 1 の不純物半導体層 118 の下部全面に設ける構成としたが、本発明はこれに限られず、導電層 116 を選択的に設ける構成としても良い。本実施の形態に示すパワー MOSFETにおいて、導電層 116 はドレイン電極層（又はソース電極層）として機能する。また、第 1 の不純物半導体層 118 はドレイン領域（又はソース領域）として機能する。

【0138】

次に、第 2 の不純物半導体層 121 に p 型を付与する不純物元素（例えばボロンなど）及び n 型を付与する不純物元素（例えばリンなど）を選択的に添加して、第 2 の不純物半導体層 121 とは異なる導電型の第 1 の領域 131 及び第 2 の不純物半導体層 121 と同じ導電型の第 2 の領域 132 を形成する（図 8（B）参照）。ここで、第 1 の領域 131 の一部は後のチャネル形成領域として機能し、第 2 の領域 132 は後のソース領域（又はドレイン領域）として機能する。また、第 2 の領域 132 の不純物濃度は第 2 の不純物半導体層 121 の不純物濃度より高くなっている。

【0139】

図 8（C）に、図 8（B）の平面図を示す。図 8（B）は、図 8（C）の A - B における断面に対応している。本実施の形態においては、第 1 の領域 131 及び第 2 の領域 132 を円形としている（図 8（C）参照）が、本発明はこれに限定されない。矩形としても良いし、その他の形状であっても良い。本実施の形態において示したように、第 1 の領域 131 及び第 2 の領域 132 を円形にすることで、チャネル長 L を均一にすることができる。これにより、チャネル形成領域における電界の集中を緩和することができるため、トランジスタの耐圧向上につながる。また、導電層 116 は、大電流を伴うトランジスタの廃熱の効率を向上するという効果を有する。

【0140】

第 1 の領域 131 及び第 2 の領域 132 を形成した後に、第 2 の不純物半導体層 121 上にゲート絶縁層 133 を形成し、該ゲート絶縁層 133 上にゲート電極層 134 を選択的に形成する。そして、該ゲート電極層 134 を覆うように絶縁層 135 を形成する（図 9（A）参照）。ここで、ゲート電極層 134 は、少なくともその一部が第 2 の領域 132 と重なりを有するように設けることが好ましい。これにより電界の集中が緩和されるため、耐圧を一層向上することができる。

【0141】

ゲート絶縁層 133 は、酸化シリコンや酸化窒化シリコン、窒化酸化シリコン、窒化珪素、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の材料を用いて形成することができる。作製方法としては、プラズマ CVD 法やスパッタリング法、高密度プラズマ処理による酸化または窒化による方法などを挙げることができる。絶縁層 135 についても、ゲート絶縁層 133 と同様にして形成することができるが、ゲート絶縁層 133 とは異なる材料を用いても良い。例えば、有機材料を含む絶縁性材料などを用いることができる。

【0142】

ゲート電極層 134 は、導電層 116 と同様にして形成することができる。すなわち、チタン、モリブデン、タンクステン、タンタル、クロム、ニッケル、アルミニウム、銅などの金属材料を用いて形成すると良い。または、前述の金属材料と、金属材料の窒化物との積層構造としても良い。

【0143】

続いて、絶縁層 135 及びゲート絶縁層 133 に開口を形成した後、第 2 の領域 132 と電気的に接続される導電層 136 を形成する（図 9（B）参照）。なお、導電層 136 はソース配線（又はドレイン配線）として機能する。

【0144】

絶縁層 135 及びゲート絶縁層 133 の開口は、マスクを用いた選択的なエッチングにより形成することができる。また、導電層 136 は、導電層 116 やゲート電極層 134 と同様にして形成すれば良い。

【0145】

10

20

30

40

50

以上により、いわゆるパワーMOSFETを作製することができる。

【0146】

なお、各層の位置関係や接続関係は、図9(B)に示す構成に限定されない。例えば、ゲート電極層134の一部と導電層116を電気的に接続して、ゲート電極層134の一部を導電層116についての配線として機能させることも可能である。

【0147】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0148】

(実施の形態4)

次に、本実施の形態に係る光電変換装置の製造方法の一例について、図10乃至図13を参照して説明する。なお、本実施の形態においては、実施の形態1乃至3に示す方法で作製した半導体基板を用いる場合について説明するが、本発明はこれに限定して解釈されるものではない。

10

【0149】

はじめに、本実施の形態で用いる半導体基板を示す(図10(A)参照)。該半導体基板は、ベース基板110上に絶縁層117、導電層116(以下、第1の導電層116と記す)、第1の不純物半導体層115、第1の単結晶半導体層125が順に積層された構造を有している。

【0150】

第1の不純物半導体層115と第1の単結晶半導体層125を合わせた膜厚は、脆化領域104が形成される深さにほぼ対応しており、脆化領域104が形成される深さは、500nm以下、好ましくは400nm以下、より好ましくは50nm以上300nm以下とする。また、第1の不純物半導体層115の厚さは、30nm以上300nm以下、好ましくは50nm以上100nm以下とする。したがって、単結晶半導体基板100を分離した後、ベース基板110上に第1の不純物半導体層115、第1の単結晶半導体層125が形成されるように、脆化領域104の深さを決めればよい。

20

【0151】

実施の形態4で示す方法により形成される第1の不純物半導体層115は、光入射面とは反対側の面に配置されることになる。ここで、単結晶半導体基板100としてp型基板を用いる場合には、第1の不純物半導体層115は、高濃度のp型領域となる。これにより、光入射面とは反対側から、高濃度p型領域と低濃度p型領域が順に配置されることになり、裏面電界(BSF; Back Surface Field)が形成される。すなわち、高濃度p型領域には電子が入り込むことができず、光励起により生じたキャリアの再結合を低減することができる。

30

【0152】

次に、第1の単結晶半導体層125上に第1の半導体層113Aを形成する(図10(B)参照)。例えば、気相成長(気相エピタキシャル成長)法を用いて形成する(図10(B)参照)。この場合、第1の半導体層113Aは、第1の単結晶半導体層125の結晶性の影響を受けた半導体層となる。次に、第1の半導体層113A上に第1の半導体層113Bを形成する(図10(C)参照)。ここで、第1の半導体層113Bは、第1の半導体層113Aに合わせて材料を選択し、形成する。その後、熱処理を行い、固相成長(固相エピタキシャル成長)による第2の単結晶半導体層114を形成する(図10(D)参照)。なお、第1の半導体層113Aは第2の単結晶半導体層114の下層領域114Aに対応し、第1の半導体層113Bは第1の単結晶半導体層114の上層領域114Bに対応する。

40

【0153】

図10(B)～(D)の工程については、実施の形態1、図3(A)～(D)と同様に行うことができるため、詳細な説明は省略する。

【0154】

以上により、第1の単結晶半導体層125と第2の単結晶半導体層114の積層構造が

50

形成される。ここで、光電変換効率を考慮すると、光電変換装置 150 には 800 nm 以上の厚さの単結晶半導体層が要求される。このため、例えば、第 1 の単結晶半導体層 125 の厚さを 300 nm とする場合には、第 2 の単結晶半導体層 114 を少なくとも 500 nm 以上とすることが好ましい。ここで、500 nm 以上の厚さの第 2 の単結晶半導体層 114 を形成するために、気相エピタキシャル成長法のみを用いることは、成膜速度の点から好ましくない。一方で、固相エピタキシャル成長法のみを用いて第 2 の単結晶半導体層 114 を形成する場合には、熱処理に起因する半導体層の剥離の問題が生じることになる。これは、成膜直後の半導体層（例えば、非晶質半導体層）が多量の水素を含有することに起因するものと考えられる。

【0155】

10

本実施の形態では、気相成長（気相エピタキシャル成長）により第 1 の半導体層 113 A を薄く形成した後、第 1 の半導体層 113 B を厚く形成し、その後、固相成長（固相エピタキシャル成長）を行うことで第 2 の単結晶半導体層 114 を形成している。これにより、成膜速度を確保しつつ、半導体層の剥離の問題を解消することができる。つまり、生産性良く、且つ、歩留まり良く、単結晶半導体層を形成することができる。

【0156】

なお、本実施の形態のように、単結晶半導体層上に結晶性の高い半導体層と結晶性の低い半導体層の積層構造を形成し、その後固相成長させることで剥離の問題が低減されるのは、隣接する層同士の結晶性の差が小さくなることで、界面における原子同士の結合が強化され、密着性が高まることによると考えられる。

20

【0157】

本実施の形態においては、単結晶半導体層（第 1 の単結晶半導体層 112）と結晶性が低い半導体層（第 1 の半導体層 113 B）との間に結晶性が高い半導体層（第 1 の半導体層 113 A）を一層形成しているが、上述の理由を考えた場合、本発明をこれに限定して解釈する必要はない。つまり、単結晶半導体層と結晶性が低い半導体層との間に、結晶性が異なる半導体層を複数設ける構成としても良い。例えば、単結晶半導体層上に、結晶性が高い半導体層を形成し、その上に結晶性がやや高い半導体層を形成し、その上に結晶性が低い半導体層を形成する。このような構成とすることで、密着性をより向上させることができる。

【0158】

30

また、界面における密着力という観点からは、上記積層構造は、できるだけ大気などに触れないように形成することが好ましい。例えば、第 1 の半導体層 113 A と第 1 の半導体層 113 B を同一のチャンバー内で連続的に成膜しても良い。

【0159】

次に、第 2 の単結晶半導体層 114 の一表面側（第 1 の単結晶半導体層 112 と接しない面側）に第 1 の不純物半導体層 115 とは異なる導電型を付与する不純物元素を添加し、第 2 の不純物半導体層 121 を形成する（図 11（A）参照）。例えば、不純物元素としてリン又はヒ素を添加し、n 型の第 2 の不純物半導体層 121 を形成する。ベース基板 110 としてガラス基板を適用する場合、熱拡散法のプロセス温度には耐えられないため、イオン注入やイオンドーピングにより不純物元素を添加することになる。

40

【0160】

また、第 2 の不純物半導体層 121 を、第 2 の単結晶半導体層 114 上に非晶質半導体により形成しても良い。主に光電変換層として機能する領域は単結晶半導体層で形成されているため、第 2 の不純物半導体層 121 を非晶質半導体で形成しても大きな問題とはならない。

【0161】

なお、第 2 の不純物半導体層 121 の厚さは 20 nm 以上 200 nm 以下程度、好ましくは 50 nm 以上 100 nm 以下程度とすることが好ましい。第 2 の不純物半導体層 121 を薄く形成することにより、第 2 の不純物半導体層 121 でのキャリアの再結合を防止できる。

50

【0162】

以上により、一導電型の第1の不純物半導体層115、第1の単結晶半導体層125、第2の単結晶半導体層114、前記一導電型とは異なる導電型である第2の不純物半導体層121が順に積層されたユニットセル130を得ることができる。

【0163】

その後、第1の導電層116上に設けられた第1の不純物半導体層115、第1の単結晶半導体層125、第2の単結晶半導体層114及び第2の不純物半導体層121をエッティングして、第1の導電層116の一部（好ましくは第1の導電層116端部）を露出させる（図11（B）参照）。

【0164】

ここで、第1の導電層116の一部を露出させるのは、後に補助電極（又は補助配線）を形成するためである。光電変換装置150として機能させるためには、正極と負極に対応する電極から電気エネルギーを取り出せることが必要となるが、第1の導電層116の上部は単結晶半導体層などに覆われており、第1の導電層116の下方にはベース基板110が設けられているため、そのままでは電気エネルギーを取り出しにくい。そこで、第1の導電層116の上方に形成されている層の一部をエッティングし、第1の導電層116の一部を露出させ、引き回すことができる補助電極（又は補助配線）を形成できるようにする。

【0165】

具体的には、第2の不純物半導体層121上にレジストや窒化シリコン層などの絶縁層を用いてマスクを形成し、該マスクを用いてエッティングを行えばよい。エッティングは、例えば、NF₃、SF₆などのフッ素系ガスを用いたドライエッティングとすることができ、少なくとも第1の導電層116と、第1の導電層116の上方に形成されている層（第1の不純物半導体層115、第1の単結晶半導体層125、第2の単結晶半導体層114、第2の不純物半導体層121）との選択比が充分に確保できる条件で行えばよい。なお、エッティング後、不要となったマスクは除去する。

【0166】

本実施の形態では第2の不純物半導体層121を形成した後に第1の導電層116を露出させる例を示したが、第1の導電層116を露出させた後に第2の不純物半導体層121を形成しても良い。

【0167】

次に、露出させた第1の導電層116に接する補助電極122、及び、第2の不純物半導体層121上の第2の電極123を形成する（図11（C）参照）。

【0168】

補助電極122は、光電変換された電気エネルギーを取り出しやすくするために設けられている。すなわち、補助電極122は取り出し電極（集電極とも言う）として機能する。

【0169】

第2の電極123は、図12に示すように上方から見て格子状（或いは櫛状、櫛形、櫛歯状）となるように形成する。このような形状とすることで、ユニットセル130に十分な光を照射することができ、ユニットセル130の光吸収効率を向上させることができる。第2の電極123の形状は特に限定されるものではないが、ユニットセル130（第2の不純物半導体層121）上における第2の電極123の面積が小さいほど、光吸収効率が向上することは言うまでもない。なお、第2の電極123は補助電極122と同じ工程で形成することができる。

【0170】

補助電極122と第2の電極123は、アルミニウム、銀、鉛錫（半田）などを用いて、印刷法などの方法で形成すれば良い。例えば、銀ペーストを用いてスクリーン印刷法で形成することができる。

【0171】

10

20

30

40

50

以上により、光電変換装置 150 を製造することができる。

【0172】

なお、ユニットセル 130 上には反射防止機能を有するパッシベーション層 124 を形成することが好ましい(図 13 参照)。

【0173】

パッシベーション層 124 には、屈折率がユニットセル 130 の入射面(本実施の形態においては、第 1 の不純物半導体層 118)と空気の中間である材料を用いる。また、ユニットセル 130 への光の入射を妨げないように、所定の波長の光に対する透過性を有する材料を用いる。このような材料を用いることで、ユニットセル 130 の入射面における反射を防ぐことができる。なお、このような材料としては、例えば、窒化シリコン、窒化酸化シリコン、フッ化マグネシウムなどを挙げることができる。

【0174】

パッシベーション層 124 には、補助電極 122 と、第 2 の電極 123 の一部が露出するように開口部が設けられている。例えば、ユニットセル 130 上にパッシベーション層 124 を形成した後、パッシベーション層 124 を第 2 の不純物半導体層 121 と第 1 の導電層 116 の一部が露出するようにエッチングする。そして、第 1 の導電層 116 と接する補助電極 122 と、第 2 の不純物半導体層 121 と接する第 2 の電極 123 を形成する。なお、リフトオフ法などを適用して、開口部が設けられたパッシベーション層 124 を形成しても良い。

【0175】

この点、本実施の形態では、エピタキシャル成長技術を利用して単結晶半導体層の厚膜化を図っており、第 1 の単結晶半導体層 125 と第 2 の単結晶半導体層 114 を合わせて 800 nm 以上の厚さとしている。このため、単結晶半導体層において十分なキャリアを発生させることができ、光電変換効率を向上することができる。

【0176】

以上、本実施の形態に示すエピタキシャル成長技術を用いることにより、光電変換層として機能する 800 nm 以上、好ましくは 1000 nm 以上の単結晶半導体層を得ることができる。これにより、バルクの単結晶半導体基板を用いる場合と比較して、単結晶半導体の消費量を抑えることができる。なお、従来では、光電変換装置を支持する構造体部分も単結晶半導体で形成していたが、単結晶半導体基板を薄片化した単結晶半導体層を用いることで、単結晶半導体の消費量を大幅に低減することができる。また、単結晶半導体層を分離した後の単結晶半導体基板は繰り返し利用することができるため、資源を有効に活用することができる。

【0177】

さらに、本実施の形態では、結晶性の高い(水素濃度が低い、水素含有量が小さい)第 1 の半導体層と、結晶性の低い(水素濃度が高い、水素含有量が大きい)第 2 の半導体層との積層構造を用いて第 2 の単結晶半導体層を形成している。これにより、第 2 の単結晶半導体層を厚く形成する場合であっても、第 2 の単結晶半導体層の剥離を防止することができる。つまり、第 2 の半導体層を十分に厚くして生産性を向上しつつ、第 2 の半導体層の厚膜化に起因する剥離を防止することができるため、必要な厚さを有する光電変換層を、効率的に、歩留まり良く、必要最小限の材料のみを用いて形成することができる。

【0178】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【実施例 1】

【0179】

本実施例では、単結晶半導体基板とベース基板との接合界面において不良の数を測定した結果について説明する。

【0180】

本実施例では、単結晶半導体基板として単結晶シリコン基板を用意し、当該単結晶シリコン基板上に、ラジカル処理により第 1 の酸化シリコン膜(以下、ラジカル酸化膜とも記

10

20

30

40

50

す)を約10nm形成した後水素イオンを照射して脆化領域を形成した。次に、第1の酸化シリコン膜上に、TEOSおよびO₂を用い第2の酸化シリコン膜を100nm形成した。次に、第2の酸化シリコン膜上に窒化酸化シリコン膜を50nm形成した。また、ガラス基板を用意し、窒化酸化シリコン膜とガラス基板を接合させ、脆化領域を境として分離することにより、ガラス基板上に窒化酸化シリコン膜及び第1及び第2の酸化シリコン膜を介して単結晶シリコン層を形成した。

【0181】

次に、単結晶シリコン基板上に、ヒドロキシラジカルを含むオゾン水による処理により第1の酸化シリコン膜(以下、ヒドロ酸化膜とも記す)を数nm形成した後、水素イオンを照射した。次に、第1の酸化シリコン膜上に、TEOS及びO₂を用い、第2の酸化シリコン膜を100nm形成した。次に、第2の酸化シリコン膜上に窒化酸化シリコン膜を50nm形成した。また、ガラス基板を用意し、窒化酸化シリコン膜とガラス基板を接合させ、脆化領域を境として分離することにより、ガラス基板上に窒化酸化シリコン膜及び第1及び第2の酸化シリコン膜を介して単結晶シリコン層を形成した。

10

【0182】

その後、ガラス基板上に設けられた単結晶シリコン層をゴミ検査機(日立電子エンジニアリング株式会社製、ガラス基板表面検査装置G I - 4600)で観察した。

【0183】

単結晶半導体基板にヒドロ酸化膜を形成して、TEOS膜、窒化シリコン膜を形成した場合は、86個の欠陥が検出されたのに対し、単結晶シリコン基板にラジカル酸化膜を形成して、TEOS膜、窒化シリコン膜を形成した場合は、22個しか欠陥が検出されなかつた。

20

【0184】

ヒドロ酸化膜は、数nm程度の薄さの酸化膜が形成できるものの、膜質や膜厚を均一に形成することが困難である。したがって、水素イオンを照射した際に、膜の表面が荒れてしまつたものと考えられる。膜の表面が荒れたヒドロ酸化膜上に酸化シリコン膜及び窒化酸化シリコン膜を形成することにより、窒化酸化シリコン膜の表面の凹凸がさらに大きくなってしまい、窒化酸化シリコン膜の表面凹凸を反映して、ベース基板との貼り合わせ面内において欠陥が複数生じたものと考えられる。これに対して、ラジカル酸化膜は、膜質や膜厚を均一に形成することができる。したがって、水素イオンを照射した際に、膜の表面が荒れてしまうことを抑制できたものと考えられる。したがって、ラジカル酸化膜の上に形成された酸化シリコン膜及び窒化酸化シリコン膜は、ラジカル酸化膜の表面凹凸の影響を受けにくく、平坦に形成することができ、ベース基板との貼り合わせ面内において欠陥が生じることを抑制できたと考えられる。

30

【符号の説明】

【0185】

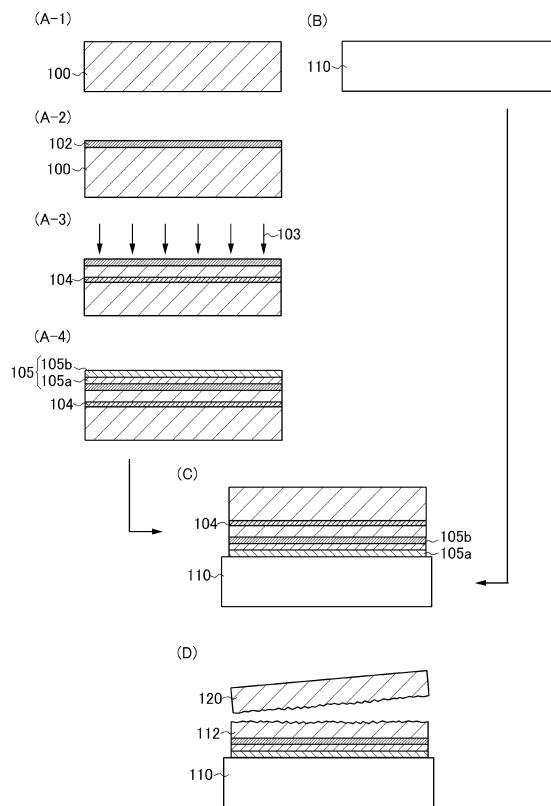
- 100 単結晶半導体基板
- 102 絶縁膜
- 103 イオン
- 104 脆化領域
- 105 絶縁膜
- 105 a 絶縁膜
- 105 b 絶縁膜
- 110 ベース基板
- 111 窒素含有層
- 112 単結晶半導体層
- 113 A 半導体層
- 113 B 半導体層
- 114 単結晶半導体層
- 114 A 下層領域

40

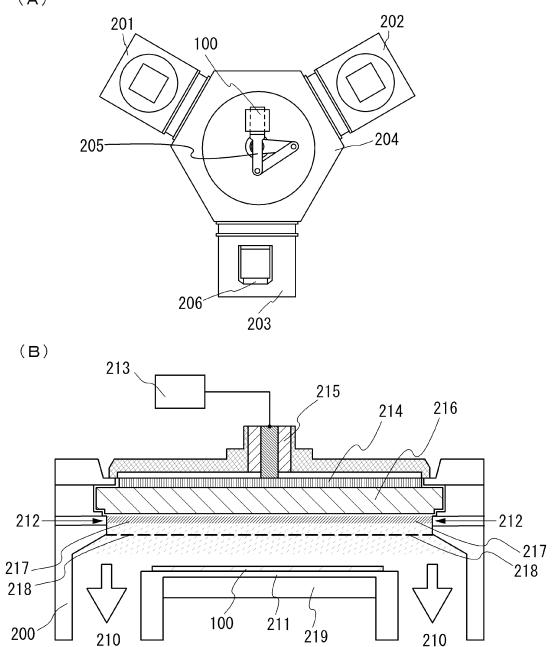
50

1 1 4 B	上層領域	
1 1 5	不純物半導体層	
1 1 6	導電層	
1 1 7	絶縁層	
1 1 8	不純物半導体層	
1 1 9 A	半導体層	
1 1 9 B	半導体層	
1 2 0	単結晶半導体基板	
1 2 1	不純物半導体層	
1 2 1 A	下層領域	10
1 2 1 B	上層領域	
1 2 2	補助電極	
1 2 3	電極	
1 2 4	パッシベーション層	
1 2 5	単結晶半導体層	
1 3 0	ユニットセル	
1 3 1	領域	
1 3 2	領域	
1 3 3	ゲート絶縁層	
1 3 4	ゲート電極層	20
1 3 5	絶縁層	
1 3 6	導電層	
1 5 0	光電変換装置	
2 0 0	プラズマ処理室	
2 0 1	プラズマ処理室	
2 0 2	プラズマ処理室	
2 0 3	ロードロック室	
2 0 4	共通室	
2 1 0	排気口	
2 1 1	ステージ	30
2 1 2	ガス供給部	
2 1 3	マイクロ波発生部	
2 1 4	アンテナ	
2 1 5	同軸導波管	
2 1 6	誘電体板	
2 1 8	シャワープレート	
2 1 9	温度制御部	

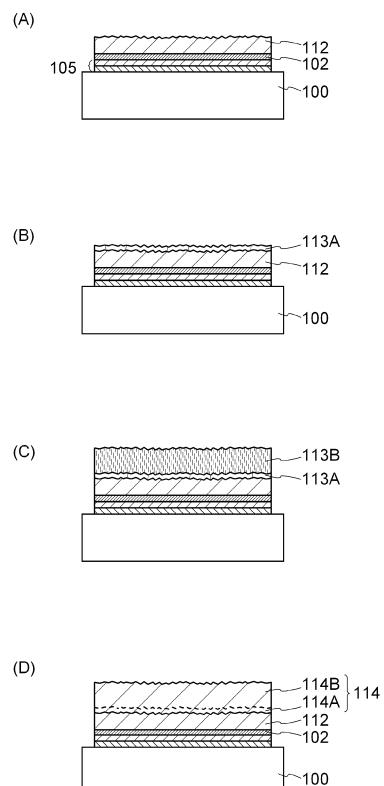
【図1】



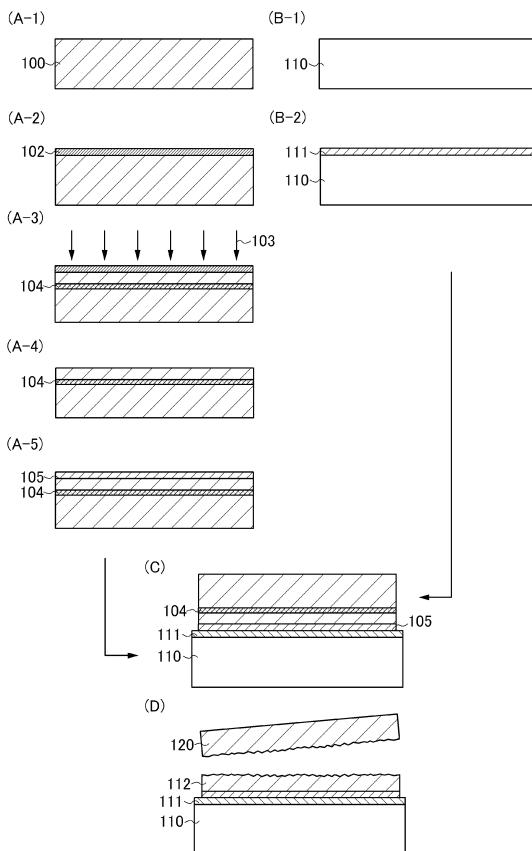
【図2】



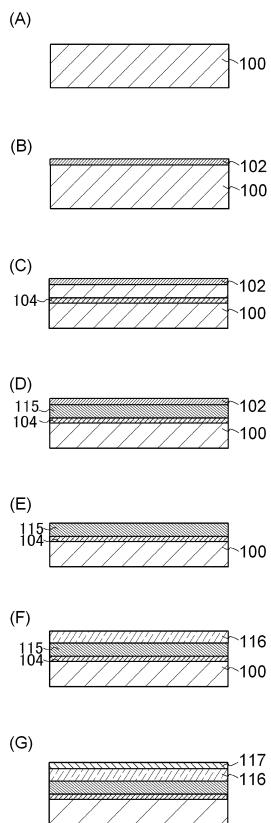
【図3】



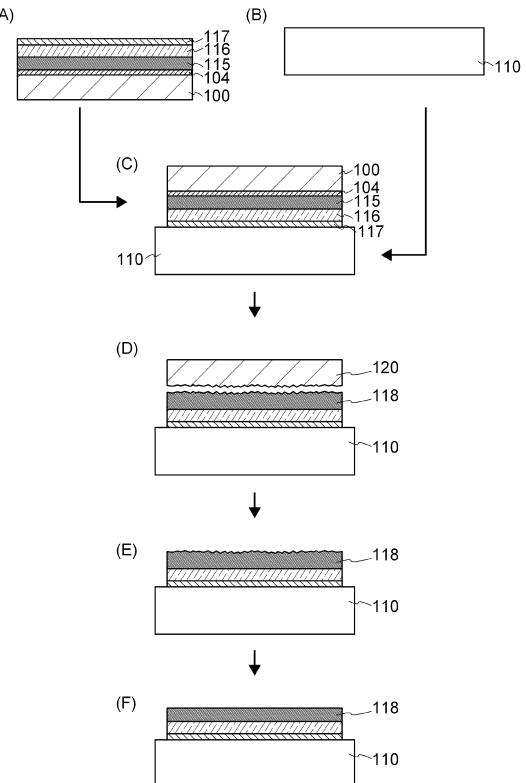
【図4】



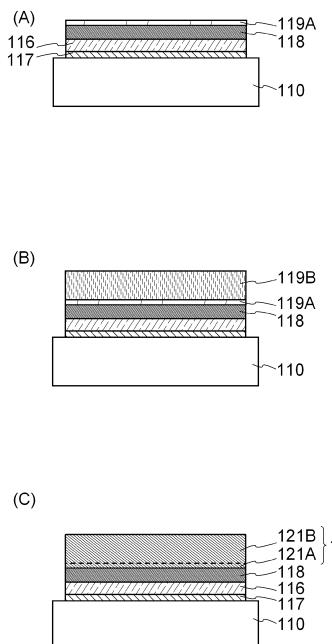
【図5】



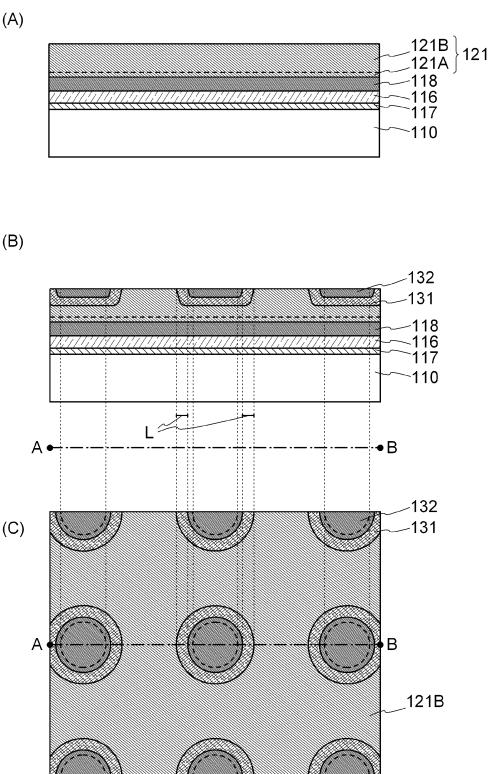
【図6】



【図7】

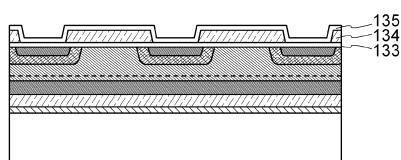


【図8】

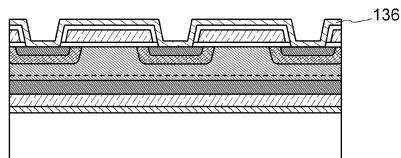


【図9】

(A)

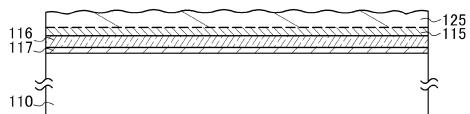


(B)

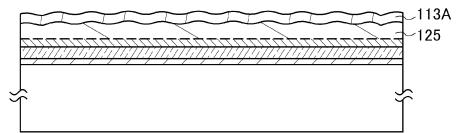


【図10】

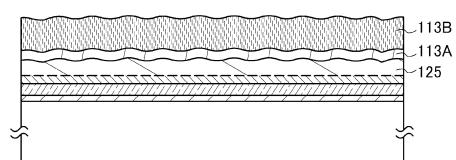
(A)



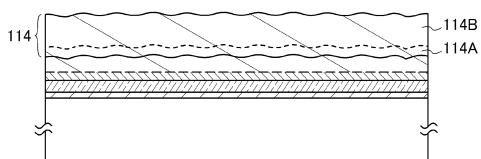
(B)



(C)

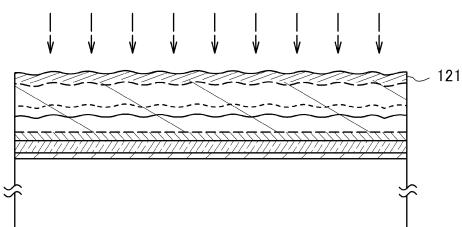


(D)

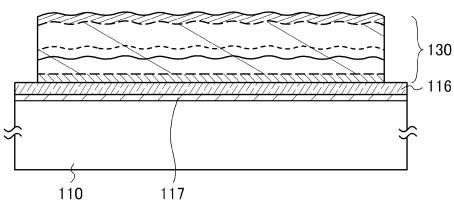


【図11】

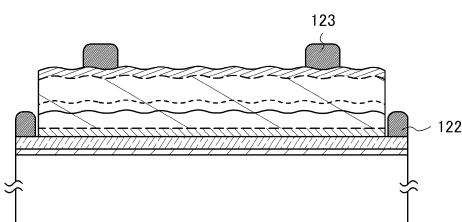
(A)



(B)

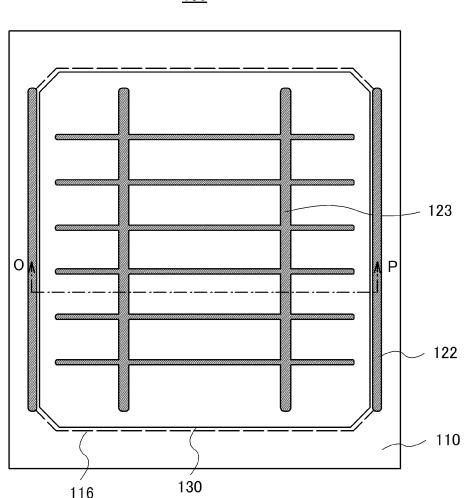


(C)

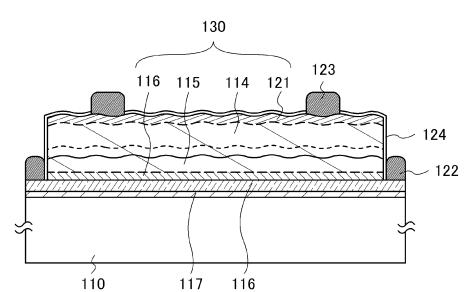


【図12】

150



【図13】



フロントページの続き

(56)参考文献 特開2000-030996(JP,A)
特開2000-235975(JP,A)
特開2002-289611(JP,A)
特開2006-120965(JP,A)
特開2007-043121(JP,A)
特開2001-203340(JP,A)
特開平11-097379(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/02
H01L 27/12