



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월17일
(11) 등록번호 10-1073419
(24) 등록일자 2011년10월07일

(51) Int. Cl.

H01L 21/208 (2006.01) *C30B 15/20* (2006.01)
C30B 33/00 (2006.01)

(21) 출원번호 10-2009-0016500

(22) 출원일자 2009년02월26일

심사청구일자 2009년02월26일

(65) 공개번호 10-2009-0093854

(43) 공개일자 2009년09월02일

(30) 우선권주장

JP-P-2008-049847 2008년02월29일 일본(JP)

(56) 선행기술조사문현

KR100328188 B1*

KR1020000029786 A

KR1020050035862 A

KR1020060099694 A

*는 심사관에 의하여 인용된 문현

(73) 특허권자

가부시키가이샤 사무코

일본국 도쿄도 미나토구 시바우라 1초메 2반 1고

(72) 발명자

구리타 가즈나리

일본 도쿄도 미나토구 시바우라 1초메 2방 1고 가
부시키가이샤 사무코 나이

오모테 슈이치

일본 도쿄도 미나토구 시바우라 1초메 2방 1고 가
부시키가이샤 사무코 나이

(74) 대리인

특허법인코리아나

전체 청구항 수 : 총 9 항

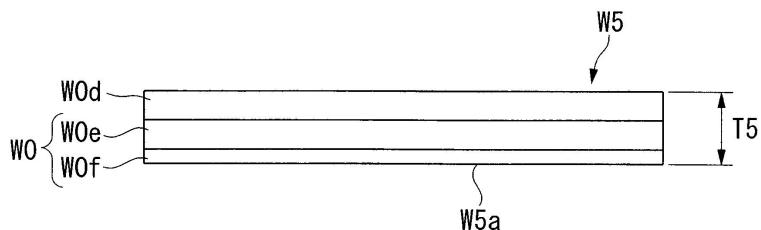
심사관 : 권순근

(54) 실리콘 기판과 그 제조 방법

(57) 요 약

CZ 법에 의해 탄소 농도가 1.0×10^{16} atoms/cm³ 이상 또한 1.6×10^{17} atoms/cm³ 이하, 초기 산소 농도가 1.4×10^{18} atoms/cm³ 이상 또한 1.6×10^{18} atoms/cm³ 이하로 하여 육성된 실리콘 단결정으로 제조된 실리콘 기판으로서, 그 두께가 40μm 이하 또한 5μm 이상이 됨과 함께, 그 이면에 200MPa 이하 또한 5MPa 이상의 잔류應력이 생기는 외인성 게터링이 부여된 실리콘 기판이다.

대 표 도 - 도2c



특허청구의 범위

청구항 1

CZ 법에 의해 탄소 농도가 1.0×10^{16} atoms/cm³ 이상 또한 1.6×10^{17} atoms/cm³ 이하, 초기 산소 농도가 1.4×10^{18} atoms/cm³ 이상 또한 1.6×10^{18} atoms/cm³ 이하로 하여 육성된 실리콘 단결정으로 제조된 실리콘 기판으로서,

표면에 디바이스가 형성된 디바이스 영역과,

상기 디바이스 영역의 아래에 배치된 벌크층과,

상기 실리콘 기판의 이면에 배치된 가공 변질층을 갖고,

상기 실리콘 기판의 두께가 40μm 이하 또한 5μm 이상이 됨과 함께,

상기 벌크층이, 상기 실리콘 단결정 육성시에 탄소를 도프하고 또한 산소를 소정의 범위로 하는 것에 의해 얻어지는 인트린식 게터링능을 갖고,

상기 가공 변질층의 표면에는 200MPa 이하 또한 5MPa 이상의 잔류 응력을 갖는 텍스처가 형성되어, 외인성 게터링이 부여된 것을 특징으로 하는 실리콘 기판.

청구항 2

제 1 항에 있어서,

상기 잔류 응력은, 상기 실리콘 기판 이면에 연삭 가공을 한 후 CMP 가공하여 부여된 것인, 실리콘 기판.

청구항 3

제 1 항에 있어서,

상기 잔류 응력은, 상기 실리콘 기판 이면에 연삭 가공을 한 후, 콜로이달실리카 또는 실리콘 결정 혹은 다이아몬드 라이크 카본으로 이루어지는 경도 200HV 이상 또한 1000HV 이하인 경질의 슬러리로 CMP 가공하여 부여된 것인, 실리콘 기판.

청구항 4

CZ 법에 의해 탄소 농도가 1.0×10^{16} 이상 또한 1.6×10^{17} atoms/cm³ 이하, 초기 산소 농도가 1.4×10^{18} 이상 또한 1.6×10^{18} atoms/cm³ 이하로 하여 실리콘 단결정을 육성하는 공정과,

상기 실리콘 단결정을 슬라이스하여, 웨이퍼를 제조하는 공정과,

상기 웨이퍼의 표면에 디바이스 영역을 형성하는 공정과,

상기 디바이스가 형성된 상기 웨이퍼의 두께를 40μm 이하 또한 5μm 이상까지 두께를 줄이는 공정을 갖고,

상기 웨이퍼의 두께를 줄이는 공정에서, 상기 디바이스 영역의 아래에 배치된 벌크층과, 상기 웨이퍼의 이면에 배치된 가공 변질층을 형성하고,

상기 웨이퍼의 두께를 줄이는 공정에서, 가공 변질층의 표면에 200MPa 이하 또한 5MPa 이상의 잔류 응력을 갖는 텍스처를 형성하여, 외인성 게터링을 부여하는 것을 특징으로 하는 실리콘 기판의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 잔류 응력을 발생시키는 가공은, 상기 실리콘 기판 이면의 연삭 가공, 및 그 후 CMP 가공인, 실리콘 기판의 제조 방법.

청구항 6

제 4 항에 있어서,

상기 잔류 응력을 발생시키는 가공은, 상기 실리콘 기판 이면의 연삭 가공, 및 그 후에 행하는 콜로이달실리카 또는 실리콘 결정 혹은 다이아몬드 라이크 카본으로 이루어지는 경도 200HV 이상 또한 1000HV 이하인 경질의 슬러리에 의한 CMP 가공인 것을 특징으로 하는 실리콘 기판의 제조 방법.

청구항 7

제 4 항에 기재된 실리콘 기판의 제조 방법에 의해 제조된 메모리 소자를 구비한, 실리콘 기판.

청구항 8

제 5 항에 기재된 실리콘 기판의 제조 방법에 의해 제조된 메모리 소자를 구비한, 실리콘 기판.

청구항 9

제 6 항에 기재된 실리콘 기판의 제조 방법에 의해 제조된 메모리 소자를 구비한, 실리콘 기판.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 실리콘 기판과 그 제조 방법에 관한 것으로서, 특히 게터링능을 향상시켜, 메모리, 로직 등의 두께가 얇은 디바이스 제조에 제공되는 실리콘 기판에 이용하기에 바람직한 기술에 관한 것이다.

[0002] 본원은, 2008년 2월 29일에 출원된 일본 특허출원 제2008-049847호에 대하여 우선권을 주장하고, 그 내용을 여기에 원용한다.

배경기술

[0003] 실리콘으로 이루어지는 두께가 얇은 반도체 디바이스는, CZ (초크랄스키) 법 등에 의해 인상된 실리콘 단결정으로부터 슬라이스한 실리콘 기판에 회로를 형성함으로써 제조되는 것이다. 실리콘 기판에 중금속이 불순물 혼입된 경우, 디바이스 특성이 현저히 열화되게 된다.

[0004] 실리콘 기판에 중금속이 불순물 혼입되는 요인으로서는, 첫째, 단결정 인상, 슬라이스, 모파기, 및 연마, 연삭, 에칭 등의 표면 처리로 이루어지는 실리콘 기판의 제조 공정에 있어서의 금속 오염을 들 수 있다. 둘째, 실리콘 기판에 회로를 형성하고, 회로 형성 후에 웨이퍼 이면을 깎아 50 μm 정도까지 박후화 (薄厚化) 하는 등의 공정인 디바이스의 제조 공정에 있어서의 중금속 오염을 들 수 있다.

[0005] 그래서, 종래부터 실리콘 기판에 산소 석출물을 형성하는 IG (인트린식 게터링) 법, 실리콘 기판의 이면에 백사이드 데미지 등의 게터링 사이트를 형성하는 EG (익스트린식 게터링) 법이 이용되고 있다.

[0006] 일본 공개특허공보 평6-338507호에는 IG 법으로 처리하는 기술이 제안되어 있다. 일본 공개특허공보 2006-313922호에는 0005 단에 EG 법의 예가, 또한 탄소 이온 주입에 관한 기술이 기재되어 있다.

[0007] 이와 같이, 고체 활성 소자에 사용되는 실리콘 기판으로서는, 에피택셜 성장 전에 산소 석출 열처리를 실시하여 산소 석출물을 형성하는 인트린식 게터링법에 의해 얻어진 것, 혹은 실리콘 기판에 탄소 이온 등의 이온을 이온 주입하는 이온 주입법에 의해 얻어진 것이 이용되고 있다.

[0008] 그런데, 최근 디바이스의 박후화가 진행되어, 디바이스의 두께로서 50 μm 내지 40 μm 이하, 30 μm 정도가 요구된다. 그러나, 중금속 오염의 발생은, 특히 디바이스 제조 최종 공정의 박후화 공정에서 가장 많이 발생한다. 상기와 같은 종래의 IG (인트린식 게터링) 법의 경우에는, 디바이스의 박후화가 이 정도가 되면, 그 박후화 공정에서 IG 효과를 갖는 IG 층의 대부분이 제거되어 버리기 때문에, 충분한 게터링능을 띠지 않게 되어, 디바이스의 불량 요인을 형성한다는 문제가 있었다.

[0009] 또한, 일본 공개특허공보 2006-313922호와 같이 고온의 열처리가 탄소 주입 기판에 실시된 경우, 탄소 주입으로 형성된 결정 결함 (결정 격자 변형 등) 이 완화되어 게터링 싱크로서의 기능이 저하될 것이 우려된다.

발명의 내용

해결 하고자하는 과제

[0010]

본 발명은, 상기의 사정을 감안하여 이루어진 것으로서, 디바이스의 박후화에 의해서도, 충분한 게터링능을 가짐과 함께, 실리콘 기판의 균열 혹은 결손 등의 발생을 방지 가능하게 하여, 디바이스 수율의 향상이 가능한 실리콘 기판 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제 해결수단

[0011]

본 발명의 실리콘 기판은, CZ 법에 의해 탄소 농도가 1.0×10^{16} atoms/cm³ 이상 또한 1.6×10^{17} atoms/cm³ 이하, 초기 산소 농도가 1.4×10^{18} atoms/cm³ 이상 또한 1.6×10^{18} atoms/cm³ 이하로 하여 육성된 실리콘 단결정으로 제조된 실리콘 기판이다. 이 실리콘 기판은, 표면에 디바이스가 형성되고, 상기 실리콘 기판의 두께가 40 μm 이하 또한 5 μm 이상이 됨과 함께, 상기 실리콘 기판의 이면에 200MPa 이하 또한 5MPa 이상의 잔류 응력이 생기는 외인성 게터링이 부여되어 있다.

[0012]

본 발명의 실리콘 기판의 상기 잔류 응력은 상기 실리콘 기판 이면에 연삭 가공을 한 후 CMP 가공하여 부여된 것이 바람직하다.

[0013]

본 발명의 실리콘 기판의 상기 잔류 응력은 상기 실리콘 기판 이면에 연삭 가공을 한 후 CMP 가공에 있어서 콜로이달실리카 또는 실리콘 결정 혹은 다이아몬드 라이크 카본으로 이루어지는 경도 200HV 이상 또한 1000HV 이하의 경질인 슬러리로 CMP 가공하여 부여된 것이 바람직하다.

[0014]

본 발명의 실리콘 기판의 제조 방법에서는, 먼저 CZ 법에 의해 탄소 농도가 1.0×10^{16} atoms/cm³ 이상 또한 1.6×10^{17} atoms/cm³ 이하, 초기 산소 농도가 1.4×10^{18} atoms/cm³ 이상 또한 1.6×10^{18} atoms/cm³ 이하로 하여 실리콘 단결정을 육성한다. 다음으로, 그 실리콘 단결정을 슬라이스하여 웨이퍼를 제작하고, 웨이퍼의 표면에 디바이스를 형성한 후, 상기 디바이스가 형성된 상기 웨이퍼의 두께를 40 μm 이하 또한 5 μm 이상까지 줄이고, 그 이면에 200MPa 이하 또한 5MPa 이상의 잔류 응력이 생기는 외인성 게터링을 부여하는 가공을 실시한다. 이와 같이 하여 본 발명의 실리콘 기판을 얻음으로써 상기 과제를 해결하였다.

[0015]

상기 잔류 응력을 발생시키는 가공으로서는, 상기 실리콘 기판 이면에 연삭 가공을 실시한 후, CMP 가공을 실시해도 된다.

[0016]

상기 잔류 응력을 발생시키는 가공은, 상기 실리콘 기판 이면에 연삭 가공을 실시한 후, 콜로이달실리카 또는 실리콘 결정 혹은 다이아몬드 라이크 카본으로 이루어지는 경도 200HV 이상 또한 1000HV 이하인 경질의 슬러리에 의한 CMP 가공을 실시하는 것이 보다 바람직하다.

[0017]

본 발명의 메모리 소자의 실리콘 기판은 상기의 어느 하나에 기재된 제조 방법에 의해 제조될 수 있다.

[0018]

상기의 산소 농도는 ASTM F121-1979에 의해 측정할 수 있다.

[0019]

상기 탄소 농도는 FT-IR을 이용한 방법에 의해 측정할 수 있다.

[0020]

또한, 경도는 비커스 경도계를 사용한 방법에 의해 측정할 수 있다.

[0021]

본 발명에 관련된 메모리, 로직, 고체 콤보 소자 등의 제조에 적합한 실리콘 기판은 탄소 첨가에 의한 석출물의 핵 (중금속의 게터링 싱크)을 갖는다. 특히, 본 발명에 관련된 실리콘 기판은 디바이스 제조 최종 공정에 있어서의 박후화 공정이나 그 후에 있어서도, IG·EG에 의해 충분한 게터링능을 띠고 함께, 균열, 결손의 발생을 방지할 수 있다.

[0022]

이와 같은 실리콘 기판을 메모리, 로직 소자 등의 제조에 사용함으로써 소자를 구성하는 회로, 트랜지스터, 매립형 다이오드 등에 중금속 오염 기인의 결함이 생기는 일이 없게 되어, 디바이스 소자의 수율을 향상시킬 수 있다.

효과

[0023]

따라서, 본 발명에 의하면, 높은 게터링능을 가지므로, 금속 오염의 영향을 저감 가능한 실리콘 기판을 제공할 수 있다. 그리고, 이 실리콘 기판에 의해, 제조 비용, 디바이스 공정에 있어서의 수율 악화 등의 문제점을 해결할 수 있다.

발명의 실시를 위한 구체적인 내용

[0024] 이하, 본 발명에 관련된 실리콘 기판과 그 제조 방법에 있어서의 일 실시형태를 도면에 기초하여 설명한다.

[0025] 도 1a ~ 도 1c 및 도 2a ~ 도 2c는 본 실시형태에 관련된 실리콘 기판의 제조 방법의 각 공정을 나타내는 단면도이다. 도 3은, 본 실시형태에 있어서의 실리콘 기판의 제조 방법을 나타내는 플로우 차트이다. 도면에 있어서, 부호 W0는 실리콘 기판이다.

[0026] 본 실시형태에서는, 메모리 소자의 디바이스 제조에 사용하는 실리콘 기판에 대하여 설명한다.

[0027] 본 실시형태의 실리콘 기판의 제조 방법은 웨이퍼 제조 공정 A와 디바이스 제조 공정 B를 갖고 있다. 웨이퍼 제조 공정 A는, 도 3에 나타내는 바와 같이, 실리콘 단결정 인상 공정 S1, 웨이퍼 가공 공정 S2, 에피택 셜층 막형성 공정 S3을 갖는다. 디바이스 제조 공정 B는, 도 3에 나타내는 바와 같이, 디바이스 제조 공정 S4, 박후화 공정 S5, 마무리 공정 S6을 갖는다.

[0028] 먼저, 도 3에 나타내는 실리콘 단결정 인상 공정 S1에서는, 석영 도가니 내에 실리콘 결정의 원료인 폴리실리콘을 적층 배치하고, 추가로 이 폴리실리콘 표면 상에 그라파이트 가루를 적량 도포하고, 동시에 도편트로서 B(봉소)를 투입한다. 그리고, 예를 들어 초크랄스키법(CZ법)에 따라, 폴리실리콘 등을 용융시키고, 이 용탕에 실리콘 종결정을 침지시키고, 이것을 수소 분위기 내에서 인상으로써, 탄소가 첨가된 CZ 결정을 후술하는 바와 같이 제조한다. 또한, CZ 결정이란, 초크랄스키법으로 제조된 결정의 호칭으로서, 자기장 인가 CZ 결정도 포함하는 것으로 한다.

[0029] 봉소를 함유하는 p형의 실리콘 단결정은, 폴리실리콘 원료의 단계에서 탄소를 첨가하고, 이 탄소 첨가 원료의 용액으로부터 실리콘 단결정을 육성시키면서, 단결정 중의 산소 농도 Oi를 제어하여 인상된다. 이하, 탄화 첨가 CZ 실리콘 단결정의 인상에 대하여 설명한다. 이하에서는, 직경 300mm의 웨이퍼에 대하여 설명하지만, 본 발명은 이것에 한정되는 것은 아니다.

[0030] 도 4는, 본 실시형태에 있어서의 실리콘 단결정을 제조하는 데에 적합한 CZ 노(爐)의 종단면도이다. CZ 노는 캠버 내의 중심부에 배치된 도가니(석영 도가니)(101)와, 도가니(101)의 외측에 배치된 히터(102)를 구비하고 있다. 도가니(101)는, 내측에 원료 용액(103)을 수용하는 석영 도가니(101)를 외측의 흑연 도가니(101a)로 유지하는 이중 구조이며, 페데스탈(fedestal)이라 불리는 지지축(101b)에 의해 회전 및 승강 구동된다. 도가니(101)의 상방에는 원통 형상의 열차폐체(107)가 형성되어 있다. 열차폐체(107)는 흑연으로 외각(外殼)을 만들고, 이 외각의 내부에 흑연 웨스트(108)를 충전시킨 구조를 갖는다. 열차폐체(107)의 내면은 상단부에서 하단부에 걸쳐 내경이 점차 감소하는 테이퍼면으로 되어 있다. 열차폐체(107)의 상부의 외면은 내면에 대응하는 테이퍼면이고, 하부의 외면은 거의 스트레이트(연직)면으로 형성되고, 열차폐체(107)의 하부의 두께는 하방을 향하여 점차 증가하고 있다.

[0031] 이 예의 CZ 노는, 예를 들어 목표 직경(DC)이 310mm, 보디 길이가 예를 들어 1200mm인 300mm 직경의 단결정 육성이 가능한 것이다.

[0032] 열차폐체(107)의 사양예를 들면 다음과 같다. 도가니에 들어가는 부분의 외경은 예를 들어 570mm, 최하단에 있어서의 최소 내경 S는 예를 들어 370mm, 반경 방향의 폭(두께)W는 예를 들어 100mm로 한다. 또한, 도가니(101)의 외경은 예를 들어 650mm이며, 열차폐체(107)의 하단의 용액면으로부터의 높이 H는 예를 들어 60mm이다. 또한, 테이퍼면의 기울기 α 는 예를 들어 21° 로 한다.

[0033] 다음으로, 탄화 첨가 CZ 실리콘 단결정을 육성하기 위한 조업 조건의 설정 방법에 대하여 설명한다.

[0034] 먼저, 도가니 내에 고순도 실리콘의 다결정을 장착해 넣고, 결정 중의 저항률이 p-타입이 되도록 도편트로서 봉소를 첨가한다.

[0035] 봉소(B) 농도가 p+ 타입이란 저항률 $8 \times 10^{-3} \Omega \text{cm}$ 이상 또한 $10 \times 10^{-3} \Omega \text{cm}$ 이하에 상당하는 농도이고, p 타입이란 저항률 $0.1 \Omega \text{cm}$ 이상 또한 $100 \Omega \text{cm}$ 이하에 상당하는 농도이며, p- 타입이란 저항률 $0.01 \Omega \text{cm}$ 이상 또한 $0.1 \Omega \text{cm}$ 이하에 상당하는 농도이다.

[0036] 또한, p/p- 타입이란, p- 타입 기판 상에 p 타입의 에피택 셜층을 적층한 웨이퍼를 의미한다.

[0037] 또한, 저항률은 4 탐침 저항률 측정기를 이용하여 측정할 수 있다.

[0038] 본 실시형태에 있어서는, 실리콘 기판 중의 탄소 농도가 상기 서술한 범위, 1.0×10^{16} atoms/cm³ 이상 또한 1.6×10^{17} atoms/cm³ 이하가 되도록 실리콘 용액에 도편트를 첨가한다.

[0039] 또한, 실리콘 기판 중의 산소 농도가 상기 서술한 산소 농도 1.4×10^{18} atoms/cm³ 이상 또한 1.6×10^{18} atoms/cm³ 이하가 되도록, 결정 회전 속도, 도가니 회전 속도, 가열 조건, 인가 자기장 조건, 인상 속도 등을 제어한다.

[0040] 그리고, 장치 내를 불활성 가스 분위기에서 감압(減壓)의 1.33kPa 이상 또한 26.7kPa 이하 (10 torr 이상 또한 200 torr 이하)로 하고, 불활성 가스 (Ar 가스 등) 중에 수소 가스를 3 체적% 이상 또한 20 체적% 이하가 되도록 혼합하여 노내에 유입시킨다. 압력은 1.33kPa (10 torr) 이상, 바람직하게는 4kPa 이상 또한 26.7kPa 이하 (30 torr 이상 또한 200 torr 이하), 더욱 바람직하게는 4kPa 이상 또한 9.3kPa 이하 (30 torr 이상 또한 70 torr 이하) 가 바람직하다. 압력의 하한은, 수소의 분압이 낮아지면 용액 및 결정 중의 수소 농도가 낮아지기 때문에, 이것을 방지하기 위하여 상기의 하한의 압력을 규정하였다. 압력의 상한은, 노내의 압력이 증대되면, 결정 중의 탄소 농도가 소망치보다 높아지고, 또한 결정의 유전위화(有轉位化)를 일으키기 때문에, 이들을 방지하기 위하여 상기의 상한의 압력을 규정하였다. 또한, 결정 중의 탄소 농도가 소망치보다 높아지는 것은, 노내의 압력이 증대되면, Ar 등의 불활성 가스의 용액 상에서의 가스 유속이 저하되어 카본 히터나 카본 부재로부터 탈가스된 탄소나, 용액으로부터 증발한 SiO 등의 반응물 가스가 배기되기 어려워지기 때문이다. 또한, 결정의 유전위화는 노내의 압력이 증대되면, SiO 가 노내의 용액 상부의 1100°C 정도 또는 보다 저온의 부분에 응집하여, 더스트를 발생시켜 용액에 낙하됨으로써 발생된다.

[0041] 이어서, 히터 (102)에 의해 가열하여 실리콘을 용액시켜 용액 (원료 용액) (103)으로 한다. 다음으로, 시드 척 (105)에 장착한 실리콘 종결정을 용액 (원료 용액) (103)에 침지시켜, 도가니 (석영 도가니) (101) 및 인상축 (104)을 회전시키면서 결정 (106)의 인상을 실시한다. 결정 방위는 {100}, {111} 또는 {110} 중 어느 하나로 하여, 결정 무전위화를 위한 시드 조임을 실시한 후, 솔더부를 형성시켜, 예를 들어 310mm의 목표보디 직경으로 한다.

[0042] 그 후에는 일정한 인상 속도로 예를 들어 전체 길이 1200mm 까지 보디부를 육성하고, 통상과 동일한 조건으로 직경 축소하여 테일 조임을 실시한 후, 결정 성장을 종료한다. 여기서, 인상 속도는 저항률, 실리콘 단결정 직경 사이즈, 사용하는 단결정 인상 장치의 핫 존 구조 (열 환경) 등에 따라 적절히 설정된다. 예를 들어, 정성적으로는 단결정면 내에서 OSF 링이 발생하는 영역이 포함되는 인상 속도를 채용할 수 있다. 인상 속도의 하한은 단결정면 내에 OSF 링 영역이 발생하고 또한 전위 클러스터가 발생하지 않는 인상 속도 이상으로 할 수 있다.

[0043] 또한, 상기 불활성 분위기 중에 있어서의 수소 농도를, 노내부 압력은 4.0kPa 이상 또한 9.33kPa 이하 (30 torr 이상 또한 70 torr 이하)에 대하여 3 체적% 이상 또한 20 체적% 이하의 범위로 설정할 수 있다. 노내부 압력은 1.33kPa (10 torr) 이상, 바람직하게는 4.0kPa 이상 또한 26.7kPa 이하 (30 torr 이상 또한 200 torr 이하), 더욱 바람직하게는 4.0kPa 이상 또한 9.3kPa 이하 (30 torr 이상 또한 70 torr 이하) 가 바람직하다. 이 하한치는, 수소의 분압이 낮아지면 용액 및 결정 중의 수소 농도가 낮아지기 때문에, 이것을 방지하기 위하여 상기의 하한의 압력을 규정하였다. 상한치는, 노내의 압력이 증대되면 결정 중의 탄소 농도가 소망치보다 높아지고, 또한 결정의 유전위화가 발생하기 때문에, 이들을 방지하기 위하여 상기의 상한의 압력을 규정하였다. 결정 중의 탄소 농도가 소망치보다 높아지는 것은, 노내의 압력이 증대되면 Ar 등의 불활성 가스의 용액 상에서의 가스 유속이 저하됨으로써, 카본 히터나 카본 부재로부터 탈가스된 탄소나, 용액으로부터 증발된 SiO 등의 반응물 가스가 배기되기 어려워지기 때문이다. 또한, 결정의 유전위화는, 노내의 압력이 증대되면 SiO 가 노내의 용액 상부의 1100°C 정도 또는 보다 저온의 부분에 응집하고, 더스트를 발생시켜 용액에 낙하됨으로써 발생된다. 수소 분압으로서 40Pa 이상 또한 400Pa 이하가 되는 것이 바람직하다.

[0044] 수소를 함유하는 불활성 분위기 중에서 육성시의 실리콘 단결정 중의 수소 농도는, 분위기 중의 수소 분압에 의해 제어할 수 있다. 수소의 결정으로의 도입은 분위기 중의 수소가 실리콘 용액에 용해되어 정상(평형) 상태가 되고, 또한 결정에는 응고시에 농도 편석에 의해 액상과 고상 중의 농도가 분배된다.

[0045] 용액 중의 수소 농도는, 헨리의 법칙으로부터 기상 중의 수소 분압에 의존하여 정해진다. 응고 직후의 결정 중 수소 농도는 분위기 중의 수소 분압을 제어함으로써 결정의 축방향으로 일정하게 소망하는 농도로 제어할 수 있다.

[0046] 이와 같은 실리콘 단결정 육성 방법에 의하면, 수소를 함유하는 불활성 분위기 중에서 실리콘 단결정을 인상으

로써, 결정 직경 방향 전역에 COP 및 전위 클러스터를 포함하지 않는다. 또한, 격자간 실리콘 우세 영역 (PI 영역)의 단결정을 인상 가능한 PI 영역 인상 속도의 범위를 확대하여 인상하여, 단결정 직동부를 전위 클러스터를 포함하지 않는 격자간 실리콘 우세 영역 (PI 영역)으로 할 수 있다. 동시에, 이와 같은 실리콘 단결정 육성 방법에 의하면, OSF 링의 폭이 축소되어 있음으로써, 종래 Grown-in 무결함 단결정을 인상할 때에는, 매우 좁은 범위로 설정하지 않으면 안되었던 PI 영역 인상 속도를 확대하여, 매우 용이하게, 또한 종래보다 빠른 인상 속도로 Grown-in 무결함 단결정을 육성하는 것이 가능해진다. 그리고, 결정면 내에 OSF 링 영역이 발생하는 조건으로 실리콘 단결정을 인상한 경우에는, OSF 링의 폭을 축소하여 그 영향을 저감하는 것이 가능해진다.

[0047] 또한, 여기서, PI 영역 인상 속도 범위는 수소 분위기 중과 수소가 없는 불활성 분위기 중에서 비교할 때에, 상기 서술한 응고 직후의 결정 내의 축방향 온도 구배 G 의 값이 일정하여 변화하지 않는 상태에서 비교하는 것으로 한다.

[0048] 구체적으로는, 격자간 실리콘형의 Grown-in 무결함 영역 (PI 영역)으로 이루어지는 Grown-in 무결함 단결정을 인상 가능한 PI 영역 인상 속도 범위를 수소 분위기로 함으로써, 수소가 없을 때에 비해 4 배 이상으로 할 수 있다. 예를 들어, 도 5에 나타내는 바와 같이, 4.5 배의 마진으로 확대하여 인상을 행할 수 있고, 이와 같은 범위의 인상 속도에 의해 원하는 단결정을 인상하는 것이 가능해진다.

[0049] 이 때, OSF 링의 발생 영역을 작게 할 수 있다. 또한, PV 영역 (공공형 (空孔型)의 Grown-in 무결함 영역)의 크기는 수소 첨가에 의해 변화하지 않는다.

[0050] 본 실시형태에 있어서는, 상기 서술한 바와 같이 수소 첨가를 행함으로써, Grown-in 무결함 단결정을 인상하기 쉽게 한다. 또한, 탄소를 첨가함으로써, OSF 링의 영향도 저감할 수 있다. 이들 상승 효과에 의해, 이 웨이퍼 상에 에피택셜층을 성장시켰을 때에 OSF 링에서 기인되는 결함을 저감하는 것, 전술한 원하는 품질을 갖는 단결정의 인상을 행하는 것, 및 작업 효율을 향상시켜, 실리콘 단결정, 혹은 이 실리콘 단결정으로 제조하는 실리콘 기판의 제조 비용을 대폭 낙감하는 것이 가능해진다.

[0051] 도 3에 나타내는 실리콘 단결정 인상 공정 S1의 다음에, 도 3에 나타내는 웨이퍼 가공 공정 S2에서, 탄소 첨가 고농도 봉소 CZ 실리콘 단결정을 가공하여, 도 1a에 나타내는, 탄소를 함유하는 실리콘 기판 (W0)을 얻는다.

[0052] 웨이퍼 가공 공정 S2에 있어서의 실리콘 기판 (웨이퍼) (W0)의 가공 방법은 통상적인 방법에 따른다. 탄소 첨가 고농도 봉소 CZ 실리콘 단결정을, ID 톱 또는 와이어톱 등의 절단 장치에 의해 슬라이스하고, 얻어진 실리콘 웨이퍼를 어닐링한 후, 표면을 연마·세정 등의 표면 처리 공정을 행한다. 또한, 이들 공정 외에도 랩핑, 세정, 연삭 등 여러 가지의 공정이 있고, 공정 순서의 변경, 생략 등 목적에 따라 적절히 공정은 변경 사용된다.

[0053] 이와 같이 하여 얻어진 실리콘 기판 (W0)은, 봉소 (B) 농도가 p- 타입이 되고, 탄소 농도가 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 이상 또한 $1.6 \times 10^{17} \text{ atoms/cm}^3$ 이하, 및 산소 농도가 $1.4 \times 10^{18} \text{ atoms/cm}^3$ 이상 또한 $1.6 \times 10^{19} \text{ atoms/cm}^3$ 이하가 된다.

[0054] 탄소는 고용 형태로 실리콘에 함유되므로, 실리콘 격자 중에 탄소를 실리콘과 치환하는 형태로 도입된다. 즉, 탄소의 원자 반경은 실리콘 원자와 비교하여 작기 때문에 치환 위치에 탄소를 배위했을 경우, 결정의 응력 장은 압축 응력장이 되어 격자간의 산소 및 불순물이 압축 응력장에 포획되기 쉬워진다. 이 치환 위치 탄소를 기점으로, 예를 들어 후술하는 디바이스 제조 공정 S4에 있어서, 전위를 수반하는 탄소와 산소의 석출물이 고밀도로 발현하기 쉬워져, 실리콘 기판 (W0)에 높은 게터링 효과를 부여할 수 있다. 이로써, 디바이스 제조 공정 S4에 있어서도, 충분한 게터링능을 갖는 것이 가능해진다.

[0055] 이와 같은 탄소의 첨가 농도는 상기 서술한 범위로 규제할 필요가 있다. 왜냐하면, 탄소 농도가 상기의 범위 미만에서는, 탄소·산소계 석출물의 형성 촉진이 활발해지지 않기 때문에, 상기한 고밀도인 탄소·산소계 석출물의 형성을 실현할 수 없다.

[0056] 한편, 상기의 범위를 초과하면, 탄소·산소계 석출물의 형성이 촉진되어 고밀도인 탄소·산소계 석출물을 얻을 수 있지만, 석출물의 사이즈가 억제되는 결과, 석출물 주위의 변형이 약해지는 경향이 강해진다. 따라서, 변형의 효과가 약하므로 불순물을 포획하기 위한 효과 (게터링능) 가 감소된다.

[0057] 또한, 실리콘 기판 (W0) 중의 산소 농도는, 상기의 범위로 규제할 필요가 있다. 왜냐하면, 산소 농도가 상기의 범위 미만에서는, 탄소 · 산소계 석출물의 형성이 촉진되지 않기 때문에, 상기한 고밀도인 탄소 · 산소계 석출물이 얻어지지 않는다.

[0058] 한편, 상기의 범위를 초과하면, 산소 석출물의 사이즈가 감소되어 모체 실리콘 원자와 석출물 계면에 있어서의 변형의 효과가 완화되어, 변형에 의한 게터링 효과가 저하될 것이 우려된다.

[0059] 또한, 이들 석출물에 대한 영향으로서, 보다 높은 봉소 농도로 함으로써, 봉소 · 탄소 · 산소에 의한 복합 결함 형성이 촉진된다.

[0060] 다음으로, 도 3 에 나타내는 웨이퍼 가공 공정 S2 에서는, 탄소 첨가 CZ 결정인 상기 실리콘 기판 (W0) 의 표면을 경면 가공하고 나서, 예를 들어 SC1 및 SC2 를 조합한 RCA 세정을 실시한다.

[0061] 그 후, 도 3 에 나타내는 에피택셜층 막형성 공정 S3 에서는, 상기 실리콘 기판 (W0) 의 표면에 에피택셜층을 성장시킨다. 이를 위하여, 상기 실리콘 기판 (W0) 을 에피택셜 성장로에 장착해 넣고, 각종 CVD 법 (화학 기상 성장법) 을 이용하여, 도 1b 에 나타내는 바와 같이, 봉소 (B) 농도가 p 타입이 되는 에피택셜층 (W0a) 을 성장시킨다.

[0062] 도 1b 에 나타내는, 에피택셜층 (W0a) 을 형성한 p/p- 타입의 실리콘 기판 (W1) 은, 도 1c 에 나타내는 바와 같이, 그 에피택셜층 (W0a) 상에 필요에 따라 산화막 (W0b), 추가로 질화막 (W0c) 을 형성하여 실리콘 웨이퍼 (실리콘 기판) (W2) 으로 하고 나서, 디바이스 제조 공정 B 에 제공한다.

[0063] 여기서, 디바이스 제조 공정 B 에 제공되는 실리콘 기판 (W1) 또는 실리콘 기판 (W2) 에 있어서의 실리콘 기판 (W0) 은 봉소 그리고 고용 탄소를 함유하는 CZ 결정이다. 그러나, 그 결정 성장 중에 형성된 산소 석출핵, 혹은 산소 석출물이 에피택셜 성장시의 열처리에 의해 수축되기 때문에, 실리콘 기판 (W1) 단계의 실리콘 기판 (W0) 에는, 현재화 (顯在化) 된 산화 석출물은 광학 현미경으로는 관찰되지 않는다.

[0064] 중금속을 게터링하기 위한 게터링 싱크를 확보하기 위해서는, 에피택셜층 (W0a) 성장 후에 이하의 조건을 부여 한다. 산화 석출물 등의 석출 촉진을 기대할 수 있는 온도 조건으로서, 바람직하게는 600°C 이상 또한 800°C 이하에서 0.25 시간 이상 또한 3 시간 이하의 저온 열처리를 실시하고, 치환 위치 탄소를 기점으로 하여 봉소 · 탄소 · 산소계의 산소 석출물 (W07) 을 석출시킬 필요가 있다.

[0065] 또한, 봉소 · 탄소 · 산소계 석출물이란, 봉소 · 탄소를 함유한 복합체 (클러스터) 인 석출물을 의미한다.

[0066] 이 산소 석출물 (W07) 은, 고용 탄소를 함유하는 실리콘 기판 (W1) 을 출발재로 하면, 디바이스 제조 공정 B 의 초기 단계를 거치는 과정에서 실리콘 기판 (W0) 의 전체에 걸쳐 자연 발생적으로 석출된다. 따라서, 디바이스 제조 공정 B 에서의 금속 오염에 대한 게터링 능력이 높은 게터링 싱크를 에피택셜층의 바로 아래부터 실리콘 기판 (W0) 의 전체 두께에 걸쳐 형성할 수 있다. 따라서, 에피택셜층의 근접 영역에서의 게터링이 실현 된다.

[0067] 이 게터링을 실현하려면, 봉소 · 탄소 · 산소계의 복합체인 산소 석출물 (BMD; Bulk Micro Defect) (W07) 은, 사이즈가 10nm 이상 또한 100nm 이하이고, 또한 실리콘 기판 (W0) 중에 1.0×10^6 개/cm³ 이상 또한 1.0×10^{11} 개/cm³ 이하로 존재하는 것이 바람직하다.

[0068] 또한, 이 경우의 BMD 사이즈란, 실리콘 기판의 두께 방향 단면의 TEM 관찰 이미지에 있어서의 석출물의 대각선 길이를 의미하고, 그 관찰 시야 내의 석출물의 평균치로 나타내는 것으로 한다.

[0069] 또한, BMD 의 밀도는 라이트 에칭 후의 단면 광학 현미경 관찰을 이용하여 측정할 수 있다.

[0070] 산소 석출물 (W07) 의 사이즈를 상기의 범위 중 하한 이상으로 하는 것은, 모체 실리콘 원자와 산소 석출물의 계면에 생기는 변형의 효과를 이용하여 격자간 불순물 (예를 들어 중금속 등) 을 포획 (게터링) 하는 확률을 증가시키기 위함이다. 또한, 산소 석출물 (W07) 의 사이즈가 상기의 범위를 초과하면, 실리콘 기판 강도가 저하되거나, 혹은 에피택셜층에서의 전위 발생 등의 영향이 나오기 때문에, 바람직하지 않다.

[0071] 또한, 산소 석출물 (W07) 의 실리콘 기판 중에 있어서의 밀도는, 실리콘 결정 중에 있어서의 중금속의 포획 (게터링) 이, 모체 실리콘 원자와 산소 석출물의 계면에 생기는 변형 및 계면 준위 밀도 (체적 밀도) 에 의존하기 때문에, 상기의 범위로 하는 것이 바람직하다.

[0072] 도 3 에 나타내는 디바이스 제조 공정 S4 에서는, 도 1c 에 나타내는 실리콘 웨이퍼 (W2) 표면 상에 디바이스가

되는 구조를 형성하고, 도 2a 에 나타내는 바와 같이, 두께 T3 이 바람직하게는 $1000\mu\text{m}$ 이하 또한 $500\mu\text{m}$ 이상, 보다 바람직하게는 $800\mu\text{m}$ 이하 또한 $600\mu\text{m}$ 이상, 특히 바람직하게는 $700\mu\text{m}$ 정도가 되는 실리콘 기판 (W3) 을 제조한다. 또한, 실리콘 기판 (W3) 에 있어서의 디바이스 구조를 갖는 부분을 디바이스 영역 (W0d) 이라고 한다.

[0073] 디바이스 제조 공정 S4 로서는, 메모리 소자의 일반적인 제조 공정도 채용할 수 있다. 그 일례를 나타내지만, 특별히 이 구조·공정에 한정할 필요는 없다.

[0074] 디바이스 제조 공정 S4 에서는, 플로팅 게이트를 갖는 MOS-FET (금속 산화물 반도체 접합 트랜지스터) 를 형성한다. 이로써, 표면에 메모리 소자가 되는 부분이 형성된 실리콘 기판 (W3) 을 제조한다.

[0075] 상기의 디바이스 제조 공정 S4 에 있어서는, 예를 들어 게이트 산화막 형성 공정, 소자 분리 공정 및 폴리실리콘 게이트 전극 형성 등의 공정에 있어서, 600°C 이상 또한 1000°C 이하의 열처리가 행해지는 것이 통례이며, 이 열처리에 있어서, 상기 서술한 산소 석출물 (W07) 의 석출을 도모할 수 있어, 이후의 공정에 있어서 게터링 싱크로서 작용시킬 수 있다.

[0076] 또한, 이들 디바이스 제조 공정 S4 에 있어서의 열처리 조건은, 도 6 에 나타내는 각 조건에 대응할 수 있다.

[0077] 또한 상기의 산소 석출물 (W07) 의 석출을 도모하기 위한 열처리를 디바이스 제조 공정 B 보다 이전에 실시하는 경우에는, 상기의 600°C 이상 또한 800°C 이하에서 0.25 시간 이상 또한 3 시간 이하의 조건으로, 산소와 아르곤, 질소 등의 불활성 가스의 혼합 분위기 중에서 행하는 열처리를 실시하는 것이 바람직하다. 이로써, 실리콘 기판에 IG (게터링) 효과를 갖게 할 수 있다. 여기서, 고농도 붕소 기판에 관해서는, 이 열처리 공정을 행하는 것은 반드시 필수는 아니기 때문에 생략할 수 있다.

[0078] 또한, IG 효과를 갖게 하는 열처리가, 디바이스 제조 공정 B 인지 그것보다 이전인지에 상관없이, 이 열처리가 상기의 온도 범위보다 낮으면, 붕소·탄소·산소의 복합체 형성이 부족하여, 기판의 금속 오염이 생겼을 경우에 충분한 게터링능을 발현할 수 없기 때문에 바람직하지 않다. 또한 상기의 온도 범위보다 높으면, 산소 석출물의 응집이 과잉하게 일어나, 결과적으로 게터링 싱크의 밀도가 부족하게 되기 때문에, 바람직하지 않다.

[0079] 또한, 이 열처리에 있어서는, 600°C , 30 분의 조건과 동등한 석출의 발현이 가능한 열처리 온도·시간 이상이면, 온도의 상하 및 처리 시간의 증감은 상이한 조건으로 설정하는 것도 가능하다. 또한, 800°C , 4 시간의 조건과 동등한 석출의 발현이 가능한 열처리 온도·시간 이하이면, 온도의 상하 및 처리 시간의 증감은 상이한 조건으로 설정하는 것도 가능하다.

[0080] 이어서, 도 3 에 나타내는 박후화 공정 S5 에 의해, 실리콘 기판 (W3) 을 바람직하게는 두께 $10\mu\text{m}$ 이상 또한 $30\mu\text{m}$ 이하, 보다 바람직하게는 두께 $30\mu\text{m}$ 정도의 기판 (W5) 으로 한다.

[0081] 도 3 에 나타내는 박후화 공정 S5 에 있어서는, 먼저 연삭 처리 공정으로서, 도 2a 에 나타내는 두께 T3 이 되는 상기 실리콘 기판 (W3) 의 이면 (W3a) 을 연삭 가공에 의해 박후화하고, 도 2b 에 나타내는 두께 T4 의 기판 (W4) 으로 한다. 또한, 실리콘 기판 (W3) 에 있어서의 실리콘 기판 (W0) 은, 연삭 가공에 의해 가공 변질층 (W0f) 과 벌크층 (W0e) 이 된다.

[0082] 이 때의 조건으로서는, 예를 들어 다음과 같이 설정된다.

[0083] 두께 T3; $700\mu\text{m}$,

[0084] 두께 T4; $60\mu\text{m}$ ($50 \sim 80\mu\text{m}$)

[0085] 이면에 랜덤한 가공 변질층을 형성, 표면 상태; 거칠기 5nm .

[0086] 또한, 연삭 가공은 그라인더 등에 의해 실시하는 것이 바람직하다.

[0087] 두께 T4 는 $50\mu\text{m}$ 이상 또한 $80\mu\text{m}$ 이하의 범위인 것이 바람직하다.

[0088] 또한, 거칠기는 4nm 이상 또한 8nm 이하의 범위인 것이 바람직하고, 5nm 정도인 것이 보다 바람직하다.

[0089] 박후화 공정 S5 에 있어서는, 연삭 처리 공정의 후, 콜로이달실리카 또는 실리콘 결정 혹은 다이아몬드 라이크 카본으로 이루어지는 경도 200HV 이상 또한 1000HV 이하 정도인 경질의 슬러리로 CMP 가공 공정에 의해, 도 2c 에 나타내는 두께 T5 의 기판 (W5) 으로 한다.

[0090] 이 때의 조건으로서는, 다음과 같이 설정된다.

[0091] 두께 T5; $30\mu\text{m}$, 표면 상태; 거칠기 5nm

[0092] 또한, CMP 가공 공정에 의한 두께 T5 는 $10\mu\text{m}$ 이상 또한 $40\mu\text{m}$ 이하의 범위인 것이 바람직하고, $30\mu\text{m}$ 정도인 것이 보다 바람직하다. 또한, 거칠기는 4nm 이상 또한 8nm 이하의 범위인 것이 바람직하고, 5nm 정도인 것이 보다 바람직하다.

[0093] 이 CMP 처리 조건으로서는, 다음과 같이 설정된다.

[0094] 경도 200HV 이상 또한 1000HV 이하, 입경 10nm 이상 또한 100nm 이하의 콜로이달실리카 또는 실리콘 결정 혹은 다이아몬드 라이크 카본으로 이루어지는 지립 (砥粒) 이 중량비 1wt% 이상 또한 5wt% 이하의 슬러리에 의해, 알루미나로 이루어지는 정반 상에서, 압력 100g/cm^2 이상 또한 500g/cm^2 이하, 처리 시간 10초 이상 또한 60초 이하의 처리를 행한다.

[0095] 그 후, 연마 공정으로서, 압력 100g/cm^2 이상 또한 500g/cm^2 이하, 처리 시간 10초 이상 또한 60초 이하의 처리를 행한다. 이로써, 기판 (W5) 은 그 두께가 $40\mu\text{m}$ 이하 또한 $5\mu\text{m}$ 이상이 됨과 함께, 그 이면 (W5a) 에 200MPa 이하 또한 5MPa 이상의 잔류 응력이 생기는 외인성 게터링이 부여되게 된다. 이 때, 이면 (W5a) 의 표면 상태는 균열, 결손이 발생하지 않을 정도인 거칠기 5nm 정도가 된다.

[0096] 또한, 두께는 $40\mu\text{m}$ 이하 또한 $5\mu\text{m}$ 이상인 것이 바람직하고, $35\mu\text{m}$ 이하 또한 $25\mu\text{m}$ 이상인 것이 보다 바람직하고, $30\mu\text{m}$ 정도인 것이 더욱 좋다. 또한, 거칠기는 3nm 이상 또한 7nm 이하의 범위인 것이 바람직하고, 5nm 정도인 것이 보다 바람직하다.

[0097] 여기서, 잔류 응력의 측정은, 현미 라만 장치에 의해 단면 입사의 방법으로 행하는 것이다.

[0098] 또한, 거칠기의 측정은, Nomarski 형 표면 거칠기 측정 장치 등을 이용하여 측정할 수 있다.

[0099] 본 실시형태의 실리콘 기판 (W5) 에서는, 잉곳 인상시에 탄소를 도핑하여 산소 농도를 소정의 범위로 함으로써, 디바이스 영역의 아래의 벌크층 (W0e) 에 있어서 IG 능을 갖는다. 또한, 가공 변질층 (W0f) 의 이면 (W5a) 에 있어서의 박후화 처리에 있어서의 CMP 가공을 도중에 멈추고, 그 후 이면을 연마 공정으로 하프폴리시함으로써 EG 능을 갖고 있다. 따라서, 박후화에 의해, IG 층의 막두께가 감소된 상태에 있어서도, 이면 EG 에 의해 충분한 게터링능을 갖는 상태를 유지하는 것이 가능하기 때문에, 두께 T5 가 $30\mu\text{m}$ 정도의 메모리, MCP 대응 메모리 기판, 특히 Flash 메모리에 사용했을 경우에도, 금속 오염의 영향을 배제하는 것이 가능하다. 동시에, CMP 처리와 하프폴리시에 의해 박후화를 행하고, 이면의 텍스처를 제어한 상태로 하여 처리를 종료하므로, 균열 · 결손의 발생을 방지하여, 수율이 높은 실리콘 기판으로 하는 것이 가능하다.

[0100] 이하, 본 발명에 관련된 실리콘 기판과 그 제조 방법에 있어서의 다른 실시형태를 도면에 기초하여 설명한다.

[0101] 본 실시형태에 있어서, 상기 서술한 실시형태와 상이한 것은, 로직 소자가 되는 디바이스 제조에 사용하는 실리콘 기판인 점으로서, 공통된 구성 요소에는 동일한 부호를 부여하고 그 설명을 생략한다.

[0102] 본 실시형태에 있어서는, 웨이퍼 제조 공정 A 에 있어서, 봉소 (B) 농도가 p+ 타입이 되는 실리콘 단결정 잉곳을 인상과 함께, 에피택셜층의 탄소 농도가 p 타입이 되고, 도 7c 에 나타내는 실리콘 기판 (W3) 이 p/p+ 타입이 된다.

[0103] 먼저, 웨이퍼 제조 공정 A 를 거쳐, 도 7a 에 나타내는, p- 타입 실리콘 기판 (30) 위에 p 형의 에피택셜층 (고농도 불순물 함유층)(31) 을 형성한 실리콘 기판 (W2) 를 준비한다.

[0104] 디바이스 제조 공정 S4 에서는, 도 7b 에 나타내는 바와 같이, 이 에피택셜층 (31) 상에 p 타입보다 불순물 농도가 낮은 저농도 불순물 함유층 (32) 을 형성한다.

[0105] 이어서, 제 1 프리어닐링 처리로서, 불활성 가스 분위기하에서 온도가 1000°C 이상, 예를 들어 1200°C 에서 열처리를 행하여, 실리콘 기판 (W2) 의 표면 균방의 산소를 제거한다. 실리콘 기판 (W2) 의 표면 균방의 산소를 제거함으로써 결함의 발생을 억제한다.

[0106] 제 1 프리어닐링 처리에 후속하여, 불활성 가스 분위기하에서 온도가 1000°C 이하, 예를 들어 800°C 에서 제 2 프리어닐링 처리를 실시하고, 격자간 산소를 석출시켜 다수의 결정 결함 (산소 석출물) 을 생성한다.

[0107] 이어서, 도 7c 에 나타내는 바와 같이, 기판의 표면 균방에 불순물 주입 등에 의해 소자 활성 영역 (33a) 을 형성한다. 또한, 기판의 표면에 산화막이나 배선층 등의 적층 구조를 형성하고, 트랜지스터나 용량 (도시 생략) 을 형성한다. 이어서, 소자 활성 영역 (33a) 이 형성된 기판의 표면을 덮는 표면 보호막 (도시 생략)

을 형성하여, 실리콘 기판 (W3) 으로 한다.

[0108] 실리콘 기판 (W3) 표면 근방에는, pn 접합 등을 갖는 소자 활성 영역 (디바이스 영역; 33a) 이 형성된다. 소자 활성 영역 (33a) 은, 하부 반도체 칩 (실리콘 기판 (30)) 의 표면으로부터 20 μm 정도의 깊이까지 형성된다. 저농도 불순물 함유층 (32) 에서는, 고농도 불순물 함유층 (31) 에 함유되는 봉소가 저농도 불순물 함유층 (32) 중에 확산된 불순물 확산 영역 (32a) 이 형성된다. 불순물 확산 영역 (32a) 은 수 μm 정도의 두께를 갖는다.

[0109] 이와 같이, 표면에 로직 소자가 되는 부분이 형성된 기판 (W3) 을 제조한다.

[0110] 또한, 도 7c 의 실리콘 기판 (W3) 에 있어서의 실리콘 기판 (30) 은 도 2a 의 실리콘 기판 (W0) 에 대응하고 있다. 또한, 고농도 불순물 함유층 (31), 저농도 불순물 함유층 (32), 불순물 확산 영역 (32a) 및 소자 활성 영역 (디바이스 영역) (33a) 은, 도 2a 의 디바이스 영역 (W0d) 에 대응하고 있다.

[0111] 로직 소자가 되는 부분이 형성된 실리콘 기판 (W3) 은 상부 반도체 칩이 되고, 이것은 예를 들어 DRAM 이외의 메모리 반도체 장치, CPU, DSP (Digital Signal Processor) 등이다. 또는, 하부 반도체 칩이 될 수도 있고, 이것은 예를 들어 DRAM 등의 메모리 반도체 장치이다. 이들 하부 반도체 칩 및 상부 반도체 칩은, MCP (Multi Chip Package) 기판과 함께, 본딩 와이어에 의해 접속되어 멀티 칩 패키지가 된다.

[0112] 또한, 디바이스 제조 공정 B 의 박후화 공정에 있어서 실리콘 기판 (W3) 의 이면을 가공하여, 도 2c 에 나타내는 바와 같이 두께 T5 가 40 μm 정도로 한다.

[0113] 본 실시형태의 실리콘 기판에서는, 잉곳 인상시에 탄소를 도핑하여 산소 농도를 소정의 범위로 함으로써, 디바이스 영역의 아래의 벌크에 있어서 IG 능을 갖는다. 또한, 이면에 있어서의 박후화 처리에 있어서의 CMP 가 공을 도중에 멈추고, 그 후 이면을 하프폴리시함으로써 EG 능을 갖고 있으므로, 충분한 게터링능을 갖는 상태를 유지하는 것이 가능하다. 따라서, 두께 T5 가 40 μm 정도의 로직, SoC 로 했을 경우에도, 금속 오염의 영향을 배제하고, 동시에 균열·결손의 발생을 방지하여, 수율이 높은 실리콘 기판으로 하는 것이 가능하다.

[0114] 예를 들어, NAND-FLASH 혹은 NOR-FLASH 등의 Multi Chip Package (MCP) 용의 웨이퍼로서의 이용 등이 가능하다. 이 경우에도 디바이스 구조는 CMOS 인 점에서 상기 봉소 (B) 농도가 저항률 $8 \times 10^{-3} \Omega\text{cm}$ 이상 또한 $10 \times 10^{-3} \Omega\text{cm}$ 이하에 상당하는 농도, 탄소 농도가 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 이상 또한 $1.6 \times 10^{17} \text{ atoms/cm}^3$ 이하, 산소 농도가 $1.4 \times 10^{18} \text{ atoms/cm}^3$ 이상 또한 $1.6 \times 10^{18} \text{ atoms/cm}^3$ 이하의 범위 및, 이면 잔류 응력이 상기의 범위에서 IG 및 EG 에 의한 고게터링 능력의 유지가 가능하다.

[0115] 또한, 본 발명의 양태를 고체 활상 소자에 적용시켜, 상기한 디바이스 제조 공정 S4 로서, 고체 활상 소자의 일반적인 제조 공정을 채용할 수 있다. 그 일례로서 CCD 디바이스에 대하여 도 8a ~ 도 8f 에 나타내지만, 특별히 이 공정으로 한정할 필요는 없다.

[0116] 즉, 디바이스 제조 공정 S4 는, 먼저 도 8a 에 나타내는 바와 같이, 도 1b 에 나타낸 p+ 형 실리콘 기판 (1) 위에 p 형의 에피택셜층 (2) 을 형성한 실리콘 기판 (3) 을 준비한다. 다음으로, 도 8b 에 나타내는 바와 같이, 이 에피택셜층 (2) 의 소정 위치에 제 1 의 n 형 웨爾 영역 (11) 을 형성한다. 그 후, 도 8c 에 나타내는 바와 같이, 표면에 게이트 절연막 (12) 을 형성함과 함께, 제 1 의 n 형 웨爾 영역 (11) 의 내부에 이온 주입에 의해 p 형 및 n 형의 불순물을 선택적으로 주입하고, 수직 전송 레지스터를 구성하는 p 형의 전송 채널 영역 (13), n 형의 채널 스텝 영역 (14) 및 제 2 의 n 형 웨爾 영역 (15) 을 각각 형성한다.

[0117] 다음으로, 도 8d 에 나타내는 바와 같이, 게이트 절연막 (12) 의 표면의 소정 위치에 전송 전극 (16) 을 형성한다. 그 후, 도 8e 에 나타내는 바와 같이, p 형의 전송 채널 영역 (13) 과 제 2 의 n 형 웨爾 영역 (15) 사이에 p 형 및 n 형의 불순물을 선택적으로 주입함으로써, n 형의 정전하 축적 영역 (17) 과 p 형의 불순물 확산 영역 (18) 을 적층시킨 포토 다이오드 (19) 를 형성한다.

[0118] 또한, 도 8f 에 나타내는 바와 같이, 표면에 충간 절연막 (20) 을 형성한 후, 포토 다이오드 (19) 의 바로 상방을 제외한 충간 절연막 (20) 의 표면에 차광막 (21) 을 형성함으로써, 고체 활상 소자가 되는 기판 (W3) 을 제조할 수 있다.

[0119] 또한, 고체 활상 소자가 되는 상기 디바이스 제조 공정 S4 에 있어서의 열처리 조건은, 도 6 에 나타내는 각 조건에 대응하는 것이다.

[0120] 구체적으로는, 에피택셜층 (2) 을 막형성한 실리콘 기판 (3) 에 대하여 (도 1b 에 나타내는, 에피택셜층 (W0a) 을 막형성한 실리콘 기판 (W1) 에 대응), 도 6 에 나타내는 초기로부터, 단계 1, 단계 2, 단계 3, 단계 4, 단계 5 의 각각이 포토 다이오드 및 전송용의 트랜지스터 형성 공정의 각 공정이 종료된 시점 (도 8a ~ 도 8f) 에 대응한다고 할 수 있다.

[0121] 또한, 에피택셜층 (2, 도 1b 에서 나타내는 에피택셜층 (W0a)) 의 두께는, 디바이스가 고체 촬상 소자가 되는 경우, 소자의 분광 감도 특성을 향상시키는 이유에서, $2\mu\text{m}$ 이상 또한 $10\mu\text{m}$ 이하의 범위로 하는 것이 바람직하다.

[0122] 또한, 도 1c 에 나타내는 실리콘 웨이퍼 (W2) 에 디바이스 제조 공정 B 에 있어서 에피택셜층 (W0a) 에 매립형 포토 다이오드를 형성함으로써, 고체 촬상 소자로 해도 된다.

[0123] 또한, 실리콘 웨이퍼 (W2) 에 있어서의 산화막 (W0b) 및 질화막 (W0c) 의 두께는, 전송 트랜지스터의 구동 전압을 설계할 때의 제약으로부터, 각각 산화막 (W0b) 을 50nm 이상 또한 100nm 이하, 및 질화막 (W0c), 구체적으로는 고체 촬상 소자에 있어서의 폴리실리콘 게이트막을 $1.0\mu\text{m}$ 이상 또한 $2.0\mu\text{m}$ 이하로 하는 것이 바람직하다.

[0124] 실리콘 기판으로서 p+ 형이 바람직한 이유는, 디바이스의 설계가 용이해지기 때문이다. 상세하게는, 디바이스가 동작하는 경우에 생기는 부유 전하가 의도하지 않았던 기생 트랜지스터를 동작시켜 버리는, 이를바 래치업 현상을 p+ 웨이퍼 (실리콘 기판) 를 사용함으로써 방지할 수 있어, 디바이스의 설계가 용이해지는 경우가 있다. 또한, 트렌치 구조의 캐패시터를 이용하는 경우에 트렌치 주변의 전압 인가시의 공핍층 확산이 p+ 웨이퍼인 경우에는 방지할 수 있는 이점이 있다.

[0125] 또한, 고농도 붕소 (B) 를 도핑한 실리콘 단결정에서는, 다른 도편트에 비해 열처리에 의한 산소 석출물의 응집이 일어나기 쉽다. 이것은, 고농도 붕소 (B) 및 산소 등의 불순물이 클러스터링되어 산소 석출물의 핵으로 하는 결함을 형성하기 쉽기 때문이라고 생각된다.

[0126] 또한, 이와 같은 붕소에서 기인되는 열처리에 의한 산소 석출물의 응집은, 고산소 농도의 실리콘 결정 중에 있어서 현저함을 알게 되었다.

[0127] 발명자들은, 탄소, 산소 및 붕소의 상태 · 동향을 분석 · 검토한 결과, B 농도가 저항률 $8 \times 10^{-3} \Omega\text{cm}$ 이상 또한 $10 \times 10^{-3} \Omega\text{cm}$ 이하에 상당하는 농도, 탄소 농도가 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 이상 또한 $1.6 \times 10^{17} \text{ atoms/cm}^3$ 이하, 산소 농도가 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상 또한 $10 \times 10^{18} \text{ atoms/cm}^3$ 이하라는 조건으로 인상한 실리콘 단결정에 있어서, 웨이퍼에 가공하여 에피택셜층을 막형성하고, 600°C 이상 또한 800°C 이하로 하는 열처리 공정을 거치면, BMD 의 크기 · 밀도로서, 중금속의 게터링에 필요한 게터링 싱크를 형성 가능하여, 충분한 게터링능을 갖기 위한 실리콘 기판을 제조 가능한 것을 알아내었다.

[0128] 단, p+ 가 되는 고농도 붕소를 함유하는 기판인 경우에는 상기 열처리를 실시하지 않고 석출을 촉진시킬 수 있다.

[0129] 또한, 고농도 붕소 첨가 실리콘 결정에 탄소를 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 이상 또한 $1.6 \times 10^{17} \text{ atoms/cm}^3$ 이하의 범위에서 첨가했을 경우, 결정 성장 과정에 있어서 탄소, 붕소 또는 산소를 핵으로 하는 게터링 싱크가 형성된다. 이들은 고온 열처리에서도 안정적으로 존재하여 에피택셜 성장 후에도 존재할 수 있다. 따라서, 에피택셜 성장 직후부터 산소 석출의 핵으로서 작용하고, 디바이스 열처리 공정에서 성장하여, 디바이스 열처리 공정에서의 중금속 오염에 대하여 게터링 싱크로서 유효하게 작용한다.

[0130] 본 발명의 제조 방법에 있어서는, CZ 법에 의해 붕소 (B) 농도가 저항률 $8 \times 10^{-3} \Omega\text{cm}$ 이상 또한 $10 \times 10^{-3} \Omega\text{cm}$ 이하에 상당하는 농도, 탄소 농도가 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 이상 또한 $1.6 \times 10^{17} \text{ atoms/cm}^3$ 이하, 산소 농도가 $1.4 \times 10^{18} \text{ atoms/cm}^3$ 이상 또한 $1.6 \times 10^{18} \text{ atoms/cm}^3$ 이하를 갖는 실리콘 단결정을 인상하는 공정과,

[0131] 인상한 실리콘 단결정으로부터 슬라이스한 실리콘 기판에, 산소 석출물을 형성하는 열처리를 행하는 열처리 공정을 가질 수 있다.

[0132] 본 발명의 제조 방법은, 상기 산소 석출물을 형성하는 열처리를 온도 600°C 이상 또한 800°C 이하, 처리 시간 0.25 시간 이상 또한 3 시간 이하, 산소와 아르곤 또는 질소 등의 불활성 가스의 혼합 분위기 중에서 행할 수 있다.

[0133] 또한, 본 발명의 제조 방법에 있어서, 상기 산소 석출물을 형성하는 열처리를 실시하기 전에, 상기 슬라이스한 실리콘 기판 표면에 붕소 (B) 농도가 저항률 $0.1\Omega\text{cm}$ 이상 또한 $100\Omega\text{cm}$ 이하인 실리콘 에피택셜층을 막형성하는 공정을 갖는 것이 바람직하다.

[0134] 또한, 본 발명의 제조 방법은, 상기 실리콘 단결정을 육성할 때의 불활성 분위기 가스 중에 수소를 첨가하는 것이 가능하다. 이 때, 상기 실리콘 단결정을 인상하는 공정에 있어서의 불활성 가스에 수소를 첨가한 분위기의 기압을, 감압의 1.33kPa 이상 또한 26.7kPa 이하로 하고, 상기 분위기 중의 수소 가스 농도를 3 체적% 이상 또한 20 체적% 이하로 할 수 있다.

[0135] 또한, 본 발명의 실리콘 기판은, 상기의 어느 하나에 기재된 제조 방법에 의해 제조된 것으로서,

[0136] 인트린식 게터링 싱크가 되는 BMD 중, 크기 10nm 이상 또한 100nm 이하인 것이 밀도 1.0×10^6 개/ cm^3 이상 또한 1.0×10^{11} 개/ cm^3 이하 존재하는 수단을 채용할 수도 있다.

[0137] 또한, 이 경우의 BMD 사이즈란, 실리콘 기판의 두께 방향 단면의 TEM 관찰 이미지에 있어서의 석출물의 대각선 길이를 의미하고, 그 관찰 시야 내의 석출물의 평균치로 나타내는 것으로 한다.

[0138] 본 발명의 양태에서, 고체 활상 소자의 실리콘 기판을 얻는 경우, 고체 활상 소자의 매립형 포토 다이오드의 바로 아래가 되는 위치에 크기 10nm 이상 또한 100nm 이하의 BMD 가 밀도 1.0×10^6 개/ cm^3 이상 또한 1.0×10^{11} 개/ cm^3 이하로 존재하는 게터링층이 형성된 실리콘 기판으로 하고,

[0139] 상기의 제조 방법에 의해 제조된 실리콘 기판의 바로 위에 붕소 (B) 농도가 저항률 $0.1\Omega\text{cm}$ 이상 또한 $100\Omega\text{cm}$ 이하가 된 실리콘 에피택셜층을 형성하고,

[0140] 상기 에피택셜층의 바로 아래에는, 상기 게터링층을 형성한다.

[0141] 이하, 본 발명에 있어서, 높은 게터링능을 띤다고 생각되는 모델에 대하여 설명한다.

[0142] 도편트 (B) 농도가 1×10^{15} atoms/ cm^3 (0.5×10^{15} atoms/ cm^3 이상 또한 5×10^{15} atoms/ cm^3 이하) 가 되고, 저항률이 $10\Omega\text{cm}$ 로 되어 있는 p- 기판에, 탄소 농도를 1×10^{17} atoms/ cm^3 (0.5×10^{17} atoms/ cm^3 이상 또한 1×10^{17} atoms/ cm^3 이하) 로 하여, 붕소 (B) 농도보다 많이 존재하도록 탄소를 도핑했을 경우에, 산소 농도를 1.4×10^{18} atoms/ cm^3 이 상 또한 1.6×10^{18} atoms/ cm^3 이하 정도로 한다. 그러면, 붕소 (B) 농도에 비해, 탄소와 산소의 농도가 높고, 또한 동일한 정도이기 때문에, 이와 같은 기판에서, 페어링하기 쉬운 것은 탄소-산소라고 생각된다. 따라서, 실리콘 결정 중에 있어서 게터링 싱크에 관계하는 결합 상태로서는, 탄소-산소 페어가 형성되게 된다고 생각된다.

[0143] 여기서, 탄소는 실리콘보다 원자 반경은 작으므로, 실리콘의 격자점에 들어가면, 그 부근이 뒤틀려, 왜곡장이 형성되게 된다. 이 상태의 기판에 DK (도너 킬러) 혹은 디바이스 제조 공정 B에서의 열처리 등을 행함으로써, 탄소-산소 페어 부근의 왜곡장에 격자간의 산소가 모여, BMD 가 형성되게 된다. 이와 같이, 디바이스 영역 혹은 중금속 오염이 일어나기 쉬운 웨이퍼 표면에 가까운 위치에서, 탄소가 실리콘 기판 중에 도핑되어 있고, 그 부근이 뒤틀려 있기 때문에, 중금속이 확산되어 게터링된다. 그 결과, 게터링 효과가 얻어진다. 요컨대, 탄소-산소 페어가 있음으로써 산소 석출물의 핵생성 중심 (뉴클리에이션 센터) 이 된다.

[0144] 이것에 대하여, 도편트 (B) 농도가, 1×10^{18} atoms/ cm^3 정도 (0.5×10^{18} atoms/ cm^3 이상 또한 5×10^{18} atoms/ cm^3 이하) 인 하이 도프의 p+ 기판 혹은 p++ 기판이 되었을 경우, 상기의 p- 기판보다 붕소 (B) 농도가 3 자리수 정도 이상 많아진다. 이 때문에, 상기의 p- 기판에 비해, 탄소 농도와 산소 농도와 동일한 정도로 높아진 붕소 (B) 농도의 영향에 의해, 탄소-산소에 대하여, 붕소-산소, 탄소-붕소가 페어링되기 쉬워진다고 생각된다. 또한, 이들 탄소-산소, 붕소-산소, 탄소-붕소의 복합체나, 이것 이외에도 탄소-붕소-산소나, 이들이 실리콘과 관련한 많은 복합체가 형성된다. 이들은, 탄소-산소 페어와 동일하게 왜곡장을 갖고 있으므로 이들 모든 페어 및 복합체가 석출핵이 된다. 요컨대, 하이 도프의 기판 중에서는, 많은 왜곡장을 형성할 수 있기 때문에, p-의 붕소 (B) 농도를 갖는 기판에 비해, 압도적으로 많은 석출핵이 존재하여, 게터링 싱크가 될 수 있는 석출 밀도도 압도적으로 높아진다.

[0145] 또한, 상기의 복합체 형성에는, 실리콘 결정 중의 공공 (Vacancy) 과 격자간형 실리콘 (Interstitial-Si) 도 관

여하고 있는 것이 예상된다.

[0146] 또한, 본 발명의 실리콘 기판에서는, 이들의 석출핵을 붕소·탄소·산소에 의한 복합 결합으로 한다.

[0147] 또한, 디바이스 이미지 소자의 제조에 있어서는, 중금속 오염을 방지하는 것이 매우 중요하기 때문에, 상기의 B, O에 의한 IG에, 추가로 EG로서의 텍스처를 기판 이면에 형성함으로써, 결과적으로 충분한 게터링능을 얻을 수 있다.

[0148] 또한, p/p+ 타입의 실리콘 기판은 그 강력한 게터링 특성으로 인하여, 중금속 오염에 민감한 소자용의 실리콘 기판으로서 유효하다. 또한, 전자 디바이스 제조 공정 B에 있어서는 배선 룰의 미세화가 진전될수록 실리콘 기판의 평탄도가 디바이스 수율에 영향을 미치기 때문에, 고평탄도가 요구된다. 본 발명의 실리콘 기판과 같이, 탄소를 도핑한 높은 붕소 농도의 p+ 기판이면, 평탄도가 악화되는 PBS를 형성하지 않고, 충분한 게터링능을 갖는 것이 가능해진다.

[0149] 또한, 디바이스 제조 공정 B 개시 전까지 충분한 게터링 효과를 발현하고, 디바이스 공정 중에 이것을 유지하는 것이 필요하기 때문에, p형 실리콘 기판의 제조 공정에 있어서는, 탄소를 도핑하지 않는 경우에, 석출 인핸스를 올리기 위하여 산소 농도를 10×10^{18} atoms/cm³ 이상 또한 20×10^{18} atoms/cm³ 이하로 높게 하는 것이 바람직하다. 그러나, 이와 같이 기판 중의 산소 농도를 높게 하면, 에피택셜층에까지 전위가 신장된 에피결합의 발생이 우려된다. 이것에 대하여, 본 발명 실리콘 기판과 같이, 상기의 농도로 하여 탄소를 도핑함으로써, 0.5μm 정도 이상의 큰 스태킹 폴트 (SF)의 발생을 억제하는 효과가 있다.

[0150] 또한, 본 발명 실리콘 기판과 같이, 상기의 농도로 탄소를 도핑함으로써 석출핵으로부터의 2차 결합의 신장을 억제할 수도 있다. 크기 0.5μm 이상 또한 5μm 이하의 석출물에서는 발생한 왜곡을 해방하기 때문에, 이 왜곡장의 부근에 2차 전위가 발생한다. 그러나, 상기와 같이 C를 도핑함으로써, 크기 0.5nm 이상 또한 100 nm 이하의 석출물을 다수 형성할 수 있기 때문에, 왜곡을 해방하였다 하더라도, 작은 2차 전위밖에 발생하지 않아, 결과적으로 에피택셜층까지 전위가 신장되는 일이 없다. 게다가, 이와 같이 작은 석출핵을 밀도 1.0×10^{10} 개/cm³ 이상 또한 1.0×10^{13} 개/cm³ 이하로 다수 존재시킬 수 있으므로, 충분한 게터링능을 발현하는 것이 가능해진다.

[0151] 이상, 본 발명의 바람직한 실시형태를 설명했지만, 본 발명은 상기의 실시형태에 한정되지 않는다. 본 발명의 취지를 일탈하지 않는 범위에서, 구성의 부가, 생략, 치환 및 그 밖의 변경이 가능하다. 본 발명은 전술한 설명에 의해 한정되지 않고, 첨부한 클레임의 범위에 의해서만 한정된다.

도면의 간단한 설명

[0152] 도 1a는 실리콘 기판의 제조 순서의 일 실시형태를 나타내는 단면도.

[0153] 도 1b는 실리콘 기판의 제조 순서의 일 실시형태를 나타내는 단면도.

[0154] 도 1c는 실리콘 기판의 제조 순서의 일 실시형태를 나타내는 단면도.

[0155] 도 2a는 실리콘 기판의 제조 순서의 일 실시형태를 나타내는 단면도.

[0156] 도 2b는 실리콘 기판의 제조 순서의 일 실시형태를 나타내는 단면도.

[0157] 도 2c는 실리콘 기판의 제조 순서의 일 실시형태를 나타내는 단면도.

[0158] 도 3은 본 발명에 관련된 실리콘 기판의 제조 순서를 나타내는 플로우 차트.

[0159] 도 4는 CZ 인상로의 종단면도.

[0160] 도 5는 수소 첨가에 의한 인상 속도 영역의 변화를 나타내는 모식도.

[0161] 도 6은 본 발명의 실시예에 있어서의 열처리를 설명하는 도면.

[0162] 도 7a는 메모리 소자의 제조 순서를 나타내는 단면도.

[0163] 도 7b는 메모리 소자의 제조 순서를 나타내는 단면도.

[0164] 도 7c는 메모리 소자의 제조 순서를 나타내는 단면도.

[0165] 도 8a는 고체 촬상 소자의 제조 순서를 나타내는 단면도.

[0166] 도 8b 는 고체 활상 소자의 제조 순서를 나타내는 단면도.

[0167] 도 8c 는 고체 활상 소자의 제조 순서를 나타내는 단면도.

[0168] 도 8d 는 고체 활상 소자의 제조 순서를 나타내는 단면도.

[0169] 도 8e 는 고체 활상 소자의 제조 순서를 나타내는 단면도.

[0170] 도 8f 는 고체 활상 소자의 제조 순서를 나타내는 단면도.

[0171] ※도면의 주요 부분에 대한 부호의 설명

[0172] 101 도가니 102 히터

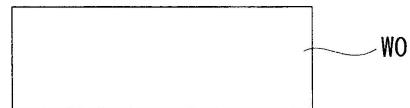
[0173] 103 원료 용액 104 인상축

[0174] 105 시드 척 106 결정

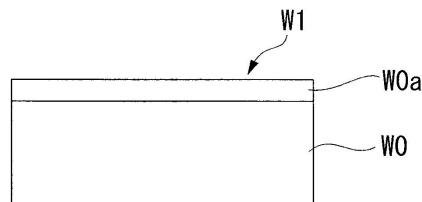
[0175] 107 열차폐체

도면

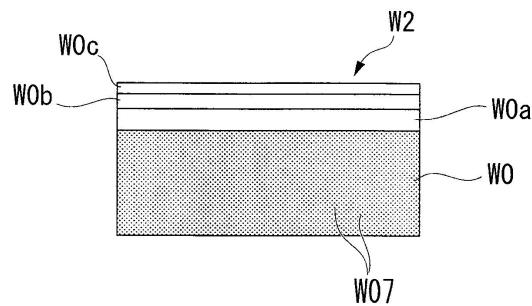
도면1a



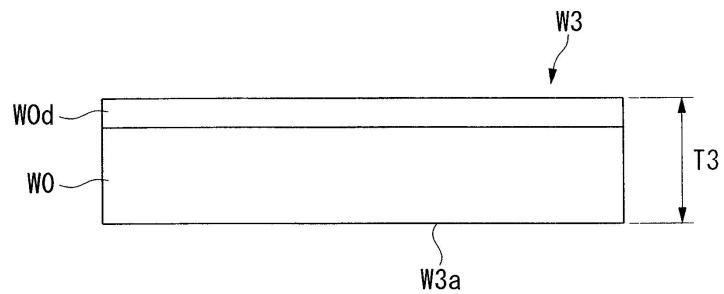
도면1b



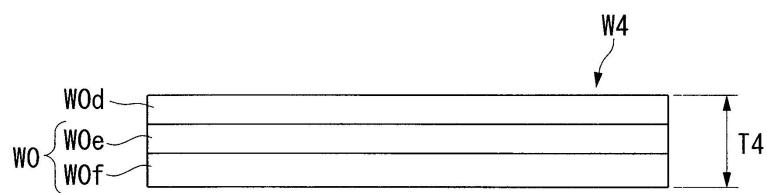
도면1c



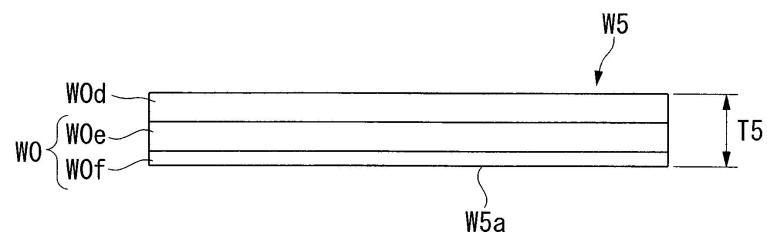
도면2a



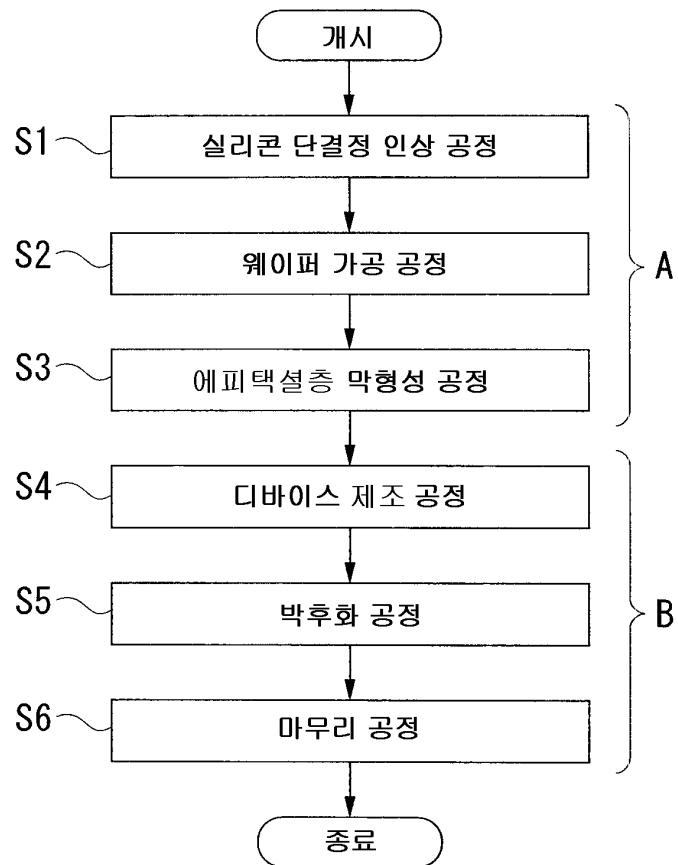
도면2b



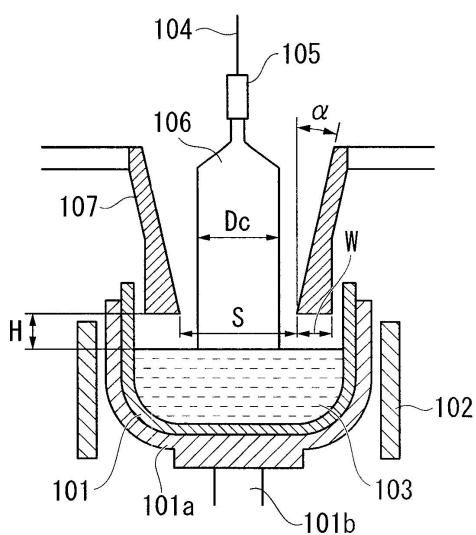
도면2c



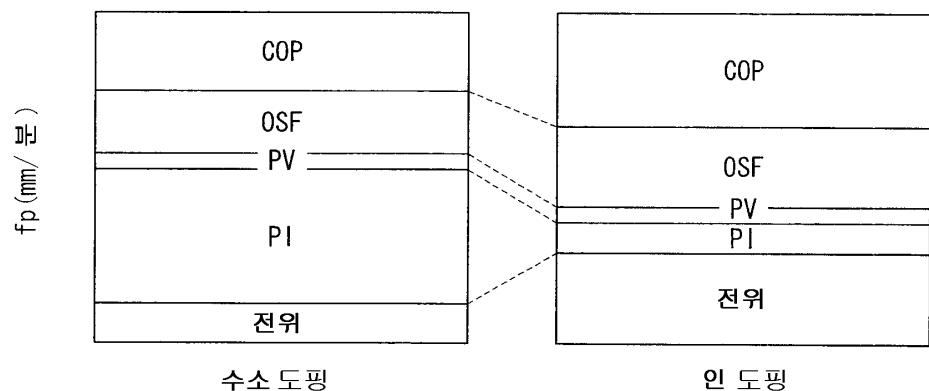
도면3



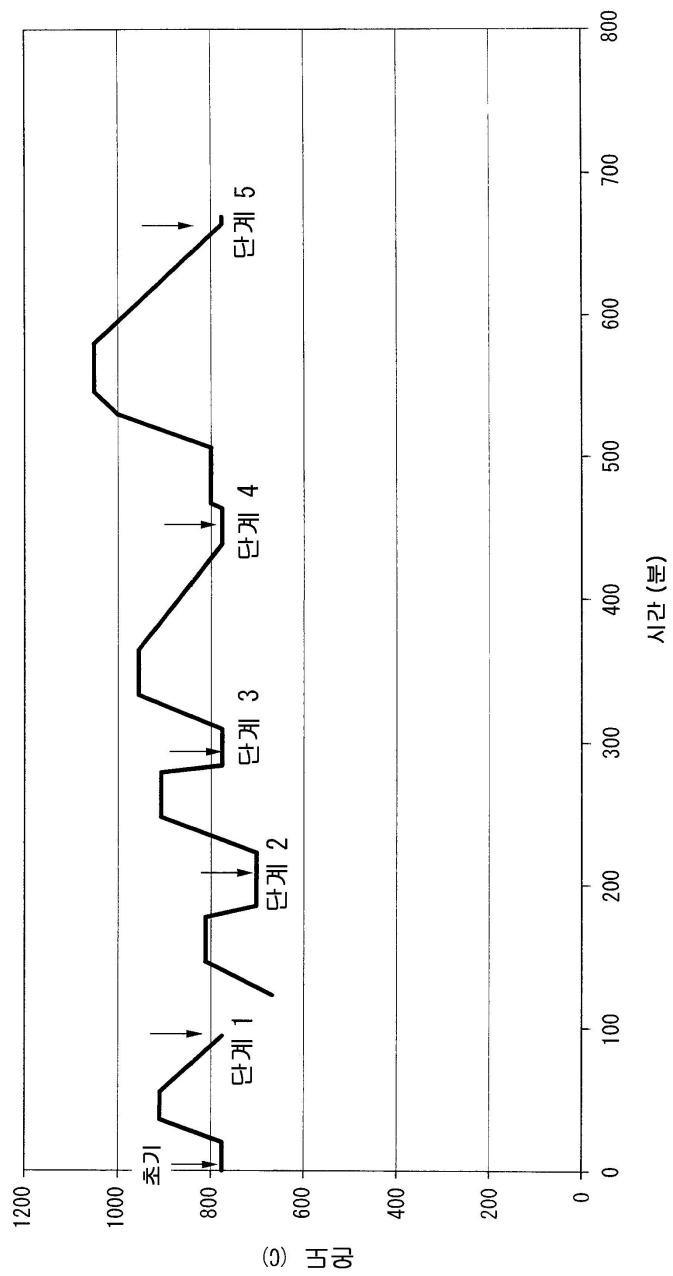
도면4



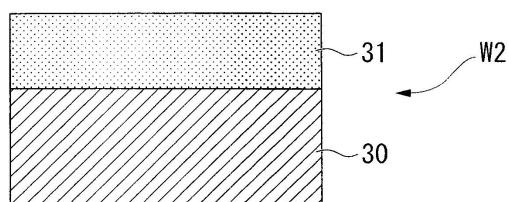
도면5



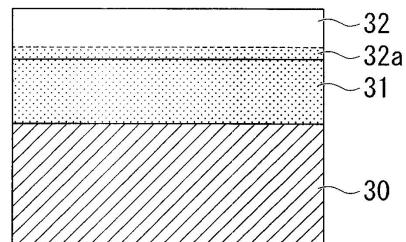
도면6



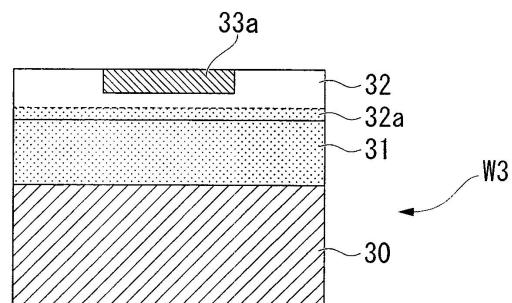
도면7a



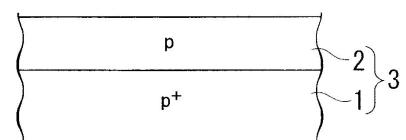
도면7b



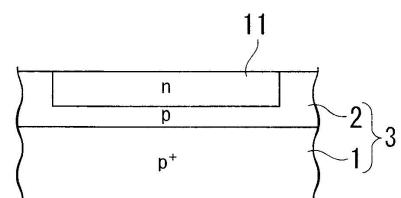
도면7c



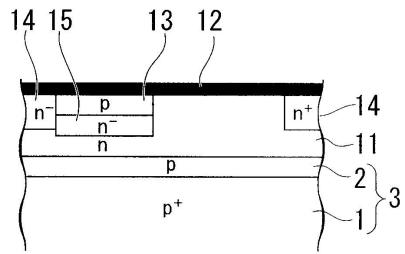
도면8a



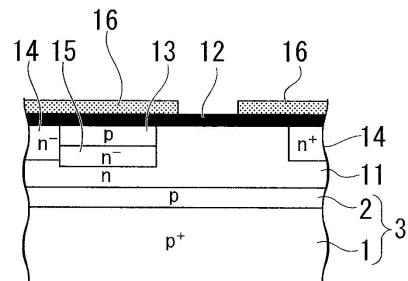
도면8b



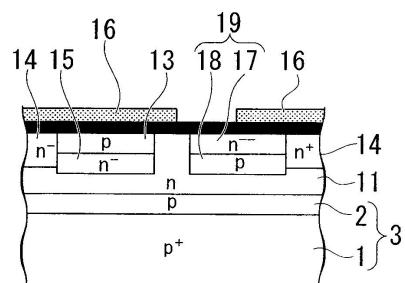
도면8c



도면8d



도면8e



도면8f

