



CONFÉDÉRATION SUISSE
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

(51) Int. Cl.³: H 04 Q 11/04

Brevet d'invention délivré pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein



(12) FASCICULE DU BREVET A5

(11)

627 321

(21) Numéro de la demande: 12044/77

(22) Date de dépôt: 03.10.1977

(30) Priorité(s): 19.10.1976 FR 76 31364

(24) Brevet délivré le: 31.12.1981

(45) Fascicule du brevet
publié le: 31.12.1981

(73) Titulaire(s):
Compagnie Industrielle des Télécommunications
CIT-ALCATEL, Paris 8e (FR)

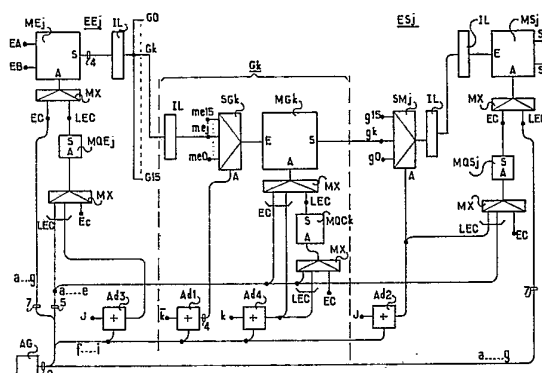
(72) Inventeur(s):
René Deglin, Velizy Villacoublay (FR)
Françoise Crapet, Maurepas (FR)

(74) Mandataire:
CGE Alsthom (Suisse) S.A., Rüschlikon

(54) Réseau de connexion multiplex.

(57) Le réseau de connexion comporte un étage d'entrée, un étage de sortie et un étage de sélection divisés en groupes et des équipements de ligne. Chaque groupe (EEj) de l'étage d'entrée comporte une mémoire d'entrée (MEj) et chaque groupe (ESj) de l'étage de sortie comporte une mémoire de sortie (MSj). Chaque groupe (Gk) de l'étage de sélection comporte une mémoire unique (MGk). Toutes les mémoires d'entrée (MEj) ont accès à chaque mémoire de groupe de commutation (Gk) par un sélecteur de groupe de commutation (SGk), la sortie de chaque mémoire d'entrée étant multipliée sur une entrée de chaque sélecteur de groupe de commutation, et toutes les mémoires de groupe de commutation (MGk) ont accès à chaque mémoire de sortie (MSj) par un sélecteur d'accès à un groupe de sortie (SMj), la sortie de chaque mémoire de groupe de commutation étant multipliée sur une entrée de chacun des sélecteurs d'accès à un groupe de sortie. L'ensemble du réseau de connexion est sans blocage.

Ce réseau est utilisable dans un autocommutateur télégraphique.



REVENDECATIONS

1. Réseau de connexion multiplex comportant un étage d'entrée divisé en groupes, un étage de sortie divisé en groupes, un étage de sélection divisé en groupes de commutation (Gk), des équipements de lignes, une mémoire d'entrée (MEj) dans chaque groupe d'entrée et une mémoire de sortie (MSj) dans CHAQUES GROUPE de sortie, caractérisé par le fait que chaque groupe de commutation (Gk) comporte une mémoire unique (MGk), que toutes les mémoires d'entrée (MEj) ont accès à chaque mémoire de groupe de commutation (Gk) par un sélecteur de groupe de commutation (SGk), la sortie de chaque mémoire d'entrée étant multipliée sur une entrée de chaque sélecteur de groupe de commutation (SGk), et que toutes les mémoires de groupe de commutation (MGk) ont accès à chaque mémoire de sortie (MSj) par un sélecteur d'accès à un groupe de sortie (SMj), la sortie de chaque mémoire de groupe de commutation (MGk) étant multipliée sur une entrée de chacun des sélecteurs d'accès à un groupe de sortie (SMj), et l'ensemble du réseau de connexion étant sans blocage.

2. Réseau de connexion suivant la revendication 1, caractérisé par le fait que chaque mémoire du réseau est adressée, par l'intermédiaire d'un multiplexeur donnant accès à l'adressage de la mémoire commun à tout le réseau, à partir d'une mémoire de marquage (MQEj, MQGk, MQSj) qui lui est affectée, et à partir d'un adresseur général (AG), commun à tout le réseau, qui fournit, sous la commande d'une horloge, un mot binaire utilisé pour l'adressage d'écriture des mémoires d'entrée (MEj) et de groupe de commutation (MGk) et pour l'adressage de lecture des mémoires de marquage (MQEj, MQGk, MQSj) et des mémoires de sortie (MSj), les poids les plus élevés du mot binaire étant utilisés pour l'adressage des sélecteurs de groupe de commutation (SGk) et d'accès à un groupe de sortie (SMj).

3. Réseau de connexion suivant la revendication 2, caractérisé par le fait que pour permettre un chargement simultané de toutes les mémoires de groupe de commutation et toutes les mémoires de sortie, il comporte un additionneur (Ad1) par groupe de commutation permettant de décaler l'adressage du sélecteur de groupe de commutation (Gk), par rapport à l'adresse fournie par les poids forts du mot binaire de l'adresseur général (AG), d'une valeur proportionnelle au numéro k du groupe auquel donne accès ledit sélecteur, et un second additionneur (Ad2) par groupe de sortie permettant de la même manière de décaler l'adressage du sélecteur d'accès au groupe de sortie (SMj) d'une valeur proportionnelle au numéro (j) dudit groupe de sortie.

4. Réseau de connexion suivant la revendication 3, caractérisé en ce qu'il comporte un troisième additionneur (Ad3) par groupe d'entrée et un quatrième additionneur (Ad4) par groupe de commutation, le troisième additionneur (Ad3) permettant de décaler les poids forts de l'adresse de lecture de la mémoire de marquage d'entrée (MQEj) et le quatrième additionneur (Ad4) permettant de décaler les poids forts de l'adresse d'écriture de la mémoire de groupe de commutation (MGk) et de l'adresse de lecture de la mémoire de marquage de groupe de commutation (MQGk).

5. Réseau de connexion suivant la revendication 1, caractérisé en ce qu'une mémoire d'entrée (MEj) est divisée en au moins deux parties (MA, MB) à chacune desquelles est affecté un registre (RA, RB) de chargement de capacité égale à celle d'un mot mémoire, que l'accès desdits registres à partir des entrées du réseau (e0 à e255) est réalisé par plusieurs étages de sélecteurs (SA0 à SA31, SE0 à SE3, AE) commandés par les poids faibles de l'adresseur général (AG), et que les sorties desdites parties (MA, MB) sont concentrées sur la sortie unique (S) de la mémoire d'entrée par un sélecteur de sortie (SS) commandé par les poids forts de l'adresseur général (AG), de sorte que les parties d'une mémoire d'entrée sont chargées simultanément et déchargées successivement vers la sortie (S).

6. Réseau de connexion suivant la revendication 5, dans lequel les équipements de ligne reliés aux entrées du réseau comportent chacun un fil de signalisation de l'état de faute dudit équipement, caractérisé par le fait que lesdits fils de signalisation de faute sont reliés aux entrées de sélecteurs (SF0, SFE0, AF) répartis suivant une structure identique à celle des sélecteurs d'accès aux mémoires d'entrée (SA0, SE0, AE), et que l'accès à chaque partie (MA, MB) d'une mémoire d'entrée (MEj) est effectué par un aiguilleur (AA, AB) commandé en sortie du dernier étage de sélecteurs de fils de faute (AF), lesdits aiguilleurs permettant de charger chaque mot mémoire soit à partir d'une entrée (e0 à e255) du réseau, soit en cas de faute à partir de la sortie de la mémoire dont chaque mot correspondant à un équipement de ligne en faute et ainsi recyclé.

7. Réseau de connexion suivant la revendication 5, dans lequel chaque mémoire de sortie (MSj) est divisée en au moins deux parties (MSA, MSB) en nombre égal à celui des parties des mémoires d'entrée, et dans lequel un registre (RSA, RSB) est associé à chaque partie pour permettre la sortie en série de chaque mot mémoire, et les parties d'une même mémoire étant écrites successivement et lues simultanément, caractérisé par le fait que l'accès de chacune desdites parties (MSA, MSB) aux sorties du réseau (ST0 à ST255) desservies par ladite partie est réalisé par un registre à décalage (RDA, RDB) et par un ensemble de registres de sorties (RS0 à RS31) de capacité égale à celle des registres à décalage, chaque sortie d'un registre à décalage étant reliée à l'entrée homologue de plusieurs registres de sortie (RS0 à RS31), et le choix du registre destinataire étant réalisé par un multiplexeur (SL) adressé par l'adresseur général (AG) et dont l'entrée reçoit des impulsions de commande.

La présente invention concerne un réseau de connexion multiplex utilisable dans les télécommunications, et plus particulièrement dans un autocommutateur télégraphique.

On connaît déjà en télégraphe plusieurs systèmes de commutation temporelle. Cette technique s'applique en effet très bien à la commutation télégraphique du fait que les données à transmettre sont déjà reçues à l'entrée du central sous forme numérique. Dans les systèmes connus, l'unité d'information commutée par le réseau temporel représente en général un ou plusieurs caractères, ce qui implique la reconnaissance des signaux reçus à l'entrée et leur réémission sur la ligne sortante.

Le réseau de connexion décrit dans le brevet suisse 622 144 procède à un échantillonnage des signaux entrants avec une période courte par rapport à la durée d'un moment du code des signaux reçus à l'entrée de manière à n'introduire qu'une faible distorsion de ces signaux. A l'entrée du réseau, les échantillons sont regroupés en mots. La fréquence maximale d'échantillonnage utilisable est fixée par la technologie, et la longueur des mots est déterminée pour obtenir une capacité maximale en nombre de lignes raccordées. Le réseau de connexion a une structure matricielle, chaque groupe de commutation étant divisé en sous-groupes comportant chacun une mémoire entrante et une mémoire sortante reliées par un bus commun à tout le groupe. Cette structure présente des inconvénients en ce qui concerne le volume de mémoire utilisé, et également pour la protection des bus de liaison parallèles qui sont assez vulnérables.

Le but de l'invention est de réaliser un réseau de connexion plus aisé à mettre en œuvre et à protéger.

Le réseau de connexion suivant la présente invention comporte un étage d'entrée divisé en M groupes, un étage de sortie divisé en M groupes, un étage de sélection divisé en N groupes; des équipements de ligne, une mémoire d'entrée dans chaque groupe d'entrée et une mémoire de sortie dans chaque groupe

de sortie; le réseau est caractérisé par le fait que chaque groupe de sélection comporte une mémoire unique, que toutes les mémoires d'entrée ont accès à chaque mémoire de groupe de commutation par un sélecteur de groupe de commutation, la sortie de chaque mémoire d'entrée étant multipliée sur une entrée de chaque sélecteur de groupe, et que toutes les mémoires de groupe de commutation ont accès à chaque mémoire de sortie par un sélecteur d'accès à un groupe de sortie, la sortie de chaque mémoire de groupe de commutation étant multipliée sur une entrée de chacun des sélecteurs d'accès à un groupe de sortie et l'ensemble du réseau de connexion étant sans blocage.

Selon une forme d'exécution de l'invention, l'adressage des mémoires, multiplexé pour permettre l'adressage soit par un adresseur général commun soit par l'intermédiaire de mémoires de marquages, utilise des circuits additionneurs permettant d'introduire des décalages automatiques d'adresse en fonction du groupe d'origine ou destinataire de l'information à lire ou à écrire en mémoire, de manière à simplifier les commandes de choix des itinéraires à travers le réseau.

On va maintenant décrire, à titre de simple exemple, une forme d'exécution de l'invention applicable en particulier à un auto-commutateur télégraphique. Cette description s'appuiera sur le dessin annexé dans lequel les figures suivantes représentent:

- la figure 1 la structure générale dudit réseau de connexion,
- la figure 2 un groupe de l'étage entrant de capacité égale à 256 lignes télégraphiques,
- la figure 3 un groupe de l'étage sortant de même capacité,
- la figure 4 l'ensemble des circuits empruntés par une liaison télégraphique dans le réseau ainsi que les circuits d'adressage.

Le réseau décrit ici, représenté figure 1, comporte un étage d'entrée formé de M groupes d'entrée (EE0 à EEM-1) et un étage de sortie formé de M groupes de sortie (ES0 à ESM-1). Entre étages d'entrée et de sortie sont disposés N groupes de commutation G0 à GN-1 constituant l'étage de sélection. Le maillage est de type parfait, c'est-à-dire qu'il existe une liaison entre chaque étage d'entrée et de sortie et chaque groupe de commutation. Chaque liaison est du type parallèle et comporte p fils. Dans le réseau particulier décrit plus loin, on a $M=N=16$ et $p=4$, le réseau véhiculant en parallèle 4 éléments binaires pour chaque communication entre une entrée e et une sortie ST quelconque du réseau. Chaque groupe d'entrée comporte n entrées et chaque groupe de sortie n sorties par exemple 256 entrées ou sorties. Un groupe d'entrée EEJ et un groupe de sortie ESJ sont rassemblés dans un même module pour constituer un réseau modulaire.

La figure 2 représente un groupe d'entrée EE_j de capacité égale à 256 voies qui sont reliées aux entrées (e_0 à e_7) de 32 sélecteurs SA0 à SA31 qui sont des multiplexeurs à 8 entrées, lesquelles sont adressées par un adresseur général AG. Cet adresseur commandé par une horloge, fournit 9 éléments binaires de poids croissants a, b, c, d, e, f, g, h, i, et sa capacité est donc de 512 adresses. Les sélecteurs SA0 à SA31 utilisent les poids e, f, g. Leurs 32 sorties sont regroupées sur 4 sélecteurs du même type (SE0 à SE3) adressé par les poids a, b, c. Enfin les 4 sorties de ces sélecteurs sont concentrées sur 2 voies par un aiguilleur AE contrôlé par le poids d. Les 2 voies sont destinées à alimenter une mémoire ME_j du groupe j. Cette mémoire est divisée en deux parties MA et MB qui sont écrites simultanément et lues successivement.

Un aiguilleur AI oriente vers les mémoires soit les 2 voies sortant de AE, soit 2 voies provenant d'autres organes utilisant également le réseau de connexion. La mémoire MA de 128 mots de 4 e.b. est chargée par un registre RA à positions. L'entrée d'informations les plus récentes a lieu à l'entrée 0 du registre, les entrées 1 à 3 étant reliées aux sorties a1 à a3 de la mémoire MA, ce qui permet de charger chaque mot mémoire

avec les 4 dernières informations reçues concernant une voie donnée.

La mémoire MB a la même structure, et un sélecteur de sortie SS commandé par le poids h de l'adresseur donne accès à la sortie S de l'étage soit à partir de la mémoire MA, soit à partir de la mémoire MB, et à travers un registre tampon TE.

Dans une application à un réseau de connexion télégraphique les voies d'informations provenant des équipements de ligne peuvent être doublées par des fils d'indication de faute de l'équipement de manière à ne pas risquer qu'un équipement en faute puisse perturber le réseau. Ces fils sont raccordés aux entrées f_0 à f_7 de sélecteurs SF₀ à SF₃₁, puis SFE0 à SFE3 suivant un maillage identique à celui des sélecteurs SA0 à SA31 et SE0 à SE3. La concentration sur 2 fils est terminée par un aiguilleur AF qui commande 2 aiguilleurs AA et AB qui contrôlent l'accès aux registres RA et RB. En cas de faute c'est le poids a3 de la mémoire MA (ou b3 de MB) qui est réinjecté dans le registre RA (ou RB).

La figure 3 représente un groupe de l'étage de sortie ES_j. La mémoire MS_j du groupe ES_j est divisée en 2 parties de 128 mots de 4 e.b. MSA et MSB qui sont écrites successivement et lues simultanément. Pour une cellule donnée la fréquence de lecture est quatre fois supérieure à la fréquence d'écriture car une cellule emmagasine un mot de 4 e.b. représentant 4 échantillons et un seul e.b. est prélevé à la fois. La mémoire MSA, comme la mémoire MSB, est chargée à partir de son entrée E et elle est réinscrite après chaque extraction de façon à présenter l'échantillon suivant pour la prochaine extraction en sortie a3.

Un aiguilleur AS oriente vers l'ensemble de démultiplexage et intégration de sortie:

- soit les 2 sorties de la mémoire MS_j pour retransmission des échantillons acheminés le long du réseau de connexion,
- soit un organe extérieur, par exemple comme dans le brevet principal, une logique de signalisations voulant émettre directement vers une voie.

L'ensemble de démultiplexage de sortie a pour but de restituer à chaque voie de sortie les échantillons qui lui sont destinés; cet ensemble est complété par un dispositif intégrateur qui reconstitue la modulation à partir des échantillons fournis. L'ensemble de démultiplexage et d'intégration est aussi décomposable en 2 parties, chacune traitant une trame de 128 temps élémentaires te.

Le démultiplexage est obtenu par deux registres à décalage RDA, RDB comportant chacun 8 positions qui progressent à chaque temps élémentaire te. Tous les 8 te, les échantillons présentés en sortie des registres à décalage RDA et RDB sont inscrits dans un ensemble de registres RS0 à RS31 à 8 positions, formés de bascules de type D. Un ensemble parmi 16 est sélectionné par un multiplexeur SL adressé par les 4 poids d à g de l'adresseur AG. Ainsi un ensemble de registres qui est réinscrit tous les 128 te, réalise l'intégration et reconstitue la modulation sur les voies de sortie.

Comme indiqué à la figure 1, chacun des groupes d'entrée EE0 à EEM-1p peut avoir accès à l'un quelconque des différents groupes de commutation G0 à GN-1 par un canal à 4 e.b. De la même façon chacun des 16 différents groupes de commutation peut avoir accès à l'un quelconque des groupes de sortie ES0 à ESM-1 par un canal à 4 e.b.

La figure 4 représente la liaison entre les principaux organes entrant dans la composition du réseau de connexion. Un groupe d'entrée EE_j compris entre EE0 et EEM-1 tout comme un groupe de sortie ES_j compris entre ES0 et ESM-1 est doté d'une mémoire, respectivement ME_j, MS_j, de capacité totale de 256×4 e.b.

Par contre, de manière à réaliser un réseau sans blocage un groupe de commutation Gk compris entre G0 et GN-1 est pourvu d'une mémoire MGk de capacité totale de 512×4 e.b.

L'acheminement des informations s'effectue par transferts successifs de mémoire en mémoire, d'une mémoire origine à une mémoire destination; ainsi un message d'informations subit deux transferts: un premier d'une mémoire MEj d'un groupe d'entrée à une mémoire de groupe de commutation MGk, puis un second de la mémoire MGk à une mémoire de groupe de commutation MGk, puis un second de la mémoire MGk à une mémoire MSj d'un groupe de sortie. Ces transferts sont organisés par l'adresseur général AG avec la concours de mémoires de marquage MQEj, MQGk, MQSj chargées par une logique de connexion en fonction des liaisons à établir, déterminées par les organes de commande du central télégraphique. Des interfaces 1L assurent la liaison entre la mémoire MEj et le sélecteur SGk et entre le sélecteur SMj et la mémoire MSj.

Pour permettre ces transferts, l'adressage A de toutes les mémoires est effectué par des multiplexeurs MX qui permettent de séparer l'adressage d'écriture EC et l'adressage de lecture LEC.

L'adresseur général AG fournit l'adresse d'écriture des mémoires entrantes MEj et des mémoires de groupes MGk, et l'adresse de lecture des mémoires sortantes MSj et de toutes les mémoires de marquage.

Les adresses de lecture des mémoires d'entrée et de groupes et d'écriture des mémoires de sortie sont données par les mémoires de marquage. Ces dernières sont chargées et adressées en écriture par les organes de commande du réseau non représentés ici.

L'adresseur général AG assure également le repérage des temps:

— l'utilisation des 9 poids a à i permet la définition de 2^9 soit 512 temps élémentaires te. Chacun de ces temps élémentaires est partagé en deux demi-périodes, la première demi-période sert à l'écriture dans une mémoire tandis que la deuxième sert à la lecture de cette mémoire (ou inversement suivant le type de mémoire), l'utilisation des 4 poids f à i permet la définition de 2^4 soit 16 intervalles de temps IT de 32 te chacun.

Une mémoire entrante MEj qui est divisée en 2 blocs de 128×4 est chargée simultanément par deux canaux multiplex portant une trame Te de 128 te, trame issue de l'ensemble de multiplexage d'entrée MXE. En fournissant l'adressage en écriture de MEj l'adresseur AG affecte à une voie d'entrée donnée une cellule propre; en une période de 128 te, chacune des 256 cellules de MEj a emmagasiné un échantillon prélevé sur une voie d'entrée. Pour une cellule donnée de la mémoire MEj, la fréquence d'extraction (lecture) est quatre fois inférieure à la fréquence d'introduction (écriture), ceci permet de véhiculer le long du réseau des messages contenant quatre échantillons et composant des mots de 4 e.b.

A partir de la sortie d'extraction d'une mémoire MEj il est possible d'accéder à toutes les mémoires MGk. Chaque mémoire MGk est donc divisée en 16 zones de 32×4 e.b. chaque zone sert à emmagasiner les informations extraites d'une mémoire MEj donnée et l'accès d'une mémoire MGk s'effectue à travers un sélecteur d'accès SGk pour autoriser la prise en compte des informations issues de la mémoire MEj intéressée. L'adresseur AG alloue un intervalle de temps

$$IT = \frac{4 \times 128 \text{ te}}{16} = 32 \text{ te pour le traitement de chaque zone.}$$

Dans cet intervalle de temps, un temps élémentaire te est consacré à chacune des 32 cellules de la zone.

La sortie d'extraction d'une mémoire MGk doit donner l'accès à toutes les mémoires MSj. L'accès d'une mémoire MSj s'effectue également à travers un sélecteur d'accès SMj pour autoriser la prise en compte des informations issues de la mémoire MGk intéressée. L'adresseur AG alloue un intervalle de temps $IT = 32$ te pour la prise en compte des informations venant d'une mémoire MGk dans cet intervalle IT, pendant un

temps élémentaire te, un message ou un mot de 4 e.b. issu de la mémoire MGk peut être inscrit dans une cellule quelconque de la mémoire MSj (cellule désignée par une mémoire MQSj en fonction de la liaison à établir). Une mémoire MSk comme une mémoire MEj, est divisée en deux blocs de 128×4 . Ceci permet l'extraction sur deux canaux multiplex vers l'ensemble de démultiplexage de sortie. Ainsi deux trames $T_s = 128$ te sont produites en sortie d'une mémoire MSj. Pour une cellule donnée de MSj, la fréquence d'extraction (lecture) est quatre fois supérieure à la fréquence d'introduction (écriture).

Durant un intervalle de temps IT donné, les mémoires MGk qui ont une seule entrée d'introduction doivent nécessairement prendre en compte des informations issues de mémoires MEj différentes. Il en est de même pour la prise en compte dans les mémoires MSj des informations issues des mémoires MGk. Ceci amène donc à avoir un multiplex décalé à la sortie des mémoires MEj tout comme à la sortie des mémoires MGk.

De manière à bien générer les trames d'adresses qui sont données sur le tableau qui se trouve à la fin de la description, il convient de réaliser certains décalages.

a — impérativement d'une part dans l'adressage des sélecteurs d'accès SGk et SMj.

Le décalage du sélecteur d'accès SGk est accompagné du décalage complémentaire en écriture de MGk pour permettre de ranger en mémoire MGk les informations issues de ME₀ dans la zone 0, celles de ME₁ dans la zone 1 et celles de ME₁₅ dans la zone 15. Cette disposition non obligatoire donne à la mémoire MGk un mode de chargement similaire à celui retenu pour les mémoires de marquage MQEj, MQGk, MQSj.

b — pour des raisons de commodité d'autre part, dans l'adressage en lecture des mémoires de marquage MQEj, MQGk, MQSj.

Cette disposition non obligatoire mais retenue est liée au fait qu'ainsi toutes les mémoires de marquage conservent un mode de chargement uniforme quant à l'affectation des différentes zones.

Tous ces différents adressages qui doivent être décalés sont repérés à partir des 4 poids forts f à i de l'adresseur AG (définition des 16 zones d'adressage) l'adressage définitif est obtenu après une correction typique introduite par un circuit additionneur de deux termes à 4 e.b. Ces décalages sont obtenus à l'aide de quatre types d'additionneurs de 4 e.b. recevant sur l'une de leurs deux entrées les poids f à i de l'adresseur AG. L'autre entrée reçoit un nombre binaire fixé par câblage en fonction du groupe concerné:

— un additionneur Ad1 est affecté à chaque groupe de commutation et adresse le sélecteur SGk. L'entrée câblée reçoit le complément à 16 (\bar{k}) du numéro du groupe (k),

— un additionneur Ad2 (un par groupe de sortie) adresse le sélecteur de module SMj, et fournit également les 4 poids forts de l'adresse de lecture de la mémoire de marquage MQSj. L'entrée câblée reçoit le complément à 16 (\bar{j}) du numéro du groupe (j).

— un additionneur Ad3 (un par groupe d'entrée) reçoit en entrée le numéro du groupe et fournit les 4 poids forts de l'adresse de lecture de la mémoire de marquage d'entrée MQEj,

— un additionneur Ad4 (un par groupe de commutation) reçoit en entrée le numéro du groupe et fournit les poids forts d'une part de l'adresse d'écriture de la mémoire de groupe MGk, et d'autre part de l'adresse de lecture de la mémoire de marquage correspondante MQGk.

Le tableau ci-après donne de façon explicite la destination et l'origine des informations entrantes et sortantes pour les liaisons entre les différents étages ME_j, G_k et MS_j en fonction de l'intervalle de temps $IT = 32$ te alloué par l'adresseur général AG.

On ne sortira pas du cadre de l'invention en remplaçant les moyens décrits par des moyens équivalents; en particulier la

capacité des mémoires, des groupes et de l'ensemble du réseau n'est citée qu'à titre d'exemple.

Tableau

Ce tableau donne la destination et l'origine des informations pour les différentes liaisons entre étages.

– REPERAGES DES TEMPS –

4 × 128 te soit 16 × 32 te

IT . 0 . 15 . 14 . 13 . 12 . 11 . 10 . 9 . 8 . 7 . 6 . 5 . 4 . 3 . 2 . 1 . 0 .

– TRAME SORTANTE DE ME –

(G destinataire)

ME0 . 0 . 15 . 14 . 13 . 12 . 11 . 10 . 9 . 8 . 7 . 6 . 5 . 4 . 3 . 2 . 1 . 0 .

ME1 . 1 . 0 . 15 . 14 . 13 . 12 . 11 . 10 . 9 . 8 . 7 . 6 . 5 . 4 . 3 . 2 . 1 .

ME15 . 15 . 14 . 13 . 12 . 11 . 10 . 9 . 8 . 7 . 6 . 5 . 4 . 3 . 2 . 1 . 0 . 15 .

– TRAME ENTRANTE EN G –

(ME Origine)

G0 . 0 . 1 . 2 . 3 . 4 . 5 . 6 . 7 . 8 . 9 . 10 . 11 . 12 . 13 . 14 . 15 . 0 .

G1 . 1 . 2 . 3 . 4 . 5 . 6 . 7 . 8 . 9 . 10 . 11 . 12 . 13 . 14 . 15 . 0 . 1 .

G15 . 15 . 0 . 1 . 2 . 3 . 4 . 5 . 6 . 7 . 8 . 9 . 10 . 11 . 12 . 13 . 14 . 15 .

– TRAME SORTANTE DE G –

(MS destinataire)

G0 . 0 . 15 . 14 . 13 . 12 . 11 . 10 . 9 . 8 . 7 . 6 . 5 . 4 . 3 . 2 . 1 . 0 .

G1 . 1 . 0 . 15 . 14 . 13 . 12 . 11 . 10 . 9 . 8 . 7 . 6 . 5 . 4 . 3 . 2 . 1 .

G15 . 15 . 14 . 13 . 12 . 11 . 10 . 9 . 8 . 7 . 6 . 5 . 4 . 3 . 2 . 1 . 0 . 15 .

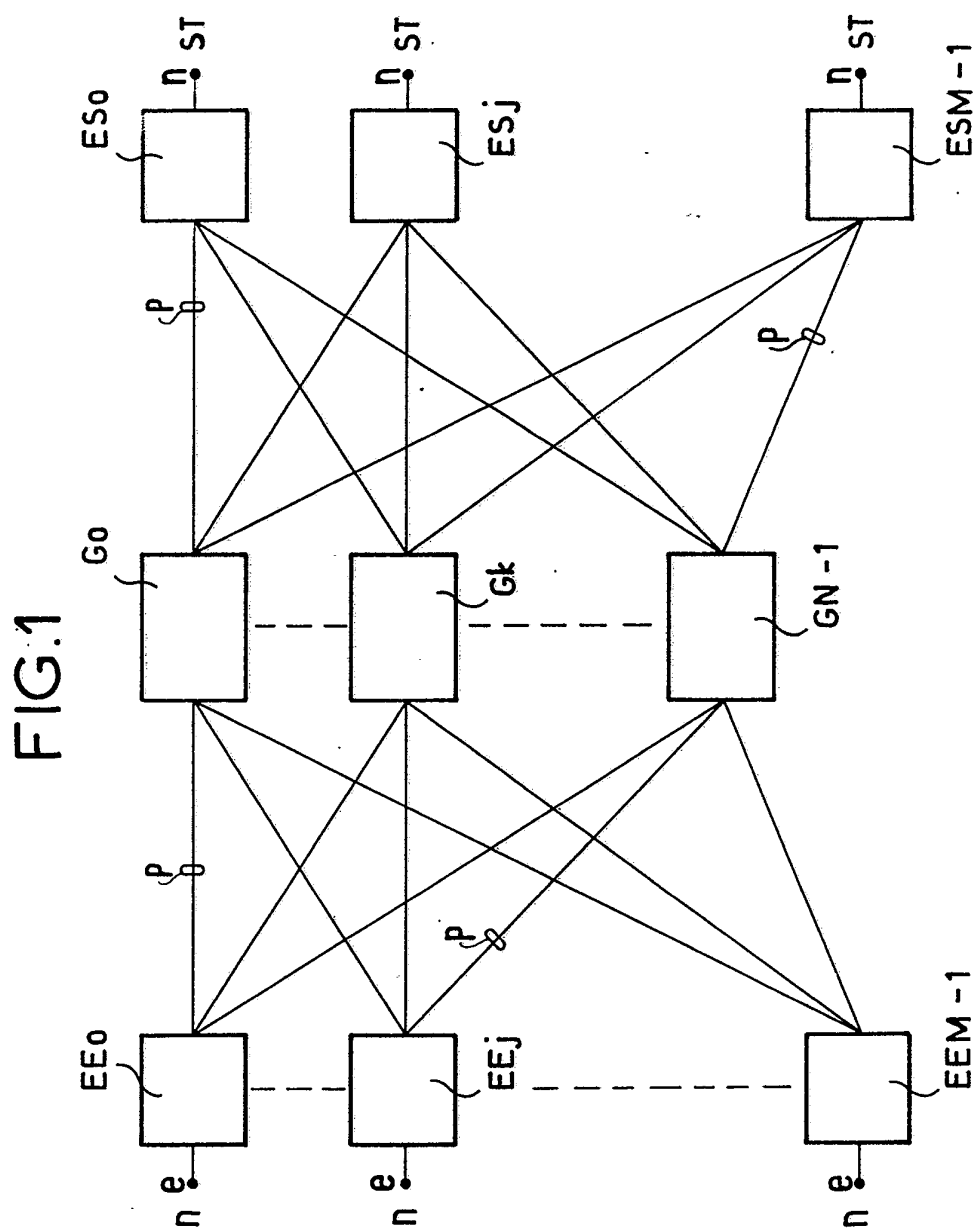
– TRAME ENTRANTE EN MS –

(G origine)

MS0 . 0 . 1 . 2 . 3 . 4 . 5 . 6 . 7 . 8 . 9 . 10 . 11 . 12 . 13 . 14 . 15 . 0 .

MS1 . 1 . 2 . 3 . 4 . 5 . 6 . 7 . 8 . 9 . 10 . 11 . 12 . 13 . 14 . 15 . 0 . 1 .

MS15 . 15 . 0 . 1 . 2 . 3 . 4 . 5 . 6 . 7 . 8 . 9 . 10 . 11 . 12 . 13 . 14 . 15 .



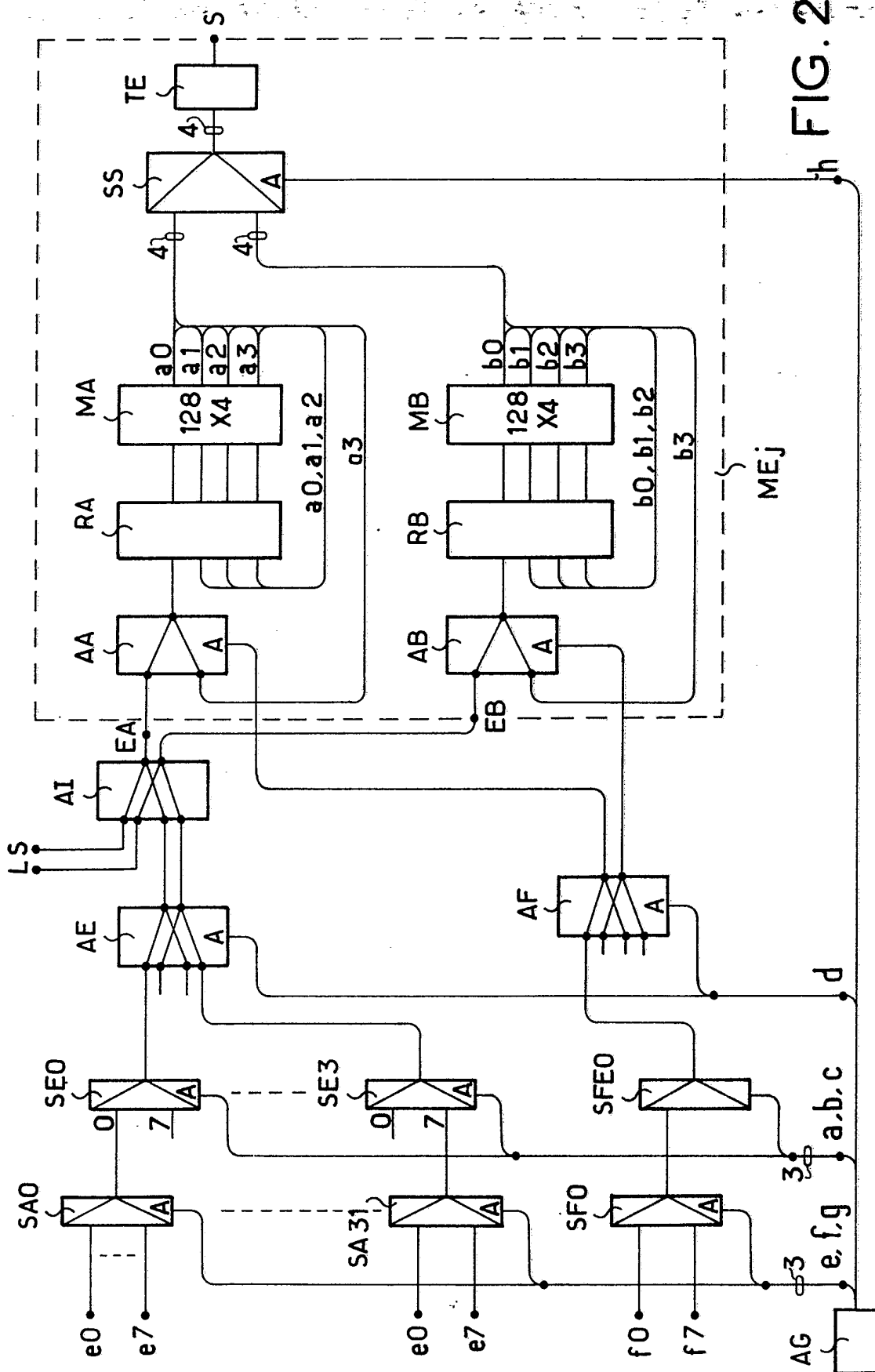


FIG. 2

FIG. 3

