



1. 一种图像拾取器件，包括：

像素阵列，所述像素阵列包括按矩阵布置的多个像素；和

行选择单元，所述行选择单元选择像素行，所述行选择单元包括：

地址产生单元，所述地址产生单元用时分复用法产生与像素行的地址对应的地址信号，

解码器，所述解码器对由所述地址产生单元产生的地址信号进行解码，并且输出所得的解码的值，

第一存储单元，所述第一存储单元存储与要从其读取信号的像素行的地址对应的解码的值，和

第二存储单元，所述第二存储单元存储与要被初始化的像素行的地址对应的解码的值，

其中，在所述按矩阵布置的像素之中，相邻的行中的多个像素形成多个像素块，每个像素块具有由像素块中的多个像素共享的共享晶体管，并且

所述行选择单元还包括第三存储单元，所述第三存储单元存储与包括所述共享晶体管的像素块对应的解码的值。

2. 根据权利要求 1 所述的图像拾取器件，

其中，所述第三存储单元存储其地址被所述第二存储单元存储的、由要被初始化的像素块中所包括的多个像素共享的共享晶体管所对应的行的解码的值。

3. 根据权利要求 1 或权利要求 2 所述的图像拾取器件，

其中，所述第三存储单元存储其地址被所述第一存储单元存储的、由要被读取的像素块中所包括的多个像素共享的共享晶体管所对应的行的解码的值。

4. 根据权利要求 1 所述的图像拾取器件，

其中，每个像素包括：

光电转换单元；

放大晶体管，所述放大晶体管输出基于由所述光电转换单元产生的电荷的信号；

传输晶体管，所述传输晶体管将由所述光电转换单元产生的电荷传输到所述放大晶体管的栅极节点；和

重置晶体管，所述重置晶体管对所述放大晶体管的栅极节点进行重置，并且

包括在所述像素块之一中的多个像素共享所述放大晶体管和所述传输晶体管。

5. 根据权利要求 4 所述的图像拾取器件，

其中，每个所述像素包括选择像素的选择晶体管。

6. 根据权利要求 4 所述的图像拾取器件，

其中，所述行选择单元根据存储在所述第三存储单元中的解码的值来控制所述重置晶体管。

7. 根据权利要求 1 所述的图像拾取器件，

其中，所述行选择单元包括第一行选择电路和第二行选择电路，所述第一行选择电路选择所述像素行的一部分，所述第二行选择电路选择所述像素行中的另一部分。

8. 根据权利要求 7 所述的图像拾取器件，

其中，所述第一行选择电路和所述第二行选择电路相对于所述像素阵列布置在相对

侧,以便把所述像素阵列夹在中间。

9. 根据权利要求 7 所述的图像拾取器件,

其中,所述像素阵列中的像素行由所述第一行选择电路和所述第二行选择电路交替地选择。

10. 根据权利要求 7 所述的图像拾取器件,

其中,所述第一行选择电路中所包括的第三存储单元和所述第二行选择电路中所包括的第三存储单元由相同的信号控制。

11. 一种图像拾取系统,包括 :

根据权利要求 1 所述的图像拾取器件;

光学系统,所述光学系统在所述图像拾取器件的像素区域中形成图像;和

视频信号处理单元,所述视频信号处理单元对从所述图像拾取器件输出的信号进行处理,并且产生图像数据。

12. 根据权利要求 11 所述的图像拾取系统,还包括:

定时产生单元,

其中,所述定时产生单元输出定义水平同步时间段的水平同步信号,在所述水平同步时间段内,读取行中所包括的多个像素的信号,并且

所述图像拾取器件在相同的水平同步时间段内,对基于所述第二存储单元选择的像素进行初始化,同时基于所述第一存储单元来执行要从其读取信号的像素的初始化。

## 图像拾取器件和图像拾取系统

### 技术领域

[0001] 本发明涉及一种图像拾取器件和图像拾取系统。

### 背景技术

[0002] 电子摄像机或电子静态照相机中所使用的图像拾取器件的例子包括 MOS 传感器或 X-Y 地址传感器。X-Y 地址传感器通过指定地址来从位于指定位置处的像素获得信号。通过该特征，X-Y 地址传感器实现“全像素读取模式”和“缩小读取模式”，在“全像素读取模式”下，获得所有像素的信号，在“缩小读取模式”下，跳过一些行和列，并且从其它像素获得信号。

[0003] 在 PTL1 中，提供第一存储部件和第二存储部件，以便在例如“缩小读取模式”下执行复杂的快门操作，第一存储部件存储将对其执行快门扫描的地址，第二存储部件存储将对其执行读取扫描的地址。此外，PTL1 还公开了由多个像素共享浮置扩散的像素共享技术，而且还公开了用于在该技术中选择像素的电路，所述浮置扩散临时保持存储在像素中的电荷，并且是这些像素中所包括的晶体管的一部分。

[0004] 引文列表

[0005] PTL

[0006] PTL 1：日本专利公开 No. 2008-288903

### 发明内容

[0007] 技术问题

[0008] 然而，如果 PTL1 中所公开的电路用在利用像素共享技术的图像传感器中，则可能不能适当地执行像素的选择，因此，可能执行不正确的操作。

[0009] 本发明的目的是提供一种即使当利用像素共享技术时也防止执行不正确的操作的图像拾取器件、图像拾取系统和用于驱动该图像拾取器件的方法。

[0010] 问题的解决方案

[0011] 本发明提供一种图像拾取器件，包括：像素阵列，所述像素阵列包括按矩阵布置的多个像素；和行选择单元，所述行选择单元选择像素行之一，并且所述行选择单元包括：地址产生单元，其用时分复用法产生与像素行之一的地址对应的地址信号；解码器，其对由所述地址产生单元产生的地址信号进行解码，并且输出所得的解码的值；第一存储单元，其存储与要从其读取信号的像素行之一的地址对应的解码的值；和第二存储单元，其存储与要被初始化的像素行之一的地址对应的解码的值。在按矩阵布置的像素之中，相邻行中所包括的多个像素形成具有各自的共享晶体管的多个像素块，并且所述行选择单元还包括第三存储单元，其存储与包括共享晶体管的像素块之一对应的解码的值。

[0012] 本发明的有益效果

[0013] 根据本发明，即使当利用像素共享技术时，也可适当地选择像素，并且也可防止执行不正确的操作。

## 附图说明

- [0014] 图 1 是示意性地示出根据本发明的图像拾取器件的框图。
- [0015] 图 2 是示出根据第一实施例的图像拾取器件的配置的电路图。
- [0016] 图 3 是示出根据第一实施例的图像拾取器件的操作的定时图。
- [0017] 图 4 是示出根据第二实施例的图像拾取器件的配置的电路图。
- [0018] 图 5 是示出根据第二实施例的图像拾取器件的操作的定时图。
- [0019] 图 6 是示出根据第三实施例的图像拾取器件的操作的定时图。
- [0020] 图 7 是示出根据第四实施例的图像拾取器件的配置的电路图。
- [0021] 图 8 是示出根据第四实施例的图像拾取器件的操作的定时图。
- [0022] 图 9 是示出根据第五实施例的图像拾取器件的配置的电路图。
- [0023] 图 10 是示出根据第五实施例的图像拾取器件的操作的定时图。
- [0024] 图 11 是示意性地示出根据第六实施例的图像拾取系统的框图。

## 具体实施方式

- [0025] 为了阐明本发明的优点,将详细描述在 PTL1 中所公开的配置中会出现的问题。
- [0026] 通常使用在包括按矩阵布置的像素的像素区域中使用多个行选择单元来选择像素的技术。将作为例子描述下述情况,即,使用两个行选择单元之一来选择奇数行的像素,并且使用所述选择单元中的另一个来选择偶数行的像素。假设彼此相邻的第一行和第二行的像素共享浮置扩散部分(以下称为“FD”部分),则第一行的像素由所述行选择单元之一控制,第二行的像素由所述行选择单元中的另一个控制。
- [0027] 当共享 FD 部分的两个像素用作单个像素块并且多个像素块按矩阵布置时,可以对某一像素块中所包括的第一行的像素执行快门操作,并且可以不对同一像素块中所包括的第二行的像素执行快门操作。
- [0028] 当在这种情况下使用 PTL1 中所公开的电路时,在控制第一行的像素的电路中,用于选择快门行的锁存器输出“1”,而在控制第二行的像素的电路中,用于选择快门行的锁存器输出“0”。这里,当信号 STR 被输入以执行快门操作时,控制第一行的像素的电路输出信号 RST “1”,而控制第二行的像素的电路输出信号 RST “0”。也就是说,不同的信号从两个不同的选择电路输出,因此,由信号 RST 控制的开关是否为导电状态是不确定的。因此,可能执行不正确的操作。
- [0029] 第一实施例
- [0030] 将参照附图来描述本发明的第一实施例。
- [0031] 图 1 是示意性地示出根据本发明的图像拾取器件的框图。图像拾取器件 1 包括像素阵列 10、行选择单元 20L 和 20R、地址产生单元 30、定时产生单元 40 和水平传输单元 50。这些组件可布置在同一半导体基板上,并且它们中的一些可布置在不同的半导体基板上。
- [0032] 像素阵列 10 包括按矩阵布置的多个像素。相邻行的像素共享电路。以下,共享电路的多个像素被称为“像素块”。也就是说,像素阵列 10 包括按矩阵布置的多个像素块。
- [0033] 行选择单元 20L 和 20R 将像素阵列 10 夹在它们之间。行选择单元 20L 选择像素阵列 10 中的奇数行的像素,而行选择单元 20R 选择像素阵列 10 中的偶数行的像素。具体

地讲,用作第一行选择电路的行选择单元 20L 和用作第二行选择电路的行选择单元 20R 被配置为交替地选择像素阵列 10 中的像素行。

[0034] 此外,行选择单元 20L 包括地址解码器 21L、第一存储单元 22L、第二存储单元 23L、第三存储单元 24L 和像素脉冲产生单元 25L。地址解码器 21L 输出通过对由地址产生单元 30 产生的地址值进行解码而获得的解码的值,并且选择与该地址值对应的地址。

[0035] 第一存储单元 22L 存储从地址解码器 21L 输出的解码的值。第一存储单元 22L 的输出用作从像素阵列 10 中所包括的像素读取信号的行的地址。

[0036] 第二存储单元 23L 存储从地址解码器 21L 输出的解码的值。第二存储单元 23L 的输出用作像素阵列 10 中的像素中所包括的光电转换单元被重置的行的地址。

[0037] 第三存储单元 24L 存储从地址解码器 21L 输出的解码的值。第三存储单元 24L 的输出用于控制由像素阵列 10 的像素块中所包括的多个像素共享的元件。

[0038] 地址产生单元 30 基于从定时产生单元 40 供给的信号来产生地址值,并且将所产生的地址值供给行选择单元 20L 和 20R。地址产生单元 30 用时分复用法输出地址信号 vaddr,以使得单个地址解码器选择多个地址。更具体地讲,地址产生单元包括产生地址值的多个电路,基于从定时产生单元 40 供给的信号来选择这些电路之一的输出,并且输出所选的输出作为地址信号 vaddr。

[0039] 定时产生单元 40 供给用于控制地址产生单元 30 何时产生地址值的信号,并且供给用于控制行选择单元 20L 和 20R 以及水平传输单元 50 的操作定时的信号。

[0040] 水平传输单元 50 从输出端子 out 输出通过垂直信号线 vline(n) 从像素阵列 10 读取的信号。具体地讲,水平传输单元 50 包括对于各条垂直信号线 vline(n) 提供的放大器、AD 转换器、CDS 电路和线存储器电路,并且使用水平扫描电路从输出端子 out 连续地输出从像素阵列 10 读取的信号。线存储器电路可以是模拟存储器或数字存储器(诸如 SRAM 和锁存电路)。

[0041] 行选择单元 20L 和 20R 彼此具有相同的配置,因此,省略行选择单元 20R 的描述。水平扫描电路可由解码器构成,以使得任意行可被访问。通过这样,随机访问与行选择单元 20L 和 20R 组合实现。显然,即使当行选择单元和水平扫描电路由解码器构成时,也按地址次序连续地执行扫描。

[0042] 图 2 是图 1 中所示的配置的详细电路图,除了定时产生单元 40 和水平传输单元 50 之外。

[0043] 像素阵列 10 包括布置在其中的多个像素块 1100、1101 等,并且在图 2 中,提取了按四行一列的矩阵布置的像素块。像素块 1100 包括四个像素。第一行的像素包括作为光电转换单元的光电二极管 D1101、传输晶体管 M1101-1、放大晶体管 M1103、用作重置单元的重置晶体管 M1140 和选择晶体管 M1105。当使传输晶体管 M1101-1 变为导通状态时,存储在光电二极管 D1101 中的电荷被传输到放大晶体管 M1103 的栅极节点。虽然未示出,但是放大晶体管 M1103 的栅极与浮置扩散部分连接,该浮置扩散部分用作半导体基板上的传输晶体管 M1101-1 的第一主电极,并且光电二极管的电荷被传输到该浮置扩散部分。以下,浮置扩散单元被称为“FD 部分”。放大晶体管 M1103 具有第一主电极和第二主电极,第一主电极接收电源电压 vcc 的供给,第二主电极通过选择晶体管 M1105 与垂直信号线 vline(n) 之一连接。当使选择晶体管 M1105 变为导通状态时,放大晶体管 M1103 与和垂直信号线 vline(n)

连接的电流源一起形成源极跟随器电路，并且输出与 FD 部分的电势对应的信号。重置晶体管 M1104 的第一主电极与 FD 部分连接。当使重置晶体管 M1104 变为导通状态时，重置晶体管 M1104 根据供给到第二电极的电势对 FD 部分进行重置。第二行的像素包括光电二极管 D1102、传输晶体管 M1101-2、放大晶体管 M1103、用作重置单元的重置晶体管 M1104 和选择晶体管 M1105。类似地，第三行和第四行的像素中的每个包括光电二极管、传输晶体管、放大晶体管和重置晶体管。这四个像素共享放大晶体管 M1103、重置晶体管 M1104 和选择晶体管 M1105。与像素块 1100 一样，在像素块 1101、1102 等中的每个中，放大晶体管 M1103、重置晶体管 M1104 和选择晶体管 M1105 由相邻四行的像素共享。

[0044] 地址解码器 21L 基于从定时产生单元 40 供给的控制信号来接收从地址产生单元 30 输出的地址信号 vaddr。地址信号 vaddr 是 n 比特信号，例如，使用高位的  $(n-1)$  个比特来表示像素块，并且使用 n 个比特来表示像素块内的像素。在图 2 中，解码的值 vdecu(x) 使用 n 个比特 ( $0 \leq x \leq (2^{(n-1)})-1$ ) 来设置，并且解码的值 vdec(y) 使用低位的 n 个比特 ( $0 \leq y \leq (2^n)-1$ ) 来设置。注意，当像素块包括两个像素时，用具有 m 个比特的地址信号的 m 个比特来表示像素块。

[0045] 第一存储单元 22L 中所包括的多个第一存储电路 1220L、1221L 等包括各自的存储 1 比特数据的 D 锁存器。第一存储电路 1220L 中所包括的 D 锁存器具有 D 端子和 G 端子，该 D 端子与地址解码器 21L 的输出 vdec(0) 连接，该 G 端子与传送信号 platen\_rd 的线连接。第一存储电路 1221L、1222L 等类似地包括各自的 D 锁存器，但是其 D 端子共同地与地址解码器 21L 的不同输出连接。传送信号 platen\_rd 的线也共同地与其它存储电路 1221L、1222L 等连接。

[0046] 第二存储单元 23L 中所包括的第二存储电路 1230L、1231L 等包括各自的 AND 电路和各自的 SR 锁存器，所述 SR 锁存器具有与和所述 AND 电路的对应输出连接的 S 端子。AND 电路的第一输入端子与地址解码器 21L 的输出 vdec(0) 连接，第二输入端子与传送信号 platen\_sh\_1 的线连接。SR 锁存器的 R 端子与传送信号 platrst\_sh\_1 的线连接。传送信号 platrst\_sh 的线也共同地与第二存储单元中所包括的其它第二存储电路 1231L、1232L 等连接。

[0047] 第三存储单元 24L 中所包括的第三存储电路 1240L、1241L 等包括各自的 AND 电路和各自的 SR 锁存器，所述 SR 锁存器具有与对应的 AND 电路的输出连接的 S 端子。AND 电路的第一输入端子与地址解码器 21L 的输出 vdecu(0) 连接，第二输入端子与传送信号 platen\_shf 的线连接。SR 锁存器的 R 端子共同地与传送信号 platrst\_sh 的线连接。传送信号 platen\_shf 和 platrst\_sh 的线也共同地与第三存储单元中所包括的其它第三存储电路 1241L、1242L 等连接。

[0048] 像素脉冲产生单元 25L 中所包括的像素脉冲产生电路 1250L、1251L 等中的每个包括 AND 电路和 OR 电路。然而，这些电路的配置不限于本实施例的配置。像素脉冲产生电路 1250L 输出将作为信号 pres(0)、psel(0)、ptx1(0) 和 ptx3(0) 供给像素块 1100 的信号 presi、pseli、ptxli 和 ptx2i。信号 presi 是作为以下两个逻辑 AND 的逻辑 OR 而产生的：即，输出第一存储电路 1220L 与 1221L 的逻辑 OR 的 OR 电路的输出与信号 pres\_rd 的逻辑 AND；以及第三存储电路 1240L 的输出与信号 pres\_sh 的逻辑 AND。信号 pseli 是作为以下两者的逻辑 OR 而产生的：即，输出第一存储电路 1220L 与 1221L 的逻辑 OR 的 OR 电路的输

出;以及信号 psel。然后,ptx1i 是作为以下两个逻辑 AND 的逻辑 OR 而产生的:即,第一存储电路 1220L 的输出与信号 ptx\_rd\_1 的逻辑 AND;以及第二存储电路 1230L 的输出与信号 ptx\_sh 的逻辑 AND。信号 ptx2i 是作为以下两个逻辑 AND 的逻辑 OR 而产生的:即,第一存储电路 1221L 与信号 ptx\_rd\_1 的逻辑 AND;以及第二存储电路 1231L 的输出与信号 ptx\_sh 的逻辑 AND。

[0049] 将描述行选择单元 20R 的与行选择单元 20L 的配置不同的配置。因为行选择单元 20R 控制像素阵列 10 的偶数行的像素,所以与行选择单元 20L 的不同之处在于,从像素脉冲产生单元 25R 输出的信号被供给偶数行的像素。因此,第二存储单元 23R 接收信号 platen\_sh\_2,而不是供给第二存储单元 23L 的信号 platen\_sh\_1。类似地,像素脉冲产生单元 25R 接收信号 ptx\_rd\_2,而不是供给像素脉冲产生单元 25L 的信号 ptx\_rd\_1。对于其它单元,相同信号被供给行选择单元 20L 和 20R。

[0050] 注意,信号 platen\_rd、platen\_sh\_1、platen\_sh\_2、platrst\_sh、platen\_shf、ptx\_rd\_1、ptx\_rd\_2、ptx\_sh、pres\_rd、pres\_sh 和 psel 由定时产生单元 40 产生。

[0051] 接着,将参照图 3 中所示的定时图来描述图 1 和图 2 中所示的图像拾取器件 1 的操作。当指代字符 L 和 R 在以下描述中没有特别描述时,行选择单元 20L 和 20R 执行相同的操作。

[0052] 这里,将作为例子描述下述情况,即,在像素阵列 10 中,从第一行的像素、第四行的像素、第七行的像素等读取信号,并且除了第一行至第三行组合之外,还对第四行至第六行组合、第七行至第九行组合、等等、第 N 行至第 (N+2) 行组合、第 (N+3) 行至第 (N+5) 行组合、第 (N+6) 行至第 (N+8) 行组合等等执行快门(shutter) 操作。快门操作是指光电二极管的重置,也被称为像素的初始化。假设,在图 3 中所示的时间 t100,第二存储单元 23 和第三存储单元 24 中所包括的 SR 锁存器保持低电平。

[0053] 首先,在时间 t100,从外部设备(未示出)将水平同步信号供给定时产生单元 40,在时间 t101,定时产生单元 40 使信号 platen\_rd 变为高电平。在时间 t102,因为从地址产生单元 30 供给的地址信号 vaddr 的值 R1 为“0”,所以仅使地址解码器 21 的输出之中的输出 vdecu(0) 和 vdec(0) 变为高电平。也就是说,使第一存储电路 1220 的 D 锁存器的输出变为高电平。水平同步信号定义水平同步时间段,在该水平同步时间段内,读取与一行的像素对应的信号。

[0054] 当在时间 t102 使信号 psel 变为高电平时,由于第一存储电路 1220L 和 1220R 中所包括的 D 锁存器的输出与信号 psel 的逻辑 AND,使像素块 1100 中所包括的选择晶体管 M1005 变为高电平。因此,像素块 1100 中所包括的放大晶体管 M1003 与连接至垂直信号线 vline(n) 的电流源(未示出)一起形成源极跟随器,并且将与 FD 部分 F1101 的电势对应的信号供给垂直信号线 vline(n) 中的对应一条。

[0055] 当在时间 t103 使信号 pres\_rd 变为高电平时,由于信号 pres\_rd 与第一存储器电路 1220L 和 1220R 的输出的逻辑 AND,使将供给像素块 1100 的信号 pres(0) 变为高电平。

[0056] 在从时间 t103 到时间 t105 的时间段内,使像素块 1100 中所包括的重置晶体管 M1104 变为导通状态,并且 FD 部分 F1101 被重置。这里,具有与 FD 部分 F1101 的重置对应的电平的信号被供给垂直信号线 vline(n) 中的对应一条,并且该信号包括由重置晶体管 M1104、放大晶体管 M1004 和 FD 部分 F1101 产生的噪声分量。在水平传送单元 50 包括 CDS

电路的配置中,在该时间段内被供给垂直信号线 vline(n) 的信号被采样。

[0057] 当在时间 t106 使信号 ptx\_rd\_1 变为高电平时,由于信号 ptx\_rd\_1 与第一存储电路 1220L 中所包括的锁存器的输出的逻辑 AND,使将供给像素块 1100 的信号 ptx1(0) 变为高电平,因此,使传输晶体管 M1001-1 变为导通状态。通过这样,存储在光电二极管 D1101 中的电荷被传输到 FD 部分 F1101,因此,FD 部分 F1101 的电势改变,并且供给垂直信号线 vline(n) 中的对应一条的信号的电平改变。该信号相对于在 FD 部分 F1101 被重置之后立即获得的电平改变通过光电转换产生的电荷量。因此,噪声分量可通过获得该信号与存储在 CDS 电路中的噪声分量之间的差来降低。

[0058] 在时间 t107,从地址产生单元 30 供给的地址信号 vaddr 的值从 R1 变为 S11。注意,“S11”表示要被重置(将被进行快门操作)的像素的地址,并且在此刻为“0”。因此,在从地址解码器 21 供给的信号之中,仅使信号 vdecu(0) 和 vdec(0) 变为高电平。

[0059] 此外,在时间 t107,使信号 latrst\_sh 变为高电平,因此,第二存储单元 23 和第三存储单元 24 的 SR 锁存器被重置。

[0060] 在时间 t108,使信号 platen\_sh\_1、platen\_sh\_2、platen\_shf 变为高电平。由于信号 platen\_sh\_1、platen\_sh\_2 与信号 vdec(0) 的逻辑 AND,使第二存储电路 1230L 和 1230R 中所包括的 SR 锁存器的输出变为高电平。此外,由于信号 platen\_shf 与 vdecu(0) 的逻辑 AND,使第三存储电路 1240L 和 1240R 的输出变为高电平。

[0061] 其后,使从地址产生单元 30 供给的地址信号 vaddr 的值变为 S12。这里,值 S12 为“1”。因此,在从地址解码器 21 供给的信号之中,仅使信号 vdecu(0) 和 vdec(1) 变为高电平。

[0062] 在时间 t109,使信号 platen\_sh\_1 和 platen\_shf 变为高电平。由于信号 platen\_sh\_1 与 vdec(1) 的逻辑 AND,使第二存储电路 1231L 的 SR 锁存器的输出变为高电平。此外,由于信号 platen\_shf 与 vdecu(0) 的逻辑 AND,使第三存储电路 1240L 和 1240R 的 SR 锁存器的输出变为高电平。

[0063] 通过上述从时间 t107 到时间 t109 执行的操作,与第一行至第三行中所包括的像素对应的第二存储电路 1230L、1230R 和 1231L 以及第三存储电路 1240L 和 1240R 被设置为高电平。

[0064] 应该注意,与第三行中的像素对应的地址使用值 S12 来设置,并且第二存储电路 1231L 使用信号 platen\_sh\_1 来设置,同时,第三存储电路 1240L 和 1240R 使用信号 platen\_shf 来设置。在本实施例中,第一行至第三行中所包括的像素在像素块 1100 中被重置,以便对第一行至第三行进行重置,但是第四行中所包括的像素不被重置。在 PTL1 中所公开的配置中,对于第一行至第三行中的像素,意图使重置晶体管导通,而对于第四行中的像素,意图使重置晶体管截止,因此,可能执行不正确的操作。另一方面,在本发明中,提供第三存储单元,以便控制由像素块中所包括的多个像素共享的晶体管。因此,即使在像素块中所包括的一些像素被重置、但是其它像素不被重置的情况下,也可执行适当的操作。

[0065] 从时间 t110 开始,类似地对第 N 行至第 (N+2) 行执行从时间 t107 开始的操作,以使得第二存储单元和第三存储单元的锁存器被设置。通过上述操作,六行(包括第一行至第三行和第 N 行至第 (N+2) 行)像素被设置为要进行快门操作的像素。在图 3 中,示出了地址信号 vaddr 被设置为 S22、其后变为 R1 的例子。然而,地址信号 vaddr 的值可保持为 S22。

[0066] 定时产生单元 40 使上述 CDS 电路在使已在时间 t105 变为高电平的信号 ptx\_rd\_1 变为低电平之后执行采样操作。然后,在已被 CDS 电路处理的信号被存储在线存储器中之后,定时产生单元 40 控制水平传输单元 50,以使得水平传输单元 50 从输出端子 out 输出与第一行的像素对应的信号。

[0067] 在时间 t111,开始读取第五行中的像素的操作。对第四行执行的读取操作类似于以上参照时间 t100 到 t111 描述的、对第一行执行的读取操作。

[0068] 因为第四行中所包括的像素包括在像素块 1100 的第四行中,所以在时间 t117,供给信号 ptx\_rd\_2,而不是信号 ptx\_rd\_1。此外,从时间 t118 开始,设置与第四行至第六行和第 (N+3) 行至第 (N+5) 行中所包括的像素对应的第二存储单元和第三存储单元。然而,因为第四行中的像素包括在像素块 1100 的第四行中,所以当供给信号 platen\_sh\_1 和 platen\_sh\_2 时的定时不同于对第二行执行的读取操作中的定时。

[0069] 当在时间 t115 使信号 ptx\_sh 和 pres\_sh 变为高电平时,第一行至第三行和第 N 行至第 (N+2) 行中所包括的像素的重置晶体管和传输晶体管导通。因此,第一行至第三行和第 N 行至第 (N+2) 行中的像素被重置。

[0070] 如上所述,根据本实施例,因为地址被存储在第三存储单元中以用于控制同一像素块中所包括的共享元件,所以即使当要被重置的像素和不要被重置的像素包括在同一像素块中时,也可执行适当的操作。

#### [0071] 第二实施例

[0072] 参照附图,将描述本发明的第二实施例。图 4 是图 1 中所示的配置的除了定时产生单元 40 和水平传输单元 50 之外的详细电路图。

[0073] 像素阵列 10 包括布置在其中的多个像素块 2100、2101 等。在图 2 中,提取了按四行一列的阵列布置的像素块。像素块 2100 包括两个像素。第一行的像素包括用作光电转换单元的光电二极管 D2101、用作传输单元的传输晶体管 M2101、用作像素输出单元的放大晶体管 M2103 和用作重置单元的重置晶体管 M2104。当使传输晶体管 M2101 变为导通状态时,存储在光电二极管 D2101 中的电荷被传输到放大晶体管 M2103 的栅极节点。虽然未示出,但是在半导体基板上,放大晶体管 M2103 的栅极与用作传输晶体管 M2101 的第一主电极的 FD 部分连接,并且从光电二极管供给的电荷被传输到 FD 部分。放大晶体管 M2103 具有第一主电极和第二主电极,第一主电极接收电源电压 vcc 的供给,第二主电极与垂直信号线 vline(n) 中的对应一条连接。放大晶体管 M2103 和与垂直信号线 vline(n) 连接的电流源形成输出与 FD 部分的电势对应的信号的源极跟随器。重置晶体管 M2104 具有与 FD 部分连接的第一主电极。当使重置晶体管 M2104 变为导通状态时,重置晶体管 M2104 基于供给其第二主电极的电势来对 FD 部分进行重置。第二行中的像素包括光电二极管 D2102、传输晶体管 M2102、用作像素输出单元的放大晶体管 M2103 和用作重置单元的重置晶体管 M2104。这两个像素共享放大晶体管 M2103 和重置晶体管 M2104。与像素块 2100 一样,像素块 2101、2102 等中的每个具有相邻两行的两个像素,这些像素共享放大晶体管和重置晶体管。从该描述可见,本实施例中的像素与第一实施例中的像素的不同之处在于,每个像素不包括选择晶体管。

[0074] 地址解码器 21L 根据从定时产生单元 40 供给的控制信号来接收从地址产生单元 30 供给的地址信号 vaddr。地址信号 vaddr 为 n 比特信号,并且具有与布置在像素阵列 10

中的像素块中所包括的奇数行的像素之一对应的值。例如,当地址信号 vaddr 具有与“1”对应的值时,地址解码器 21L 输出高电平的信号 vdec(1),并且另一个输出低电平的信号 vdec(0)、vdec(2) 等。

[0075] 第一存储单元 22L 中所包括的多个存储电路 2220L、2221L 等包括 D 锁存器,每个 D 锁存器存储 1 比特数据。存储电路 2220L 中所包括的 D 锁存器具有 D 端子和 G 端子,该 D 端子与地址解码器 21L 的输出 vdec(0) 连接,该 G 端子与用于传送信号 platen\_rd 的线连接。与存储电路 2220L 一样,第一存储电路 2221L、2222L 等每个均包括 D 锁存器。然而,不同的输出从地址解码器 21L 供给不同的 D 锁存器。用于传送信号 platen\_rd 的线也共同地与第一存储电路 2221L、2222L 等连接。

[0076] 第二存储单元 23L 中所包括的第二存储电路 2230L、2231L 等中的每个包括 AND 电路和 SR 锁存器,该 SR 锁存器具有与该 AND 电路的输出连接的 S 端子。AND 电路的第一输入端子与地址解码器 21L 的输出 vdec(0) 连接,第二输入端子与用于传送信号 platen\_sh\_1 的线连接。锁存器的 R 端子与用于传送信号 platrst\_sh 的线连接。用于传送信号 platrst\_sh 的线还共同地与第二存储电路 2231L、2232L 等连接。

[0077] 第三存储单元 24L 中所包括的第三存储电路 2240L、2241L 等中的每个包括 AND 电路和 SR 锁存器,该 SR 锁存器具有与该 AND 电路的输出连接的 S 端子。AND 电路的第一输入端子与地址解码器 21L 的输出 vdec(0) 连接,第二输入端子与用于传送信号 platen\_shf 的线连接。SR 锁存器的 R 端子与用于传送信号 platrst\_sh 的线连接。传送信号 platen\_shf 和 platrst\_sh 的线共同地与第三存储单元中所包括的其它存储电路 2241L、2242L 等连接。

[0078] 像素脉冲产生单元 25L 中所包括的像素脉冲产生电路 2250L、2251L 等中的每个包括 AND 电路和 OR 电路。然而,这些电路的配置不限于本实施例的配置。像素脉冲产生电路 2250L 输出作为信号 vres(0)、pres(0) 和 ptxi(0) 供给像素块 2100 的信号 vresi、presi 和 ptxi。信号 vresi 是作为以下两个逻辑 AND 的逻辑 OR 而产生的:即,存储电路 2220L 的输出与信号 vres\_rd 的逻辑 AND;以及第三存储电路 2240L 的输出与信号 vres\_sh 的逻辑 AND。信号 presi 是作为以下两个逻辑 AND 的逻辑 OR 而产生的:即,存储电路 2220L 的输出与信号 pres\_rd 的逻辑 AND;以及第三存储电路 2240L 的输出与信号 pres\_sh 的逻辑 AND。此外,信号 ptxi 是作为以下两个逻辑的 AND 的逻辑 OR 而产生的:即,存储电路 2220L 的输出与信号 ptx\_rd\_1 的逻辑 AND;以及第二存储电路 2230L 的输出与信号 ptx\_sh 的逻辑 AND。

[0079] 将描述行选择单元 20R 的与行选择单元 20L 的部分不同的部分。

[0080] 因为行选择单元 20R 控制像素阵列 10 中所包括的偶数行的像素,所以从像素脉冲产生单元 25R 输出的信号被输入到偶数行的像素,这不同于行选择单元 20L。因此,信号 platen\_sh\_2 被供给第二存储单元 23R,而不是供给第二存储单元 23L 的信号 platen\_sh\_1。类似地,信号 ptx\_rd\_2 被供给像素脉冲产生单元 25R,而不是供给像素脉冲产生单元 25L 的信号 ptx\_rd\_1。供给行选择单元 20R 的其它信号与供给行选择单元 20L 的其它信号相同。

[0081] 注意,信号 platen\_rd、platen\_sh\_1、platen\_sh\_2、platrst\_sh、platen\_shf、ptx\_rd\_1、ptx\_rd\_2、ptx\_sh、pres\_rd、pres\_sh、vres\_rd 和 vres\_sh 由定时产生单元 40 产生。

[0082] 接下来,将参照图 5 中的定时图来描述图 1 和图 2 中所示的图像拾取器件 1 的操作。以下,当指代字符 L 和 R 没有特别描述时,行选择单元 20L 和 20R 执行相同的操作。

[0083] 这里,将描述下述示例性情况,即,从像素阵列 10 中的第二行、第五行、第八行等

中的像素读取信号，并且对以下像素进行快门操作：即，包括关注像素以及在该关注像素前面和后面的三行（即，第一行至第三行、第四行至第六行、第七行至第九行等）中所包括的像素，另外，还有第 N 行至第 (N+2) 行、第 (N+3) 行至第 (N+5) 行、第 (N+6) 行至第 (N+8) 行等中的像素。注意，在图 5 中所示的时间 t100，第二存储单元 23 和第三存储单元 24 的 SR 锁存器保持低电平。

[0084] 当在时间 t200 从外部设备（未示出）将水平同步信号供给定时产生单元 40 时，定时产生单元 40 在时间 t201 输出信号 pres\_rd，并且在时间 t202 进一步输出信号 platen\_rd。在时间 t202 从地址产生单元 30 供给的地址信号 vaddr 的值 R1 为“0”，因此，仅使地址解码器 21 的输出之中的输出 vdec(0) 变为高电平。也就是说，使第一存储电路的 D 锁存器的输出变为高电平。因此，通过使用 D 锁存器的输出与信号 pres\_rd 的逻辑 AND，使将供给像素块 2100 的信号 pres(0) 变为高电平。

[0085] 当在时间 t203 使信号 vres\_rd 变为高电平时，由于信号 vres\_rd 与第一存储电路 2220 的输出的逻辑 AND，使供给像素块 2100 的信号 vres(0) 变为高电平。

[0086] 在从时间 t203 到时间 t204 的时间段内，像素块 2100 中所包括的重置晶体管 M2104 处于导通状态。因此，FD 部分 F2101 被高电平的信号 vres(0) 重置，并且像素块变为被选状态，在被选状态下，该像素块的输出被供给垂直信号线 vline(n) 中的对应一条。这里，具有与 FD 部分 F2101 的重置对应的电平的信号被供给垂直信号线 vline(n)，并且该信号包括由放大晶体管 M2103、重置晶体管 M2104 和 FD 部分 F2101 产生的噪声分量。如果水平传输单元 50 包括 CDS 电路，则对直到时间 t205 为止供给垂直信号线 vline(n) 的信号进行采样。

[0087] 当在时间 t205 使信号 ptx\_rd\_2 变为高电平时，由于信号 ptx\_rd\_2 与第一存储电路 2220R 的锁存器的输出的逻辑 AND，使将供给像素块 2100 的信号 ptx2(0) 变为高电平，因此，使传输晶体管 M2102 变为导通状态。通过这样，存储在光电二极管 D2102 中的电荷被传输到 FD 部分 F2101，因此，FD 部分 F2101 的电势改变，并且供给垂直信号线 vline(n) 的信号的电平改变。此时，该信号的电平相对于在 FD 部分 F2101 被重置之后立即获得的电平改变与通过光电转换产生的电荷量对应的量。因此，噪声分量可通过获得该信号与存储在 CDS 电路中的噪声分量之间的差来降低。以这种方式，完成从第二行的像素读取信号的操作。

[0088] 在时间 t206，从地址产生单元 30 供给的地址信号 vaddr 的值从 R1 变为 S11。值 S11 表示要被重置（将进行快门操作）的像素的地址，并且值 S11 在此刻为“0”。因此，在地址解码器 21 的输出之中，仅使输出 vdec(0) 变为高电平。

[0089] 此外，在时间 t206，使信号 latrst\_sh 变为高电平。通过这样，第二存储单元 23 和第三存储单元 24 的 SR 锁存器被重置。

[0090] 在时间 t207，使信号 platen\_sh\_1 和 platen\_shf 变为高电平。分别地，由于信号 platen\_sh\_1 与输出 vdec(0) 的逻辑 AND 和信号 platen\_shf 与输出 vdec(0) 的逻辑 AND，使第二存储电路 2230L 的 SR 锁存器的输出和第三存储电路 2240 的 SR 锁存器的输出变为高电平。

[0091] 其后，从地址产生单元 30 供给的地址信号 vaddr 的值变为 S12。这里，值 S12 为“0”。因此，在地址解码器 21 的输出之中，仅使信号输出 vdec(0) 变为高电平。

[0092] 在时间 t208，使信号 platen\_sh\_2 和 platen\_shf 变为高电平。使第二存储电路

2230R 的 SR 锁存器的输出和第三存储电路 2240 的 SR 锁存器的输出变为高电平。

[0093] 其后,从地址产生单元 30 供给的地址信号 vaddr 的值变为 S13。这里,值 S13 为“1”。因此,在从地址解码器 21 输出的信号之中,仅使信号 vdec(1) 变为高电平。

[0094] 在时间 t209,使信号 platen\_sh\_1 和 platen\_shf 变为高电平。分别地,由于信号 platen\_sh\_1 与信号 vdec(1) 的逻辑 AND 和信号 platen\_shf 与信号 vdec(1) 的逻辑 AND,使第二存储电路 2231L 的 SR 锁存器的输出和第三存储电路 2241 的 SR 锁存器的输出变为高电平。

[0095] 通过在从时间 t206 到时间 t209 的时间段内执行的操作,第二存储电路 2230L、2230R 和 2231L 以及第三存储电路 2240L、2240R 和 2241L 被设置为高电平。

[0096] 应该注意,与第三行的像素对应的地址使用值 S13 来设置,并且第二存储电路 2231L 使用信号 platen\_sh\_1 来设置,同时,第三存储电路 2241L 和 2241R 使用信号 platen\_shf 来设置。因为在本实施例中第一行至第三行被重置,所以在像素块 2101 中,这些行之一(第三行)中的像素被重置,另一行(第四行)中的像素不被重置。就 PTL1 中所公开的配置而言,对于第三行中所包括的像素,意图使重置晶体管导通,而对于第四行中所包括的像素,意图使重置晶体管导通,因此,可能执行不正确的操作。另一方面,在本发明中,提供第三存储单元来控制由像素块中所包括的多个像素共享的晶体管。通过这样,即使当像素块中所包括的一些像素被重置、而同一像素块中所包括的其它像素不被重置时,也可执行适当的操作。

[0097] 从时间 t210 开始,对第 N 行至第 (N+2) 行执行相同的操作,并且对应的第二存储单元和第三存储单元的锁存器被设置。通过该操作,六行(即,第一行至第三行和第 N 行至第 (N+2) 行)中的像素被设置为要进行快门操作的像素。在图 5 中,示出了地址信号 vaddr 的值在地址信号 vaddr 被设置为值 S23 之后变为 R1 的情况。然而,该值可保持为 S23。

[0098] 定时产生单元 40 使上述 CDS 电路在使已在时间 t205 变为高电平的信号 ptx\_rd\_2 变为低电平之后执行采样操作。然后,定时产生单元 40 控制水平传输单元 50,以使得在已被 CDS 电路处理的信号被存储在线存储器中之后,从输出端子 out 输出与第二行中的像素对应的信号。

[0099] 在时间 t211,开始读取第五行的像素的操作。对第五行执行的读取操作与对第二行执行的、在从时间 t200 到时间 t211 的时间段内执行的读取操作相同。

[0100] 因为第五行中的像素包括在像素块 2102 的第一行中,所以在时间 t218 供给信号 ptx\_rd\_1,而不是信号 ptx\_rd\_2。此外,虽然从时间 t219 开始设置与第四行至第六行和第 (N+3) 行至第 (N+5) 行对应的第二存储单元和第三存储单元,但是因为第四行中的像素对应于像素块 2101 的第二行,所以当供给信号 platen\_sh\_1 和 platen\_sh\_2 时的定时不同于对第二行执行的读取操作时的定时。

[0101] 当在时间 t214 处信号 vres\_sh 变为高电平时,由于信号 vres\_sh 与和第一行至第三行以及第 N 行至第 (N+2) 行对应的第三存储单元 24 的相应输出的相应逻辑 AND,所以使与第一行至第三行和第 N 行至第 (N+2) 行中的像素对应的信号 vresi 变为高电平。

[0102] 当使信号 ptx\_sh 和 pres\_sh 变为高电平时,分别地,由于信号 ptx\_sh 和 pres\_sh 与第二存储单元的相应输出和第三存储单元的各个输出的逻辑 AND,所以第一行至第三行和第 N 行至第 (N+2) 行中的像素的重置晶体管和传输晶体管导通。通过这样,第一行至第

三行和第 N 行至第 (N+2) 行中的像素被初始化。其后,使信号 ptx\_sh 变为低电平,并且传输晶体管截止。

[0103] 虽然在时间 t216 使信号 vres\_sh 变为低电平,但是因为直到时间 t217 为止信号 pres\_sh 都处于高电平状态,所以第一行至第三行和第 N 行至第 (N+2) 行中的像素的 FD 部分的电势变为与低电平的信号 vres\_sh 对应的电势。因为低电平的信号 vres\_sh 的电势被设置为使得放大晶体管不导通,所以在从时间 t216 到时间 t217 的时间段内使第一行至第三行和第 N 行至第 (N+2) 行中的像素变为非选择状态。也就是说,要进行快门操作的像素的地址通过执行在时间 t206 开始的操作来存储,并且在时间 t215 开始的操作中执行快门操作,其后,直到时间 t217 为止执行将像素设置为非选择状态的操作。

[0104] 如上所述,根据本实施例,因为地址被存储在第三存储单元中以用于控制同一像素块中的共享元件,所以即使当同一像素块中的一些像素被重置、而其它像素不被重置时,也可执行适当的操作。

#### [0105] 第三实施例

[0106] 将参照附图来描述本发明的第三实施例。本实施例的操作不同于第二实施例的操作。以下,将主要描述与第二实施例的部分不同的部分。

[0107] 图 6 是示出根据本实施例的图像拾取器件的操作的定时图。当执行与图 5 中所示的操作相同的操作时的定时用与图 5 中所示的标号相同的标号来表示。与第二实施例一样,将描述下述示例性情况,即,从像素阵列 10 中的第二行的像素、第五行的像素、第八行的像素等读取信号,并且对与以下三行对应的像素进行快门操作(光电二极管的重置),所述三行包括具有其中执行读取的像素的关注行以及该关注行前面和后面的行,即,第一行至第三行、第四行至第六行、第七行至第九行,另外,还有第 N 行至第 (N+2) 行、第 (N+3) 行至第 (N+5) 行、第 (N+6) 行至第 (N+8) 行。在图 6 中所示的时间 t200,第二存储单元 23 和第三存储单元 24 的 SR 锁存器保持低电平。

[0108] 在本实施例中,从时间 t206 之后的时间 t321 开始的操作不同于第二实施例。

[0109] 在第二实施例中,在时间 t207,设置第二存储电路 2230L 和第三存储电路 2240 的 SR 锁存器,其后,在时间 t208,设置第二存储电路 2230R 和第三存储电路 2240 的 SR 锁存器。

[0110] 另一方面,在本实施例中,在时间 t321,使信号 platen\_sh\_1 和 platen\_sh\_2 变为高电平,由此设置第二存储电路 2230L 和 2230R 的 SR 锁存器。在第二实施例的操作中,三个操作是设置第一行至第三行的快门行地址所需的。然而,根据本实施例,可通过两个操作设置三个快门行的地址。

[0111] 根据本实施例,因为地址被存储在第三存储单元中以使得同一像素块中的共享元件被控制,所以即使当同一像素块中一些像素被重置、而其它像素不被重置,也可执行适当的操作。此外,根据本实施例,因为可在当与第二实施例的时间段相比更短的时间段内设置快门行地址,所以可获得图像拾取器件的高速性能。

#### [0112] 第四实施例

[0113] 将参照附图来描述本发明的第四实施例。图 7 是图 1 中所示的除了定时产生单元 40 和水平传输单元 50 之外的配置的详细电路图。以下,将主要描述与第二实施例不同的部分。

[0114] 在本实施例的图像拾取器件中,相邻四行的像素共享放大晶体管 M4103 和重置晶

体管 M4104，并且构成单个像素块，这与图 4 中所示的图像拾取器件不同。此外，在本实施例中，放大晶体管 M4103 的第一主电极和重置晶体管 M4104 的第一主电极彼此连接，并且接收电源电压 vcc。

[0115] 此外，地址解码器的配置不同于图 4 中所示的图像拾取器件的地址解码器 21。本实施例的地址解码器 21L 根据从定时产生单元 40 供给的控制信号来接收从地址产生单元 30 输出的地址信号 vaddr。地址信号 vaddr 是例如 n 比特信号，并且使用高位的 n-1 个比特来表示像素块，并且使用 n 个比特来表示像素块中所包括的像素。在图 7 中，值 vdecu(x) 使用高位的 n-1 个比特( $0 \leq x \leq (2^{(n-1)})-1$ ) 来设置，并且值 vdec(y) 使用 n 个比特( $0 \leq y \leq (2^n)-1$ ) 来设置。注意，当像素块包括两个像素时，像素块用具有 m 个比特的地址信号的 m 个比特来表示。

[0116] 此外，本实施例的图像拾取器件与第二实施例的图像拾取器件的不同之处在于，第一存储单元 22L 具有选择器，这些选择器选择输入到 D 锁存器的 D 端子的信号，以使得存储在同一像素块中所包括的多个光电二极管中的电荷可彼此相加。

[0117] 第一存储单元 22L 包括不包括选择器的第一存储电路 4220L、4222L 等和包括选择器的第一存储电路 4221AL、4223AL 等。第一存储电路 4220L 中所包括的 D 锁存器具有 D 端子和 G 端子，该 D 端子与地址解码器 21L 的输出 vdec(0) 连接，该 G 端子与用于传送信号 platen\_rd 的线连接。另一方面，第一存储电路 4221AL 中所包括的 D 锁存器具有 D 端子和 G 端子，该 D 端子与选择器 41SEL 的输出端子连接，该 G 端子与用于传送信号 platen\_rd 的线连接。选择器 41SEL 与地址解码器 4210L 的输出端子之中的输出端子 vdec(0) 和输出端子 vdec(1) 连接，并且使用信号 fdadd 将输出端子 vdec(0) 或 vdec(1) 的输出传送到 D 锁存器。当信号 fdadd 处于高电平时，选择器 41SEL 输出信号 vdec(0)，而当信号 fdadd 处于低电平时，选择器 41SEL 输出信号 vdec(1)。第一存储电路 4222L、4223AL 等被类似地配置。注意，用于传送信号 platen\_rd 的线共同地与第一存储单元 22L 中所包括的其它存储电路 4222L、4223AL 等连接。此外，用于传送信号 fdadd 的线还与第一存储单元 22L 中所包括的其它存储电路 4223AL 等连接。

[0118] 虽然作为例子描述了像素脉冲产生单元 25L 中所包括的像素脉冲产生电路 4250L、4251L 等中的每个具有 AND 电路和 OR 电路的情况，但是这些电路的配置不限于本实施例的配置。像素脉冲产生电路 4250L 输出作为信号 pres(0)、ptx1(0) 和 ptx3(0) 供给像素块 4100 的信号 presi、ptx1i 和 ptx2i。信号 presi 是作为以下两个逻辑 AND 的逻辑 OR 而产生的：即，输出第一存储电路 4220L 与 4221L 的逻辑 OR 的 OR 电路的输出与信号 pres\_rd 的逻辑 AND；以及第三存储电路 4240L 的输出与信号 pres\_sh 的逻辑 AND。信号 ptx1i 是作为以下两个逻辑 AND 的逻辑 OR 而产生的：即，第一存储电路 4220L 的输出与信号 ptx\_rd\_1 的逻辑 AND；以及第二存储电路 4230L 的输出与信号 ptx\_sh 的逻辑 AND。信号 ptx2i 是作为以下两个逻辑 AND 的逻辑 OR 而产生的：即，第一存储电路 4221L 的输出与信号 ptx\_rd\_1 的逻辑 AND；以及第二存储电路 4231L 的输出与信号 ptx\_sh 的逻辑 AND。

[0119] 将描述行选择单元 20R 与行选择单元 20L 的部分不同的部分。因为行选择单元 20R 控制像素阵列 10 中的偶数行的像素，所以从像素脉冲产生单元 25R 输出的信号被输入到偶数行的像素，这不同于行选择单元 20L。因此，第二存储单元 23R 接收信号 platen\_sh\_2，而不是供给第二存储单元 23L 的信号 platen\_sh\_1。类似地，像素脉冲产生单元 25R 接收信号

ptx\_rd\_2,而不是供给像素脉冲产生单元 25L 的信号 ptx\_rd\_1。供给行选择单元 20R 的其它信号与供给行选择单元 20L 的其它信号相同。

[0120] 注意,信号 platen\_rd、platen\_sh\_1、platen\_sh\_2、platrst\_sh、platen\_shf、fdadd、ptx\_rd\_1、ptx\_rd\_2、ptx\_sh、pres\_rd、pres\_sh 和 vcc 由定时产生单元 40 控制。

[0121] 接下来,将参照图 8 中所示的定时图来描述图 1 和图 7 中所示的图像拾取器件的操作。以下,当指代字符 L 和 R 没有特别描述时,行选择单元 20L 和 20R 执行相同的操作。

[0122] 这里,将描述下述示例性情况,即,第一行和第三行、第二行和第四行等中的像素的信号彼此相加,并且读取所得的信号,并且除了第一行和第三行、第二行和第四行等中的像素之外,还对第 N 行和第 (N+2) 行、第 (N+1) 行和第 (N+3) 行等中的像素进行快门操作(光电二极管的重置)。在下述时间段期间,信号 fdadd 处于高电平,选择器 41SEL、43SEL 等分别输出信号 vdec(0)、vdec(2) 等。假设,在图 8 中,在时间 t300,第二存储单元 23 和第三存储单元 24 的 SR 锁存器保持低电平。

[0123] 首先,当在时间 t400 从外部设备(未示出)将水平同步信号供给定时产生单元 40 时,定时产生单元 40 在时间 401 输出信号 ptx\_sh 和 pres\_sh。然而,因为第二存储单元和第三存储单元的 SR 锁存器保持低电平,所以从像素脉冲产生单元 25 输出的信号 presi、ptx1i 和 ptx2i 处于低电平。

[0124] 在时间 t402,使信号 vcc 变为低电平,但是不对任何像素块执行将状态变为非选择状态的操作,因为信号 presi 处于低电平。

[0125] 在时间 t403,使信号 pres\_rd 变为高电平,并且在时间 t404,使信号 platen\_rd 变为高电平。因为 R1 为“0”,所以在地址解码器 21L 的输出之中,仅使输出 vdecu(0) 和 vdec(0) 变为高电平。这里,因为信号 fdadd 处于高电平,所以选择器 41SEL 输出信号 vdec(0)。因此,当在时间 t404 使信号 platen\_rd 变为高电平时,使第一存储电路 4220L 和 4221AL 的 D 锁存器的输出变为高电平。因为信号 pres\_rd 处于高电平,所以由于信号 pres\_rd 与第一存储电路 4220L 的输出的逻辑 AND,使信号 pres(0) 变为高电平。通过这样,使像素块 4100 的重置晶体管 M4104 变为导通状态。在这种状态下,当使电源电压 vcc 变为高电平时,FD 部分 F4101 被电源电压 vcc 重置,并且像素块变为被选状态,在被选状态下,从像素块输出的信号被供给垂直信号线 vline(n) 中的对应一条。供给垂直信号线 vline(n) 的信号具有与 FD 部分 F4101 的重置对应的电平,并且该信号包括由放大晶体管 M4103、重置晶体管 M4104 和 FD 部分 F4101 产生的噪声分量。在包括具有 CDS 电路的水平传输单元 50 的配置中,对供给垂直信号线 vline(n) 的信号进行采样,直到时间 t405 为止。

[0126] 当在时间 t405 使信号 ptx\_rd\_1 变为高电平时,由于信号 ptx\_rd\_1 与第一存储电路 4220L 的输出的逻辑 AND,使信号 ptx1(0) 变为高电平,并且另外,由于信号 ptx\_rd\_1 与第一存储电路 4221AL 的输出的逻辑 AND,使信号 ptx3(0) 变为高电平。通过这样,使传输晶体管 M4101-1 和 M4101-3 变为导通状态,并且存储在光电二极管 D4101 和 D4103 中的电荷被传输到 FD 部分 F4101。由于被传输到 FD 部分 F4101 的电荷,FD 部分 F4101 的电势改变,因此,供给垂直信号线 vline(n) 的信号的电平改变。该信号相对于在 FD 部分 F4101 被重置之后获得的电平改变与通过光电转换产生的电荷量对应的量。因此,噪声分量可通过获得该信号与存储在 CDS 电路中的噪声分量之间的差来降低。以这种方式,从第一行的像素和第三行的像素读取信号的操作完成。

[0127] 在时间 t406, 从地址产生单元 30 供给的地址信号 vaddr 的值从 R1 变为 S11。值 S11 表示要被重置(将进行快门操作)的像素的地址, 并且在此刻为“0”。因此, 在地址解码器 21 的输出之中, 仅使信号 vdecu(0) 和 vdec(0) 变为高电平。

[0128] 此外, 在时间 t406, 使信号 platrst\_sh 变为高电平。通过这样, 第二存储单元和第三存储单元的 SR 锁存器被重置。

[0129] 在时间 t407, 使信号 platen\_sh\_1 和 platen\_shf 变为高电平, 因此, 使第二存储电路 4230L 以及第三存储电路 4240L 和 4240R 的 SR 锁存器的输出变为高电平。

[0130] 其后, 地址信号 vaddr 的值从 S11 变为 S12。这里, 值 S12 为“1”, 并且在地址解码器 21 的输出之中, 仅使信号 vdecu(0) 和 vdec(1) 变为高电平。

[0131] 在时间 t408, 使信号 platen\_sh\_1 和 platen\_shf 变为高电平, 因此, 使第二存储电路 4231L 以及第三存储电路 4240L 和 4240R 的 SR 锁存器变为高电平。

[0132] 通过从时间 t406 到时间 t408 执行的操作, 使与第一行和第三行对应的第二存储电路 4230L 和 4231L 以及第三存储电路 4240L 和 4240R 变为高电平。

[0133] 应该注意, 与第三行中的像素对应的地址使用值 S12 来设置, 第二存储电路 4231L 使用信号 platen\_sh\_1 来设置, 同时, 第三存储电路 4240L 和 4240R 使用信号 platen\_shf 来设置。因为在本实施例中要对像素块 4100 中的第一行和第三行进行重置, 所以第一行和第三行中的像素被重置, 并且第二行和第四行中的像素不被重置。就 PTL1 中所公开的配置而言, 对于第一行和第三行中所包括的像素, 意图使重置晶体管导通, 而对于第二行和第四行中所包括的像素, 意图使重置晶体管截止, 因此, 可能执行不正确的操作。另一方面, 在本发明中, 提供第三存储单元来控制由像素块中所包括的多个像素共享的晶体管。通过这样, 即使当像素块中所包括的一些像素被重置、而该像素块中所包括的其它像素不被重置时, 也可执行适当的操作。

[0134] 从时间 t409 开始也对第 N 行至第 (N+2) 行执行从时间 t407 开始执行的操作, 以使得第二存储单元和第三存储单元的对应锁存器被设置。通过上述操作, 总共四行(即, 第一行和第三行以及第 N 行和第 (N+2) 行) 像素被设置为要进行快门操作的像素。这里, 因为第 N 行的像素位于像素块的偶数行中, 所以供给信号 platen\_sh\_2, 而不是信号 platen\_sh\_1。虽然图 8 示出了已被设置为 S22 的地址信号 vaddr 的值变为 R1 的情况, 但是该值可保持为 S22。

[0135] 定时产生单元 40 使上述 CDS 电路在使已在时间 t405 变为高电平的信号 ptx\_rd\_1 变为低电平之后执行采样操作。然后, 定时产生单元 40 控制水平传输单元 50, 以使得在被 CDS 电路处理的信号被存储在线存储器中之后, 水平传输单元 50 从输出端子 out 输出通过将与第一行的像素和第三行的像素对应的信号彼此相加而获得的信号。

[0136] 在时间 t411, 对第二行的像素和第四行的像素启动读取操作。对第二行和第四行执行的读取操作与对第一行和第三行执行的、从时间 t400 到时间 t411 执行的读取操作相同。

[0137] 因为第二行的像素和第四行的像素位于像素块 4100 的第二行和第四行中, 所以在时间 416, 供给信号 ptx\_rd\_2, 而不是信号 ptx\_rd\_1。

[0138] 此外, 虽然从时间 t417 开始设置与第二行和第四行以及第 (N+1) 行和第 (N+3) 行对应的第二存储单元和第三存储单元, 但是因为第二行的像素和第四行的像素位于像素块

4100 的第二行和第四行中,所以当供给信号 platen\_sh\_1 和 platen\_sh\_2 时的定时不同于对第二行执行的读取操作。这里假设第 (N+1) 行的像素和第 (N+3) 行的像素对应于像素块的奇数行的像素。

[0139] 当在时间 t412 使信号 ptx\_sh 和 pres\_sh 变为高电平时,由于信号 ptx\_sh 和 pres\_sh 与第二存储单元或第三存储单元的输出的逻辑 AND,第一行和第三行以及第 N 行和第 (N+2) 行中的像素的重置晶体管和传输晶体管导通。通过这样,第一行和第三行以及第 N 行和第 (N+2) 行中的像素被重置。

[0140] 如上所述,根据本实施例,因为地址被存储在第三存储单元中以用于控制在同一像素块中被共享的元件,所以即使当同一像素块中的一些像素被重置、而同一像素块中的其它像素不被重置时,也可执行合适的操作。此外,根据本实施例,因为选择器包括在第一存储单元中,所以同一像素块中所包括的像素的电荷可在 FD 部分中彼此相加。

[0141] 在本实施例和前述实施例中,像素选择单元 20L 和 20R 布置在相对侧,其中为了简化绘图,像素阵列 10 置于它们之间。然而,行选择单元 20L 和 20R 可布置在像素阵列 10 的一侧。

#### [0142] 第五实施例

[0143] 将参照附图来描述本发明的第五实施例。图 9 是图 1 中所示的除了定时产生单元 40 和水平传输单元 50 之外的配置的详细电路图。以下,将主要描述与第二实施例不同的部分。

[0144] 在本实施例的图像拾取器件中,相邻两行中的像素共享放大晶体管 M5103 和重置晶体管 M5104,并且构成具有与图 4 中所示的配置相同的配置的像素块。

[0145] 本实施例与第二实施例的不同之处在于,对于像素阵列,仅提供单个行选择单元 20。

[0146] 此外,行选择单元 20 包括地址解码器 21、第一存储单元 22、第二存储单元 23、第三存储单元 24 和像素脉冲产生单元 25。地址解码器 21 对由地址产生单元 30 产生的地址值进行解码,并且选择与该地址值对应的地址。

[0147] 第一存储单元 22 存储由地址解码器 21 执行的解码的结果。从第一存储单元 22 输出的信号用作像素阵列 10 中所包括的、包括要从其读取信号的像素的行的地址。

[0148] 第二存储单元 23 存储由地址解码器 21 执行的解码的结果。从第二存储单元 23 输出的信号用作像素阵列 10 中所包括的、包括具有要被重置的光电转换单元的像素的行的地址。

[0149] 第三存储单元 24 存储由地址解码器 21 执行的解码的结果。从第三存储单元 24 输出的信号用作包括像素阵列 10 中的执行非选择操作的像素的 FD 部分的像素块的地址。

[0150] 地址产生单元 30 根据从定时产生单元 40 供给的信号来产生地址值,并且将该地址值供给行选择单元 20。

[0151] 定时产生单元 40 供给用于控制地址产生单元 30 何时产生地址值的定时的信号,并且供给用于控制行选择单元 20 和水平传输单元 50 何时操作的定时的信号。

[0152] 水平传输单元 50 用于从输出端子 out 输出通过垂直信号线 vline(n) 中的对应一条从像素阵列 10 读取的信号。具体地讲,水平传输单元 50 包括对于各条垂直信号线 vline(n) 提供的放大器、AD 转换器、CDS 电路、采样保持电路等,并且使用水平扫描电路将

信号连续地输出到输出端子 out。

[0153] 地址解码器 21 根据从定时产生单元 40 供给的控制信号来接收从地址产生单元 30 输出的地址信号 vaddr。地址信号 vaddr 是 n 比特信号,其使用高位的 n-1 个比特来表示像素块,并且使用低位的 n 个比特来表示该像素块中的像素。在图 9 中,值 vdecu(x) 使用高位的 n-1 个比特来设置,并且值 vdec(y) 使用低位的 n 个比特来设置。注意,当像素块包括两个像素时,像素块用 m 个比特的地址信号的 m 个比特来表示。

[0154] 第一存储单元 22 中所包括的多个第一存储电路 5220、5221 等中的每个包括存储 1 比特数据的 D 锁存器。第一存储电路 5220 中所包括的 D 锁存器具有 D 端子和 G 端子,该 D 端子与地址解码器 21 的输出 vdec(0) 连接,该 G 端子与用于供给信号 platen\_rd 的线连接。虽然与存储电路 5220 类似地,第一存储电路 5221、5222 等还包括各自的 D 锁存器,但是 D 端子与地址解码器 21 的不同输出连接。用于传送信号 platen\_rd 的线共同地与第一存储单元中所包括的其它存储电路 5221、5222 等连接。

[0155] 第二存储单元 23 中所包括的第二存储电路 5230、5231 等中的每个具有 AND 电路和 SR 锁存器,该 SR 锁存器具有与该 AND 电路的输出连接的 S 端子。AND 电路的第一输入端子与地址解码器 21L 的输出 vdec(0) 连接,并且 AND 电路的第二输入端子与用于传送信号 platen\_sh 的线连接。SR 锁存器的 R 端子与用于传送信号 platrst 的线连接。用于传送信号 platrst 的线还共同地与第二存储单元中所包括的其它第二存储电路 5231、5232 等连接。

[0156] 第三存储单元 24 中所包括的第三存储电路 5240、5241 等中的每个包括 AND 电路和 SR 锁存器,该 SR 锁存器具有与该 AND 电路的输出连接的 S 端子。AND 电路的第一输入端子与地址解码器 21 的输出 vdecu(0) 连接,并且 AND 电路的第二输入端子与用于传送信号 platen\_rdf 的线连接。SR 锁存器的 R 端子与用于传送信号 platrst 的线连接。用于传送信号 platen\_rd 和 platrst 的线还共同地与第三存储单元中所包括的其它第三存储电路 5241、5242 等连接。

[0157] 虽然作为例子示出了像素脉冲产生单元 25 中所包括的像素脉冲产生电路 5250、5251 等中的每个包括 AND 电路和 OR 电路的情况,但是这些电路的配置不限于该例子的配置。像素脉冲产生电路 5250 输出分别作为信号 vres(0)、pres(0)、ptx1(0) 和 ptx2(0) 供给像素块 5100 的信号 vresi、presi、ptx1i 和 ptx2i。信号 vresi 是作为以下两个逻辑 AND 的逻辑 OR 而产生的 :即,第一存储电路 5220 与 5221 的逻辑 OR 与信号 vres\_rd 的逻辑 AND ;以及第二存储电路 5230 与 5231 的逻辑 OR 与信号 vres\_sh 的逻辑 AND。信号 presi 是作为以下两个逻辑 AND 的逻辑 OR 而产生的 :即,(输出第一存储电路 5220 与 5221 的逻辑 OR 的) OR 电路的输出与第三存储电路 5240 的输出的逻辑 OR 与信号 pres\_rd 的逻辑 AND ;以及输出第二存储电路 5230 与 5231 的逻辑 OR 的 OR 电路的输出与信号 pres\_sh 的逻辑 AND。然后,信号 ptx1i 是作为以下两个逻辑 AND 的逻辑 OR 而产生的 :即,第一存储电路 5220 的输出与信号 ptx\_rd 的逻辑 AND ;以及,第二存储电路 5230 的输出与信号 ptx\_sh 的逻辑 AND。信号 ptx2i 是作为以下两个逻辑 AND 的逻辑 OR 而产生的 :即,第一存储电路 5221 与信号 ptx\_rd 的逻辑 AND ;以及第二存储电路 5221 的输出与信号 ptx\_sh 的逻辑 AND。

[0158] 注意,信号 vres\_rd、vres\_sh、platen\_rd、platen\_sh、platrst、platen\_rdf、ptx\_rd、ptx\_sh、pres\_rd 和 pres\_sh 由定时产生单元 40 产生。

[0159] 接下来,将参照图 10 中所示出的定时图来描述图 9 中所示的图像拾取器件的操作。

[0160] 这里,将描述下述示例性情况,即,从像素阵列 10 中的第一行、第四行、第七行等中的像素读取信号,并且在对第四行执行读取操作的同时对第六行至第八行中的像素执行快门操作(光电二极管的重置),在对第七行执行读取操作的同时对第十一行至第十三行中的像素执行快门操作,并且类似地对后面的像素执行快门操作。在图 10 中,在时间 t500,第二存储单元 23 和第三存储单元 24 的 SR 锁存器保持低电平。

[0161] 首先,当在时间 t500 从外部设备(未示出)将水平同步信号供给定时产生单元 40 时,在时间 t501,定时产生单元 40 使信号 platen\_rd 变为高电平。因为在当使信号 platen\_rd 变为低电平时的定时从地址产生单元 30 供给的地址信号 vaddr 的值 R1 为“0”,所以仅使地址解码器 21 的输出之中的输出 vdecu(0) 和 vdec(0) 变为高电平。也就是说,使第一存储电路 5220 的 D 锁存器的输出变为高电平。

[0162] 因为在时间 t501 使信号 vres\_rd 变为高电平,所以由于信号 vres\_rd 与第一存储电路 5240 的输出的逻辑 AND,使信号 vres(0) 变为高电平。

[0163] 此外,虽然在时间 t501 使信号 vres\_sh 变为高电平,但是除了信号 vres(0) 之外的信号 vres(n) 保持为低电平,因为第二存储单元 23 的 SR 锁存器输出低电平的信号。

[0164] 其后,当使信号 pres\_rd 变为高电平时,由于信号 pres\_rd 与第一存储电路 5220 的输出的逻辑 AND,使信号 pres(0) 变为高电平。通过这样,使重置晶体管 M5104 变为导通状态,并且 FD 部分根据处于高电平的信号 vres(0) 被重置。这里,具有与 FD 部分 F5101 的重置对应的电平的信号被供给垂直信号线 vline(n) 中的对应一条。该信号包括由放大晶体管 M5103、重置晶体管 M5104 和 FD 部分 5101 产生的噪声分量。当水平传输单元 50 包括 CDS 电路时,对到时间 t505 为止供给垂直信号线 vline(n) 的信号进行采样。

[0165] 此外,虽然使信号 ptx\_sh 和 pres\_sh 与信号 pres\_rd 一起变为高电平,但是第二单元和第三单元的 SR 锁存器的除了信号 pres(0) 之外的信号 pres(n) 以及所有信号 ptx1(n) 和 ptx2(n) 保持低电平。

[0166] 当在时间 t502 使信号 platrst 变为高电平时,第二存储单元和第三存储单元的 SR 锁存器被重置。

[0167] 当在时间 t503 使信号 platen\_rdf 变为高电平时,由于信号 platen\_rdf 与信号 vdecu(0) 的逻辑 AND,第三存储电路 5240 的 SR 锁存器被设置为高电平。

[0168] 当在时间 t504 使信号 ptx\_rd 变为高电平时,由于信号 ptx\_rd 与第一存储电路 5220 的输出的逻辑 AND,使信号 ptx1(0) 变为高电平。通过这样,使传输晶体管 M5101 变为导通状态,并且存储在光电二极管 D5101 中的电荷被供给 FD 部分 F5101。因此,FD 部分 F5101 的电势改变,并且供给垂直信号线 vline(n) 中的对应一条的信号的电平改变。因为该信号相对于在 FD 部分 F5101 被重置之后立即获得的电平改变与通过光电转换产生的电荷量对应的量,所以噪声分量可通过获得该信号与存储在 CDS 电路中的噪声分量之间的差来降低。以这种方式,从第一行中的像素读取信号的操作完成。

[0169] 在时间 t505,从地址产生单元 30 供给的地址信号 vaddr 的值从 R1 变为 S11。值 S11 表示在下一水平同步时间段内要被重置(将进行快门操作)的像素的地址,并且在本实施例中,值 S11 为“5”。因此,在地址解码器 21 的输出之中,仅使信号 vdecu(2) 和 vdec(5)

变为高电平，并且与第六行的像素对应的第一存储电路至第三存储电路执行操作。

[0170] 在时间 t506，使信号 platen\_sh 变为高电平，因此，仅第二存储电路 5235(未示出)的 SR 锁存器被设置为高电平。

[0171] 从时间 t507 开始，地址信号 vaddr 改变，以便对应于第七行的像素、第八行的像素、第 N 行至第 (N+2) 行的像素，并且第二存储电路根据信号 platen\_sh 的定时被设置为高电平。

[0172] 其后，在当对第四行执行读取操作时的时间 t511 之后的时间段内，以及在当所有信号 ptx\_sh、pres\_sh 和 vres\_sh 都处于高电平时的时间段内，第六行至第八行以及第 N 行至第 (N+2) 行中的像素的光电二极管被重置。

[0173] 应该注意，使用信号 platen\_rdf 将与在随后的水平同步时间段内进行非选择操作的像素的 FD 部分对应的地址存储在第三存储单元中。在从时间 t511 开始对第四行的像素执行读取操作之前，应该将包括已在前面的水平同步时间段内进行了读取操作的第一行的像素的像素块设置为非选择状态。这是因为，如果不使包括第一行的像素的像素块 5100 变为非选择状态，则第一行的像素和第四行的像素的放大晶体管导通，因此，不能适当地确定与第一行的像素对应的信号或者与第四行的像素对应的信号是否已被供给垂直信号线 vline(n)，因此，可能执行不正确的操作。

[0174] 例如，在图 5 中所示的操作中，在从时间 t212 到时间 t213 的时间段内，执行将与在前面的水平同步时间段内读取的像素对应的像素块设置为非选择状态的操作。另一方面，在本实施例中，因为第三存储单元存储与将在随后的水平同步时间段内被重置的像素对应的地址，所以可省略从时间 t212 到时间 t213 的时间段，并且可在从时间 t512 开始的时间段内执行将在前面的水平同步时间段内读取的像素设置为非选择状态的操作。

[0175] 如上所述，根据本实施例，可缩短将在前面的水平同步时间段内读取的像素设置为非选择状态的操作所需的时间段，因此，可缩短水平消隐时间段。

[0176] 此外，第一实施例至第四实施例的任何一个概念可与本实施例的概念组合。也就是说，可使用两个第三存储单元。类似地，可使用三个或更多个第三存储单元，以便控制由多个像素共享的元件。

[0177] 注意，前述实施例中的第一存储单元至第三存储单元中所包括的锁存器不限于这些例子。例如，SR 锁存器可包括在所有第一存储单元至第三存储单元中。如图所示，在对于每个像素列提供单条垂直信号线的配置中，仅从单行的像素读取信号。因此，因为 D 锁存器包括在第一存储单元(其存储包括要从其读取信号的像素的行的地址)中，所以可同时执行设置和重置。此外，因为 SR 锁存器包括在第二存储单元和第三存储单元中，所以当解码器的输出处于高电平时，锁存器被设置，而当解码器的输出处于低电平时，保持当前值。此外，通过将相同的重置信号供给多个 SR 锁存器，可同时对这些锁存器的状态进行重置。

[0178] 第六实施例

[0179] 将参照图 11 来示意性地描述第六实施例的图像拾取系统。

[0180] 图像拾取系统 800 包括光学单元 810、图像拾取器件 1000、视频信号处理电路单元 830、记录 / 通讯单元 840、定时控制电路单元 850、系统控制电路单元 860、以及再现 / 显示单元 870。前述实施例中所述的每个图像拾取器件用作图像拾取器件 1000。在本实施例中，将作为例子示出下述情况，即，图 1 中所示的定时产生单元 40 包括在定时控制电路单元 850

中,而不是图像拾取器件中。

[0181] 用作光学系统的光学单元 810 (诸如透镜) 通过使用从被摄体发射的光在像素阵列上形成该被摄体的图像,该像素阵列包括按矩阵布置的多个像素,并且包括在图像拾取器件 1000 中。图像拾取器件 1000 在根据从定时控制电路单元 850 输出的信号的定时输出与用于在像素区域上形成图像的光对应的信号。

[0182] 从图像拾取器件 1000 输出的信号被供给用作视频信号处理器的视频信号处理电路单元 830。视频信号处理电路单元 830 根据由程序确定的方法来对输入的电信号执行诸如 AD 转换的处理。通过由视频信号处理电路单元执行的处理而获得的信号作为图像数据被供给记录 / 通讯单元 840。记录 / 通讯单元 840 将用于形成图像的信号供给再现 / 显示单元 870,再现 / 显示单元 870 再现并显示电影或静态图像。记录 / 通讯单元在从视频信号处理电路单元 830 接收信号时还执行与系统控制电路单元 860 的通讯,并且另外,执行将用于形成图像的信号记录在记录介质(未示出)中的操作。

[0183] 系统控制电路单元 860 整体地控制图像拾取系统的操作,并且控制光学单元 810、定时控制电路单元 850、记录 / 通讯单元 840 和再现 / 显示单元 870 的驱动。此外,系统控制电路单元 860 包括用作记录介质的存储设备(未示出),该存储设备存储用于控制图像拾取系统的操作的程序等。此外,系统控制电路单元 860 响应于例如图像拾取系统中的用户操作供给用于改变驱动模式的信号。驱动模式改变的例子包括将进行读取或要被重置的行的改变、根据电子变焦的场角改变、以及根据图像稳定化的场角的偏移。

[0184] 定时控制电路单元 850 在用作控制器的系统控制电路单元 860 的控制下控制何时驱动图像拾取器件 1000 的定时以及何时驱动视频信号处理电路单元 830 的定时。

[0185] 以上所述的前述实施例仅仅是实施本发明的例子,并且可在本发明的范围内进行修改和彼此组合。本发明不限于前述实施例,并且可进行各种修改和改变而不脱离本发明的精神和范围。因此,附上权利要求来声明本发明的范围。

[0186] 标号列表

[0187] 1 图像拾取器件

[0188] 10 像素阵列

[0189] 20, 20L, 20R 行选择单元

[0190] 21, 21L, 21R 地址解码器

[0191] 22, 22L, 22R 第一存储单元

[0192] 23, 23L, 23R 第二存储单元

[0193] 24, 24L, 24R 第三存储单元

[0194] 25, 25L, 25R 像素脉冲产生单元

[0195] 30 地址产生单元

[0196] 40 定时产生单元

[0197] 50 水平传输单元

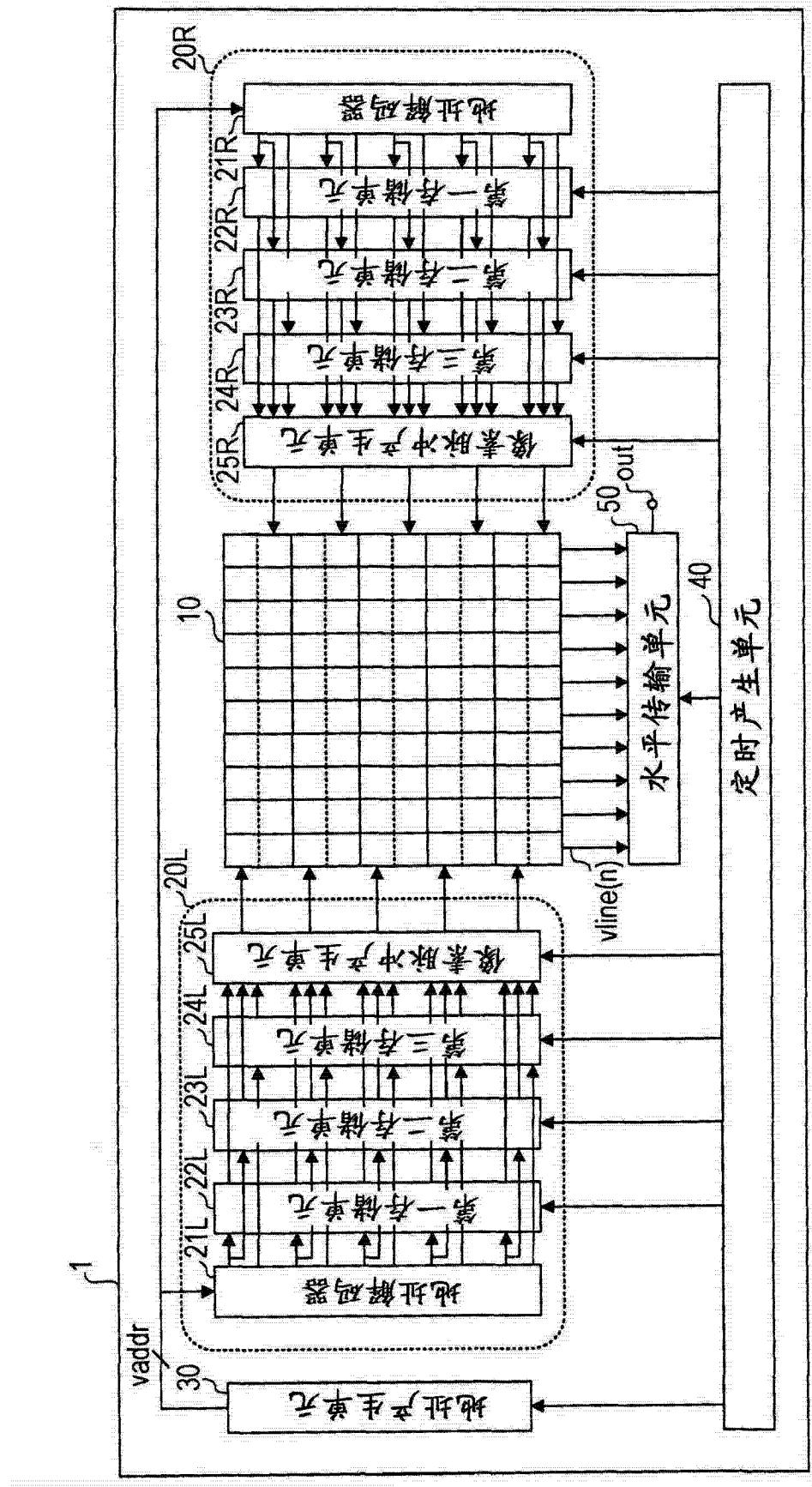
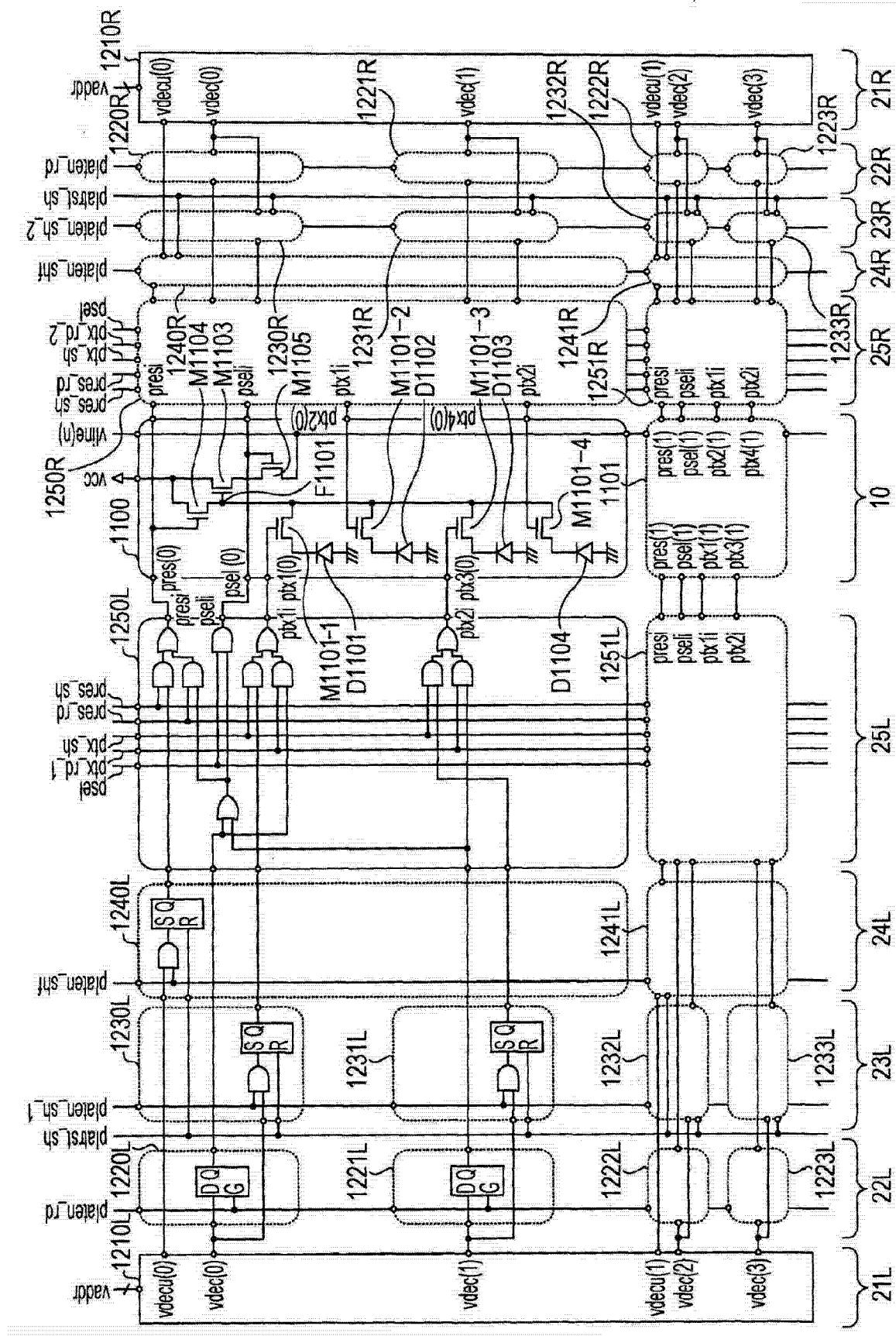


图 1



冬 2

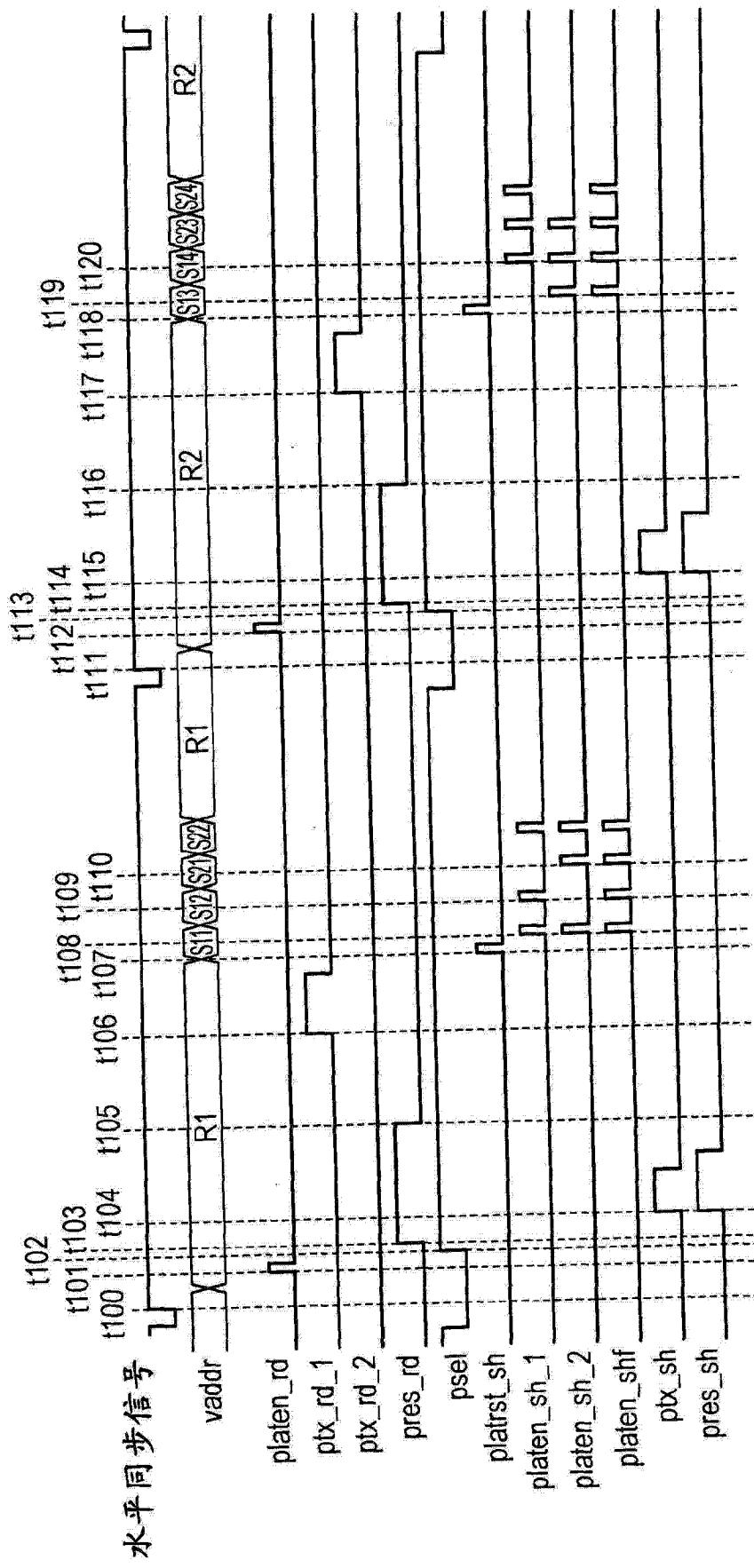


图 3

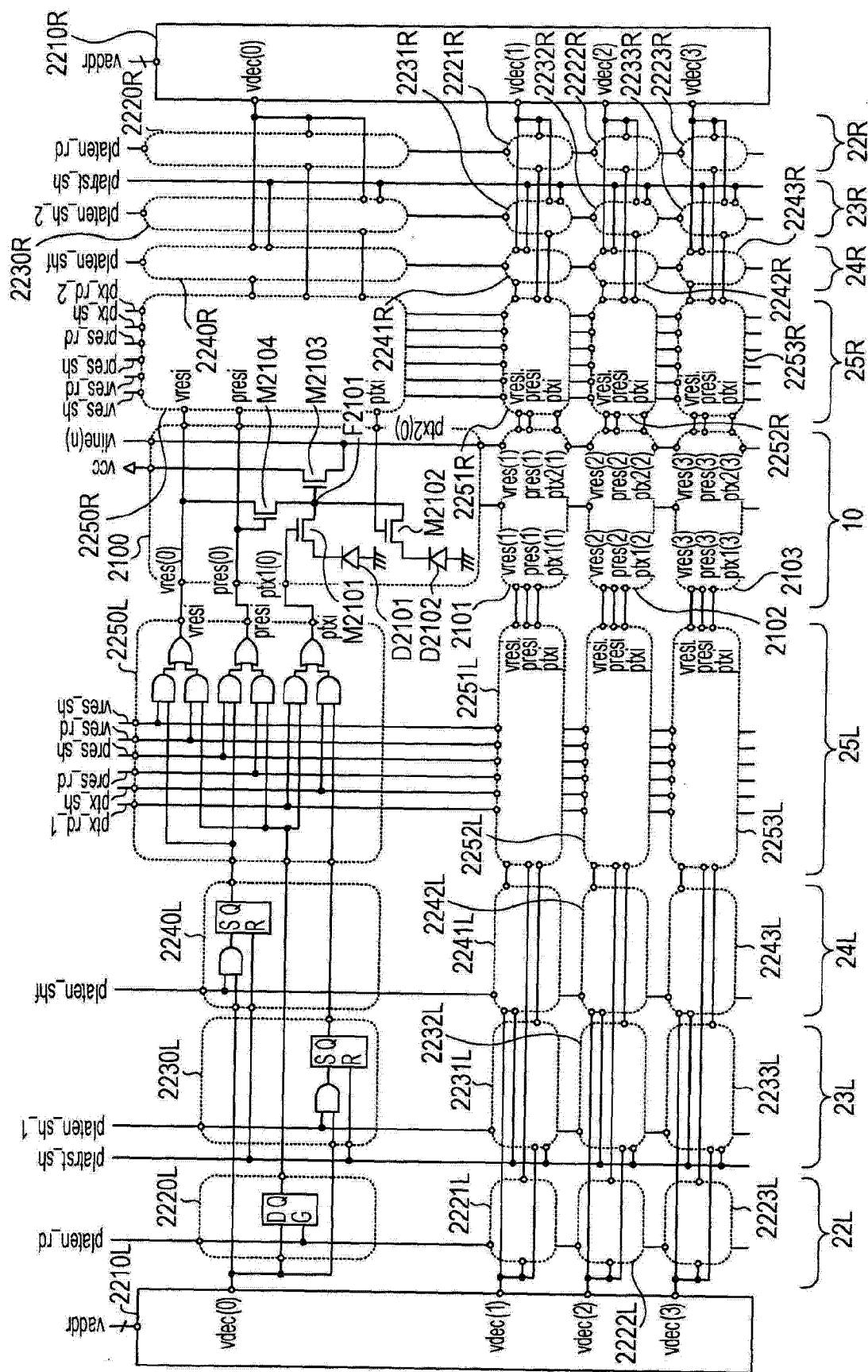


图 4

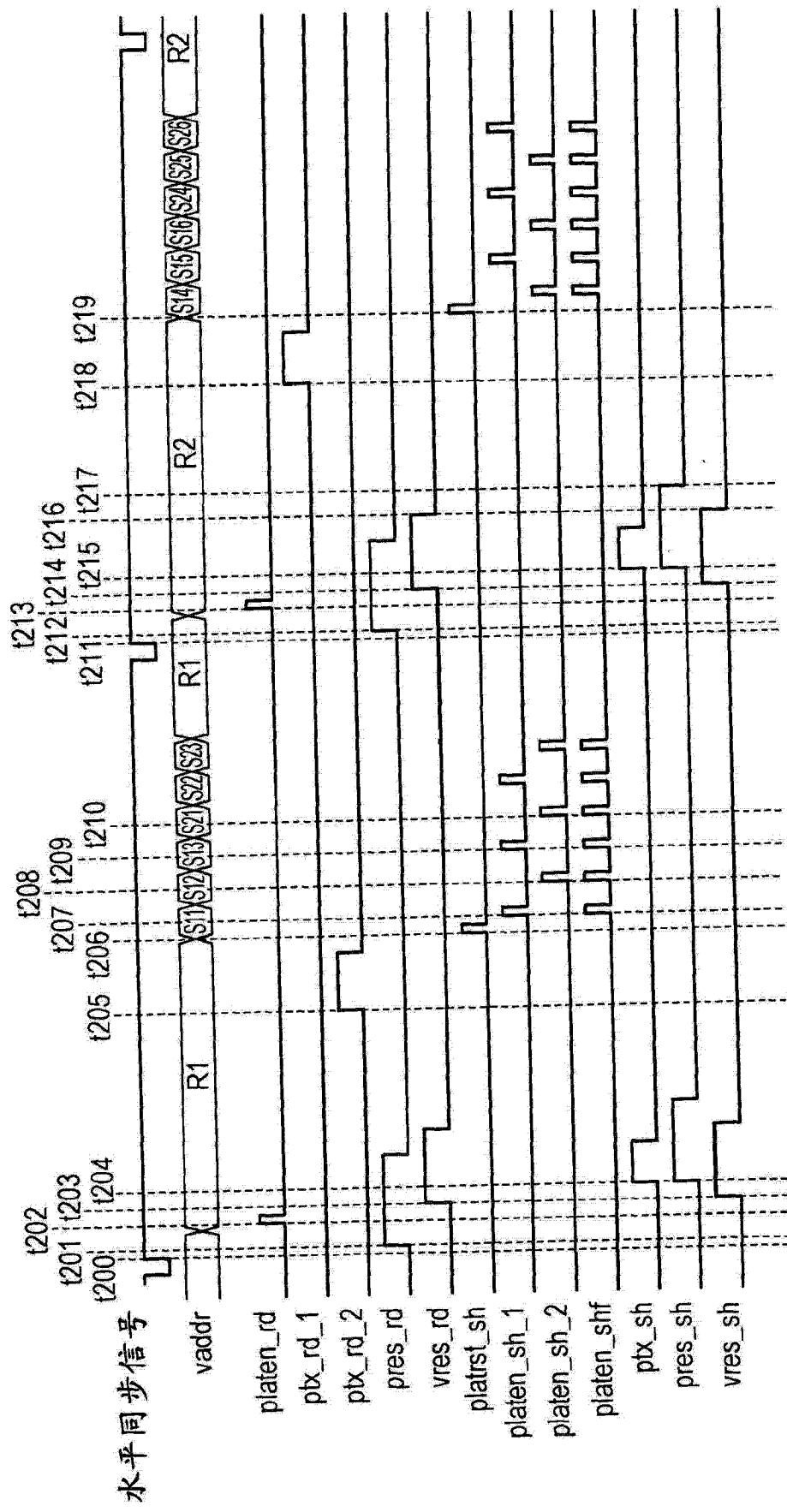


图 5

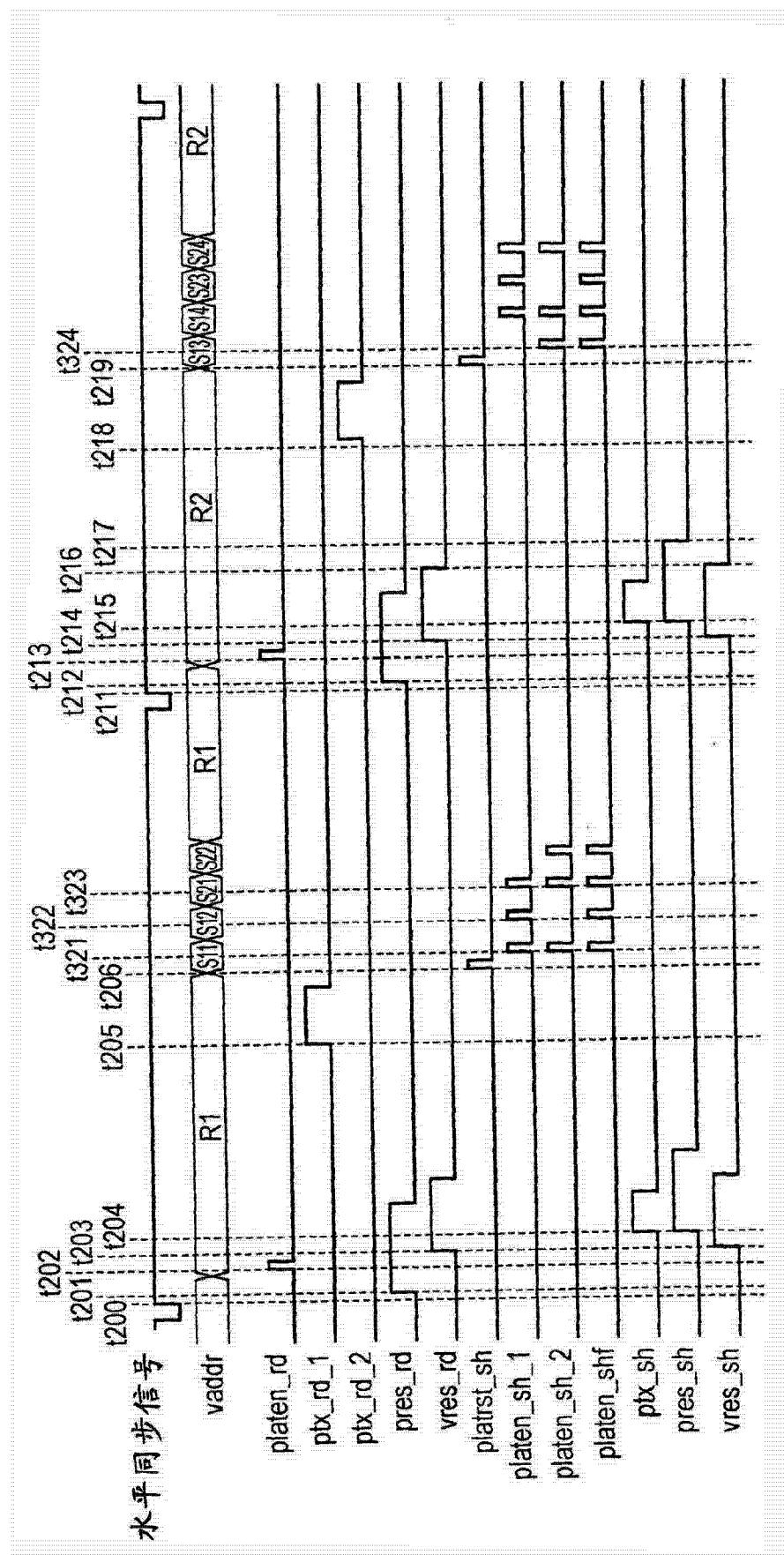


图 6

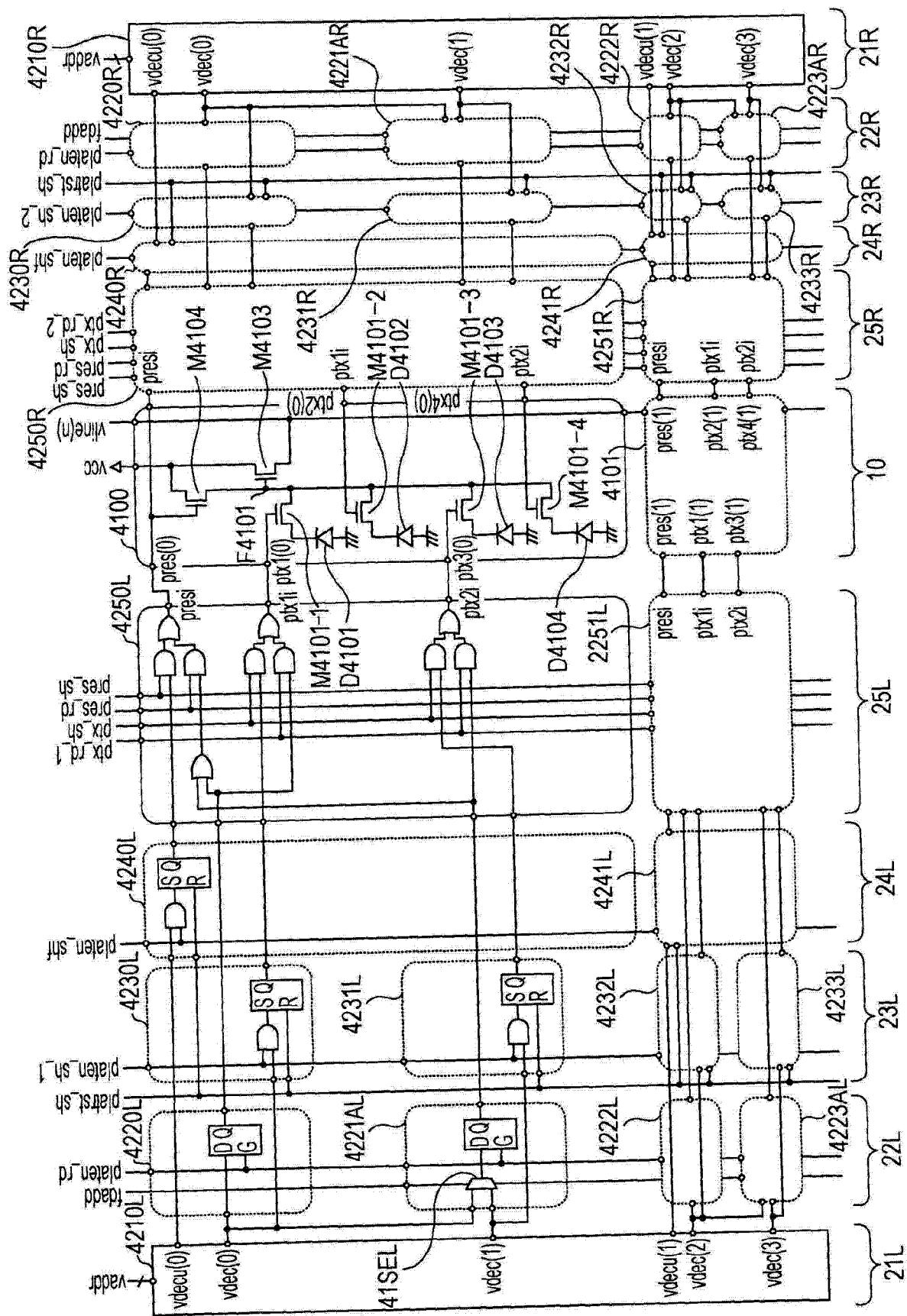
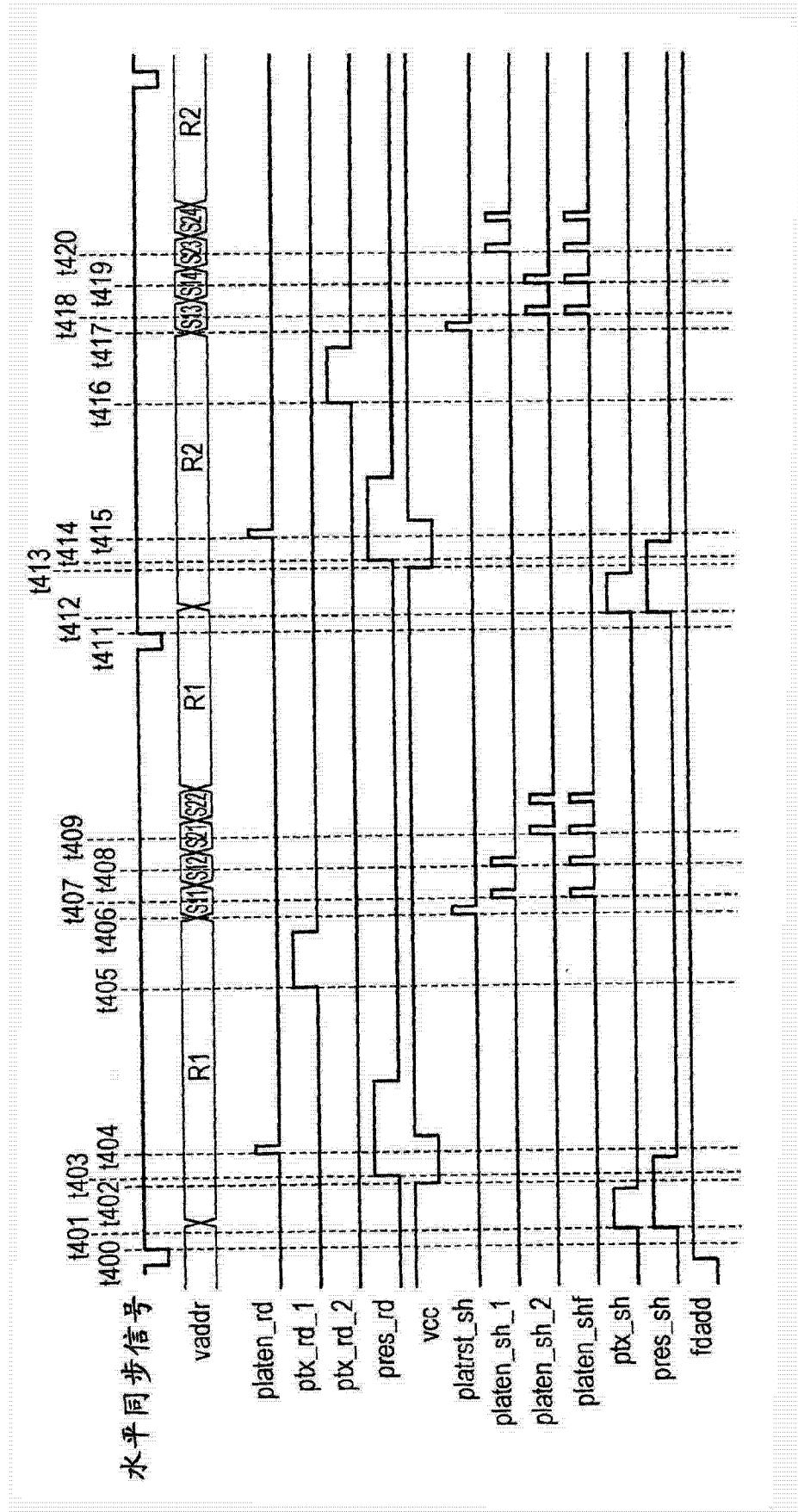


图 7



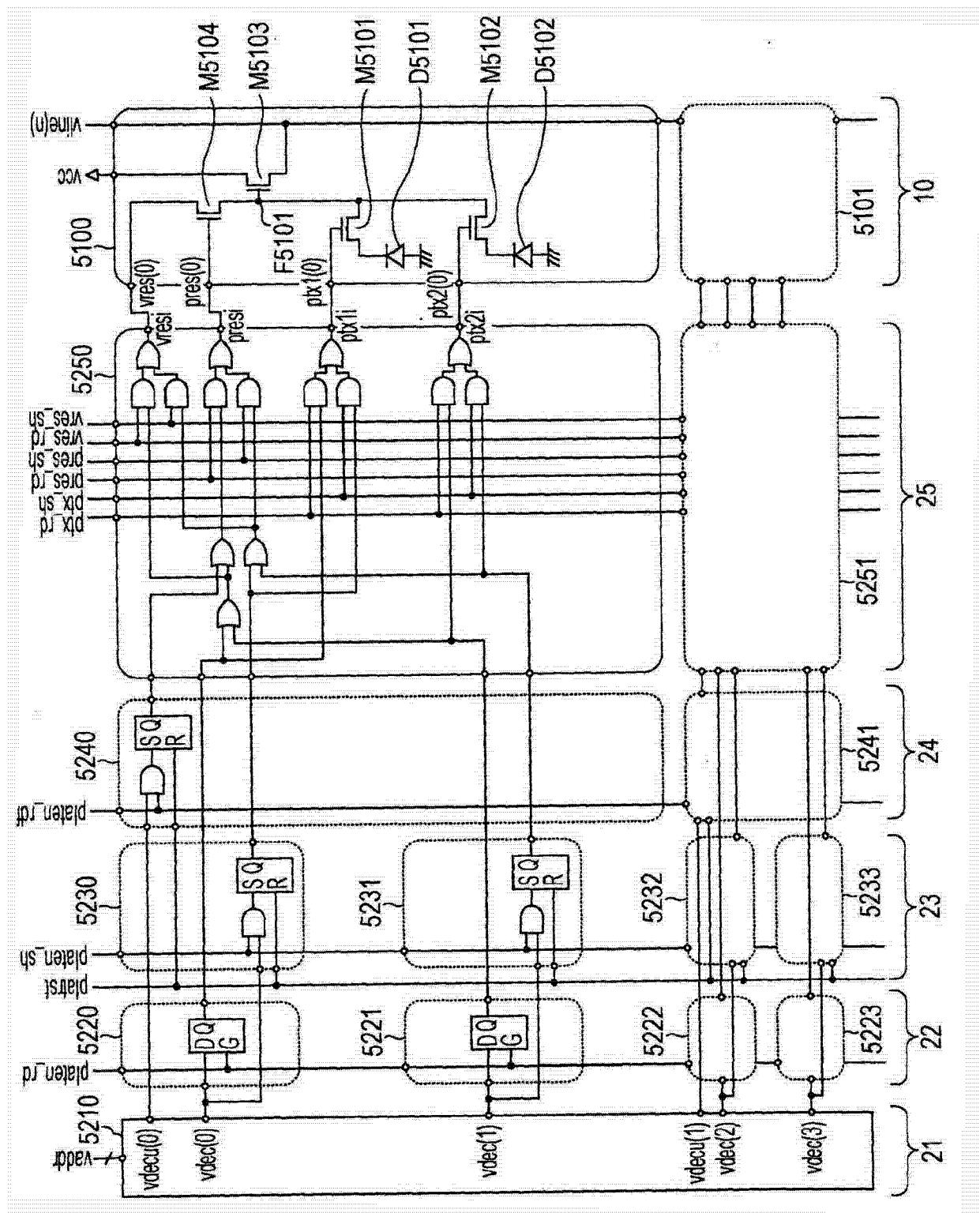


图 9

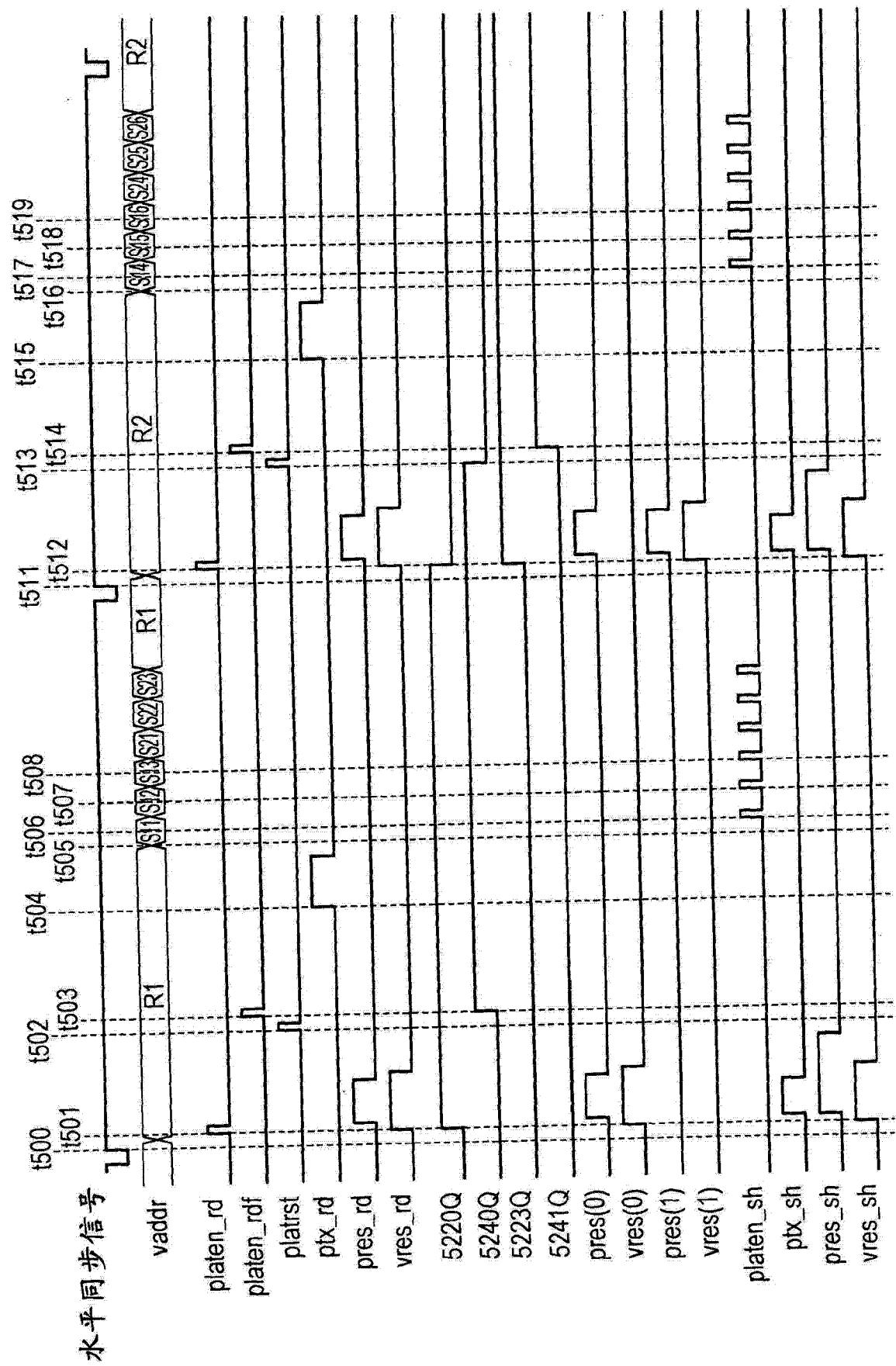


图 10

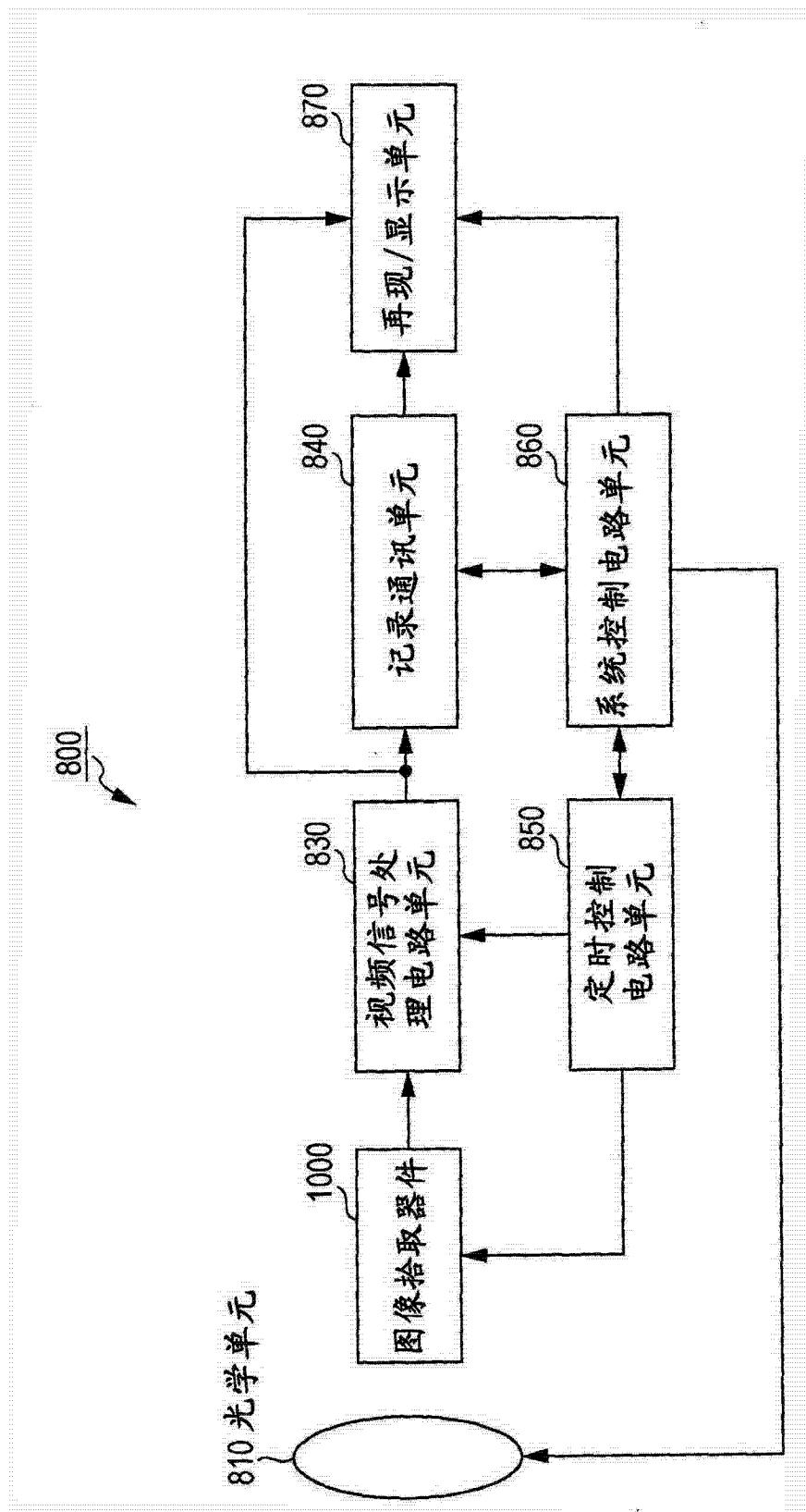


图 11