



(12) 实用新型专利

(10) 授权公告号 CN 220067840 U

(45) 授权公告日 2023. 11. 21

(21) 申请号 202190000808.3

(22) 申请日 2021.10.20

(30) 优先权数据

2020-177476 2020.10.22 JP

(85) PCT国际申请进入国家阶段日

2023.04.18

(86) PCT国际申请的申请数据

PCT/JP2021/038730 2021.10.20

(87) PCT国际申请的公布数据

W02022/085715 JA 2022.04.28

(73) 专利权人 株式会社村田制作所

地址 日本京都府

(72) 发明人 田中佑享

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

专利代理师 张丰桥

(51) Int.Cl.

H05K 3/46 (2006.01)

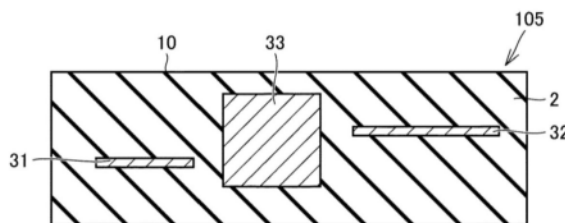
权利要求书1页 说明书10页 附图14页

(54) 实用新型名称

多层构造体

(57) 摘要

多层构造体(105)是具有主面(10)的多层构造体,具备:第1导体(31),其与主面(10)平行地延伸;第2导体(32),其与主面(10)平行地延伸,且在多层构造体(105)的厚度方向上配置于与第1导体(31)不同的位置;以及第3导体(33),其具有从与主面(10)垂直的方向观察时沿至少任一个方向延伸的形状。在多层构造体(105)的厚度方向上的比第3导体(33)的下端高且比第3导体(33)的上端低的范围内包含第1导体(31)的至少局部,并且包含第2导体(32)的至少局部。



1. 一种多层构造体,具有主面,
所述多层构造体的特征在于,具备:
第1导体,其与所述主面平行地延伸;
第2导体,其与所述主面平行地延伸,且在所述多层构造体的厚度方向上配置于与所述第1导体不同的位置;以及
第3导体,其具有从与所述主面垂直的方向观察时沿至少任一个方向延伸的形状,
在所述多层构造体的厚度方向上的比所述第3导体的下端高且比所述第3导体的上端低的范围内包含所述第1导体的至少局部,并且包含所述第2导体的至少局部。
2. 根据权利要求1所述的多层构造体,其特征在于,
在所述多层构造体的厚度方向上的比所述第3导体的下端高且比所述第3导体的上端低的范围内包含所述第1导体的整体,并且包含所述第2导体的整体。
3. 根据权利要求1或2所述的多层构造体,其特征在于,
在从与所述主面垂直的方向观察时,所述第1导体与所述第2导体至少在局部重合。
4. 根据权利要求1或2所述的多层构造体,其特征在于,
所述第1导体和所述第2导体中至少一者与所述第3导体连接。
5. 根据权利要求1或2所述的多层构造体,其特征在于,
所述多层构造体是多层基板。
6. 根据权利要求1或2所述的多层构造体,其特征在于,
所述多层构造体是电子部件。
7. 根据权利要求6所述的多层构造体,其特征在于,
所述电子部件是LC复合部件。
8. 根据权利要求7所述的多层构造体,其特征在于,
所述第3导体通过卷绕电路的层叠构造而发挥作为电感器的功能。
9. 根据权利要求1或2所述的多层构造体,其特征在于,
所述第3导体没有在所述多层构造体的外表面暴露。

多层构造体

技术领域

[0001] 本实用新型涉及多层构造体。

背景技术

[0002] 日本特开2000-31328号公报(专利文献1)公开有成为“陶瓷多层布线基板”的结构。该陶瓷多层布线基板在成为IC芯片搭载面的表面的附近内置电容器,在背面附近具备由与该电容器的电极层差不多同一材质构成的导体层。在专利文献1中,在基板的厚度方向上观察时,烧制收缩率的不均匀程度平衡,能够实现翘曲少的陶瓷多层布线基板。

[0003] 专利文献1:日本特开2000-31328号公报

[0004] 为了制作专利文献1记载的那样的多层布线基板,层叠片材并进行烧制。由于在烧制时片材收缩,所以其周边的布线层的位置改变,存在产生意外的寄生电感和/或者寄生电容这样的问题。

实用新型内容

[0005] 因此,本实用新型的目的在于提供能够抑制烧制时的意外的寄生成分的产生的多层构造体。

[0006] 为了实现上述目的,基于本实用新型的多层构造体是具有主面的多层构造体,具备:第1导体,其与上述主面平行地延伸;第2导体,其与上述主面平行地延伸,且配置于在厚度方向上与上述第1导体不同的位置;以及第3导体,其具有从与上述主面垂直的方向观察时沿至少任一个方向延伸的形状,且配置于与上述第1导体和上述第2导体均并列的位置。在观察与上述主面垂直的截面时,在比上述第3导体的下端高且比上述第3导体的上端低的范围内包含上述第1导体的至少局部,并且包含上述第2导体的至少局部。

[0007] 根据本实用新型,通过第3导体的存在而抑制第1导体和第2导体的变形,能够抑制烧制时的意外的寄生成分的产生。

附图说明

[0008] 图1是基于本实用新型的实施方式1中的多层构造体的俯视图。

[0009] 图2是与图1中的II-II线相关的箭头方向的剖视图。

[0010] 图3是基于本实用新型的实施方式2中的多层构造体的俯视图。

[0011] 图4是与图3中的IV-IV线相关的箭头方向的剖视图。

[0012] 图5是基于本实用新型的实施方式2中的多层构造体的第1变形例的剖视图。

[0013] 图6是基于本实用新型的实施方式2中的多层构造体的第2变形例的剖视图。

[0014] 图7是基于本实用新型的实施方式3中的多层构造体的剖视图。

[0015] 图8是基于本实用新型的实施方式4中的多层构造体的剖视图。

[0016] 图9是基于本实用新型的实施方式5中的多层构造体的剖视图。

[0017] 图10是基于本实用新型的实施方式6中的多层构造体的剖视图。

- [0018] 图11是图10中的XI-XI线处的箭头方向的剖视图。
- [0019] 图12是图10中的XII-XII线处的箭头方向的剖视图。
- [0020] 图13是基于本实用新型的实施方式7中的多层构造体的剖视图。
- [0021] 图14是图13中的XIV-XIV线处的箭头方向的剖视图。
- [0022] 图15是图13中的XV-XV线处的箭头方向的剖视图。
- [0023] 图16是基于本实用新型的实施方式8中的多层构造体的俯视图。
- [0024] 图17是基于本实用新型的实施方式9中的多层构造体的制造方法的第1说明图。
- [0025] 图18是基于本实用新型的实施方式9中的多层构造体的制造方法的第2说明图。
- [0026] 图19是基于本实用新型的实施方式9中的多层构造体的制造方法的第3说明图。
- [0027] 图20是基于本实用新型的实施方式9中的多层构造体的制造方法的第4说明图。
- [0028] 图21是基于本实用新型的实施方式9中的多层构造体的制造方法的第5说明图。
- [0029] 图22是基于本实用新型的实施方式9中的多层构造体的制造方法的第6说明图。
- [0030] 图23是基于本实用新型的实施方式9中的多层构造体的制造方法的第7说明图。
- [0031] 图24是基于本实用新型的实施方式9中的多层构造体的制造方法的第8说明图。
- [0032] 图25是基于本实用新型的实施方式9中的多层构造体的制造方法的第9说明图。
- [0033] 图26是基于本实用新型的实施方式9中的多层构造体的制造方法的第10说明图。
- [0034] 图27是基于本实用新型的实施方式9中的多层构造体的制造方法的第11说明图。
- [0035] 图28是基于本实用新型的实施方式9中的多层构造体的制造方法的第12说明图。
- [0036] 图29是基于本实用新型的实施方式9中的多层构造体的制造方法的第13说明图。
- [0037] 图30是基于本实用新型的实施方式9中的多层构造体的制造方法的第14说明图。
- [0038] 图31是基于本实用新型的实施方式9中的多层构造体的制造方法的第15说明图。
- [0039] 图32是基于本实用新型的实施方式9中的多层构造体的制造方法的第16说明图。
- [0040] 图33是基于本实用新型的实施方式9中的多层构造体的制造方法的第17说明图。
- [0041] 图34是基于本实用新型的实施方式9中的多层构造体的制造方法的第18说明图。
- [0042] 图35是基于本实用新型的实施方式9中的多层构造体的制造方法的第19说明图。
- [0043] 图36是基于本实用新型的实施方式9中的多层构造体的制造方法的第20说明图。
- [0044] 图37是基于本实用新型的实施方式10中的多层构造体的剖视图。
- [0045] 图38是与图37中的XXXVIII-XXXVIII线相关的箭头方向的剖视图。
- [0046] 图39是与图37中的XXXIX-XXXIX线相关的箭头方向的剖视图。
- [0047] 图40是基于本实用新型的实施方式11中的多层构造体的说明图。
- [0048] 图41是基于本实用新型的实施方式11中的多层构造体的第3导体的形状带圆角的情况下的想法的说明图。
- [0049] 图42是基于本实用新型的实施方式11中的多层构造体的优选的条件的说明图。

具体实施方式

[0050] 附图中示出的尺寸比不一定局限于忠实地表示现实情况,有时为了方便说明而夸张地示出尺寸比。以下的说明中,提及上或者下的概念时,不局限于是指绝对的上或者下,有时是指图示的姿势中的相对而言的上或者下。

[0051] (实施方式1)

[0052] 参照图1~图2,对基于本实用新型的实施方式1中的多层构造体进行说明。图1示出本实施方式中的多层构造体101的俯视图。图2示出与图1中的II-II线相关的箭头方向的剖视图。此处所示的例子中,多层构造体101是多层基板。更具体而言,多层构造体101是陶瓷多层基板。即,多层构造体101通过层叠陶瓷生片并进行烧制而形成。多层构造体101具备绝缘体2。绝缘体2通过烧制层叠的陶瓷生片而一体化地形成。多层构造体101在表面或者内部包含由导电体构成的布线等构造物。

[0053] 多层构造体101具有主面10。多层构造体101具备第1导体31、第2导体32、第3导体33。第1导体31与主面10平行地延伸。第2导体32与主面10平行地延伸,并配置于在多层构造体101的厚度方向上与第1导体31不同的位置。但是,此处所说的“平行”不局限于精确的意义上的平行,也可以存在少许走形、错位、误差。即,“平行”也包括大体平行的状态。第3导体33具有从与主面10垂直的方向观察时沿至少任一个方向延伸的形状。第3导体33配置于与第1导体31和第2导体32均并列的位置。关于第3导体33而记载的“沿任一个方向延伸”是指具有在除与主面10垂直的方向以外的任一个方向上最长的形状。如图2所示,在观察与主面10垂直的截面时,在多层构造体101的厚度方向上的比第3导体33的下端高且比第3导体33的上端低的范围内包含第1导体31的至少局部,并且包含第2导体32的至少局部。

[0054] 第1导体31也可以沿图2中的与纸面垂直的方向延伸。针对第2导体32、第3导体33也相同。

[0055] 在烧制时,导体比陶瓷生片难以收缩,因此,通过第3导体33的存在而抑制周边的变形。在本实施方式中,在观察与主面10垂直的截面时,在比第3导体33的下端高且比第3导体33的上端低的范围内包含第1导体31的至少局部,并且包含第2导体32的至少局部,因此,也抑制第1导体31和第2导体32的变形。因此,能够抑制烧制时的意外的寄生成分的产生。

[0056] 在本实施方式中,作为一个例子,在第3导体33的周边还配置有第4导体34。这样,也可以还配置除第1导体31和第2导体32以外的导体。

[0057] 在本实施方式中,对多层构造体101是陶瓷多层基板的情况进行了说明,但这毕竟只是一个例子。多层构造体101也可以是树脂多层基板。即,绝缘体2也可以是陶瓷,也可以是树脂。在取代陶瓷多层基板而多层构造体是树脂多层基板的情况下,也可以将本说明书中针对陶瓷多层基板的情况而进行的说明中的“陶瓷生片”替换为“未固化的树脂片材”,将“烧制”替换为“固化”即可。

[0058] 如本实施方式中所示的那样,优选在从与主面10垂直的方向观察时,第1导体31与第2导体32至少局部重合。通过采用该结构,第1导体31与第2导体32之间产生的寄生成分受到关注,但由于存在第3导体33,所以能够抑制第1导体31与第2导体32之间产生的寄生成分以不希望的方式变动,因此,较为合适。

[0059] 如本实施方式所示那样,第1导体31或者第2导体32的下表面也可以与第3导体33的下表面处于同一平面上。相反,第1导体31或者第2导体32的上表面也可以与第3导体33的上表面处于同一平面上。

[0060] (实施方式2)

[0061] 参照图3~图4,对基于本实用新型的实施方式2中的多层构造体进行说明。图3示出本实施方式中的多层构造体102的俯视图。图4示出与图3中的IV-IV线相关的箭头方向的剖视图。

[0062] 在图1所示的多层构造体101中,在从第3导体33观察的同侧配置有第1导体31和第2导体32,但如图3和图4所示的多层构造体102那样,第1导体31与第2导体32也可以配置于从第3导体33观察的不同侧。换言之,第1导体31与第2导体32也可以是隔着第3导体33那样的位置关系。

[0063] 在本实施方式中,也能够得到与实施方式1相同的效果。

[0064] 另外,如图5所示的多层构造体103那样,作为其他导体的第4导体34也可以成为与第2导体32相同的高度。在多层构造体103中,第4导体34处于比第1导体31靠上侧处,但也可以如图6所示的多层构造体104那样,第4导体34处于比第1导体31靠下侧处。

[0065] 第1导体31与第4导体34位于厚度方向上相互相向的位置,因此,发挥电容器功能,但通过采用本实施方式所示那样的结构,能够抑制第1导体31与第4导体34之间产生的寄生成分以不希望的方式变动,因此,较为合适。

[0066] (实施方式3)

[0067] 参照图7,对基于本实用新型的实施方式3中的多层构造体进行说明。图7示出本实施方式中的多层构造体105的剖视图。

[0068] 多层构造体105的基本结构与至此为止的实施方式中说明的结构相同。在多层构造体105中,在观察与主面10垂直的截面时,在多层构造体105的厚度方向上的比第3导体33的下端高且比第3导体33的上端低的范围内包含第1导体31的整体,并且包含第2导体32的整体。此处所示的例子中,第1导体31的下表面处于比第3导体33的下表面高的位置,第2导体32的上表面处于比第3导体33的上表面低的位置。

[0069] 在本实施方式中,第1导体31和第2导体32的高度方向的位置成为如上述那样,因此,因第3导体33的存在而产生的变形抑制的效果变大,因此,能够更有效地抑制烧制时的意外的寄生成分的产生。

[0070] 另外,在本实施方式中,第2导体32处于比第1导体31高的位置,但这毕竟只不过是一个例子,也可以是反过来的关系。若在第1导体31处于比第2导体32高的位置的情况下,则第1导体31的上表面处于比第3导体33的上表面低的位置,第2导体32的下表面处于比第3导体33的下表面高的位置即可。

[0071] (实施方式4)

[0072] 参照图8,对基于本实用新型的实施方式4中的多层构造体进行说明。图8示出本实施方式中的多层构造体106的剖视图。多层构造体106的基本结构与至此为止说明的情况相同。如图8所示,在观察与主面10垂直的截面时,在多层构造体106的厚度方向上的比第3导体33的下端高且比第3导体33的上端低的范围13的内部包含第1导体31的局部。第1导体31的其他部分从范围13探出。针对第2导体32,整体包含于范围13。这样,也可以是,第1导体31和第2导体32中一者的局部从该范围探出。也可以是,取代第1导体31而第2导体32的局部从范围13探出。也可以是,第1导体31的局部从范围13探出,并且第2导体32的一局部从范围13探出。

[0073] 在本实施方式中,也能够一定程度得到实施方式1中说明的效果。

[0074] (实施方式5)

[0075] 参照图9,对基于本实用新型的实施方式5中的多层构造体进行说明。图9示出本实施方式中的多层构造体107的剖视图。多层构造体107的基本结构与至此为止说明的结构相

同。

[0076] 在多层构造体107中,第1导体31和第2导体32中至少一者与第3导体33连接。

[0077] 在本实施方式中,也能够得到与实施方式1中说明的那样的效果。

[0078] (实施方式6)

[0079] 参照图10~图12,对基于本实用新型的实施方式6中的多层构造体进行说明。图10示出本实施方式中的多层构造体108的剖视图。多层构造体108的基本结构与至此为止说明的结构相同。但是,在多层构造体108中,第3导体33被分成两个。即,第3导体33具备部分33a、33b。图11示出图10中的XI-XI线处的箭头方向的剖视图。图12示出图10中的XII-XII线处的箭头方向的剖视图。

[0080] 在比第1导体31靠上侧配置有第2导体32。第2导体32的至少局部与第1导体31的至少局部重叠。第1导体31与部分33a连接。第2导体32与部分33b连接。

[0081] 在本实施方式中,也能够得到实施方式1中说明的那样的效果。

[0082] (实施方式7)

[0083] 参照图13~图15,对基于本实用新型的实施方式7中的多层构造体进行说明。图13示出本实施方式中的多层构造体109的剖视图。多层构造体109的基本结构与至此为止说明的结构相同。但是,在多层构造体109中,第3导体33被分成两个。即,第3导体33具备部分33a、33b。图14示出图13中的XIV-XIV线处的箭头方向的剖视图。图15示出图13中的XV-XV线处的箭头方向的剖视图。在俯视图中观察时,第1导体31和第2导体32分别为折线状。第1导体31的中间的局部与第2导体32的中间的局部重叠。第1导体31的中间的局部与第2导体32的中间的局部重叠的部分由第3导体33的部分33a、33b夹着。

[0084] 在本实施方式中,也能够得到实施方式1中说明的那样的效果。

[0085] (实施方式8)

[0086] 参照图16,对基于本实用新型的实施方式8中的多层构造体进行说明。图16示出本实施方式中的多层构造体110的俯视图。在俯视图中观察时,第3导体33成为折线状。第1导体31与第2导体32位于夹着第3导体33的一部分的位置。在剖视图中观察时,也可以是图4、图6、图7所示那样的任一个结构。

[0087] 在本实施方式中,能够得到实施方式1中说明的那样的效果。

[0088] (实施方式9)

[0089] 参照图17~图36,对基于本实用新型的实施方式9中的多层构造体的制造方法进行说明。

[0090] 是用于得到至此为止的任一个实施方式中说明的多层构造体或者实施方式10以下后述的多层构造体的多层构造体的制造方法。本实施方式中的多层构造体的制造方法包括如下工序:在第1绝缘层的上表面形成第1基底金属层;在上述第1基底金属层的上侧配置第1抗蚀剂膜;通过上述第1抗蚀剂膜形成第1开口部而使上述第1基底金属层局部暴露;在上述第1基底金属层从上述第1开口部暴露的部分处,通过镀覆在上述第1基底金属层的上表面形成第1导电层;除去上述第1抗蚀剂膜;除去没有被上述第1导电层覆盖这部分的上述第1基底金属层;仅在上述第1导电层的局部之上配置第2抗蚀剂膜;形成第2绝缘层,以覆盖上述第1绝缘层和上述第1导电层且使上述第2抗蚀剂膜暴露;通过除去上述第2抗蚀剂膜,在上述第2绝缘层形成第2开口部,以使上述第1导电层的局部暴露;在上述第2绝缘层的

上表面形成第2基底金属层；在上述第2基底金属层的上侧配置第3抗蚀剂膜；在上述第3抗蚀剂膜上形成与上述第2开口部对应的第3开口部和其他区域中的第4开口部；在上述第1导电层经由上述第3开口部和第2开口部暴露的部分中，通过镀覆在上述第1导电层的上表面形成第2导电层，并且在上述第2基底金属层从上述第4开口部暴露的部分中，通过镀覆在上述第2基底金属层的上表面形成第3导电层；除去上述第3抗蚀剂膜；除去没有被上述第3导电层覆盖这部分的上述第2基底金属层；以及形成第3绝缘层，以覆盖上述第2绝缘层、上述第2导电层和上述第3导电层。该制造方法是所谓的积层方式。以下参照附图对该制造方法的各工序详细地进行说明。

[0091] 如图17所示，首先，准备第1绝缘层21。如图18所示，实施在第1绝缘层21的上表面形成第1基底金属层61的工序。第1基底金属层61例如也可以是在Ti膜上层叠了Cu膜的双层构造的膜。第1基底金属层61例如通过溅射形成较佳。第1基底金属层61的厚度例如不足1 μ m。

[0092] 如图19所示，实施在第1基底金属层61的上侧配置第1抗蚀剂膜41的工序。第1抗蚀剂膜41例如也可以是干膜抗蚀剂。如图20所示，实施通过在第1抗蚀剂膜41上形成第1开口部81而使第1基底金属层61局部暴露的工序。第1开口部81的形成通过曝光和显影来进行较佳。

[0093] 如图21所示，实施在第1基底金属层61从第1开口部81暴露的部分处通过镀覆在第1基底金属层61的上表面形成第1导电层71的工序。第1导电层71包括部分71a和部分71b。如图22所示，实施除去第1抗蚀剂膜41的工序。如图23所示，实施除去没有被第1导电层71覆盖这部分的第1基底金属层61的工序。

[0094] 如图24所示，实施仅在第1导电层71的局部之上配置第2抗蚀剂膜42的工序。此处，第1导电层71的局部是部分71b。

[0095] 如图25所示，实施如下工序：形成第2绝缘层22，并使覆盖第1绝缘层21和第1导电层71的第2抗蚀剂膜42暴露。在进行该工序之前，第1导电层71中的部分71a暴露，但通过进行该工序，部分71a由第2绝缘层22覆盖。

[0096] 如图26所示，实施如下工序：通过除去第2抗蚀剂膜42，在第2绝缘层22形成第2开口部82，以使第1导电层71的局部暴露。此处，作为第1导电层71的局部的部分71b经由第2开口部82暴露。

[0097] 如图27所示，实施在第2绝缘层22的上表面形成第2基底金属层62的工序。如图28所示，实施在第2基底金属层62的上侧配置第3抗蚀剂膜43的工序。此处所示的例子中，准备片状的第3抗蚀剂膜43，并载置于第2基底金属层62的上侧。如图29所示，实施在第3抗蚀剂膜43上形成与第2开口部82对应的第3开口部83和其他区域中的第4开口部84的工序。

[0098] 如图30~图33所示，实施如下工序：在第1导电层71经由第3开口部83和第2开口部82暴露的部分处，通过镀覆在第1导电层71的上表面形成第2导电层72，并且在第2基底金属层62从第4开口部84暴露的部分处，通过镀覆在第2基底金属层62的上表面形成第3导电层73。若更详细地叙述该工序的内容，则首先，如图30所示，在第1导电层71经由第3开口部83和第2开口部82暴露的部分处，通过镀覆在第1导电层71的上表面形成第2导电层的部分72a，并且在第2基底金属层62从第4开口部84暴露的部分处，通过镀覆在第2基底金属层62的上表面形成第3导电层73。接下来，如图31所示，配置第4抗蚀剂膜44。准备片状的第4抗蚀

剂膜44,并使它载置于第3抗蚀剂膜43和第3导电层73的上侧。进一步,如图32所示,除去第4抗蚀剂膜44中位于第3开口部83和第2开口部82上方的部分。第4抗蚀剂膜44的局部除去通过曝光和显影来进行是较佳的。进一步如图33所示,通过镀覆在第2导电层的部分72a的上表面形成部分72b。此处所示的例子中,部分72b的上表面处于与第3导电层73的上表面相同的高度。也可以是,形成部分72b,并使部分72b的上表面成为比第3导电层73的上表面高的位置。部分72a与部分72b合起来的结构构成第2导电层72。

[0099] 如图34所示,实施除去第3抗蚀剂膜43的工序。如图35所示,实施除去没有被第3导电层73覆盖这部分的第2基底金属层62的工序。如图36所示,实施如下工序:形成第3绝缘层23,以覆盖第2绝缘层22、第2导电层72和第3导电层73。

[0100] 通过对其进行烧制,能够得到图4所示的多层构造体102。第1绝缘层21、第2绝缘层22、第3绝缘层23也可以是树脂层也可以是陶瓷层。在它们是树脂层的情况下,其材料例如也可以是聚酰亚胺树脂。在第2绝缘层22和第3绝缘层23为树脂层的情况下,能够通过涂覆糊状的树脂而形成。在第2绝缘层22和第3绝缘层23为陶瓷层的情况下,能够通过涂覆糊状的陶瓷而形成。图36中,显示有第1绝缘层21、第2绝缘层22、第3绝缘层23的分界线,但这是为了方便说明而显示的。在烧制后,分界线也可以消失。

[0101] 图36中的第1导电层71的部分71a与第1基底金属层61合起来的结构构成第1导体31。第2导电层72与第1基底金属层61合起来的结构构成第3导体33。第3导电层73与第2基底金属层62合起来的结构构成第2导体32。

[0102] 在本实施方式中,示出制造图4所示的多层构造体102的例子,但针对其他多层构造体,也能够应用相同的想法来制造。

[0103] 另外,也可以第1导体和第2导体中任一者配置于多层构造体的表面。在这种情况下,也可以是第3导体的局部配置于多层构造体的表面。

[0104] 至此为止,能够使用“多层构造体”这样的名称,但多层构造体自然是包括多层基板的概念,并且还通过层叠某些材料而制成的电子部件的概念。在多层构造体之类的情况下,也包括层叠型的电子部件,因此,该概念例如也包括层叠型的滤波器。作为层叠型的滤波器,例如可举出层叠型的LC滤波器。

[0105] 另外,针对成为本实用新型的应用对象的多层构造体是陶瓷多层基板的情况下的材料,更详细地进行说明。

[0106] 构成多层构造体的主体的基材陶瓷层优选含有低温烧结陶瓷材料。

[0107] “低温烧结陶瓷材料”是指陶瓷材料中的能够在1000℃以下的烧制温度下烧制且能够与Ag、Cu等同时烧制的材料。

[0108] 基材陶瓷层所含有的低温烧结陶瓷材料例如也可以是在石英、氧化铝、镁橄榄石等陶瓷材料混合硼硅酸盐玻璃而成的玻璃复合系低温烧结陶瓷材料、使用了ZnO-MgO- Al_2O_3 - SiO_2 系的结晶玻璃的结晶玻璃系低温烧结陶瓷材料等。作为基材陶瓷层所含有的低温烧结陶瓷材料,还可以是使用了BaO- Al_2O_3 - SiO_2 系陶瓷材料、 Al_2O_3 -CaO- SiO_2 -MgO- B_2O_3 系陶瓷材料等的非玻璃系低温烧结陶瓷材料等。

[0109] 设置于电子部件主体的内部的内部布线导体含有导电成分。此处所说的“内部布线导体”是指内部导体膜和贯通孔导体。作为内部布线导体所含有的导电成分,例如可以是Au、Ag、Cu、Pt、Ta、W、Ni、Fe、Cr、Mo、Ti、Pd、Ru中任一种金属,或者也可以是从它们的组中

选择的一种以上的种类的金属为主成分的合金。内部布线导体优选含有Au、Ag或者Cu来作为导电成分,更优选含有Ag或者Cu。Au、Ag和Cu是低电阻,因此,它们特别适于陶瓷电子部件是高频用途的情况。

[0110] 构成多层构造体的主体的基材陶瓷层也可以是用于层叠滤波器等LC复合部件的陶瓷材料。

[0111] 作为满足这样的条件的材料的第1例,例如可举出:作为陶瓷填料而存在 $Mg_2SiO_4+BaO-Nd_2O_3-TiO_2$ 且另外添加的 $MnCO_3$ 、 SiO_2 、 Al_2O_3 、 $Mg(OH)_2$ 中至少1种而且作为玻璃系而含有Si-B-Ba-Sr-Ca-Mg-Al-Li-O系的玻璃系陶瓷材料。此处所说的 $Mg_2SiO_4+BaO-Nd_2O_3-TiO_2$ 也可以是以 Mg_2SiO_4 和 $BaO-Nd_2O_3-TiO_2$ 中任一者为主要材料的材料。

[0112] 作为满足这样的条件的材料的第2例,例如可举出:作为陶瓷填料而存在 Mg_2SiO_4 且另外添加 TiO_2 、 $SrTiO_3$ 中至少一种而且作为玻璃系而含有Si-B-Li-Mg-Sr-Zn-O系的玻璃系陶瓷材料。

[0113] 作为满足这样的条件的材料的第3例,例如可举出:作为陶瓷填料而存在 SiO_2 且另外添加 Al_2O_3 、 $Mg(OH)_2$ 中至少一种而且作为玻璃系而含有Si-B-Ba-Sr-Ca-Mg-Al-Li-O系和Ba-Al-Si-Zr-Ti-Mg-Mn-O系的玻璃系陶瓷材料。

[0114] 另外,在此处列举出的各种玻璃系陶瓷材料中,陶瓷填料、外添加、玻璃系合起来成为100重量%。

[0115] 作为烧制电极所含有的导电成分,例如可以是Cu、Ag、Au、Pt、Ta、W、Ni、Fe、Cr、Mo、Ti、Pd、Ru中任一种金属,或者也可以是以从它们的组中选择的一种以上的种类的金属为主成分的合金。烧制电极优选含有Cu、Ag或者Au作为导电成分,更优选含有Cu或者Ag。

[0116] (实施方式10)

[0117] 参照图37~图39,对基于本实用新型的实施方式10中的多层构造体进行说明。此处示出的例子中,多层构造体121是电子部件。更具体而言,多层构造体121是LC复合部件。更具体而言,多层构造体121是LC滤波器。

[0118] 图37示出通过与层叠方向平行的面切割多层构造体121而得到的剖视图。图37中的上下方向是层叠方向,是厚度方向。图38示出与图37中的XXXVIII-XXXVIII线相关的箭头方向的剖视图。图39示出与图37中的XXXIX-XXXIX线相关的箭头方向的剖视图。

[0119] 相反,与图38中的XXXVII-XXXVII线相关的箭头方向的剖视图是图37,与图39中的XXXVII-XXXVII线相关的箭头方向的剖视图是图37。

[0120] 多层构造体121具有主面10。多层构造体121具备第1导体311、第2导体321、第3导体331。第1导体311与主面10平行地延伸。第2导体321与主面10平行地延伸,在多层构造体121的厚度方向上配置于与第1导体311不同的位置。在从与主面10垂直的方向观察时第3导体331具有沿至少任一个方向延伸的形状。第3导体331配置于与第1导体311和第2导体321均并列的位置。多层构造体121的厚度方向上的比第3导体331的下端高且比第3导体331的上端低的范围内包含第1导体311的至少局部,并且包含第2导体321的至少局部。

[0121] 第1导体311和第2导体321通过在之间夹着绝缘体配置而发挥作为电容性元件即电容器的功能。第1导体311和第2导体321分别不是供大电流穿过的路径,因此,通常厚度较薄。

[0122] 另一方面,第3导体331通过卷绕电路的层叠构造而发挥作为电感元件即电感器的

功能。第3导体331是直接供电流通过的路径,因此,为了防止信号的衰减,谋求增大作为导体的截面积。此处所说的信号的衰减是插入损耗。进行从第3导体331的部位A向更下层的导通孔连接。第3导体331的部位B在它和图39所示的第3导体332的部位C之间进行导通孔连接。

[0123] 这些元件的静电电容的值、电感的值直接对与滤波器的阻隔和通过相关的特性给予影响,因此,期望极力减少意外的寄生电容的变动。

[0124] 在本实施方式中,在第1导体311、第2导体321和第3导体331之间,得到实施方式1中说明的那样的效果。即,在观察与主面10垂直的截面时,在比第3导体331的下端高且比第3导体331的上端低的范围内包含第1导体311的至少局部,并且包含第2导体321的至少局部,因此,也抑制第1导体311和第2导体321的变形。因此,能够抑制烧制时的意外的寄生成分的产生。

[0125] 另外,多层构造体121还具备第1导体312、第2导体322、第3导体332。在第1导体312、第2导体322和第3导体332之间,关于位置关系和截面形状的大小,与第1导体311、第2导体321和第3导体331之间说明的情况相同的关系成立。进行从第3导体332的部位D向更上层的导通孔连接。在第1导体312、第2导体322和第3导体332之间,也得到与第1导体311、第2导体321和第3导体331之间说明的情况相同的效果。

[0126] (实施方式11)

[0127] 参照图40~图41,对基于本实用新型的实施方式11中的多层构造体进行说明。此处所示的例子中,多层构造体122是多层基板,更具体而言是陶瓷多层基板。但是,毕竟只是一个例子。多层构造体122也可以是树脂多层基板,也可以是电子部件。

[0128] 对于通过第3导体的存在来抑制第1导体和第2导体的变形的效果而言,第1导体和第2导体的位置越接近第3导体的位置则越能够得到该效果。此外,第1导体和第2导体的位置越接近第3导体的厚度方向的中心则越能够得到该效果。

[0129] 图40示出多层构造体122的剖视图。第3导体33的厚度为 T 。若在剖视图中第3导体33的接近第1导体31和第2导体32这一侧的端的上端是点A,下端是点B,则设想以边AB为纵边、以向远离第3导体33的朝向延伸的长度 L 的边为横边的长方形 $R1$ 。长度 L 成为 T 的6倍。在这样的剖视图中观察时,第1导体31和第2导体32中至少一者的至少局部进入长方形 $R1$ 的范围内。例如如图40所示,若将第1导体31和第2导体32中接近第3导体33这部分与第3导体33之间的距离设为 F ,则 $F \leq L = 6T$ 。此处,第2导体32处于比第1导体31接近第3导体33的位置,但这毕竟只是一个例子,第1导体31也可以处于比第2导体32接近第3导体33的位置,第1导体31与第2导体32也可以是从第3导体33观察相等的距离。

[0130] 另外,在剖视图中观察时的第3导体33的形状带有圆角的情况下,如图41所示,将邻接的边的延长线彼此交叉的点分别视为点A、B即可。

[0131] 在本实施方式中,第1导体31和第2导体32中至少一者的至少局部进入长方形 $R1$ 的范围内,因此,第1导体31和第2导体32充分接近第3导体33,更有效地抑制第1导体31和第2导体32的变形,因此,能够抑制烧制时的意外的寄生成分的产生。

[0132] 参照图42对更优选的条件进行说明。在剖视图中,设想以线段AB的中点C为起点沿与线段AB垂直的方向距第3导体33距离 L 的位置的点D,设想三角形ABD。 L 是 T 的6倍。三角形ABD底边是长度 T ,能够视为高度是 L 的等腰三角形。在这样的剖视图中观察时,优选第1导体

31和第2导体32中至少一者的至少局部进入三角形ABD的范围内。在满足该条件的情况下，更有效地抑制第1导体31和第2导体32的变形，因此，能够更加抑制烧制时的意外的寄生成分的产生。

[0133] 另外，在设想三角形ABD时，此处， $L=6T$ ，但若 $L=3T$ 则更加优选。

[0134] 另外，也可以将上述实施方式中的多个适当地组合来采用。

[0135] 另外，这次公开的上述实施方式所有方面均为例示且不是限制性的。本实用新型的范围由权利要求书示出，包括权利要求书及其等同的意思和范围内的所有变更。

[0136] 附图标记说明

[0137] 2...绝缘体；10...主面；13...范围；21...第1绝缘层；22...第2绝缘层；23...第3绝缘层；31、311、312...第1导体；32、321、322...第2导体；33、331、332...第3导体；33a、33b... (第3导体的) 部分；34...第4导体；41...第1抗蚀剂膜；42...第2抗蚀剂膜；43...第3抗蚀剂膜；44...第4抗蚀剂膜；61...第1基底金属层；62...第2基底金属层；71...第1导电层；71a、71b... (第1导电层的) 部分；72...第2导电层；72a、72b... (第2导电层的) 部分；73...第3导电层；81...第1开口部；82...第2开口部；83...第3开口部；84...第4开口部；101、102、103、104、105、106、107、108、109、110、121、122...多层构造体。

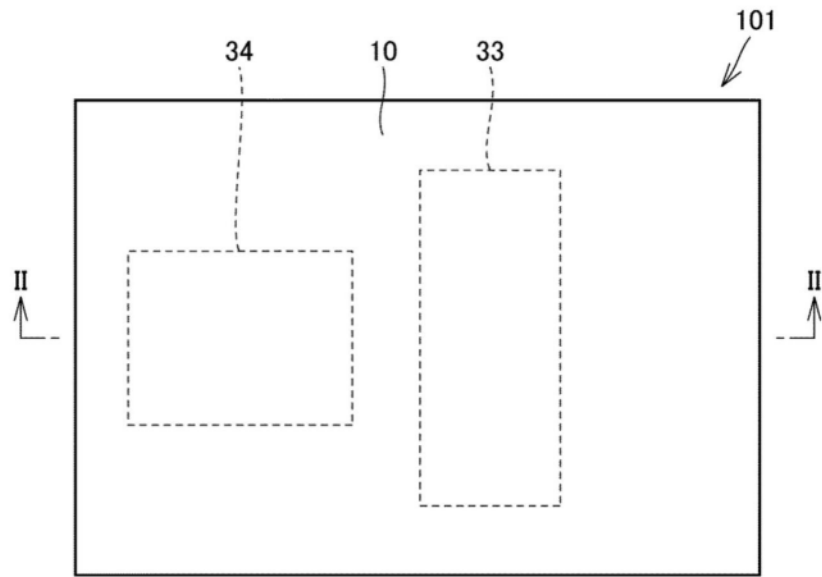


图1

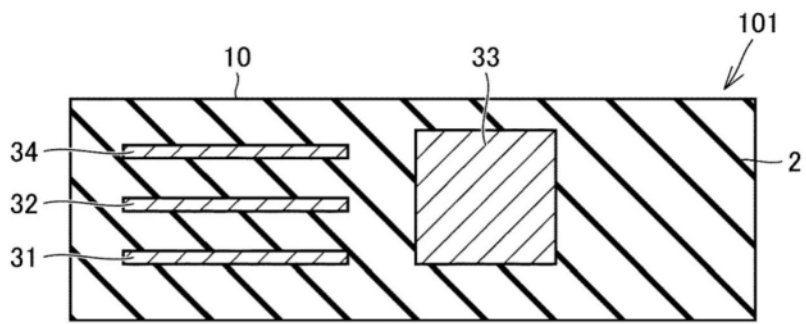


图2

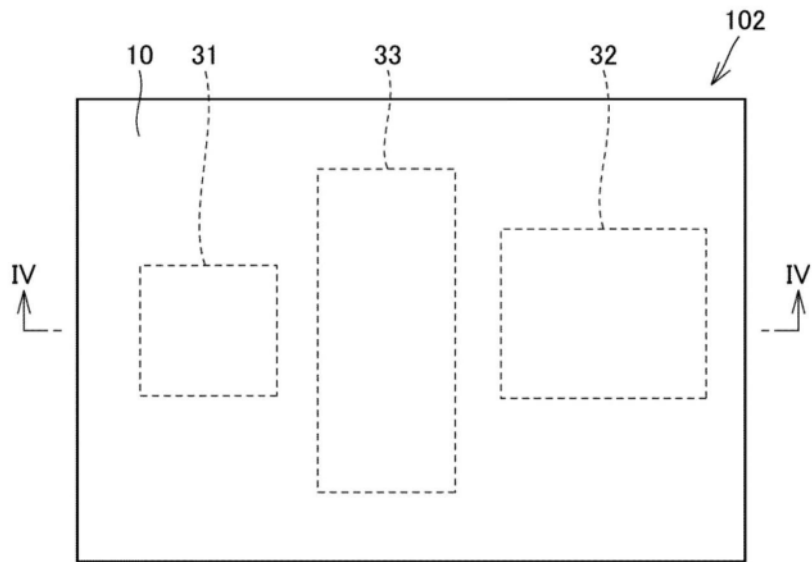


图3

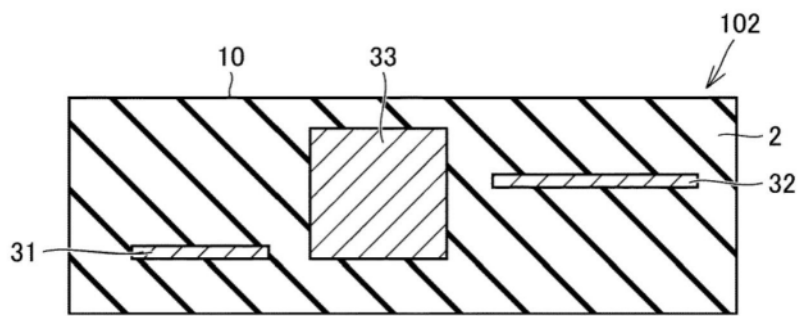


图4

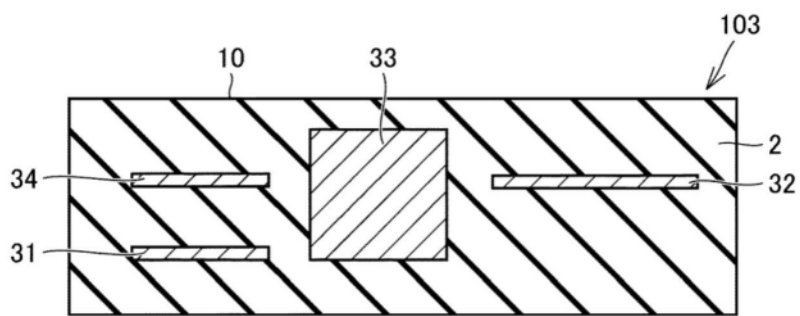


图5

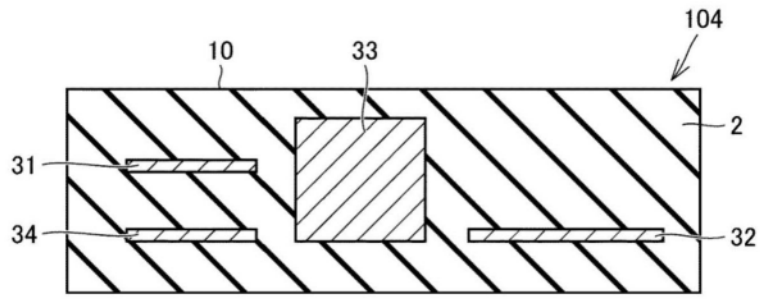


图6

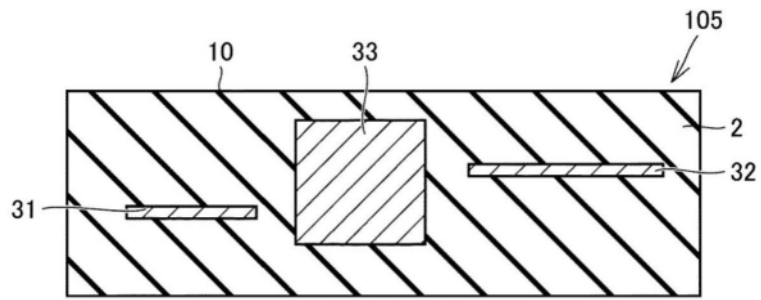


图7

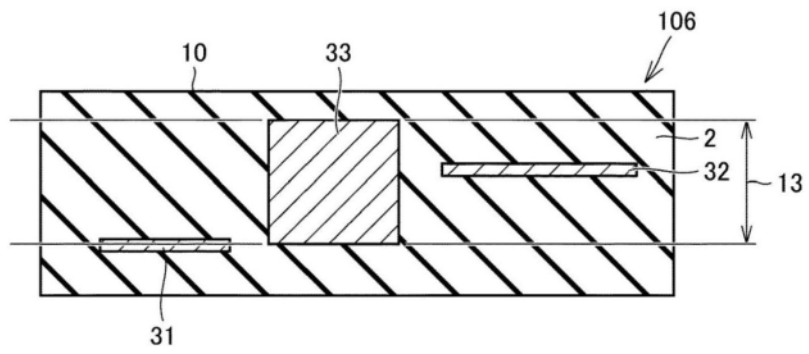


图8

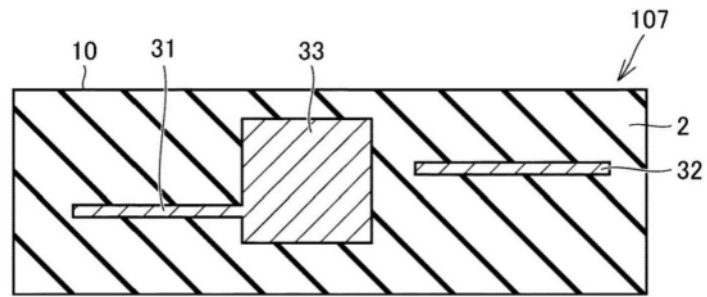


图9

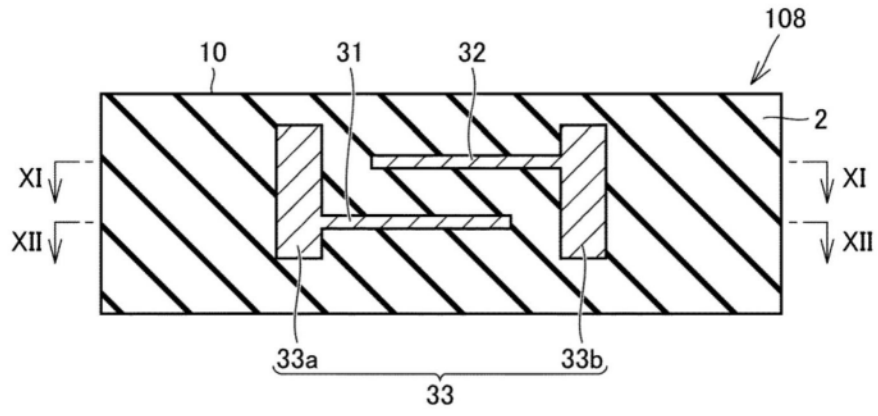


图10

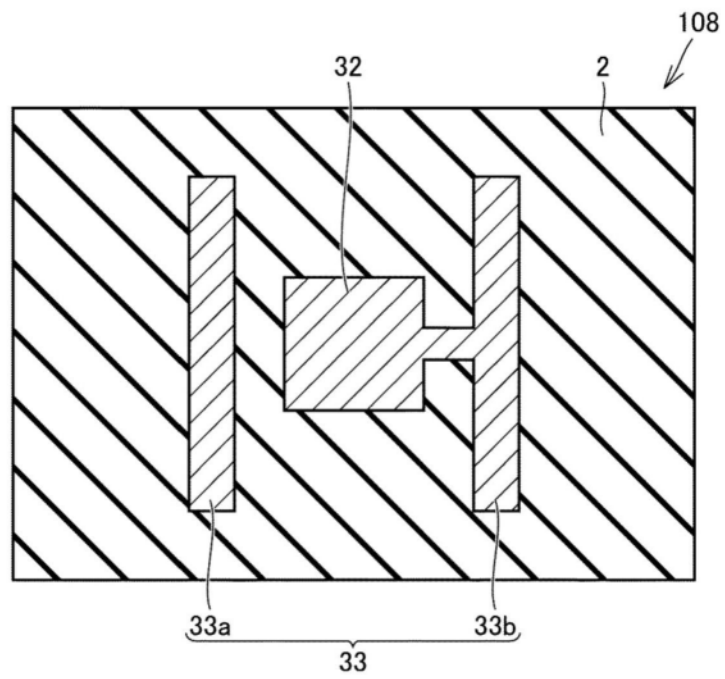


图11

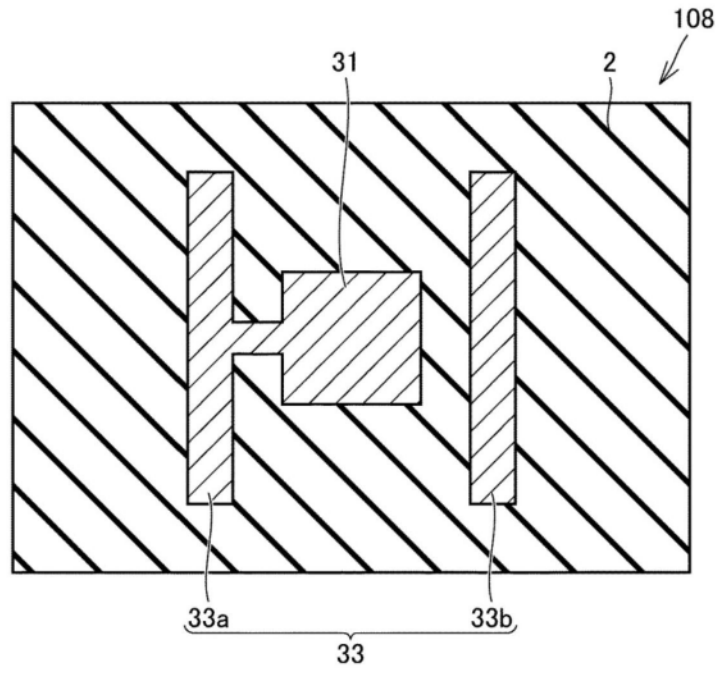


图12

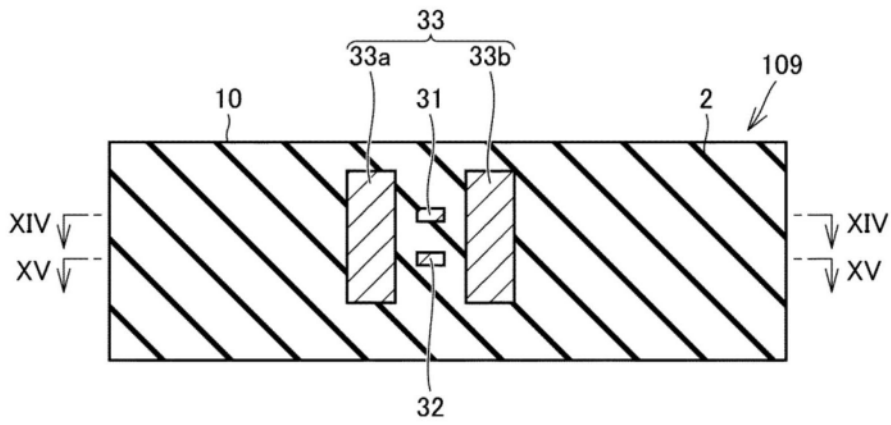


图13

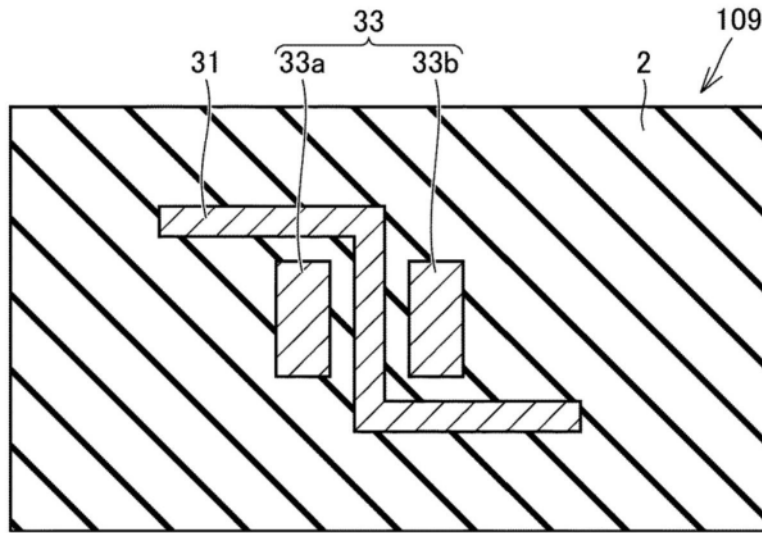


图14

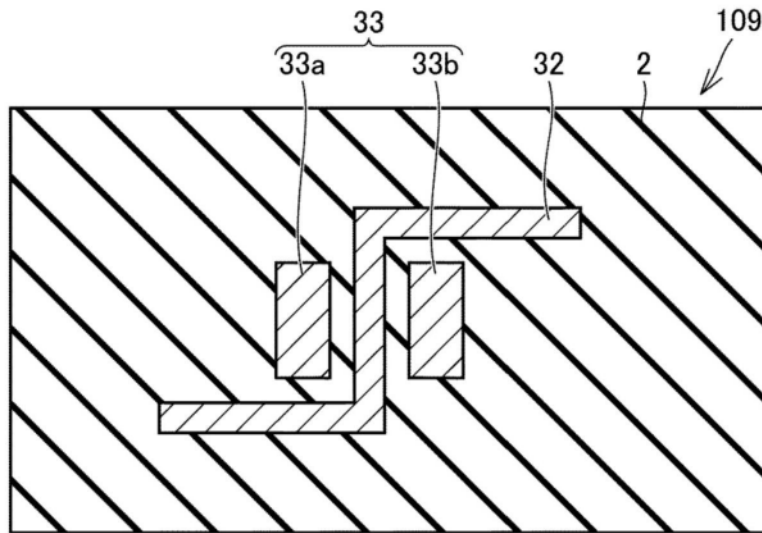


图15

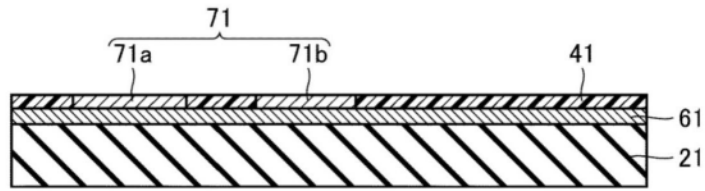


图21

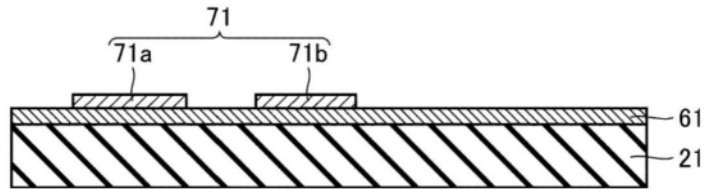


图22

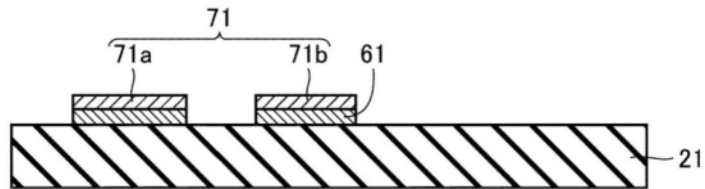


图23

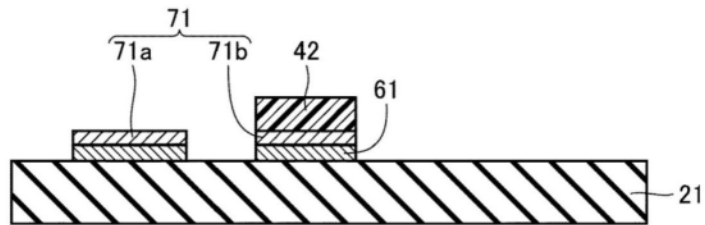


图24

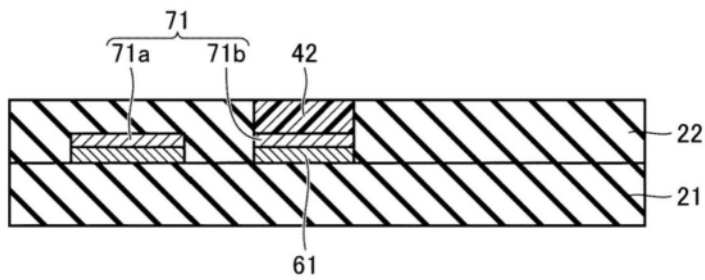


图25

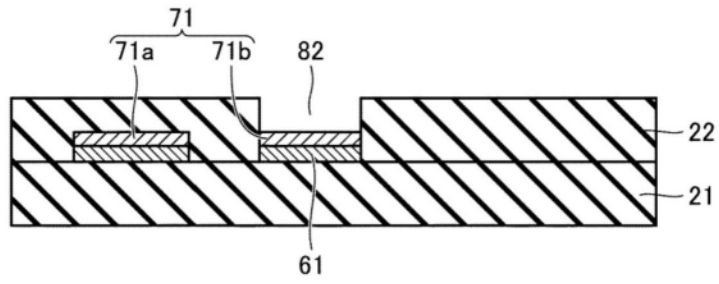


图26

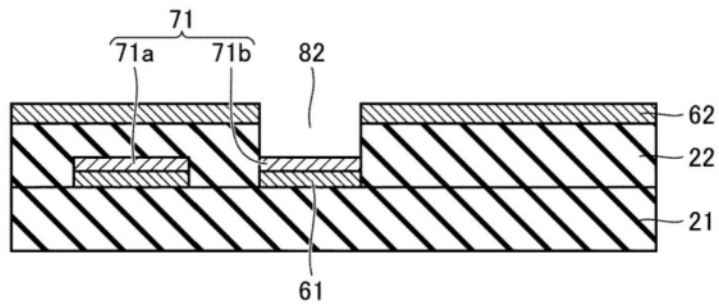


图27

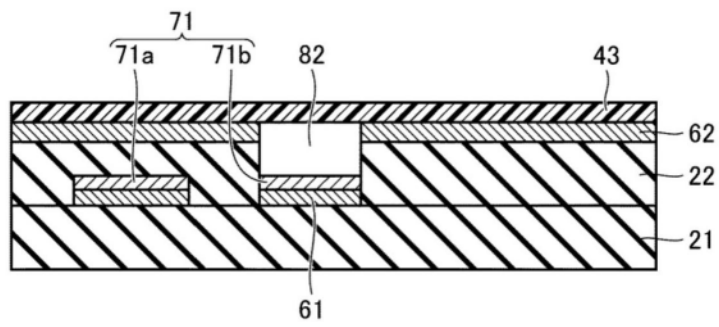


图28

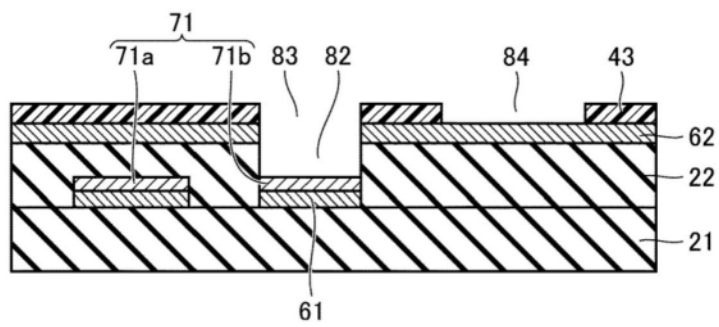


图29

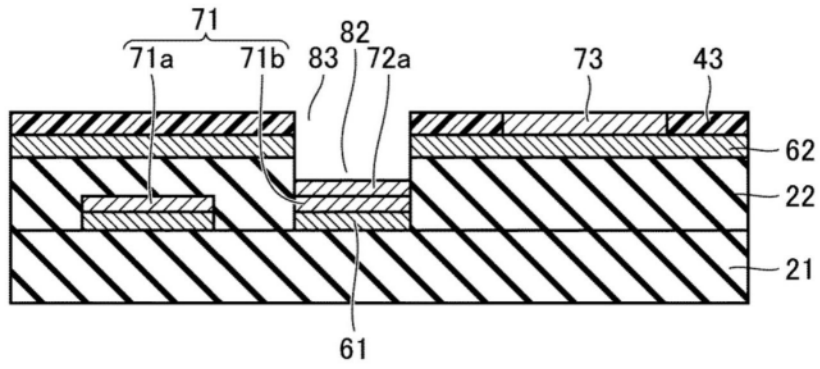


图30

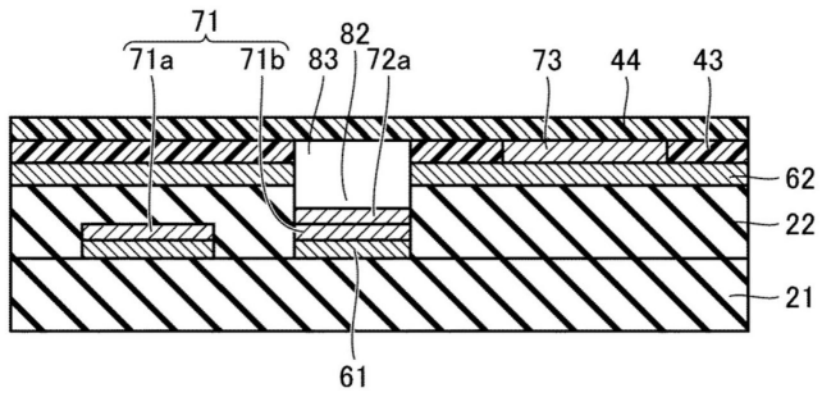


图31

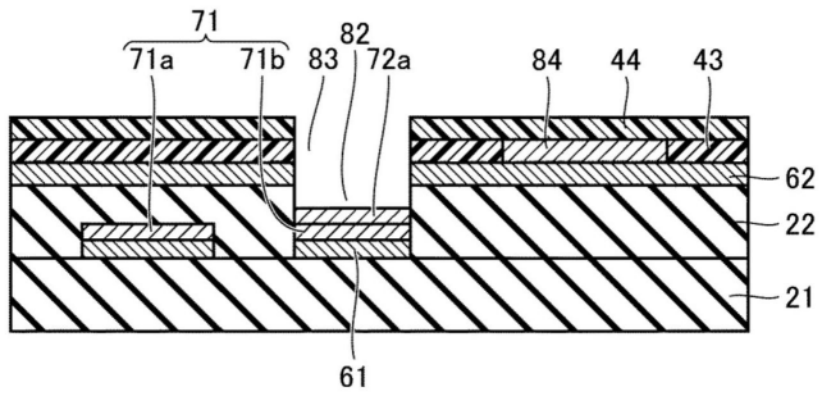


图32

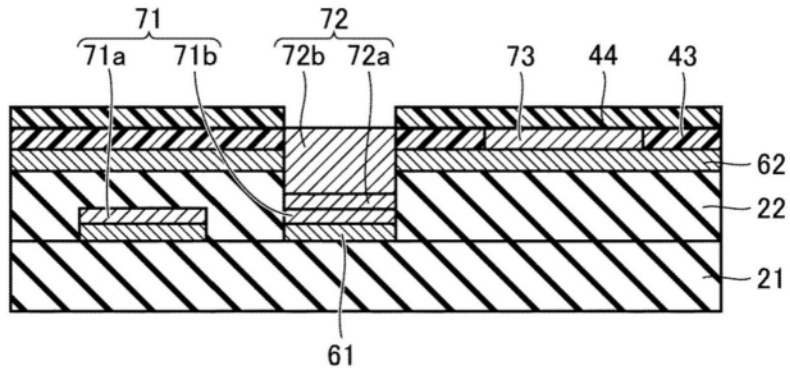


图33

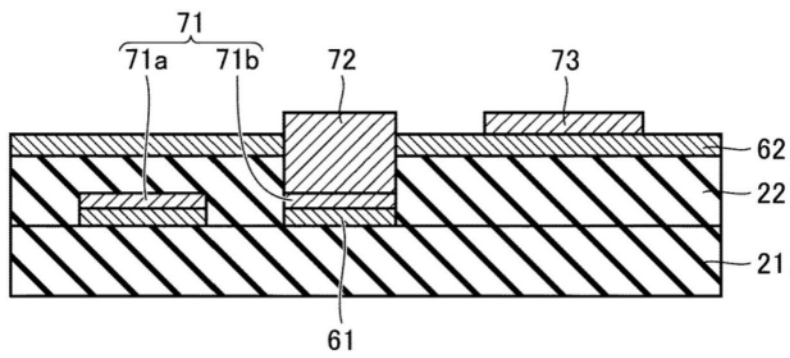


图34

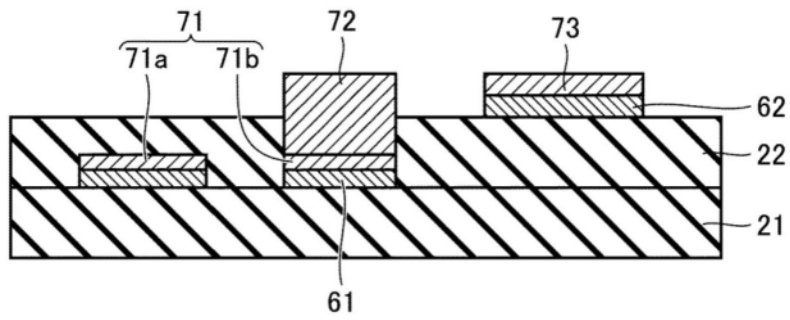


图35

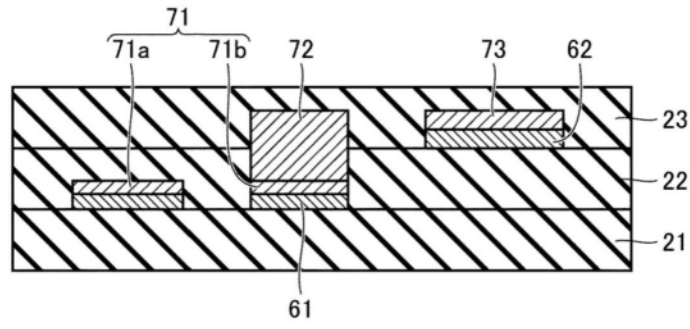


图36

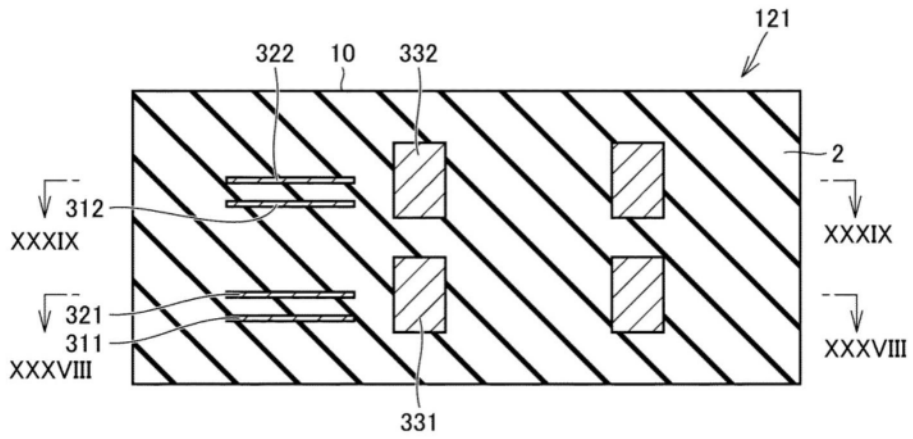


图37

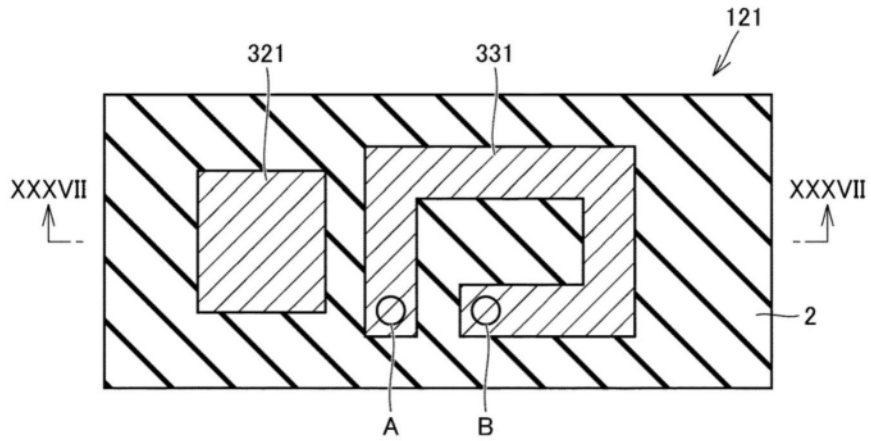


图38

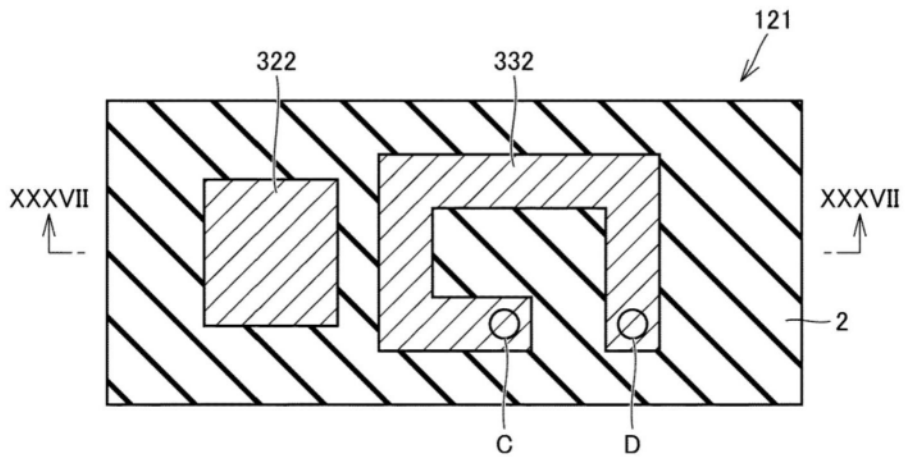


图39

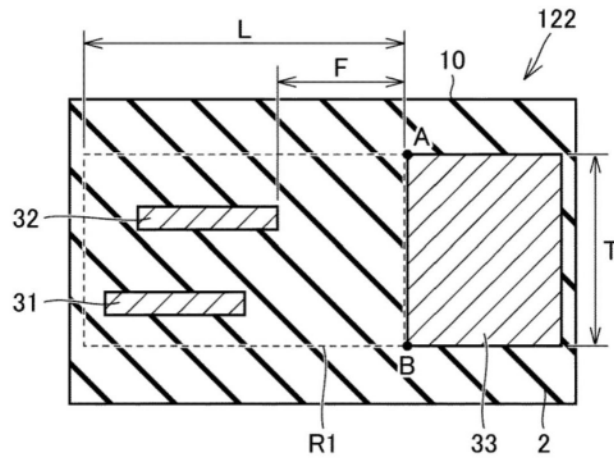


图40

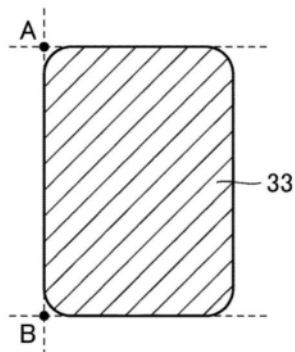


图41

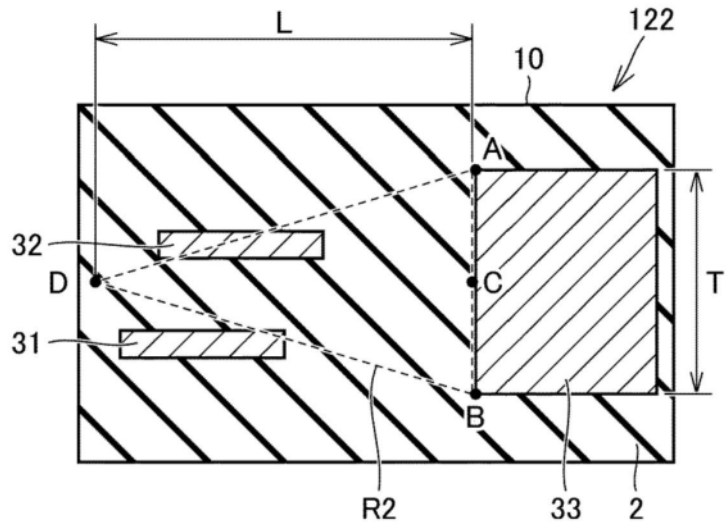


图42