



發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97140305

※申請日期：97 年 10 月 21 日

※IPC 分類：H01L 21/336 (2006.01)
H01L 21/027 (2006.01)

一、發明名稱：

(中) 顯示裝置的製造方法

(英) Method for manufacturing display device

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎 舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036 Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓 名：(中) 細谷 邦雄

(英) HOSOYA, KUNIO

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 藤川 最史

(英) FUJIKAWA, SAISHI

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 千葉 陽子

(英) CHIBA, YOKO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.日本 ; 2007/10/23 ; 2007-275786 ☒有主張優先權

五、中文發明摘要

發明之名稱：顯示裝置的製造方法

在具有通道蝕刻結構的反交錯型薄膜電晶體的顯示裝置的製造方法中，使用掩模層進行蝕刻，該掩模層使用用作透過的光具有多個強度的曝光掩模的多色調掩模形成。進而，在基板上以彼此相同的步驟形成閘極佈線層和源極佈線層，且在閘極佈線層和源極佈線層的交叉部使源極佈線層分離（分開）。被分離的源極佈線層藉由開口（接觸孔）經由導電層彼此電連接。該導電層藉由與形成源電極層及汲電極層相同的步驟在閘極絕緣層上形成。

六、英文發明摘要

發明之名稱：

METHOD FOR MANUFACTURING DISPLAY DEVICE

Etching is performed using mask layers formed by a multi-tone mask which is a light-exposure mask through which light is transmitted to have a plurality of intensity, in a method for manufacturing a display device including an inverted staggered thin film transistor with a channel-etched structure. Further, a gate wiring layer and a source wiring layer are formed over a substrate in the same step, and the source wiring layer is separated (disconnected) at an intersection of the gate wiring layer and the source wiring layer. The separated source wiring layers are connected to each other electrically through an opening (a contact hole) via a conductive layer formed over a gate insulating layer in the same step as formation of source and drain electrode layers.

七、指定代表圖

(一)、本案指定代表圖為：第 (3D) 圖

(二)、本代表圖之元件代表符號簡單說明：

208b：開口

209：開口

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明

【發明所屬之技術領域】

本發明涉及至少在像素部中使用薄膜電晶體的顯示裝置及該顯示裝置的製造方法。

【先前技術】

近年來，使用形成在具有絕緣表面的基板上的半導體薄膜（厚度大約幾 nm 至幾百 nm）來構成薄膜電晶體的技術正受到關注。薄膜電晶體在諸如 IC 和電光學裝置等的電子裝置中被廣泛地應用，特別地作為圖像顯示裝置的開關元件正在加快開發。

作為像素顯示裝置的開關元件利用使用非晶半導體膜的薄膜電晶體或使用多晶半導體膜的薄膜電晶體等。

當製造薄膜電晶體時，採用使用多個曝光掩模（也稱作光掩模），並且藉由光刻程序形成疊層結構的方法。但是，為了實現製造成本的縮減或成品率的提高，重要的是步驟數目的減少，研究縮減光刻步驟數目，即縮減曝光掩模數的技術（例如，參照專利文獻 1 及專利文獻 2。）。

[專利文獻 1] 日本專利申請公開 2001-313397 號公報

[專利文獻 2] 日本專利申請公開 2007-133371 號公報

如上述專利文獻所注目，光刻程序由光致抗蝕劑的形成、使用曝光掩模的曝光處理和顯影處理等構成。而且光

刻程序是除了這些程序以外還可以包括洗滌處理或檢查等的包括多個步驟的程序，並且它是給製造成本、成品率及生產率等給予大影響的主要原因之一。尤其，設計或製造成本高的曝光掩模數的縮減是重要課題。

【發明內容】

鑒於上述問題，本發明的目的之一在於藉由縮減曝光掩模數而將光刻程序簡化來以低成本來製造具有高可靠性的顯示裝置。

在具有通道蝕刻結構的反交錯型薄膜電晶體的顯示裝置的製造方法中，使用掩模層進行蝕刻，該掩模層由用作透過的光變成多個強度的曝光掩模的多色調掩模形成。進而，在基板上以彼此相同的步驟形成閘極佈線層和源極佈線層，且在閘極佈線層和源極佈線層的交叉部分離（分開）源極佈線層。被分離的源極佈線層在開口（接觸孔）中藉由佈線層彼此電連接。該佈線層藉由與源電極層及汲電極層相同的步驟在閘極絕緣層上形成。

源電極層及汲電極層由透光導電層和導電層的疊層形成，並且藉由選擇性地去掉導電層且使透光導電層露出而形成像素電極層。

使用多色調掩模形成的掩模層成為具有多個膜厚的形狀，並且藉由進行灰化可以進一步改變其形狀，所以可以用於加工為不同的圖案的多個蝕刻步驟。因此，使用一個多色調掩模可以形成對應於至少兩種以上的不同的圖案的

掩模層。由此，可以縮減曝光掩模數且可以縮減對應的光刻步驟，所以可以實現程序的簡化。

用作閘極佈線層、源極佈線層、源電極層以及汲電極層的導電層由對光具有反射性的導電材料形成。另一方面基板或像素電極層由具有透光性的材料形成。在形成掩模層的曝光步驟中，該掩模層用於對用作薄膜電晶體的保護膜的絕緣膜的蝕刻步驟，可以從與基板的元件形成一側的相反一側（也稱作背面一側）照射光，進行背面曝光。在該背面曝光中，以用於閘極佈線層、源極佈線層、源電極層以及汲電極層的具有反射性的導電層為掩模而使用。從而，不需要形成用於絕緣膜的蝕刻的曝光掩模，可以進一步縮減光刻步驟的次數。

進而，使用光刻步驟形成的掩模層可以進行加熱處理（也稱作回流處理）來加工其形狀。藉由加熱處理，掩模層以其周圍擴大的方式延伸並覆蓋絕緣膜上的更大的區域。

源電極層或汲電極層和像素電極採用不隔著絕緣膜且彼此直接接觸而設置的結構，所以可以降低源電極層或汲電極層和像素電極之間形成的寄生電容。另一方面，因為源極佈線層和像素電極層隔著閘極絕緣層形成，所以在採用細節的設計的情況下也可以防止形狀不良所導致的源極佈線層和像素電極層的短路等的電缺陷。

因此，藉由縮減曝光掩模數將光刻程序簡化，可以以低成本且高生產率製造具有高可靠性的顯示裝置。

本發明的顯示裝置的製造方法之一是如下：在透光基板上形成閘極佈線層，且中間夾著閘極佈線層形成第一源極佈線層以及第二源極佈線層。在閘極佈線層、第一源極佈線層以及第二源極佈線層上形成閘極絕緣層。在閘極絕緣層上層疊半導體膜及添加有賦予一導電型的雜質的半導體膜。在添加有賦予一導電型的雜質的半導體膜上形成第一掩模層。使用第一掩模層對閘極絕緣層、半導體膜以及添加有賦予一導電型的雜質的半導體膜進行蝕刻，而形成到達第一源極佈線層的第一開口和到達第二源極佈線層的第二開口。對第一掩模層進行灰化形成第二掩模層。使用第二掩模層對半導體膜及添加有賦予一導電型的雜質的半導體膜進行蝕刻，而形成半導體層及添加有賦予一導電型的雜質的半導體層。在閘極佈線層、第一源極佈線層、第二源極佈線層、閘極絕緣層、半導體層以及添加有賦予一導電型的雜質的半導體層上形成透光導電膜及導電膜的疊層。在透光導電膜及導電膜上形成第三掩模層。使用第三掩模層對透光導電膜及導電膜進行蝕刻，來形成具有凹部的半導體層、源區域、汲區域、透光導電層及導電層的疊層的源電極層及汲電極層。對第三掩模層進行灰化形成第四掩模層。使用第四掩模層對源電極層或汲電極層的導電層選擇性地進行蝕刻而使透光導電層露出來形成像素電極層。形成經由第一開口及第二開口電連接第一源極佈線層及第二源極佈線層的源電極層或汲電極層。第一掩模層及第三掩模層使用透過的光具有多個強度的曝光掩模形成。

具有凹部的半導體層具有比與源區域及汲區域重疊的區域的膜厚薄的膜厚的區域。

在上述構成中，在用作像素電極的透光導電層上形成液晶層，而可以製造液晶顯示裝置。藉由以用作像素電極層的區域為透光導電層可以製造透過型液晶顯示裝置，並且藉由以用作像素電極層的區域為其一部分具有反射性的導電層可以製造半透過型液晶顯示裝置。

根據本發明，藉由縮減曝光掩模數而將光刻程序簡化，可以以低成本且高生產率製造具有高可靠性的顯示裝置。

【實施方式】

關於本發明的實施方式，使用附圖來詳細地說明。但是，本發明不局限於以下說明，本領域的普通技術人員容易理解，其方式和細節可以在不脫離本發明的宗旨及其範圍的條件下作各種各樣的變換。因此，本發明不應該被解釋為僅限於以下所示的實施方式的記載內容。注意，在以下所說明的本發明的結構中，在不同附圖之間共同使用相同的參考符號來表示相同的部分或具有同樣功能的部分，而省略其重複說明。

實施方式 1

在本實施方式中，關於具有薄膜電晶體的顯示裝置及其製造方法，使用圖 1A 至圖 7B 來進行說明。

n 型薄膜電晶體的遷移率比 p 型薄膜電晶體的遷移率

高，所以 n 型薄膜電晶體適合驅動電路。但是在本發明中，無論使用 n 型或 p 型都可以。在使用任何極性的薄膜電晶體的情況下，都最好使形成在相同基板上的所有薄膜電晶體的極性一致，以便抑制步驟數。在此，使用 n 通道型的薄膜電晶體來進行說明。

圖 1A 至 1C 及圖 2A 至 2C 是顯示裝置的平面圖的一例，其中具有使用本發明的主動矩陣基板的薄膜電晶體。在圖 1A 及圖 2A 中，爲了實現附圖的簡化，表示以矩陣狀的方式配置的多個像素中的一個的像素結構。圖 1B、1C 及圖 2B、2C 表示用於電連接外部電路和主動矩陣基板的端子部。圖 3A 至圖 6C 是表示具有薄膜電晶體的顯示裝置的製造程序的圖。在圖 3A 至圖 6C 中，X-X'、Y-Y'、Z-Z' 分別相當於沿圖 1A 至圖 2C 的線 X-X'、Y-Y'、Z-Z' 的截面。

如圖 1A 所示，主動矩陣基板具有配置爲彼此平行的多個閘極佈線層（也稱作閘極信號線）和交叉於各個閘極佈線層的多個源極佈線層（也稱作源信號線）。在基板上以彼此相同的步驟形成閘極佈線層和源極佈線層，在閘極佈線層和源極佈線層的交叉部使源極佈線層分離（分開）。被分離的源極佈線層經由開口（接觸孔）藉由佈線層彼此電連接。該佈線層藉由與源電極層及汲電極層相同的步驟在閘極絕緣層上形成。

源電極層及汲電極層由透光導電層和導電層（金屬膜）的疊層形成，並且藉由選擇性地去掉導電層且使透光導

電層露出而形成像素電極層。

在由閘極佈線層和源極佈線層圍繞的區域配置有用作像素電極的透光導電層，藉由以重疊於部分地鄰接的閘極佈線層的方式設置透光導電層來形成存儲電容器。

進而在閘極佈線層和源極佈線層的交叉部附近設置有薄膜電晶體（也稱作 TFT）作為開關元件。該薄膜電晶體是具有通道蝕刻結構的反交錯型薄膜電晶體。

在本發明中，被分離的源極佈線層經由開口（接觸孔）藉由佈線層彼此電連接。該佈線層藉由與源電極層及汲電極層相同的步驟在閘極絕緣層上形成。因此，當在連接處的開口中發生接觸不良時，不用作源極佈線層。圖 7A、7B 表示源極佈線層及開口的連接方法的一例。

圖 7A 表示為了降低接觸不良的可能性，設置多個用於連接的閘極絕緣層的開口的例子。源極佈線層 236 和源極佈線層 202 藉由形成在開口 251a1、251a2 以及開口 251b1、251b2 中的透光導電層 218a 及導電層 225a 電連接。在此情況下，即使在一個開口中發生連接不良，也在另一開口中連接而能夠維持作為信號線的功能。圖 7B 表示將閘極絕緣層的開口 252a、252b 形成於包括源極佈線層 236 及源極佈線層 202 的端部的位置的一例。由此，藉由在源極佈線層 236 及源極佈線層 202 的端部也連接源極佈線層 236 及源極佈線層 202 和透光導電層 218a 及導電層 225a，可以降低連接不良的可能性。

在圖 1A 至圖 6C 中，Y-Y'、Z-Z' 表示端子部的結

構。Y-Y' 表示以與閘極佈線層相同步驟形成的引導在像素周圍部的佈線與端子連接的部分的截面結構。在形成於閘極絕緣層的開口中，以與閘極佈線層相同步驟形成的佈線連接到以與源電極層及汲電極層相同步驟形成的透光導電層及導電層的疊層，並且在端子部之前疊層成為透光導電層的單層結構，並延伸到端子部。Z-Z' 表示以與源電極層及汲電極層相同步驟形成的引導在像素周圍部的佈線連接到端子的部分的截面結構。以與源電極層及汲電極層相同步驟形成的引導的佈線是透光導電層及導電層的疊層，並且在端子部成為透光導電層的單層。在圖 1B、1C 及圖 2B、2C 所示的端子部中，露出的透光導電層經由各向異性導電層等的導電黏合劑材料而電連接到基板外部的驅動電路。

圖 2A 至 2C 表示在圖 1A 至 1C 的程序之後，作為保護膜形成在像素區域中具有開口的絕緣膜 231 的程序。有助於絕緣膜 231，薄膜電晶體 235 可以防止污染物所導致的特性的降低。

以下，詳細地說明製造方法。在透光基板 200 上形成源極佈線層 201、202 及閘極佈線層 203（圖 3A）。作為透光基板 200，可以使用藉由熔化法或浮法製造的無鹼玻璃基板例如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等；還可以使用具有可承受本製造程序的處理溫度的耐熱性的塑膠基板等。作為透光基板 200 的尺寸可以採用 320mm×400mm、370mm×470mm、550mm×650mm、

600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm、或者2850mm×3050mm等。

源極佈線層201、202及閘極佈線層203使用鈦、鉬、鉻、鉬、鎢、鋁等金屬材料或它們的合金材料來形成。源極佈線層201、202及閘極佈線層203可以藉由濺射法或真空蒸鍍法在透光基板200上形成導電膜，藉由光刻技術或噴墨法在該導電膜上形成掩模層，並且使用該掩模層對導電膜進行蝕刻來形成。另外，也可以使用銀、金、銅等導電奈米膏藉由噴墨法噴射並焙燒來形成源極佈線層201、202及閘極佈線層203。注意，作為為了提高源極佈線層201、202及閘極佈線層203的緊密性且防止擴散的阻擋金屬，可以在透光基板200和源極佈線層201、202及閘極佈線層203之間提供上述金屬材料的氮化物膜。

另外，源極佈線層201、202及閘極佈線層203也可以採用疊層結構，並作為阻擋金屬還可以在上層形成阻擋金屬膜。例如可以採用從透光基板200一側層疊的鋁膜和鉬膜的疊層、銅膜和鉬膜的疊層、銅膜和氮化鈦膜的疊層、銅膜和氮化鉬膜的疊層等。作為源極佈線層201、202及閘極佈線層203最好使用鋁等低電阻金屬材料。在上述疊層結構中，形成在上層的阻擋金屬的鉬膜和氮化物膜如氮化鈦膜、氮化鉬膜等具有阻擋金屬的效果。

注意，在源極佈線層201、202及閘極佈線層203上

形成半導體膜和佈線，因此最好將其端部加工為錐形以便防止斷開。

接著，在源極佈線層 201、202 及閘極佈線層 203 上依次形成閘極絕緣層 204、半導體膜 205、添加有賦予一導電型的雜質的半導體膜 206（參照圖 3B）。

另外，也可以以不暴露於大氣的方式連續地形成閘極絕緣層 204、半導體膜 205、添加有賦予一導電型的雜質的半導體膜 206。藉由以不暴露於大氣的方式連續地形成閘極絕緣層 204、半導體膜 205、添加有賦予一導電型的雜質的半導體膜 206，可以在不受到大氣成分或大氣中懸浮的污染雜質元素的污染的狀態下形成各個疊層介面。因此可以降低薄膜電晶體的特性的不均勻性。

閘極絕緣層 204 可以藉由 CVD 法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜形成。在本實施方式中，將表示依次層疊氮化矽膜或氮氧化矽膜以及氧化矽膜或氧氮化矽膜來形成閘極絕緣層 204 的方式。另外，閘極絕緣層也可以不採用兩層結構，而採用如下三層結構，即從基板一側依次層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜、以及氮化矽膜或氮氧化矽膜的三個層來形成閘極絕緣層。另外，閘極絕緣層還可以由氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜的單層形成。進而，最好使用頻率為 1GHz 的微波電漿 CVD 裝置形成閘極絕緣層。使用微波電漿 CVD 裝置形成的氧氮化矽膜、氮氧化矽膜的耐壓性高，所以可以提高之後形成的薄

膜電晶體的可靠性。

作為閘極絕緣層的三層疊層結構的例子，也可以在閘電極層上層疊氮化矽膜或氮氧化矽膜作為第一層，層疊氧氮化矽膜作為第二層，層疊氮化矽膜作為第三層，並且在最上層的氮化矽膜上形成半導體膜。在此情況下，第一層的氮化矽膜或氮氧化矽膜的厚度最好大於 50nm，並且該膜發揮阻擋鈉等的雜質的阻擋膜的效果以及防止閘電極的小丘的產生和閘電極的氧化等的效果。第三層的氮化矽膜發揮提高半導體膜的緊密性的效果以及防止氧化的效果。

如上所述，藉由在閘極絕緣層的表面上形成極薄的氮化膜如氮化矽膜，可以提高半導體膜的緊密性。氮化膜可以使用電漿 CVD 法形成，也可以使用利用微波的高密度和低溫的電漿處理進行氮化處理。另外，也可以在對反應室進行矽烷沖洗處理時形成氮化矽膜、氮氧化矽膜。

在此，氧氮化矽膜指的是在其組成中氧含量高於氮含量的膜，其中在 55 原子%至 65 原子%的濃度範圍內包含氧，在 1 原子%至 20 原子%的範圍內包含氮，在 25 原子%至 35 原子%的範圍內包含 Si，在 0.1 原子%至 10 原子%的範圍內包含氫。另外，氮氧化矽膜指的是在其組成中氮含量高於氧含量的膜，其中在 15 原子%至 30 原子%的濃度範圍內包含氧，在 20 原子%至 35 原子%的範圍內包含氮，在 25 原子%至 35 原子%的範圍內包含 Si，在 15 原子%至 25 原子%的範圍內包含氫。

在形成 n 通道型薄膜電晶體的情況下，作為添加有賦

予一導電型的雜質的半導體膜 206 的典型雜質元素添加磷即可，即對於氫化矽添加 PH_3 等的雜質氣體即可。此外，在形成 p 通道型薄膜電晶體的情況下，作為典型雜質元素添加硼即可，即對於氫化矽添加 B_2H_6 等的雜質氣體即可。添加有賦予一導電型的雜質的半導體膜 206 可以由非晶半導體、微晶半導體或多晶半導體形成。添加有賦予一導電型的雜質的半導體膜 206 的膜厚設定為 2nm 至 50nm（最好為 10nm 至 30nm）即可。

在半導體膜 205 及添加有賦予一導電型的雜質的半導體膜 206 上形成掩模層 207a 至 207e（參照圖 3C）。

在本實施方式中，表示為了形成掩模層 207a 至 207e 進行使用多色調（高色調）掩模的曝光的例子。為了形成掩模層 207a 至 207e 形成抗蝕劑。作為抗蝕劑可以使用正型抗蝕劑或負型抗蝕劑。在此，使用正型抗蝕劑來表示。

然後，作為曝光掩模使用多色調掩模 59，對抗蝕劑照射光，對抗蝕劑進行曝光。

在此，關於使用多色調掩模 59 來進行的曝光，參照圖 13A 至 13D 說明。

多色調掩模指的是對曝光部分、中間曝光部分以及未曝光部分可以進行三級的曝光的掩模，並且它是透過的光具有多個強度的曝光掩模。藉由一次的曝光及顯影程序，可以形成具有多個（典型地具有兩種）厚度區域的抗蝕劑掩模。因此，藉由使用多色調掩模，可以縮減曝光掩模的數目。

作為多色調掩模的代表例，可以舉出圖 13A 所示的灰色調掩模 59a 以及圖 13C 所示的半色調掩模 59b。

如圖 13A 所示，灰色調掩模 59a 由透光基板 163、形成在其上的遮光部 164 及繞射光柵 165 構成。在遮光部 164 中，光透過率為 0%。另一方面，繞射光柵 165 可以藉由將狹縫、點、網眼等的光透過部的間隔設定為用於曝光的光的解析度限度以下的間隔來控制光透過率。注意，可以使用具有週期性的狹縫、點、或網眼或者具有非週期性的狹縫、點、或網眼作為繞射光柵 165。

作為透光基板 163，可以使用石英等的透光基板。遮光部 164 及繞射光柵 165 可以使用鉻或氧化鉻等的吸收光的遮光材料形成。

在對灰色調掩模 59a 照射曝光光線的情況下，如圖 13B 所示，在遮光部 164 中，光透過率 166 為 0%，且在不設置有遮光部 164 及繞射光柵 165 的區域中，光透過率 166 為 100%。另外，在繞射光柵 165 中，可以以 10% 至 70% 的範圍內調整光透過率。藉由調整繞射光柵的狹縫、點或網眼的間隔及柵距可以調整繞射光柵 165 中的光透過率。

如圖 13C 所示，半色調掩模 59b 由透光基板 163、形成在其上的半透過部 167 以及遮光部 168 構成。作為半透過部 167 可以使用 MoSiN 、 MoSi 、 MoSiO 、 MoSiON 、 CrSi 等。遮光部 168 可以使用鉻或氧化鉻等吸收光的遮光材料形成。

在對半色調掩模 59b 照射曝光光線的情況下，如圖 13D 所示，在遮光部 168 中，光透過率 169 為 0%，且在不設置有遮光部 168 及半透過部 167 的區域中，光透過率 169 為 100%。另外，在半透過部 167 中，可以以 10% 至 70% 的範圍內調整光透過率。半透過部 167 中的光透過率可以根據半透過部 167 的材料調整。

藉由使用多色調掩模來進行曝光之後進行顯影，可以形成如圖 3C 所示那樣具有膜厚不同的區域的掩模層 207a 至 207e。

接著，使用掩模層 207a 至 207e 對閘極絕緣層 204、半導體膜 205 以及添加有賦予一導電型的雜質的半導體膜 206 進行蝕刻，而形成到達源極佈線層 236 的開口 208a、到達源極佈線層 202 的開口 208b 以及到達源極佈線層 201 的開口 209（參照圖 3D）。

接著，對掩模層 207a 至 207e 進行灰化。其結果，掩模層 207a 至 207e 的面積縮小且其厚度變成薄。此時，膜厚薄的區域的掩模層 207a 至 207e 的抗蝕劑被去掉，可以形成掩模層 210（參照圖 4A）。

使用掩模層 210 對半導體膜 205 及添加有賦予一導電型的雜質的半導體膜 206 進行蝕刻，而形成半導體層 211 及添加有賦予一導電型的雜質的半導體層 212（參照圖 4B）。然後去掉掩模層 210。

將多色調掩模用作曝光掩模來形成的掩模層成為具有多個膜厚的形狀，並進行灰化來可以進一步改變形狀，所

以可以用於加工爲不同的圖案的多個蝕刻步驟。因此，使用一個多色調掩模可以形成對應於至少兩種以上的不同的圖案的掩模層。由此，可以縮減曝光掩模數且可以縮減對應的光刻步驟，所以可以實現步驟的簡化。

在開口 208b、開口 209、閘極絕緣層 204、半導體層 211 以及添加有一導電型的雜質的半導體層 212 上按順序層疊而形成透光導電膜 213 及導電膜 214（參照圖 4C）。在本實施方式中導電膜 214 是金屬膜，並對於光具有反射性。

作爲透光導電膜 213 可以使用如下具有透光性的導電材料，即包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下，稱作 ITO）、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

另外，透光導電膜 213 可以使用包含導電高分子（也稱作導電聚合物）的導電組成物來形成。使用導電組成物來形成的透光導電膜的薄層電阻（sheet resistance）最好爲 $10000\Omega/\square$ （square）以下，且當波長爲 550nm 時的透光率最好爲 70% 以上。另外，包含在導電組成物中的導電高分子的電阻率最好爲 $0.1\Omega\cdot\text{cm}$ 以下。

作爲導電高分子，可以使用所謂的 π 電子共軛系統導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者其中兩種以上的共聚物等。

作為導電膜 214 可以使用具有反射性的金屬膜，它最好以單層或疊層使用鈦、鎢、鎳、金、鉑、銀、銅、鉭、鉬、鋁、鎂、鈣、鋰等的材料、或者上述材料的合金或氮化物來形成。另外，也可以採用如下疊層結構，即接觸於添加有賦予一導電型的雜質的半導體膜一側的膜由鈦、鉭、鉬、鎢或該元素的氮化物形成，在其上形成鋁或鋁合金。進而，也可以採用如下疊層結構，即使用鈦、鉭、鉬、鎢或該元素的氮化物來夾住鋁或鋁合金的上面及下面。

使用濺射法及真空蒸鍍法形成導電膜 214 即可。此外，也可以使用絲網印刷法、噴墨法等噴出銀、金、銅等的導電奈米膏並焙燒來形成導電膜 214。

在透光導電膜 213 及導電膜 214 上形成掩模層 215a 至 215d（參照圖 4D）。在本實施方式中，掩模層 215a 至 215d 與掩模層 207a 至 207d 同樣進行使用多色調（高級灰度）掩模的曝光來形成。

藉由使用多色調掩模進行曝光之後進行顯影，可以形成如圖 4D 所示具有膜厚不同的區域的掩模層 215a 至 215d。

使用掩模層 215a 至 215d 對半導體層 211、添加有賦予一導電型的雜質的半導體層 212、透光導電膜 213 及導電膜 214 進行蝕刻，而形成具有凹部的半導體層 216、添加有賦予一導電型的雜質的半導體層的源區域或汲區域 217a、217b、透光導電層 218a、218b、219、220 以及導電層 221a、221b、222、223（參照圖 5A）。

接著，對掩模層 215a 至 215d 進行灰化。其結果，掩模層 215a 至 215d 的面積縮小且其厚度變薄。此時，掩模層 215a 至 215d 的膜厚薄的區域的抗蝕劑被去掉，可以形成掩模層 224a 至 224d（參照圖 5B。）。另外，因為掩模層 215a 至 215d 各向同性地被灰化，所以掩模層 224a 至 224d 的端部與掩模層 215a 至 215d 的端部不對準並進一步後退且縮小。

使用掩模層 224a 至 224d 對導電層 221a、221b、222、223 進行蝕刻，而形成用作源電極層或汲電極層的導電層 225a、225b、導電層 226、227（參照圖 5C）。

藉由選擇性地去掉透光導電層 218b 上的導電層 221b 且使透光導電層 218b 露出來形成像素電極層。藉由以用作像素電極層的區域為透光導電層可以製造透過型液晶顯示裝置，並且藉由用作像素電極層的區域的一部分殘留有反射性的導電層可以製造半透過型液晶顯示裝置。

導電層 225a、225b 中反映掩模層 224a 至 224d 的形狀，導電層 225a、225b 的端部與層疊的透光導電層 218a、218b 及源區域或汲區域 217a、217b 的端部不對準並進一步後退且縮小，而透光導電層 218a、218b 及源區域或汲區域 217a、217b 成為向導電層 225a、225b 的外側突出的形狀。與其同樣地，透光導電層 219、220 成為向導電層 226、227 的外側突出的形狀。然後去掉掩模層 224a 至 224d。

接著，在導電層 225a、225b、導電層 226、227、透

光導電層 218a、218b、219、220、源區域或汲區域 217a、217b、具有凹部的半導體層 216、以及閘極絕緣層 204 上形成絕緣膜 228（參照圖 5D）。

絕緣膜 228 可以與閘極絕緣層 204 同樣形成。注意，絕緣膜 228 用於防止大氣中懸浮的有機物、金屬物或水蒸氣等污染雜質的侵入，所以最好採用細密的膜。在本實施方式中使用氮化矽膜。

在絕緣膜 228 上形成掩模層 229a 至 229c（參照圖 6A）。

用作閘極佈線層 203、源極佈線層 201、202、導電層 225a、225b、導電層 226、227 的導電層由對光具有反射性的導電材料形成。另一方面，透光基板 200 或透光導電層 218a、218b、219 以及 220 由具有透光性的材料形成。在形成用於用作薄膜電晶體的保護膜的絕緣膜 228 的蝕刻步驟的掩模層 229a 至 229c 的曝光步驟中，可以從透光基板 200 的相對於元件形成一側的相反一側（也稱作背面一側）照射光，可以進行背面曝光。在該背面曝光中，可以以用於閘極佈線層 203、源極佈線層 201、202、導電層 225a、225b、以及導電層 226、227 的具有反射性的導電層為掩模來進行背面曝光。從而，不需要形成用於絕緣膜 228 的蝕刻的曝光掩模，可以進一步縮減光刻步驟的次數。

進而，使用光刻步驟形成的掩模層可以進行加熱處理（也稱作回流處理）來加工其形狀。在本實施方式中，對

掩模層 229a 至 229c 進行加熱處理，而形成掩模層 230a 至 230c（參照圖 6B）。因為藉由加熱處理，掩模層 229a 至 229c 以其周圍擴大的方式延伸且其面積變大，所以成為覆蓋絕緣膜 228 上的更大的區域的掩模層 230a 至 230c。掩模層 230a 至 230c 的面積至少到達閘極佈線層 203、源極佈線層 201、202、導電層 225a、225b、以及導電層 226、227 的端部的側即可。關於覆蓋用作像素電極的透光導電膜 218b 的導電層 225b 上的掩模層 230b，若是藉由加熱處理掩模層 230b 的面積變太大就開口率降低，所以控制加熱條件。

藉由以掩模層 230a 至 230c 為掩模並對絕緣膜 228 進行蝕刻，形成絕緣膜 231a 至 231c（參照圖 6C）。因為絕緣膜 231a 至 231c 反映掩模層 230a 至 230c 的形狀，所以成為覆蓋閘極佈線層 203、源極佈線層 201、202、導電層 225a、225b、以及導電層 226、227 的端部的形狀。

因為用作源電極層或汲電極層的導電層 225b 和用作像素電極層的透光導電層 218b 採用不隔著絕緣膜 231a 並彼此直接接觸而設置的結構，所以可以降低在源電極層或汲電極層和像素電極層之間形成的寄生電容。藉由只在閘極佈線層 203 上使具有反射性的導電層 225b 殘留，可以提高開口率。另外，也可以完全去掉而不設置導電層 225b，但是在此情況下，最好使用黑矩陣等的遮光膜（覆蓋）導電層 225b 的形成區域下的閘極佈線層。另一方面，因為源極佈線層和像素電極層隔著閘極絕緣層形成，所以

在採用微小的設計的情況下也可以防止形狀不良所導致的源極佈線層和像素電極層的短路等的電缺陷。

藉由以上的步驟形成本實施方式的採用通道蝕刻結構的反交錯型薄膜電晶體的薄膜電晶體 235（參照圖 6C 及圖 2A）。在端子部的 Y-Y'、Z-Z' 中也透光導電層 219、220 露出。露出的透光導電層 219、220 可以經由各向異性導電膜等的導電黏合劑材料而電連接到基板外部的驅動電路。

可以以接觸於用作像素電極層的透光導電層 218b 的露出區域的方式形成液晶元件，而電連接薄膜電晶體 235 和液晶元件。例如，在透光導電層 218b 上形成取向膜，使該取向膜和同樣地設置取向膜的相對電極彼此相對並且在取向膜之間形成液晶層即可。因為在本實施方式中只使用透光導電層 218b 作為像素電極層，所以可以製造透過型液晶顯示裝置。

如此，藉由根據本實施方式縮減曝光掩模數將光刻程序簡化，可以以低成本且高生產率製造具有可靠性的顯示裝置。

在本發明中，顯示裝置包括顯示元件。如本實施方式所示作為顯示元件可以最好地使用液晶元件（液晶顯示元件）。另外，也可以使用將稱作電致發光（以下也稱作 EL）的呈現發光的有機物、無機物或包含有機物及無機物的混合物的層介於電極和電極之間的發光元件（EL 元件）。另外，也可以用於電子墨水等的利用電作用使對比度

變化的顯示媒介。注意，作為使用 EL 元件的顯示裝置可以舉出 EL 顯示器，作為使用液晶元件的顯示裝置可以舉出液晶顯示器、透過型液晶顯示器或半透過型液晶顯示器，作為使用電子墨水的顯示裝置可以舉出電子紙。

另外，顯示裝置包括處於其中密封有顯示元件的狀態的面板以及處於該面板上安裝有包含控制器的 IC 等的狀態的模組。再者，本發明涉及相當於在製造該顯示裝置的程序中的完成顯示元件之前的一個形態的元件基板，該元件基板在多個像素中分別具備用於將電流提供給顯示元件的單元。具體地說，元件基板既可以是只形成有顯示元件的像素電極層的狀態，又可以是形成成為像素電極層的導電膜之後且進行蝕刻來形成像素電極層之前的狀態，任何狀態均相當於本發明。

在本說明書中，顯示裝置是指圖像顯示裝置、顯示裝置或光源（包括照明裝置）。另外，安裝有連接器如 FPC（軟性印刷電路）、TAB（卷帶式自動接合）帶或 TCP（帶式載體封裝）的模組、將印刷線路板設置在 TAB 帶或 TCP 端部的模組或使用 COG（玻璃上晶片）方式將 IC（積體電路）直接安裝到顯示元件的模組都包括在顯示裝置內。

實施方式 2

本實施方式是在實施方式 1 中的薄膜電晶體的形狀不同的例子。因此，其他部分都可以與實施方式 1 同樣進行

，而省略與實施方式 1 同樣的部分或具有同樣的功能的部分以及程序的重複的說明。

圖 8 表示薄膜電晶體 240，該薄膜電晶體 240 是本實施方式的具有通道蝕刻結構的反交錯型薄膜電晶體。

在圖 8 中，基板 248 上設置有包括閘電極層 241、閘極絕緣層 242、微晶半導體膜的半導體層 243、緩衝層 244、源區域或汲區域 245a 及 245b、透光導電層 246a 及 246b、導電層 247a 及 247b 的薄膜電晶體 240，且以覆蓋薄膜電晶體 240 的方式設置絕緣膜 249。透光導電層 246a 及導電層 247a 的疊層、透光導電層 246b 及導電層 247b 的疊層都用作源電極層或汲電極層。另外，透光導電層 246b 從絕緣膜 249 露出而用作像素電極層。

在本實施方式中，將微晶半導體膜用作半導體層 243，來在半導體層 243 和源區域或汲區域 245a、245b 之間形成緩衝層 244。

本實施方式的結構是在半導體層 243 上設置緩衝層 244 的結構，所以可以防止在進行程序時損壞半導體層 243（在進行蝕刻時發生的由電漿的自由基以及蝕刻劑所導致的膜厚降低和氧化等）。因此可以提高薄膜電晶體 240 的可靠性。

也可以在發揮氬電漿的作用的同時（之後），在閘極絕緣層 242 表面形成用於半導體層 243 的微晶半導體膜。當在發揮了氬電漿的作用的閘極絕緣層上形成微晶半導體膜時，可以促進微晶的晶體生長。另外，可以降低閘極絕

緣層及微晶半導體膜之間的介面的晶格畸變，並可以提高閘極絕緣層及微晶半導體膜之間的介面特性。因此如此可以獲得的微晶半導體膜的電特性和高可靠性高。

關於形成閘極絕緣層、微晶半導體膜、緩衝層、以及形成源區域及汲區域的添加有賦予一導電型的雜質的半導體膜的反應室，既可以使用一個反應室來進行處理，又可以根據膜的種類使用不同的反應室來進行處理。

在將基板搬入到反應室並進行成膜之前，最好對反應室進行清洗處理、沖洗（洗滌）處理（使用氫作為沖洗物質的氫沖洗、使用矽烷作為沖洗物質的矽烷沖洗等）以及在各個反應室的內牆上以形成保護膜的方式塗層的處理（也稱作預塗處理）。預塗處理是一種處理，即藉由使成膜氣體流入反應室中並進行電漿處理，預先使用由要形成的膜構成的厚度薄的保護膜覆蓋反應室內側。藉由沖洗處理和預塗處理可以防止反應室內的氧、氮、氟等的雜質污染將形成的膜。

另外，也可以不暴露於大氣地連續形成閘極絕緣層、微晶半導體膜、緩衝層以及形成源區域及汲區域的添加有賦予一導電型的雜質的半導體膜。藉由不暴露於大氣地連續形成閘極絕緣層、微晶半導體膜、緩衝層以及形成源區域及汲區域的添加有賦予一導電型的雜質的半導體膜，可以在不受到大氣成分或懸浮在大氣中的污染雜質元素的污染的狀態下形成各個疊層介面，因此可以降低薄膜電晶體特性的不均勻性。

作為閘極絕緣層 242 的三層疊層結構的例子也可以採用如下結構，即在閘電極層 241 上層疊用作第一層的氮化矽膜或氮氧化矽膜、用作第二層的氧氮化矽膜、用作第三層的氮化矽膜，並且在最上層的氮化矽膜上形成微晶半導體膜。在此情況下，第一層的氮化矽膜或氮氧化矽膜的厚度最好大於 50nm，該膜發揮作為阻擋鈉等的雜質的阻擋膜的效果，以及防止閘電極的小丘的產生和閘電極的氧化的效果。第二層的氧氮化矽膜最好為離與微晶半導體膜之間的介面有充分膜厚的氧氮化矽膜。第三層的氮化矽膜發揮提高微晶半導體膜的緊密性的效果、以及當進行對微晶半導體膜進行雷射照射的 LP 處理時防止氧化的效果。

像這樣，藉由在閘極絕緣層表面上形成極薄的氮化膜如氮化矽膜，可以提高微晶半導體膜的緊密性。氮化膜既可以使用電漿 CVD 法形成，又可以通利用微波的高密度和低溫的電漿處理進行氮化處理。另外，也可以在對反應室進行矽烷沖洗處理時形成氮化矽膜、氮氧化矽膜。

另外，由於微晶半導體膜在有意地不添加以價電子控制為目的的雜質元素時呈現微弱的 n 型導電性，所以藉由在進行成膜的同時或進行成膜之後對用作薄膜電晶體的通道形成區域的微晶半導體膜添加賦予 p 型的雜質元素來可以控制臨限值。作為賦予 p 型的雜質元素，典型有硼，最好將 B_2H_6 、 BF_3 等的雜質氣體以 1ppm 至 1000ppm，最好以 1ppm 至 100ppm 的比率混入到氫化矽中。並且，最好將硼濃度例如設定為 $1 \times 10^{14} \text{ atoms/cm}^3$ 至 $6 \times 10^{16} \text{ atoms/cm}^3$

。另外，也可以使微晶半導體膜包括賦予 n 型的雜質元素的磷。

微晶半導體膜是包括具有非晶體和晶體結構（包括單晶、多晶）的中間結構的半導體的膜。該半導體是具有在自由能方面很穩定的第三狀態的半導體，並且是具有短程有序且具有晶格畸變的結晶，從其膜表面看的粒徑為 0.5nm 至 20nm 的柱狀或針狀晶體對於基板表面以法線方向生長。另外，微晶半導體和非單晶半導體混在一起。微晶半導體的典型例的微晶矽的拉曼光譜移動到比表示單晶矽的 521cm^{-1} 低頻率一側。亦即，表示單晶矽的 521cm^{-1} 和表示非晶矽的 480cm^{-1} 之間有微晶矽的拉曼光譜的高峰。此外，使該半導體膜含有至少 1 原子%或更多的氫或鹵素，以便終止懸空鍵。進而，藉由使該半導體包含氮、氬、氫、氖等稀有氣體元素而進一步助長其晶格畸變，可以獲得穩定性得到提高的良好的微晶半導體膜。例如美國專利 4,409,134 號公開關於這種微晶半導體膜的記載。

該微晶半導體膜可以使用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法或頻率為 1GHz 以上的微波電漿 CVD 裝置形成。典型地說，可以使用氫稀釋 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等的氫化矽來形成微晶半導體膜。另外，可以對氫化矽及氫還添加選自氮、氬、氫、氖中的一種或多種的稀有氣體元素進行稀釋來形成微晶半導體膜。對該情況下的氫化矽將氫的流量比設定為 5 倍以上且 200 倍以下，最好設定為 50 倍以上且 150 倍以

下，更最好設定為 100 倍。

此外，微晶半導體膜的氧濃度最好設定為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，更最好為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下，並且氮及碳的濃度最好分別設定為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下。藉由降低混入到微晶半導體膜中的氧、氮、及碳的濃度，可以防止微晶半導體膜的 n 型化。

微晶半導體膜的膜厚度設定為厚於 0nm 且 50nm 以下，最好設定為厚於 0nm 且 20nm 以下。

微晶半導體膜用作後面要形成的薄膜電晶體的通道形成區域。藉由將微晶半導體膜的厚度設定為上述範圍內，後面要形成的薄膜電晶體成為完全耗盡型。另外，由於微晶半導體膜由微晶構成，因此與非晶半導體膜相比其電阻低。由此，關於使用微晶半導體膜的薄膜電晶體而言，表示電流電壓特性的曲線的上升部分的傾斜大，從而作為開關元件的回應性優良且可以進行高速工作。此外，藉由將微晶半導體膜用於薄膜電晶體的通道形成區域，可以抑制薄膜電晶體的臨限值電壓的變動。因此，可以製造電特性的不均勻少的顯示裝置。

另外，微晶半導體膜的遷移率比非晶半導體膜的遷移率高。因此，藉由作為顯示元件的開關使用其通道形成區域由微晶半導體膜形成的薄膜電晶體，可以縮小通道形成區域的面積，即薄膜電晶體的面積。由此，在每一個像素中薄膜電晶體所占的面積縮小，可以提高像素的開口率。結果，可以製造解析度高的裝置。

另外，微晶半導體膜從下方向縱方向生長並且是針狀晶體。在微晶半導體膜中非晶體和晶體結構混在一起，晶體區域和非晶體區域之間由局部應力產生裂縫而容易出現間隙。新的自由基進入該間隙而會引起晶體生長。然而，由於上方的晶體面增大，所以容易以針狀向上方生長。如此，即使微晶半導體膜在縱方向上生長也其速度是非晶半導體膜的成膜速度的 $1/10$ 至 $1/100$ 。

可以使用 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等的矽氣體（氫化矽氣體、鹵化矽氣體）並藉由電漿 CVD 法形成緩衝層。此外，可以對上述矽烷使用選自氫、氫、氫、氫中的一種或多種的稀有氣體元素進行稀釋來形成非晶半導體膜。藉由使用其流量為氫化矽的流量的 1 倍以上且 20 倍以下，最好為 1 倍以上且 10 倍以下，更最好為 1 倍以上且 5 倍以下的氫，可以形成包含氫的非晶半導體膜。此外，使用上述氫化矽和氮或氬，可以形成包含氮的非晶半導體膜。另外，使用上述氫化矽和包含氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等），可以形成包含氟、氯、溴、或碘的非晶半導體膜。

此外，作為緩衝層，可以將非晶半導體用作靶子並使用氫或稀有氣體進行濺射來形成非晶半導體膜。此時，藉由將氫、氮、或 N_2O 包含在氣氛中，可以形成含有氮的非晶半導體膜。另外，藉由將含有氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）包含在氣氛中，可以形成含有氟、氯、溴、或碘的非晶半導體膜。

此外，作為緩衝層，也可以在微晶半導體膜的表面上使用電漿 CVD 法或濺射法形成非晶半導體膜，然後對非晶半導體膜的表面進行使用氫電漿、氮電漿、鹵素電漿、或稀有氣體（氫、氬、氦、氖）的電漿的處理，來將非晶半導體膜表面氫化、氮化、或鹵化。

最好使用非晶半導體膜形成緩衝層。因此，在使用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法、或微波電漿 CVD 法形成緩衝層的情況下，最好控制成膜條件以便使它成為非晶半導體膜。

典型地說，緩衝層最好以 10nm 以上且 50nm 以下的厚度形成。另外，最好將包含在緩衝層中的氮、碳、以及氧的總濃度設定為 $1 \times 10^{20} \text{ atoms/cm}^3$ 至 $15 \times 10^{20} \text{ atoms/cm}^3$ 。在採用上述濃度的情況下，即使膜厚為 10nm 以上且 50nm 以下也可以使緩衝層用作高電阻區域。

也可以將緩衝層的厚度設定為 150nm 以上且 200nm 以下，將所包含的碳、氮、氧的濃度分別設定為 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下，最好設定為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。

藉由在微晶半導體膜的表面上作為緩衝層形成非晶半導體膜或包含氫、氮或鹵素的非晶半導體膜，可以防止包含在微晶半導體膜中的晶粒表面的自然氧化。藉由在微晶半導體膜的表面上形成緩衝層，可以防止微晶粒的氧化。藉由緩衝層中混入有氫及/或氟，可以防止氧進入微晶半導體膜中。

此外，由於使用非晶半導體膜或者使用包含氫、氮、或鹵素的非晶半導體膜形成緩衝層，因此與用作通道形成區域的微晶半導體膜的電阻相比緩衝層的電阻高。由此，在後面要形成的薄膜電晶體中，形成於源區域及汲區域和微晶半導體膜之間的緩衝層用作高電阻區域。因此，可以減少薄膜電晶體的截止電流。在將該薄膜電晶體用作顯示裝置的開關元件的情況下，可以提高顯示裝置的對比度。

藉由對半導體層、緩衝層、源區域及汲區域的端部進行蝕刻為具有錐形的形狀可以防止添加有賦予一導電型的雜質的半導體膜的源區域及汲區域和半導體層直接接觸。將端部的錐形角設定為 30° 至 90° ，最好為 45° 至 80° 。因此，源區域及汲區域和半導體層之間的距離變得長而可以防止漏電流的產生。並且，可以防止臺階形狀所導致的佈線的斷開。

源區域及汲區域下的緩衝層和半導體層的通道形成區域上的緩衝層是由相同材料同時形成的連續膜。半導體層上的緩衝層利用所包含的氫遮斷外部空氣和蝕刻殘渣，以保護半導體層。

藉由提供不包含賦予一導電型的雜質的緩衝層，可以防止包含在源區域及汲區域中的賦予一導電型的雜質和用於控制作為微晶半導體膜的半導體層的臨限值電壓的賦予一導電型的雜質彼此混合。當賦予一導電型的雜質混合時，產生複合中心，且產生漏電流，從而不能獲得降低截止電流的效果。

藉由如上那樣設置緩衝層，可以製造降低了漏電流的高耐壓性的薄膜電晶體。由此，也可以可靠性高且適當地應用到被施加 15V 的電壓的用於液晶顯示裝置的薄膜電晶體。

藉由由微晶半導體膜構成通道形成區域，可以獲得 $1\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $20\text{cm}^2/\text{V}\cdot\text{sec}$ 的電場效應遷移率。因此，可以以該薄膜電晶體為像素部的像素的開關元件且形成掃描線（閘極線）一側的驅動電路的元件而利用。

根據本實施方式，可以製造具有電特性高且可靠性高的薄膜電晶體的顯示裝置。藉由削減曝光掩模數將光刻程序簡化，可以以低成本且高生產率製造具有高可靠性的顯示裝置。

實施方式 3

在本實施方式中，關於實施方式 2 中的對微晶半導體膜照射雷射的製造程序的例子進行說明。

在透光基板上形成閘電極層，並且以覆蓋閘電極層的方式形成閘極絕緣層。然後在閘極絕緣層上作為微晶半導體膜層疊微晶矽（SAS）膜。微晶半導體膜的厚度設定為 1nm 以上且小於 15nm，更最好設定為 2nm 以上且 10nm 以下即可。尤其在膜厚為 5nm（4nm 至 8nm）時，對雷射的吸收率高，而生產性得到提高。

當要在閘極絕緣層上使用電漿 CVD 法等形成微晶半導體膜時，有時在閘極絕緣層和包含晶體的半導體膜的介

面附近會形成與半導體膜相比包含多的非晶成分的區域（這裏稱作介面區域）。另外，在使用電漿 CVD 法等形成膜厚為 10nm 左右以下的極薄微晶半導體膜的情況下，雖然可以形成包含微晶粒的半導體膜，但是難以在整個膜中均勻地獲得包含品質好的微晶粒的半導體膜。在此情況下，以下所示的照射雷射的雷射處理是有效的。

接下來，從微晶矽膜的表面一側照射雷射。以微晶矽膜不熔化的能量密度照射雷射。換言之，本實施方式的雷射處理（Laser Process，以下也稱作“LP”）是藉由固相晶體生長來進行的，其中不使微晶矽膜受輻射加熱而熔化。換言之，該雷射處理是利用層疊的微晶矽膜不成為液相的臨界區域，因此，也可以稱作“臨界生長”。

可以使雷射作用到微晶矽膜和閘極絕緣層的介面。由此，可以以微晶矽膜的表面一側的晶體為種子，從該表面向閘極絕緣層的介面進行固相晶體生長而出現大致柱狀的晶體。使用 LP 處理的固相晶體生長不使粒徑擴大，而改善膜的厚度方向上的結晶性。

在 LP 處理中，藉由將雷射集聚為長矩形狀（線狀雷射），可以進行一次雷射掃描來處理例如 730mm×920mm 的玻璃基板上的微晶矽膜。在此情況下，重疊線狀雷射的比率（重疊率）為 0%至 90%（最好為 0%至 67%）。由此，每一個基板所需的處理時間得到縮減，而可以提高生產率。雷射的形狀不局限於線狀，也可以使用面狀雷射同樣地進行處理。另外，本 LP 處理不局限於上述玻璃基板的

尺寸，可以用於各種尺寸。

使用 LP 處理改善閘極絕緣層介面區域的結晶性，而得到如下作用，即提高如本實施方式的薄膜電晶體那樣的具有底閘極結構的薄膜電晶體的電特性。

這種臨界生長也有如下特徵，即不形成存在於常規的低溫多晶矽中的表面的凹凸（也稱為脊（ridge）的凸狀體），從而進行 LP 處理之後的矽表面保持平坦性。

如本實施方式所示，將雷射直接作用於形成後的微晶矽膜而可獲得的具有結晶性的矽膜與常規的只堆疊的微晶矽膜及藉由傳導加熱改變性質的微晶矽膜在生長機理及膜性質上顯著不同。在本說明書中，將對形成後的微晶半導體膜進行 LP 處理而獲得的具有結晶性的半導體膜稱作 LPSAS 膜。

在形成 LPSAS 膜等的微晶半導體膜之後，使用電漿 CVD 法以 300℃ 至 400℃ 的溫度形成非晶矽（a-Si:H）膜作為緩衝層。藉由該成膜處理，氫被供給到 LPSAS 膜，而可以獲得與使 LPSAS 膜氫化相同的效果。換言之，藉由在 LPSAS 膜上層疊非晶矽膜，可以在 LPSAS 膜中擴散氫而終結懸空鍵。

在後面的程序中，與實施方式 1 同樣製造具有薄膜電晶體的顯示裝置。

本實施方式可以與實施方式 2 適當地組合。

實施方式 4

接下來，以下對本發明的顯示裝置的一種方式的顯示面板的結構進行說明。作為本實施方式的顯示裝置，表示具有液晶顯示元件的液晶顯示裝置的一個方式的液晶顯示面板的例子。

圖 9A 表示一種顯示面板的方式，其中另行只形成信號線驅動電路 6013 且該信號線驅動電路 6013 與形成在基板 6011 上的像素部 6012 連接。在本實施方式中，像素部 6012 及掃描線驅動電路 6014 採用使用微晶半導體膜的薄膜電晶體形成。藉由採用可以獲得比使用微晶半導體膜的薄膜電晶體高的遷移率的電晶體來形成信號線驅動電路，可以使需要具有比掃描線驅動電路高的驅動頻率的信號線驅動電路的工作穩定。注意，信號線驅動電路 6013 也可以是使用單晶半導體的電晶體、使用多晶半導體的薄膜電晶體、或使用 SOI 的電晶體。藉由 FPC6015 對像素部 6012、信號線驅動電路 6013 和掃描線驅動電路 6014 分別供給電源電位、各種信號等。

此外，信號線驅動電路及掃描線驅動電路也可以一起形成在與像素部相同的基板上。

另外，在另行形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼合在形成有像素部的基板上，例如也可以貼合在 FPC 上。圖 9B 表示一種顯示面板的方式，其中另行只形成信號線驅動電路 6023，且該信號線驅動電路 6023 與形成在基板 6021 上的像素部 6022 及掃描線驅動電路 6024 連接。在本實施方式中，像素部 6022 及掃

描線驅動電路 6024 採用使用微晶半導體膜的薄膜電晶體形成。信號線驅動電路 6023 藉由 FPC6025 與像素部 6022 連接。藉由 FPC6025 對像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024 分別供給電源電位、各種信號等。

此外，也可以採用如下結構：其中採用使用微晶半導體膜的薄膜電晶體在與像素部相同的基板上只形成信號線驅動電路的一部分或掃描線驅動電路的一部分，並且另行形成其他部分而使其電連接到像素部。圖 9C 表示一種顯示面板的方式，其中在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上形成信號線驅動電路所具有的類比開關 6033a，並且在不同的基板上另行形成信號線驅動電路所具有的移位暫存器 6033b 並彼此貼合。在本實施方式中，像素部 6032 及掃描線驅動電路 6034 採用使用微晶半導體膜的薄膜電晶體形成。信號線驅動電路所具有的移位暫存器 6033b 藉由 FPC6035 與像素部 6032 連接。藉由 FPC6035 對像素部 6032、信號線驅動電路、掃描線驅動電路 6034 分別供給電源電位、各種信號等。

如圖 9A 至 9C 所示，在本發明的顯示裝置中，在與像素部相同的基板上可以採用使用微晶半導體膜的薄膜電晶體形成驅動電路的一部分或全部。

注意，另行形成的基板的連接方法沒有特別的限制，可以使用已知的 COG 方法、引線鍵合方法、或 TAB 方法等。此外，若是能夠電連接，則連接位置不局限於圖 9A

至 9C 所示的位置。另外，也可以另行形成控制器、CPU、記憶體等而連接。

注意，用於本發明的信號線驅動電路不局限於只有移位暫存器和類比開關的方式。除了移位暫存器和類比開關之外，也可以具有其他電路如緩衝器、電平轉移器、源極跟隨器等。此外，不一定需要設置移位暫存器和類比開關，例如既可以使用如解碼器電路的能夠選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

接著，參照圖 10A 和 10B 對相當於本發明的顯示裝置的一種方式的顯示面板的外觀及截面進行說明。圖 10A 是一種面板的俯視圖，其中在第一基板 4001 和第二基板 4006 之間使用密封材料 4005 密封薄膜電晶體 4010 及液晶元件 4013。圖 10B 相當於沿圖 10A 的 M-N 線的截面圖。

以圍繞形成在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，使用第一基板 4001、密封材料 4005 以及第二基板 4006 將像素部 4002 和掃描線驅動電路 4004 與液晶 4008 一起密封。另外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中，在另行準備的基板上安裝有由多晶半導體膜形成的信號線驅動電路 4003。注意，在本實施方式中對將具有使用多晶半導體膜的薄膜電晶體的信號線驅動電路貼合到第一基板 4001 的例子進行

說明，但是也可以採用使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 10A 和 10B 例示包括在信號線驅動電路 4003 中的由多晶半導體膜形成的薄膜電晶體 4009。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 具有多個薄膜電晶體，圖 10B 例示包括在像素部 4002 中的薄膜電晶體 4010。薄膜電晶體 4010 相當於實施方式 1 所示的薄膜電晶體，該薄膜電晶體可以採用實施方式 1 所示的製造程序同樣地製造。

液晶元件 4013 和薄膜電晶體 4010 由用作像素電極層的透光導電層 4030 彼此電連接。而且，液晶元件 4013 的相對電極 4031 形成在第二基板 4006 上。透光導電層 4030、相對電極 4031 以及液晶 4008 重疊的部分相當於液晶元件 4013。

注意，作為第一基板 4001、第二基板 4006 可以使用玻璃、陶瓷和塑膠。作為塑膠，可以使用 FRP（纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。在採用透過型的液晶顯示裝置的情況下，第一基板及第二基板需要具有透光性，但是在採用半透過型的情況下，作為對應於反射區域的部分可以使用具有反射性的材料。

另外，附圖標記 4035 表示球狀隔離物，該球狀隔離物 4035 是為了控制透光導電層 4030 和相對電極 4031 之間的距離（單元間隙）而設置的。注意，也可以使用對絕緣膜選擇性地進行蝕刻來獲得的隔離物。

此外，提供到另行形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位從 FPC4018 藉由佈線 4014、4015 供給。

在本實施方式中，連接端子 4016 由與 TFT4010 所具有的閘電極相同的導電膜形成。此外，佈線 4014、4015 由與液晶元件 4013 所具有的透光導電層 4030 相同的導電膜形成。

連接端子 4016 經由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

注意，雖然未圖示，但是本實施方式所示的液晶顯示裝置的第二基板 4006 一側也具有取向膜，並且第一基板 4001 及第二基板 4006 一側還具有偏振片。進而也可以具有顏色濾光片及遮罩膜。

此外，雖然圖 10A 和 10B 表示另行形成信號線驅動電路 4003 而安裝到第一基板 4001 的例子，但是本實施方式不局限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行只形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

根據使用本發明的本實施方式，藉由削減曝光掩模數將光刻程序簡略化，可以以低成本且高生產率製造具有可靠性的顯示裝置。

實施方式 5

可以將根據本發明可獲得的顯示裝置等用於顯示模組。就是說，對將它安裝到顯示部中的所有電子設備可以實施本發明。

作為這種電子設備，可以舉出如下：拍攝裝置如攝影機、數位照相機等；頭戴式顯示器（護目鏡型顯示器）；汽車導航；投影機；汽車音響；個人電腦；可攜式資訊終端（可攜式電腦、移動電話、或電子書籍等）等。圖 11A 至 11D 表示這種電子設備的一例。

圖 11A 表示電視裝置。如圖 11A 所示，可以將顯示模組組裝到框體中來完成電視裝置。將安裝有 FPC 的顯示面板也稱為顯示模組。由顯示模組形成主屏 2003，並且作為其他輔助設備還具有揚聲器部 2009、操作開關等。如此，可以完成電視裝置。

如圖 11A 所示，將利用顯示元件的顯示用面板 2002 組裝在框體 2001 中，可以由接收器 2005 接收普通的電視廣播。而且，可以藉由經由數據機 2004 連接到採用有線或無線方式的通信網路，進行單方向（從發送器到接收器）或雙方向（在發送器和接收器之間或在接收器之間）的資訊通信。電視裝置的操作可以使用組裝在框體中的開關或遙控裝置 2006 來進行。在該遙控裝置中也可以設置用於顯示輸出資訊的顯示部 2007。藉由將上述實施方式所示的顯示裝置用於顯示面板 2002，可以實現低成本且提高量產性。

另外，在電視裝置中，也可以除了主屏 2003 之外將子屏 2008 由第二顯示用面板形成，並附加有顯示頻道或音量等的結構。

圖 12 表示示出電視裝置的主要結構的區塊圖。顯示面板中形成有像素部 901。信號線驅動電路 902 和掃描線電路 903 也可以以 COG 方式安裝到顯示面板。

作為其他外部電路的結構，圖像信號的輸入一側具有圖像信號放大電路 905、圖像信號處理電路 906、以及控制電路 907 等，該圖像信號放大電路 905 放大由調諧器 904 接收的信號中的圖像信號，該圖像信號處理電路 906 將從圖像信號放大電路 905 輸出的信號轉換為對應於紅、綠、藍各種顏色的顏色信號，該控制電路 907 將圖像信號處理電路 906 的圖像信號轉換為驅動器 IC 的輸入規格。控制電路 907 將信號分別輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，也可以具有如下結構，即在信號線一側設置信號分割電路 908，而將輸入數位信號分成 m 個來供給。

由調諧器 904 接收的信號中的音頻信號被傳送到音頻信號放大電路 909，並且其輸出經過音頻信號處理電路 910 供給到揚聲器 913。控制電路 911 從輸入部 912 接收接收站（接收頻率）和音量的控制資訊，並且將信號傳送到調諧器 904、音頻信號處理電路 910。

當然，本發明不局限於電視裝置，並且可以用於各種各樣的用途，如個人電腦的監視器、大面積的顯示媒體如

火車站或機場等的資訊顯示板或者街頭上的廣告顯示板等。

圖 11B 表示移動電話 2301 的一例。該移動電話機 2301 包括顯示部 2302、操作部 2303 等構成。藉由在顯示部 2302 中應用上述實施方式所說明的顯示裝置可以實現低成本並提高量產性。

此外，圖 11C 所示的可攜式電腦包括主體 2401、顯示部 2402 等。藉由將上述實施方式所示的顯示裝置用於顯示部 2402，可以實現低成本並提高量產性。

圖 11D 所示的遊戲機的一例的自動賭博機包括主體 2501、顯示部 2502 等。藉由將上述實施方式所示的顯示裝置用於顯示部 2502，可以實現低成本並提高量產性。

本申請基於 2007 年 10 月 23 日在日本專利局申請的日本專利申請序列號 2007-275786 而製造，所述申請內容包括在本說明書中。

【圖式簡單說明】

圖 1A 至 1C 是說明本發明的顯示裝置的圖；

圖 2A 至 2C 是說明本發明的顯示裝置的製造方法的圖；

圖 3A 至 3D 是說明本發明的顯示裝置的製造方法的圖；

圖 4A 至 4D 是說明本發明的顯示裝置的製造方法的圖；

圖 5A 至 5D 是說明本發明的顯示裝置的製造方法的圖；

圖 6A 至 6C 是說明本發明的顯示裝置的製造方法的圖；

圖 7A 和 7B 是說明本發明的顯示裝置的圖；

圖 8 是說明本發明的顯示裝置的圖；

圖 9A 至 9C 是說明本發明的顯示裝置的圖；

圖 10A 和 10B 是說明本發明的顯示裝置的圖；

圖 11A 至 11D 是表示應用本發明的電子裝置的圖；

圖 12 是表示應用本發明的電子裝置的主要構成的區塊圖；

圖 13A 至 13D 是說明可以應用於本發明的多色調光掩模的圖。

【主要元件符號說明】

59a：灰色調掩模

59b：半色調掩模

163：透光基板

164：遮光部

165：繞射光柵

166：光透過率

167：半透過部

168：遮光部

169：光透過率

- 200：透光基板
- 201：源極佈線層
- 202：源極佈線層
- 203：閘極佈線層
- 204：閘極絕緣層
- 205：半導體膜
- 206：半導體膜
- 207a：掩模層
- 207b：掩模層
- 207c：掩模層
- 207d：掩模層
- 207e：掩模層
- 208a：開口
- 208b：開口
- 209：開口
- 210：掩模層
- 211：半導體層
- 212：半導體層
- 213：透光導電膜
- 214：導電膜
- 215a：掩模層
- 215b：掩模層
- 215c：掩模層
- 215d：掩模層

216 : 半 導 體 層

217a : 源 區 域 或 汲 區 域

217b : 源 區 域 或 汲 區 域

218a : 透 光 導 電 層

218b : 透 光 導 電 層

219 : 透 光 導 電 層

220 : 透 光 導 電 層

221a : 導 電 層

221b : 導 電 層

222 : 導 電 層

223 : 導 電 層

224a : 掩 模 層

224b : 掩 模 層

224c : 掩 模 層

224d : 掩 模 層

225a : 導 電 層

225b : 導 電 層

226 : 導 電 層

227 : 導 電 層

228 : 絕 緣 膜

229a : 掩 模 層

229b : 掩 模 層

229c : 掩 模 層

230a : 掩 模 層

230b：掩模層

230c：掩模層

231a：絕緣膜

231b：絕緣膜

231c：絕緣膜

235：薄膜電晶體

236：源極佈線層

240：薄膜電晶體

241：閘電極層

242：閘極絕緣層

243：半導體層

244：緩衝層

245a：源區域或汲區域

245b：源區域或汲區域

246a：透光導電層

246b：透光導電層

247a：導電層

247b：導電層

248：基板

251a1：開口

251a2：開口

251b1：開口

251b2：開口

252a：開口

252b：開口

901：像素部

902：信號線驅動電路

903：掃描線電路

904：調諧器

905：圖像信號放大電路

906：圖像信號處理電路

907：控制電路

908：信號分割電路

909：音頻信號放大電路

910：音頻信號處理電路

911：控制電路

912：輸入部

913：揚聲器

2001：框體

2002：面板

2003：主屏

2004：數據機

2005：接收器

2006：遙控裝置

2007：顯示部

2301：移動電話

2302：顯示部

2303：操作部

2401：主體

2402：顯示部

2501：主體

2502：顯示部

4001：第一基板

4002：像素部

4003：信號線驅動電路

4004：掃描線驅動電路

4005：密封材料

4006：第二基板

4008：液晶

4009：薄膜電晶體

4010：薄膜電晶體

4013：液晶元件

4014：佈線

4015：佈線

4016：連接端子

4018：各向異性導電膜

4019：FPC

4030：透光導電層

4031：相對電極

4035：球狀隔離物

6011：基板

6012：像素部

6013：信號線驅動電路

6014：掃描線驅動電路

6015：FPC

6021：基板

6022：像素部

6023：信號線驅動電路

6024：掃描線驅動電路

6025：FPC

6031：基板

6032：像素部

6033a：類比開關

6033b：移位暫存器

6034：掃描線驅動電路

6035：FPC

十、申請專利範圍

1. 一種顯示裝置的製造方法，包括如下步驟：

在基板上形成閘極佈線層，中間夾著該閘極佈線層形成第一源極佈線層及第二源極佈線層；

在該閘極佈線層、該第一源極佈線層及該第二源極佈線層上形成絕緣膜；

在該絕緣膜上形成半導體膜；

藉由使用透過的光具有多個強度的曝光掩模，在該半導體膜上形成第一抗蝕劑圖案，並且該第一抗蝕劑圖案包括具有第一厚度的第一區域以及具有比該第一厚度厚的第二厚度的第二區域；

藉由使用該第一抗蝕劑圖案作為掩模對該半導體膜以及該絕緣膜選擇性地進行蝕刻，而形成第一接觸孔及第二接觸孔；

藉由去掉該第一抗蝕劑圖案的該第一區域，在該半導體膜上形成第二抗蝕劑圖案，並且該第二抗蝕劑圖案包括該第二區域所包括的第三區域；

藉由使用該第二抗蝕劑圖案作為掩模對該半導體膜選擇性地進行蝕刻，而形成半導體圖案；以及

形成分別為透光導電膜及導電膜的層疊的源電極層及汲電極層於該閘極佈線層、該第一源極佈線層及該第二源極佈線層上，

其中，該源電極層或該汲電極層經由該第一接觸孔及該第二接觸孔電連接該第一源極佈線層及該第二源極佈線

層。

2.根據申請專利範圍第 1 項之顯示裝置的製造方法，其中使用透光基板作為該基板。

3.根據申請專利範圍第 1 項之顯示裝置的製造方法，其中該半導體膜包含賦予一導電型的雜質。

4.根據申請專利範圍第 1 項之顯示裝置的製造方法，其中使用灰色調掩模作為該曝光掩模。

5.根據申請專利範圍第 1 項之顯示裝置的製造方法，其中使用半色調掩模作為該曝光掩模。

6.一種顯示裝置的製造方法，包括如下步驟：

在透光基板上形成閘極佈線層、第一源極佈線層及第二源極佈線層，且該第一源極佈線層和該第二源極佈線層的中間夾著該閘極佈線層；

在該閘極佈線層、該第一源極佈線層以及該第二源極佈線層上形成閘極絕緣層；

在該閘極絕緣層上層疊半導體膜以及添加有賦予一導電型的雜質的半導體膜；

在該添加有賦予一導電型的雜質的半導體膜上形成第一掩模層；

藉由使用該第一掩模層對該閘極絕緣層、該半導體膜以及該添加有賦予一導電型的雜質的半導體膜進行蝕刻，而形成到達該第一源極佈線層的第一開口以及達到該第二源極佈線層的第二開口；

對該第一掩模層進行灰化來形成第二掩模層；

藉由使用該第二掩模層對該半導體膜以及該添加有賦予一導電型的雜質的半導體膜進行蝕刻，而形成半導體層以及添加有賦予一導電性的雜質的半導體層；

在該閘極佈線層、該第一源極佈線層、該第二源極佈線層、該閘極絕緣層、該半導體層以及該添加有賦予一導電型的雜質的半導體層上形成透光導電膜以及導電膜的疊層；

在該透光導電膜以及該導電膜上形成第三掩模層；

藉由使用該第三掩模層對該透光導電膜以及該導電膜進行蝕刻，而形成具有凹部的半導體層、源區域、汲區域以及該透光導電膜及該導電膜的疊層的源電極層及汲電極層；

對該第三掩模層進行灰化來形成第四掩模層；

使用該第四掩模層對該源電極層或該汲電極層的該導電膜選擇性地進行蝕刻而形成像素電極層，來使該透光導電膜露出；以及

其中該源電極或汲電極層經由該第一開口以及該第二開口連接該第一源極佈線層以及該第二源極佈線層，

其中使用透過的光具有多個強度的曝光掩模形成該第一掩模層以及該第三掩模層，以及

其中該具有該凹部的半導體層包括其厚度比與該源區域以及該汲區域重疊的區域的厚度小的區域。

7.根據申請專利範圍第 6 項之顯示裝置的製造方法，還包括如下步驟：

形成絕緣膜，來覆蓋該具有該凹部的半導體層、該源電極層以及該汲電極層；

採用使用透過了該透光基板的光的曝光在該絕緣膜上形成第五掩模層；以及

使用該第五掩模層對該絕緣膜進行蝕刻，來選擇性地使該透光導電膜露出。

8.根據申請專利範圍第 6 項之顯示裝置的製造方法，還包括如下步驟：

形成絕緣膜，來覆蓋該具有該凹部的半導體層、該源電極層以及該汲電極層；

採用使用透過了該透光基板的光的曝光在該絕緣膜上形成第五掩模層；

對該第五掩模層進行加熱來形成具有其面積比該第五掩模層大的第六掩模層；以及

使用該第六掩模層對該絕緣膜進行蝕刻，來選擇性地使該透光導電膜露出。

9.根據申請專利範圍第 8 項之顯示裝置的製造方法，其中該透光基板上包括驅動電路，並且露出的該透光導電膜經由各向異性導電膜而電連接到該驅動電路。

10.根據申請專利範圍第 6 項之顯示裝置的製造方法，其中在該像素電極層上形成液晶層。

圖 1A

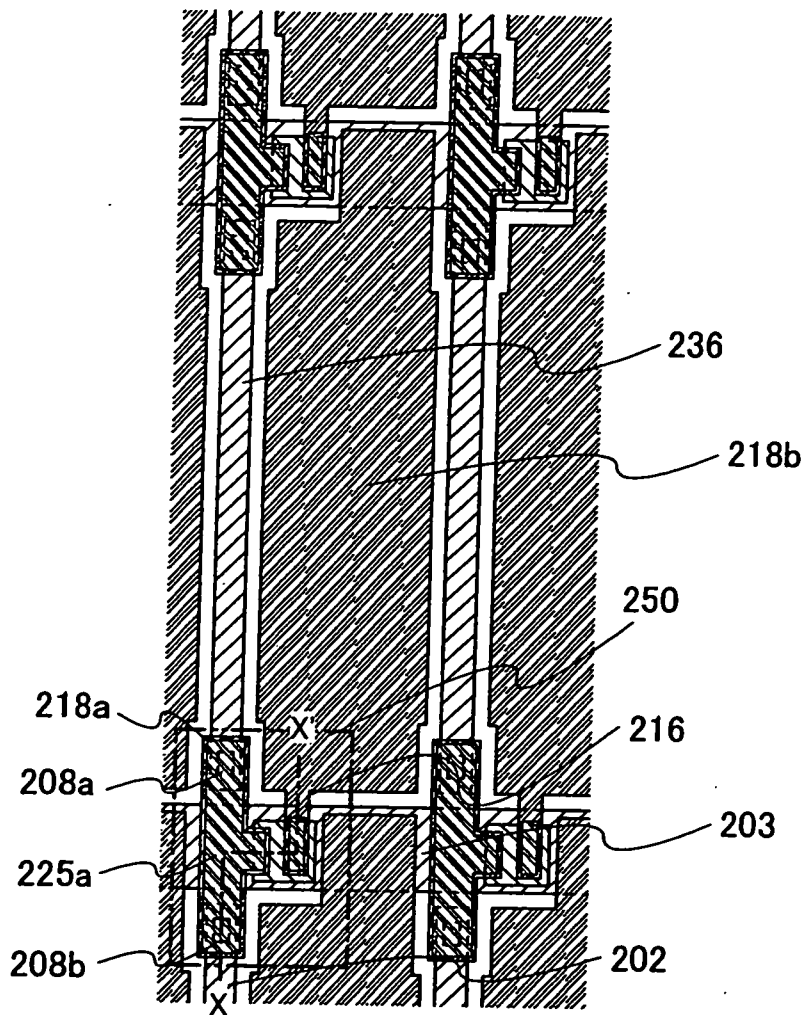


圖 1B

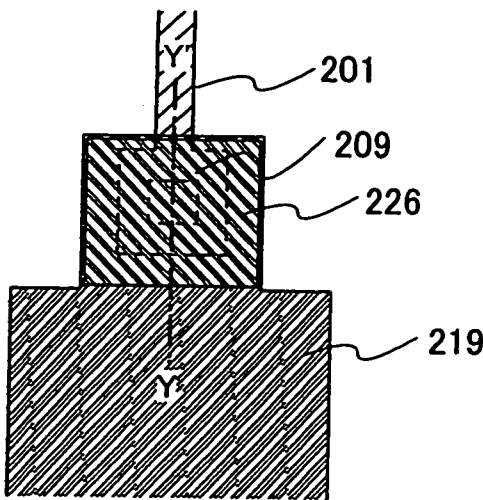


圖 1C

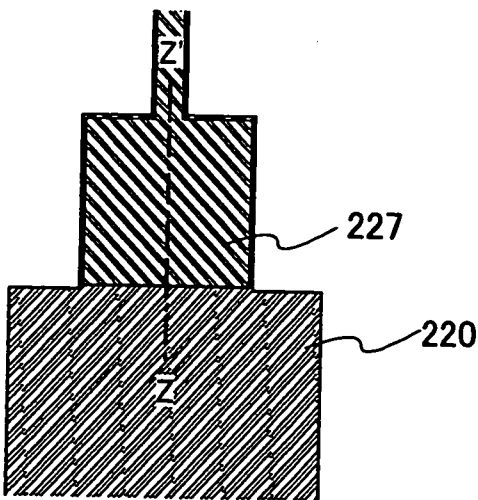


圖 2A

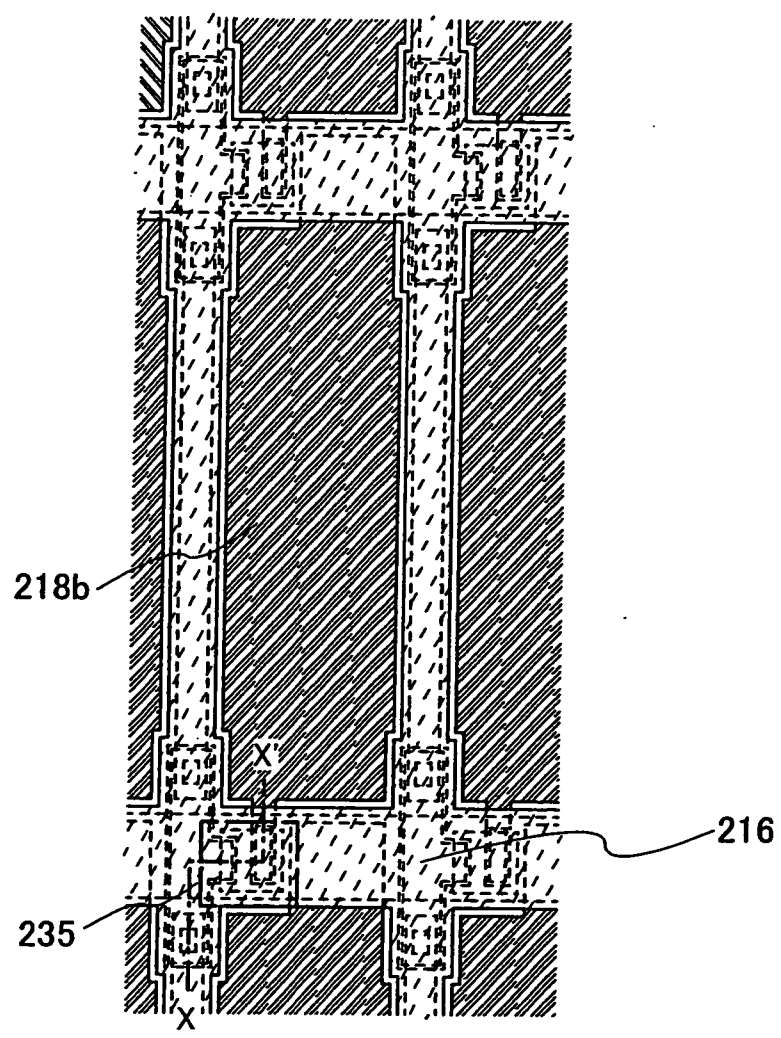


圖 2B

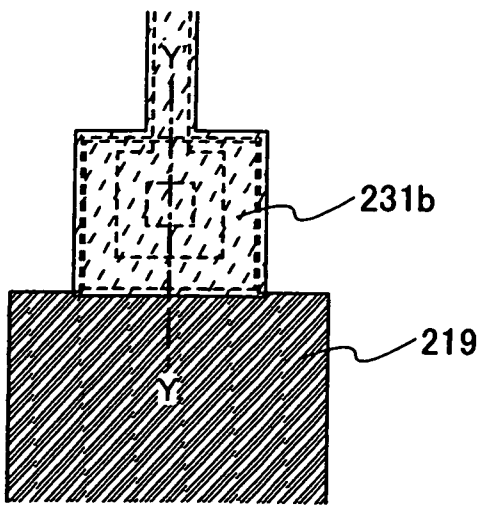
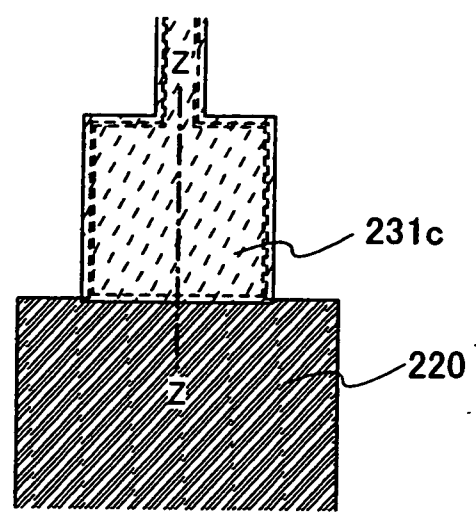


圖 2C



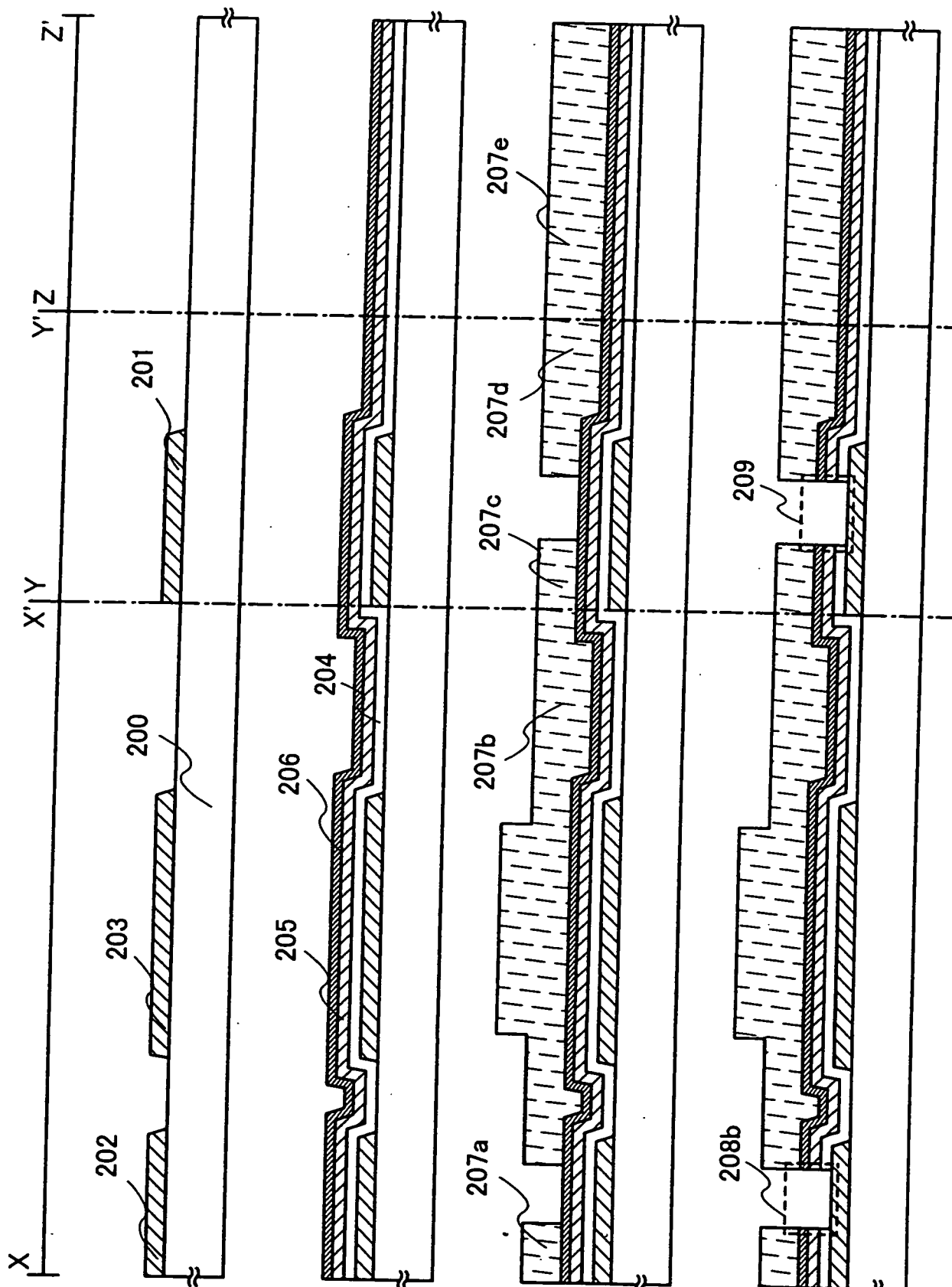
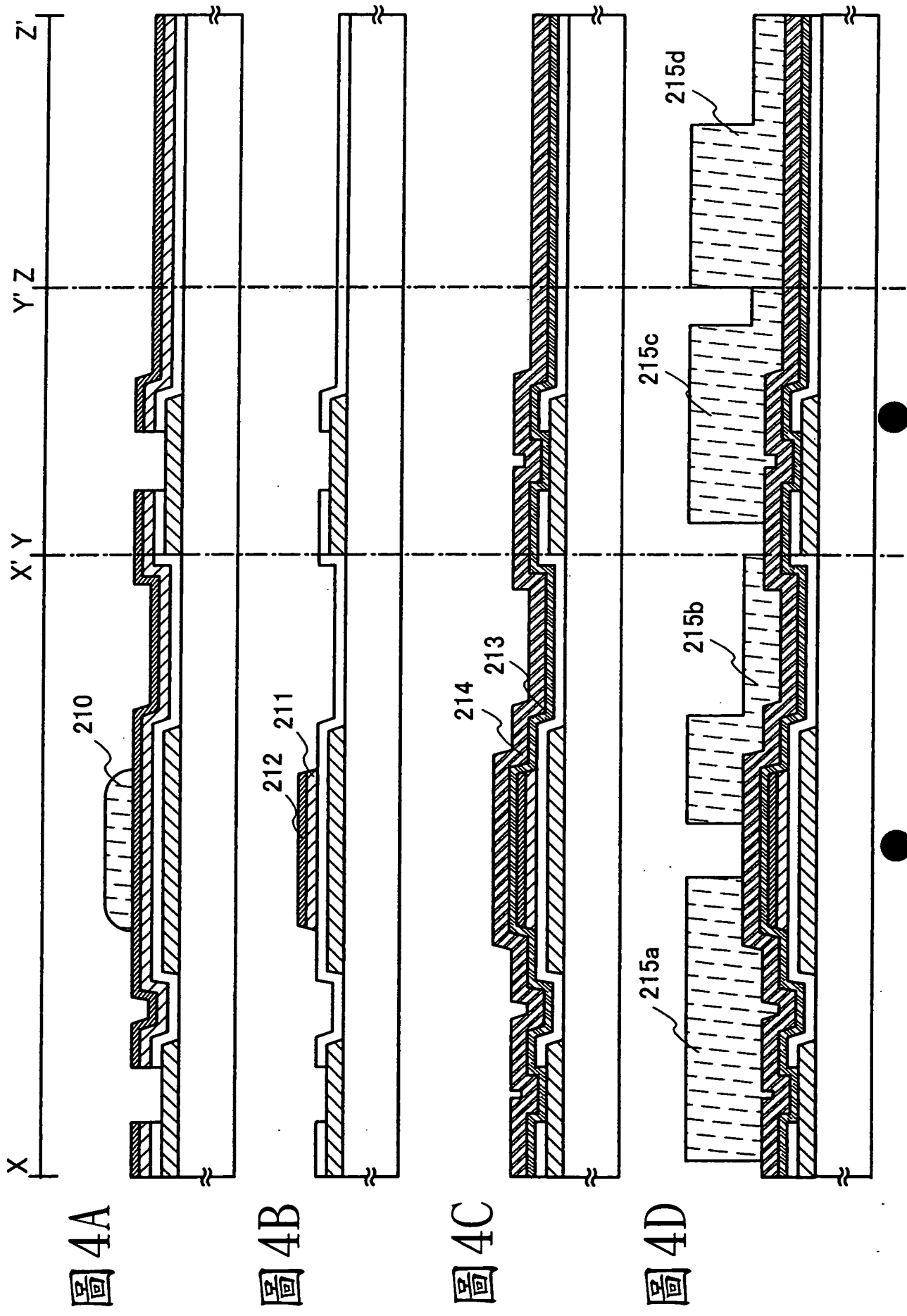


圖 3A

圖 3B

圖 3C

圖 3D



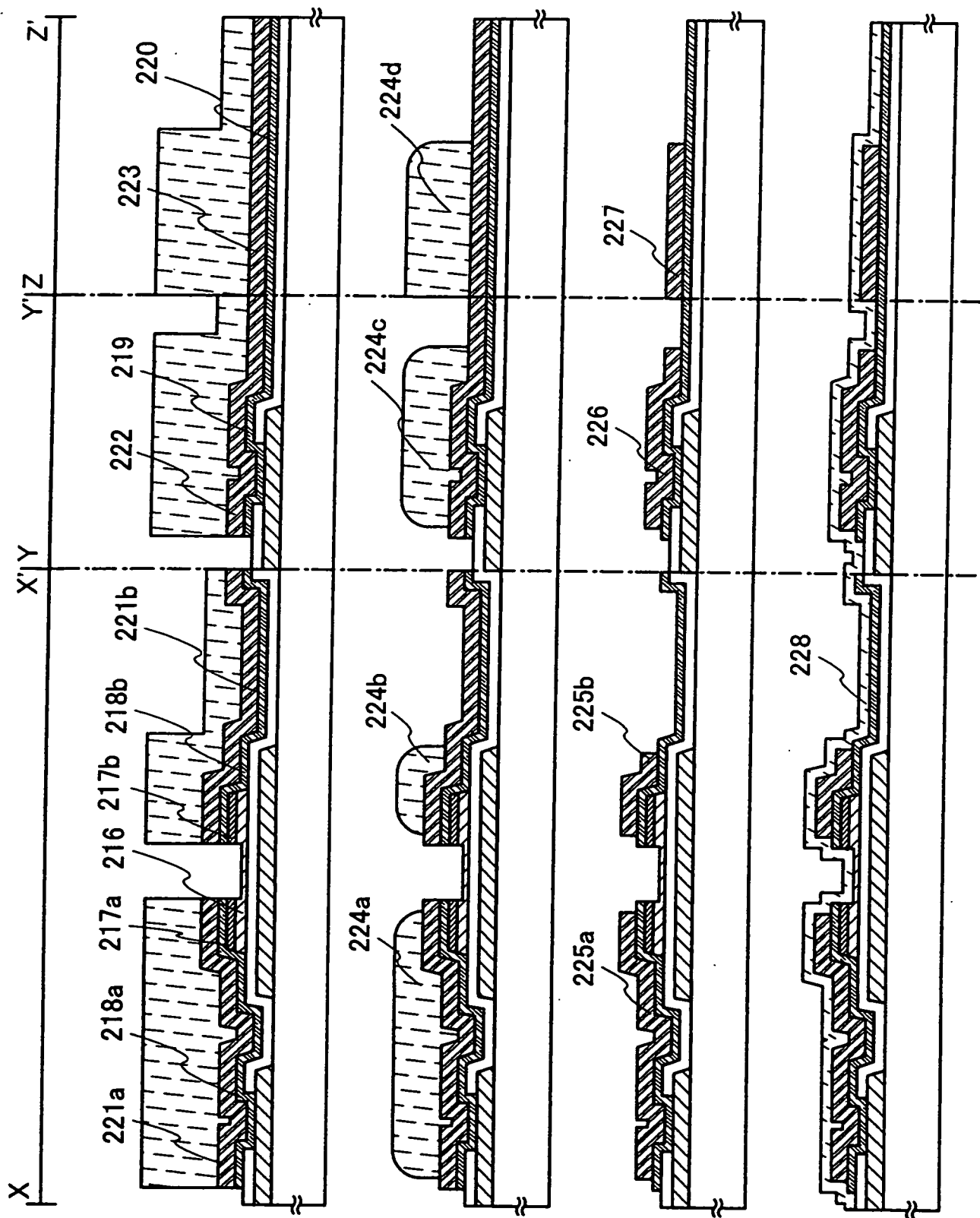


圖 5A

圖 5B

圖 5C

圖 5D

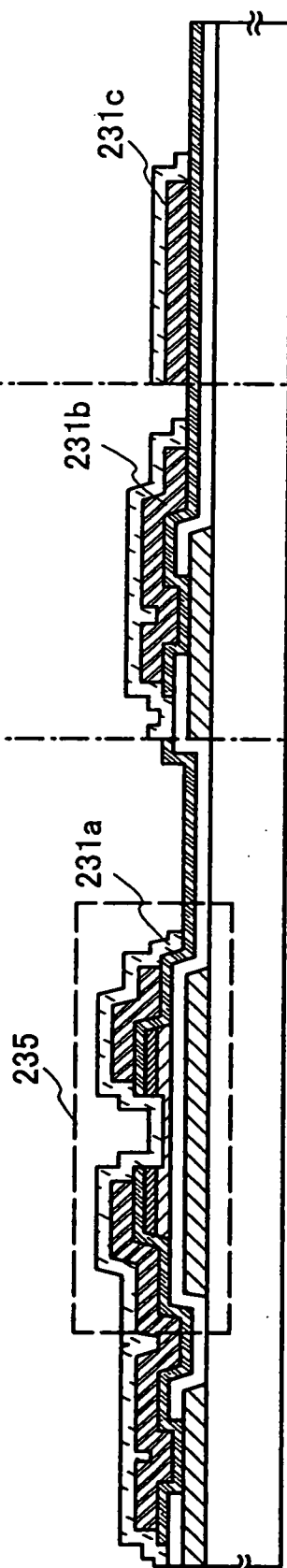
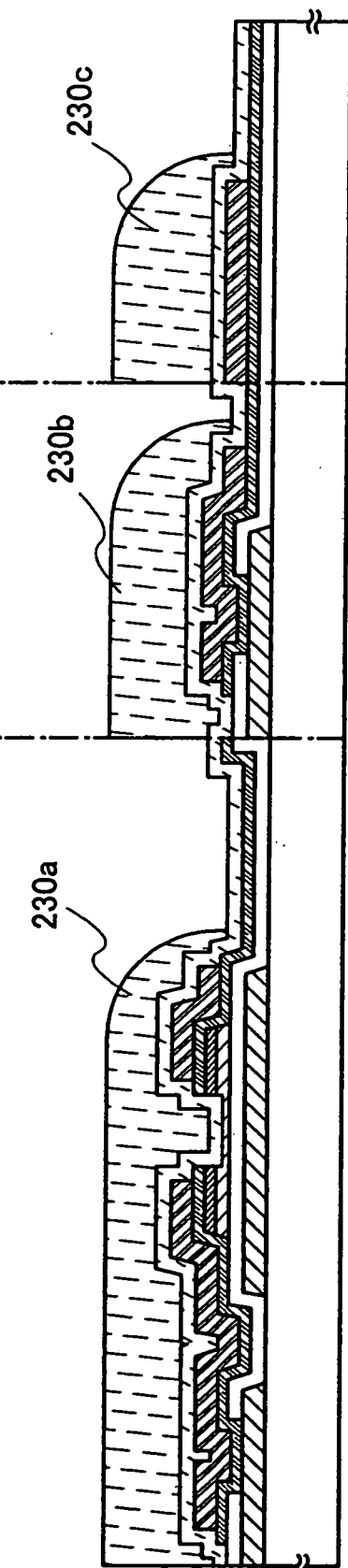
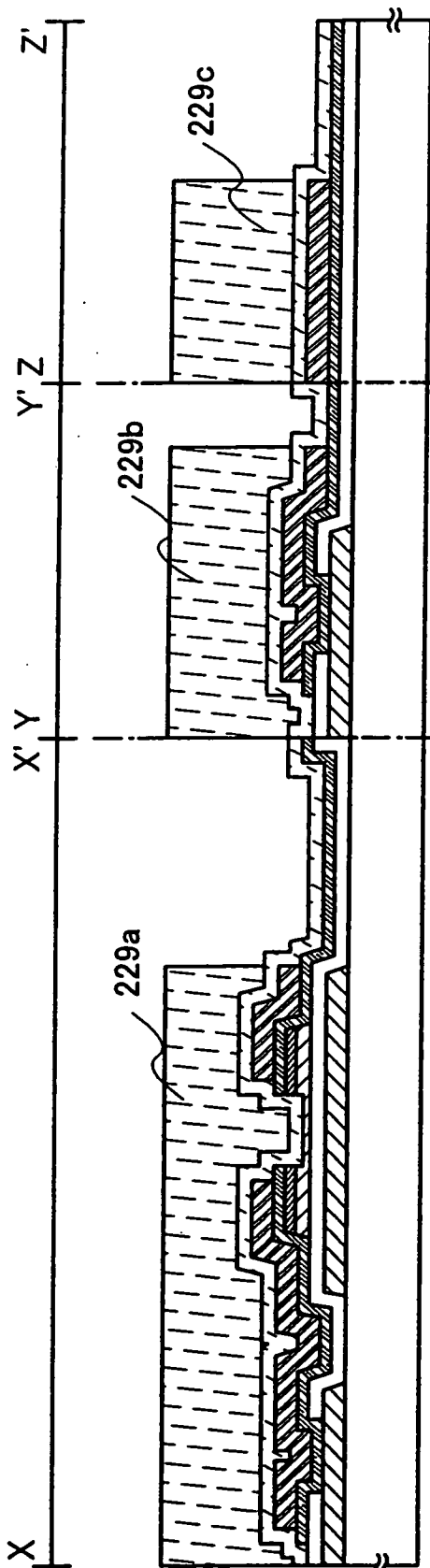


圖 7A

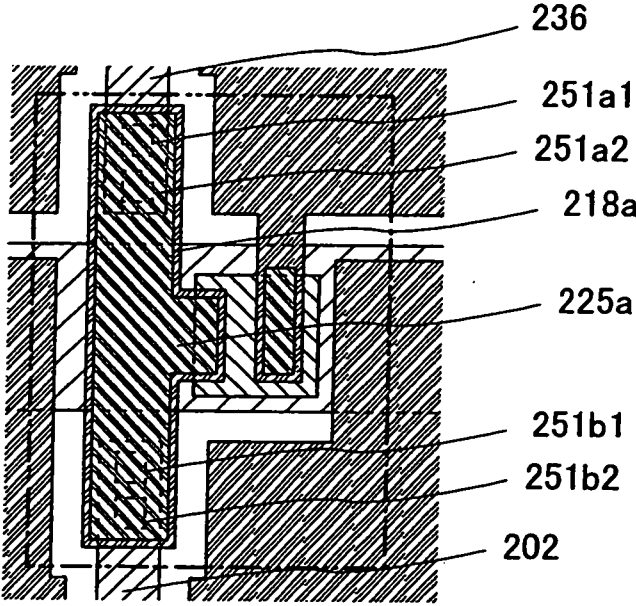


圖 7B

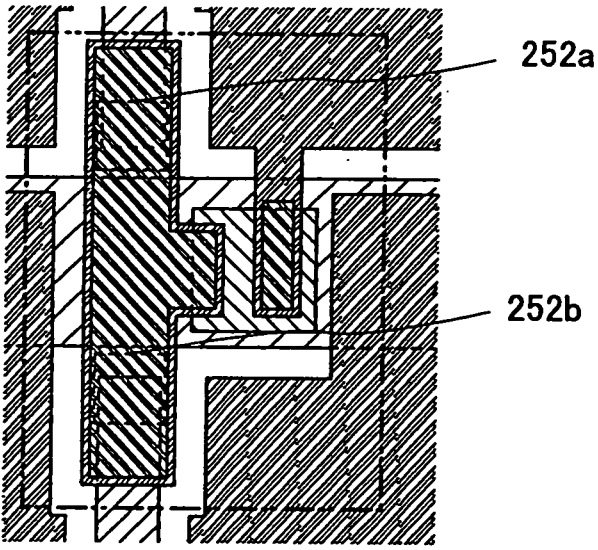


圖8

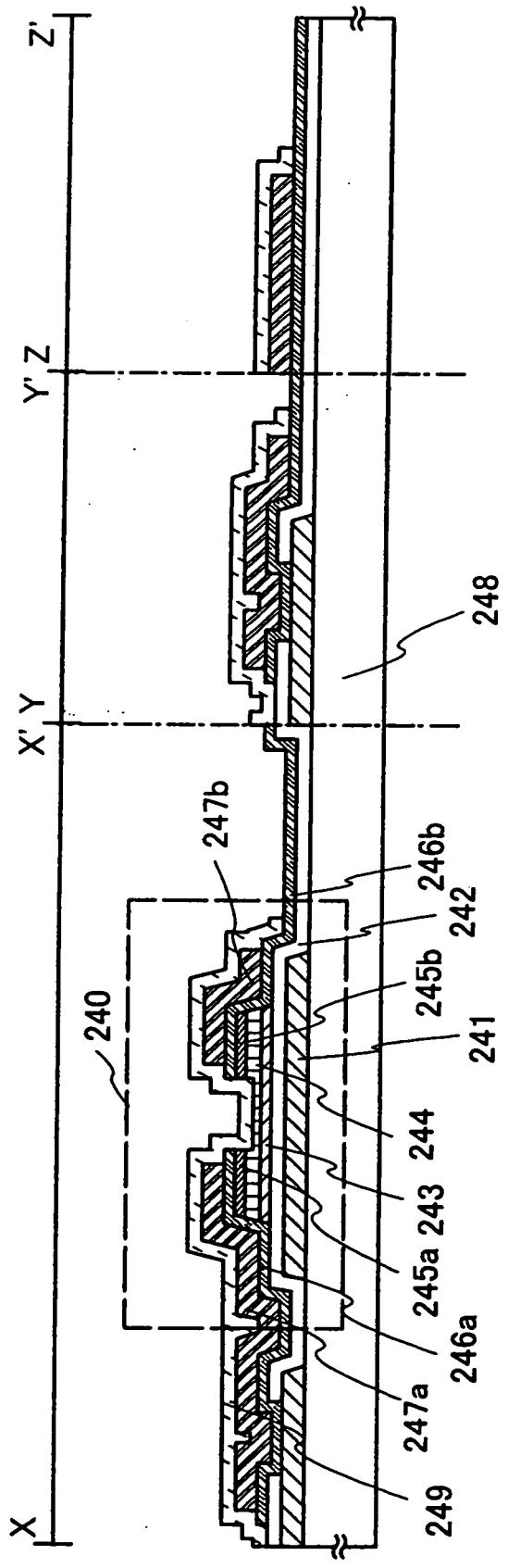


圖 9A

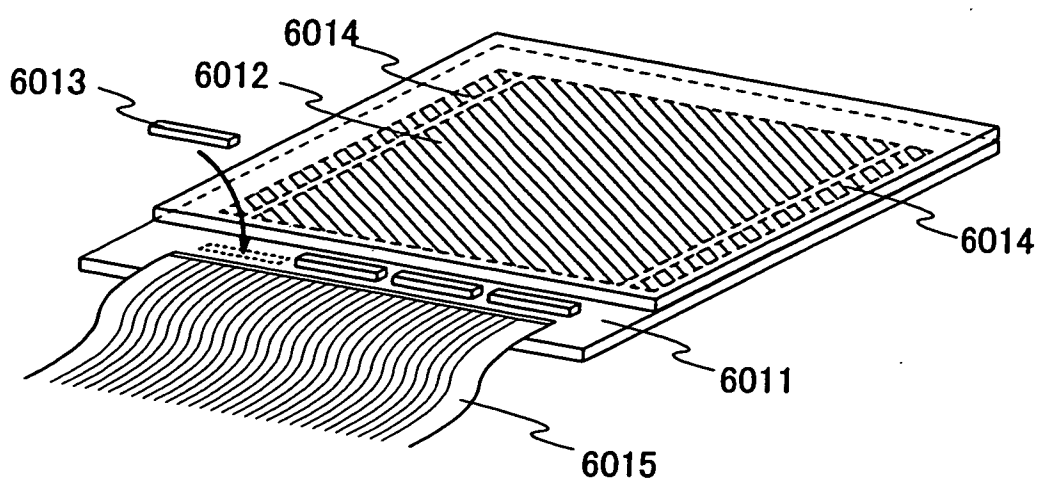


圖 9B

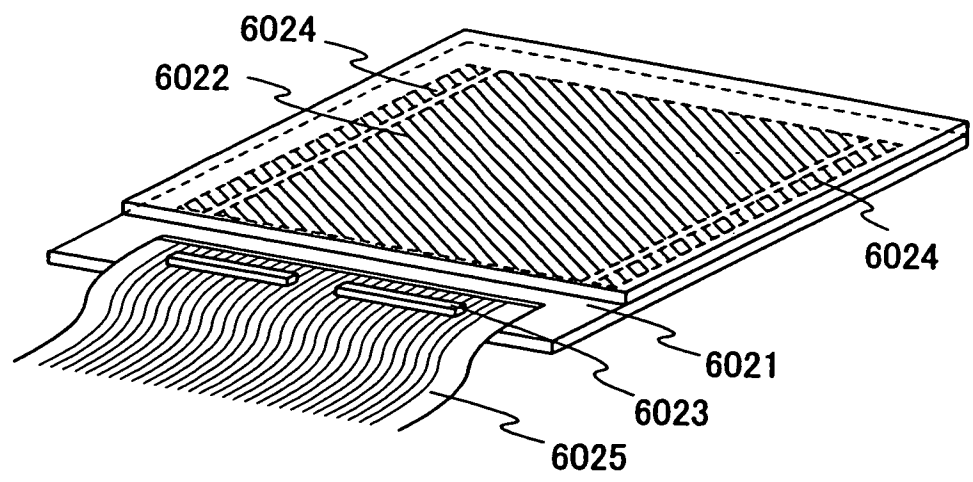


圖 9C

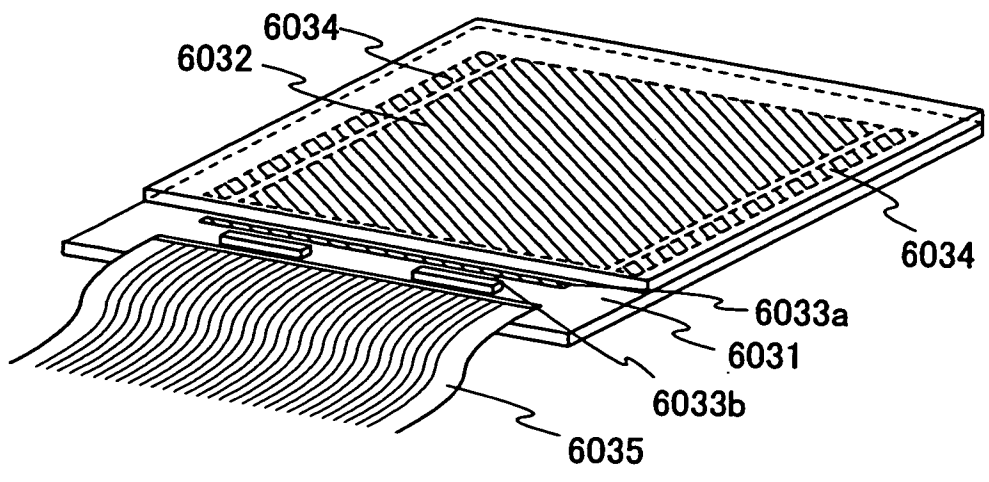


圖10A

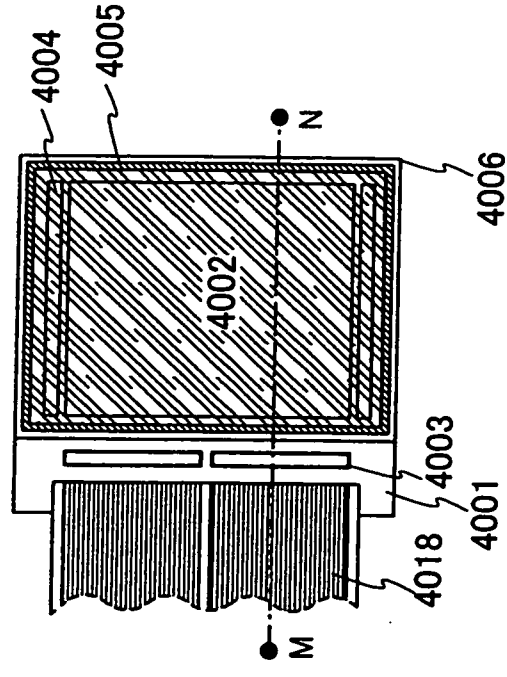


圖10B

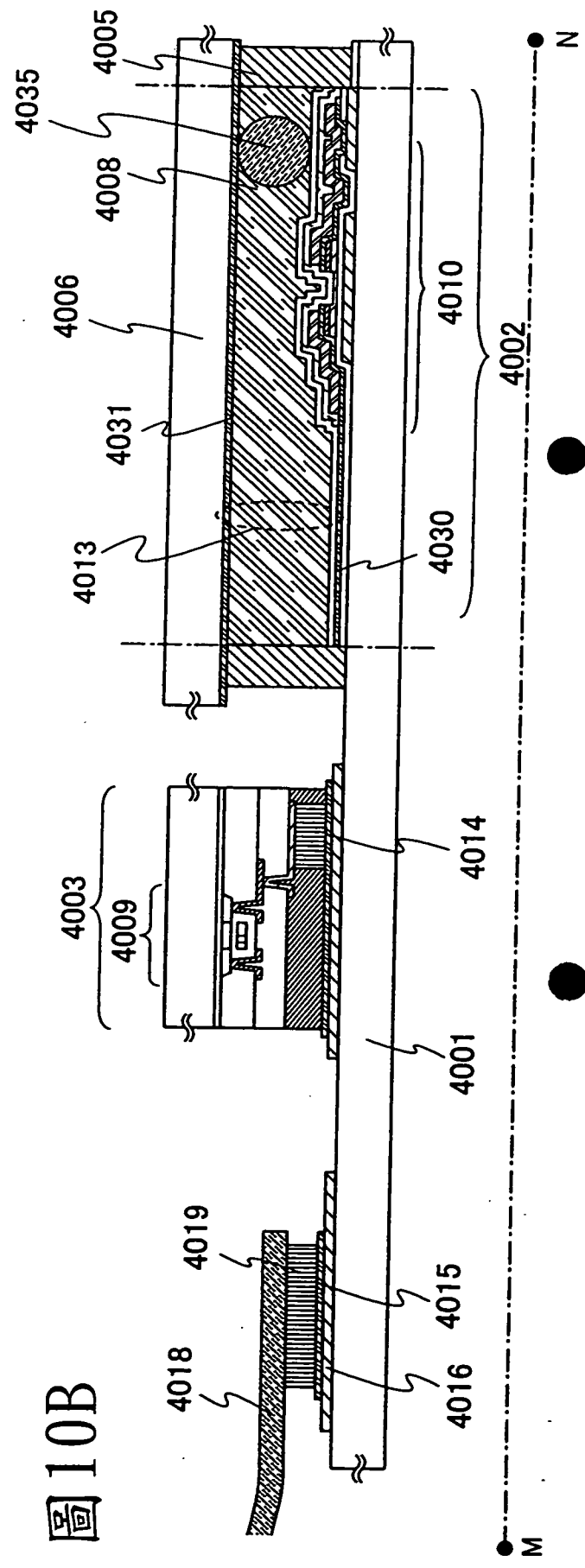


圖 11A

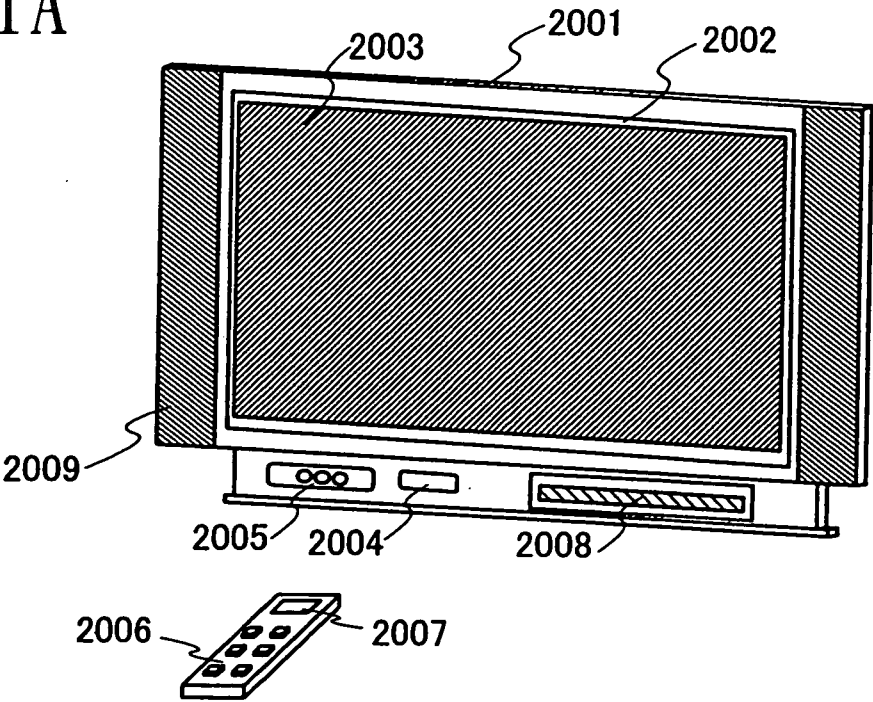


圖 11B

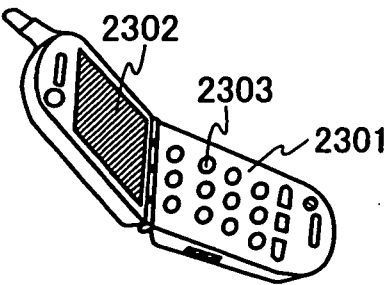


圖 11C

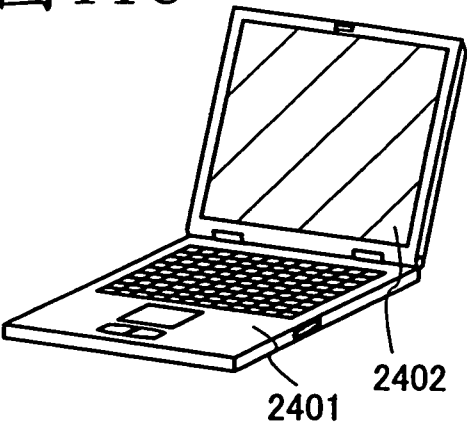


圖 11D

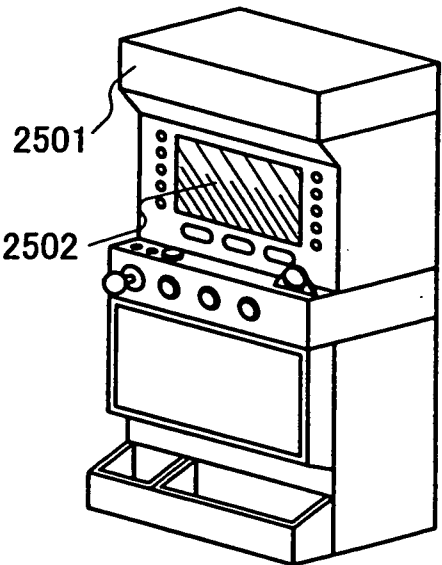


圖 12

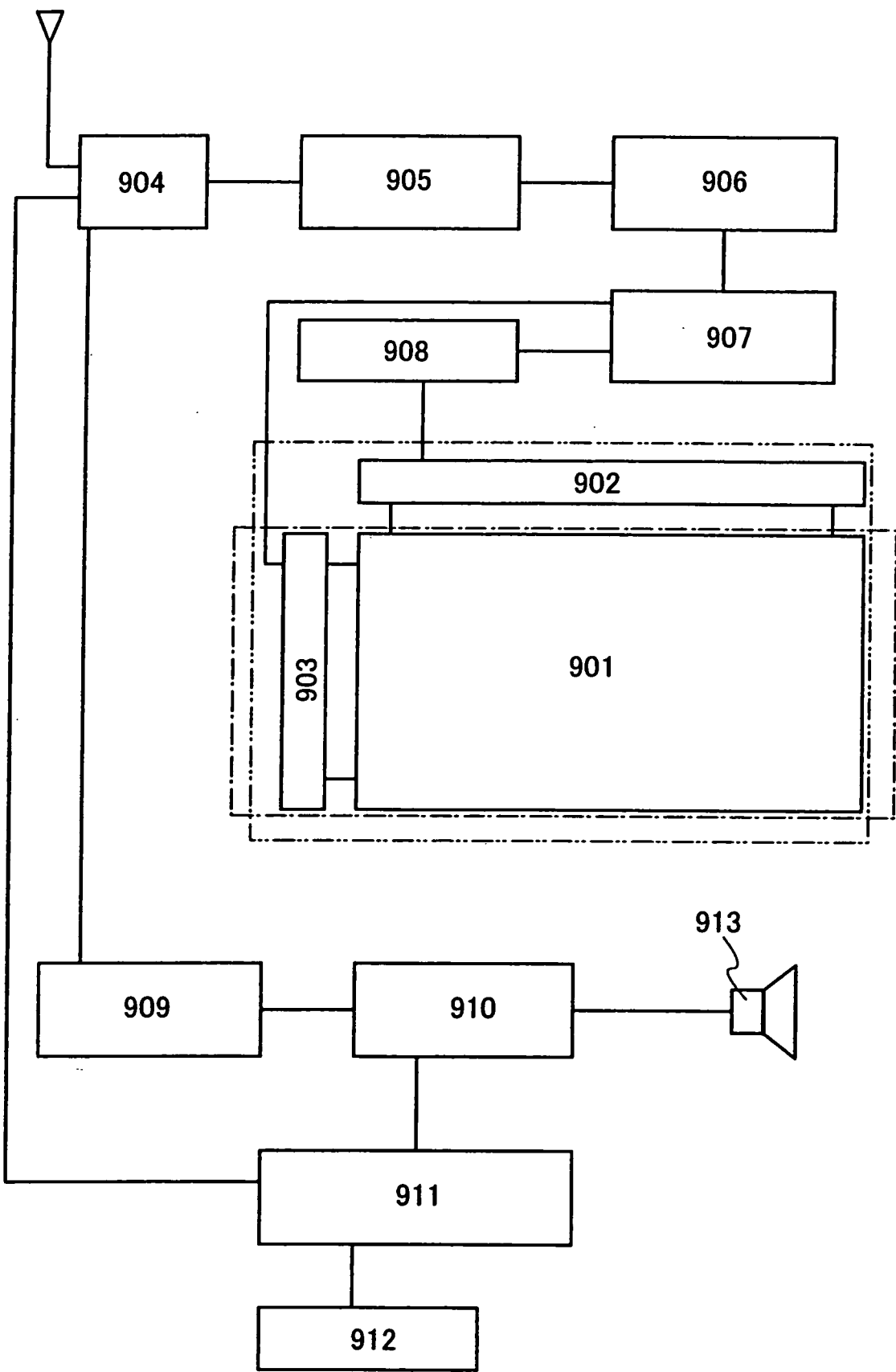


圖 13A

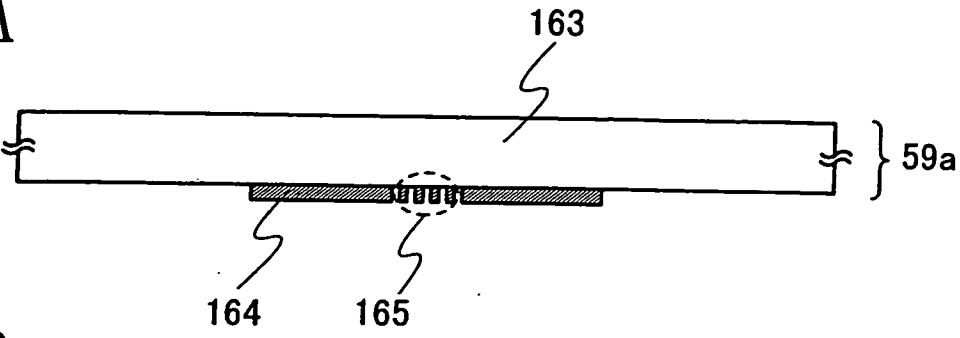


圖 13B

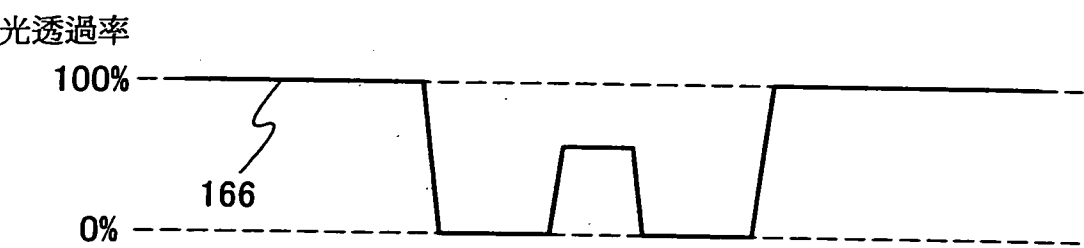


圖 13C

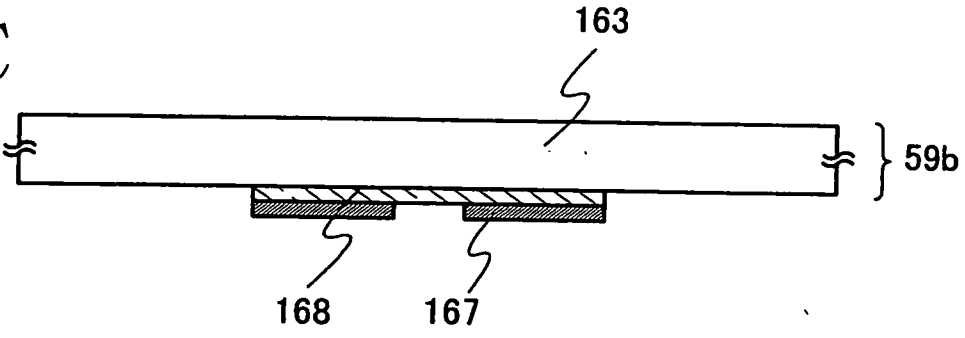


圖 13D

