

〔19〕中华人民共和国专利局

〔51〕Int.Cl.⁴

H04N 1/40

H03M 7/00



〔12〕发明专利申请审定说明书

〔11〕CN 86 1 03162 B

CN 86 1 03162 B

〔44〕审定公告日 1988年7月13日

〔21〕申请号 86 1 03162

〔22〕申请日 86.5.6

〔30〕优先权

〔32〕85.5.21 〔33〕J P 〔31〕106974/85

〔71〕申请人 冲电气工业株式会社

地 址 日本东京都

〔72〕发明人 柳下栋生 中野一男 森谷弘

加加美直人 富田英夫

〔74〕专利代理机构 中国国际贸易促进委员会专利

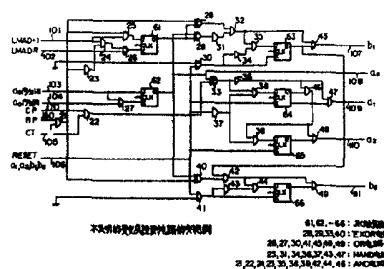
代理部

代理人 姚 珊

〔54〕发明名称 变化点检测电路

〔57〕摘要

本发明是用在传真装置上的电路，是关于图像信号编码所需要的信号变化点检测电路的。本发明要解决的问题是，以往这种装置使用微处理器以字为单位进行图像信号处理时，需要大量程序步和处理时间。本发明由于结构简单，可以实现1比特为单位的快速变化点检测电路。



881B00868/45-38

可用于传真图像信号的编码。当依次输入编码行及参考行的数字化图像信号。在检测编码用预定图像信号变化点及编码开始点的电路中。由下列电路构成变化点检测电路：

- (a) 记忆由外部控制电路置位的 编码开始点信号电平的第 1 触发电路 (以下称 F/F 电路)；
- (b) 把所输入编码行的图像信号与前述第 1 F/F 电路的输出取“异或”。作为第 1 变化点检测信号进行输出的电路；
- (c) 记忆前述第 1 变化点检测信号信号电平的第 2 F/F 电路；
- (d) 把前述第 2 F/F 电路的输出和前述第 1 变化点检测信号相“与”。作为第 2 变化点检测信号进行输出的电路；
- (e) 记忆前述第 2 变化点检测信号信号电平的第 3 F/F 电路；
- (f) 记忆相对于编码图像信号 1 个像素前的参考行图像信号信号电平的第 4 F/F 电路；
- (g) 把参考行的图像信号与前述第 4 F/F 电路的输出进行比较运算。当前述第 1 F/F 电路的输出与第 4 F/F 电路的输出电平相同时。将此比较运算的输出作为第 3 变化点检测信号进行输出的电路；
- (h) 记忆前述第 3 变化点检测信号信号电平的第 5 F/F 电路；
- (i) 把参考行的图像信号与前述第 1 F/F 电路的输出进行比较。当两者变成同电平时。将此信号电平和前述第 5 F/F 电路的输出相“与”。作为第 4 变化点检测信号进行输出的电路；
- (j) 记忆前述第 4 变化点检测信号信号电平的第 6 F/F 电路。

变化点检测电路

本发明用于传真装置。是关于图像信号的编码所需要的信号变化点检测电路的。

以往关于这种装置的文献如下：

《多点监视控制用 L S I 化处理器》，电子通信学会研究会，

S S D 8 0, N o. 5 2, 1 9 8 0

《传真专用 L S I 的开发》，冲电气研究开发，

V C I L 4 8, N o. 2, 1 9 8 1

如上述文献所忆载。以往在这种装置中使用微处理器。利用存储在存储器中的程序进行控制动作。进行传真图像信号的编码处理。这种编码处理如在 C C I T T T. 4 建议中所示。是按 2 维编码方式进行信号处理的。按照 C C I T T T. 4 建议。2 维编码是指把参考行的信号和相当于该参考行的下一行的行作为编码行的方式。即。按参考行、编码行信号的每一比特。读取白或黑的图像。检测出行上的白或黑的信号变化。也就是白→黑、黑→白的变化点。以各变化点间的比特数为基础进行编码的方式。

然而。通过采用上述的那种微处理器的存储程序控制进行图像信号的编码。要耗费大量的程序步和处理时间。一般。图像信号的处理是按每一比特进行的。但是微处理器以 8 位或 1 6 位的所谓字为单位进行运算处理。所以。不一定适合于以 1 比特为单位的变化点检测。而且还存在着要想提高装置的速度。就需要高速微处理器的问题。

本发明可用于传真图像信号的编码。当依次输入编码行及参考行的数字化图像信号。在检测编码用的预定图像信号变化点及编码开始

点的电路中，由下列电路构成变化点检测电路：

(a) 记忆由外部控制电路置位的 编码开始点信号电平的第 1 触发电路 (以下称 F/F 电路)；

(b) 把所输入编码行的图像信号与前述第 1 F/F 电路的输出取“异或”，作为第 1 变化点检测信号进行输出的电路；

(c) 记忆前述第 1 变化点检测信号信号电平的第 2 F/F 电路；

(d) 把前述第 2 F/F 电路的输出和前述第 1 变化点检测信号相“与”，作为第 2 变化点检测信号进行输出的电路；

(e) 记忆前述第 2 变化点检测信号信号电平的第 3 F/F 电路；

(f) 记忆相对于所编码图像信号 1 个像素前的参考行图像信号信号电平的第 4 F/F 电路；

(g) 把参考行的图像信号与前述第 4 F/F 电路的输出进行比较运算，当前述第 1 F/F 电路的输出与第 4 F/F 电路的输出电平相同时，将此运算输出作为第 3 变化点检测信号进行输出的电路；

(h) 记忆前述第 3 变化点检测信号信号电平的第 5 F/F 电路；

(i) 把参考行的图像信号与前述第 1 F/F 电路的输出进行比较，当两者变成同电平时，将此信号电平和前述第 5 F/F 电路的输出“与”，作为第 4 变化点检测信号进行输出的电路；

(j) 记忆前述第 4 变化点检测信号信号电平的第 6 F/F 电路。
而此变化点检测电路的目的是采用廉价的触发电路，每 1 比特都可以进行高速的变化点检测。

下面利用实施例，详细说明本发明的作用、效果。

本发明的实施例示于第 1 图、第 2 图，与其动作有关的信号操作示于第 3 图及第 4 图。而且，第 1 图是本实施例的变化点检测电路的电路图，第 2 图是本实施例的变化点检测电路所用的编码电路方框图。

首先，利用第2图说明编码电路的工作。按照传真图像读取方式的文件上各1行的图像信号通过端点11被输入，经过控制电路1，以1行长度为单位，作为参考行或编码行，交替存储在行存储器2、3中。在前述行存储器2、3中存储的图像信号，利用来自控制线15的控制信号，同步依次地1比特1比特被读出，经过连接线16、17及160、170输入到变化点检测电路4。而且，在本实施例中，连接线160传递参考行的信号，连接线170传递编码行的信号。连接线18是连接线组，集中了第1图所示变化点检测电路的连接线101、102、103、104、105、106。连接线19表示向编码信号发生电路传递信号的连接线组，集中了第1图的连接线107、108、109、110、111。

其次，利用第1图、第3图说明本实施例的变化点检测的动作。第3图为传真图像信号的白、黑信号列的例子。为便于说明相当于白或黑各行变化点的信号位置，设定信号位置 p_{-1} 、 p_0 、 p_1 …… p_{1-1} 。而且， a_0 、 a_1 、 a_2 、 b_1 、 b_2 为由CCITT T.4建议规定的变化点，分别定义如下：

a_0 ：成为编码行上开始点的变化点。在编码行的开始，可设定为假想的白变化点。编码行的编码期间， a_0 的位置由紧靠这个位置的前一编码方式定义。

a_1 ：编码行上的前述 a_0 以右最初的变化点。

a_2 ：编码行上的前述 a_1 以右最初的变化点。

b_1 ：在前述 a_0 以右，具有与前述 a_0 相反颜色的，在参考行上最左边的变化点。

b_2 ：在参考行上前述 b_1 右边的最初的变化点。

接着，利用第1图说明检测上述变化点的电路。

首先，对输入进行说明。在连接线101上输入由控制电路1读取行存储器的地址控制信号。当该信号为逻辑电平“1”时，表示前述行存储器的读取动作保持正常，与时钟脉冲同步地进行行存储器地址的步进。当该信号为逻辑电平“0”时，表示前述行存储器的地址步进在规定的地址位置上停止了读取。在连接线102上输入表示与前述行存储器地址有关控制状态的使电路元件复位的信号。连接线103上输入关于编码开始点的信息信号。编码开始点是设定在相当于行左端的行信号读出开始时和在1个编码处理结束并转入下一个编码处理时的。在前一种情况下，第3图所示点 P_1 变成假想开始点，正如在前述变化点 a_0 的定义上有的，逻辑电平“0”的白信号被输入到连接线103。在后一种情况下，即在进行编码处理的过程中，编码开始点新变为黑信号点或白信号点的情况下，与此同时，连接线103的输入信号也变成逻辑电平“1”或“0”。连接线104上，输入JK触发器（以下简称JK F/F）62的复位信号。在连接线170、160上，如前所述，逐比特地分别输入编码行和参考行的图像信号。在连接线105上输入对连接线160、170的前述信号进行控制用的信号。在连接线160上输入使JK F/F 63、64、65、66复位的信号。

其次，一边利用第3图及第4图，一边说明第1图的变化点检测电路的工作。首先变化点检测电路检测出从第3图所示白、黑信号列的由 P_1 向 P_2 的变化点，进行编码处理。即通过检测 P_2 处的点白变化，使行存储器的读取地址停止步进，进行编码。然后，在编码处理结束时刻，立即与时钟脉冲同步进入下一次编码的存储器读取动作。此刻，控制电路1传递 a_0 点的信号，即连接线103上的逻辑电平“0”的信号。在这之后，行存储器重新进入读取动作，由控制

电路1进行读取地址的步进。同时，这个状态作为逻辑电平“1”的信号，通过连接线101传递。第1图中的JK F/F62在第4图所示的行存储器地址0的位置上，其逻辑输出Q变成“0”。行存储器地址的读取经步进，在地址5的位置上图像信号变成黑信号。即，这儿是 a_1 的变化点。这时，连接线170上的信号变成逻辑电平“1”，“异或”(EXOR)电路33的输出变成“1”。此EXOR电路33的输出传到连接线109，变成编码信息。即 a_1 变化点信息传递到编码信号发生电路5。编码信号发生电路5将此信号传递到控制电路1。控制电路1立即停止行存储器读取地址的步进，把连接线101的逻辑电平变成“0”。

如第4图所示，行存储器读取地址在地址5停止。保持电路动作的时钟脉冲在下一时刻，把JK F/F64置位成逻辑电平“1”，保持编码信息 a_1 。按照该时钟脉冲，控制电路1重新开始行存储器的读取，向连接线101传递逻辑电平“1”的信号。当连接线101的逻辑电平继续保持“1”，并且连接线160传递逻辑电平“0”时，JK F/F61的输出Q变成逻辑电平“0”，维持这种状态。

其次，如第4图所示，行存储器地址在9的位置时，参考行201的图像信号由白变黑。这时，连接线160上传递来逻辑电平“1”的信号，EXOR电路28的输出变成逻辑电平“1”，经过AND电路32、OR电路45传递到连接线107。即变化点 b_1 的编码信息传递到编码信号发生电路5。这个变化点 b_1 的信号和前面的 a_1 的情况一样，传到控制电路1。控制电路1立即停止行存储器读取地址的步进，把连接线101上的信号变成逻辑电平“0”。同时，利用同步的时钟脉冲，JK F/F63被置位成逻辑电平

“1”，保持变化点 b_1 的编码信息。在这期间，行存储器的读取地址停在9上，利用下一个时钟脉冲，控制电路1重新开始行存储器读取地址的步进。

下面，按照同样的动作，JK F/F 6 6及6 5输出逻辑电平“1”，该逻辑电平“1”的信号传递到连接线1 1 1及1 1 0，变化点 b_2 、 a_1 的编码信息传到编码信号发生电路5。而且，当JK F/F 6 6或者连接线1 1 1得到逻辑电平“1”的输出时，AND电路4 2的输出受JK F/F 6 3的逻辑电平“1”的输出信号的控制。关于JK F/F 6 5的输出，JK F/F 6 4的输出信号经过AND电路3 9，控制JK F/F 6 5的输出及连接线1 1 0的信号。以上，由于JK F/F 6 1、6 2、6 3、6 4、6 5、6 6用作为记忆电路，可以用简单的电路检测图像信号的变化点，把它用作为编码信息。

正如以上利用实施例所进行的详细说明，按照本发明，可用简单的电路结构实现可高速动作的编码电路。

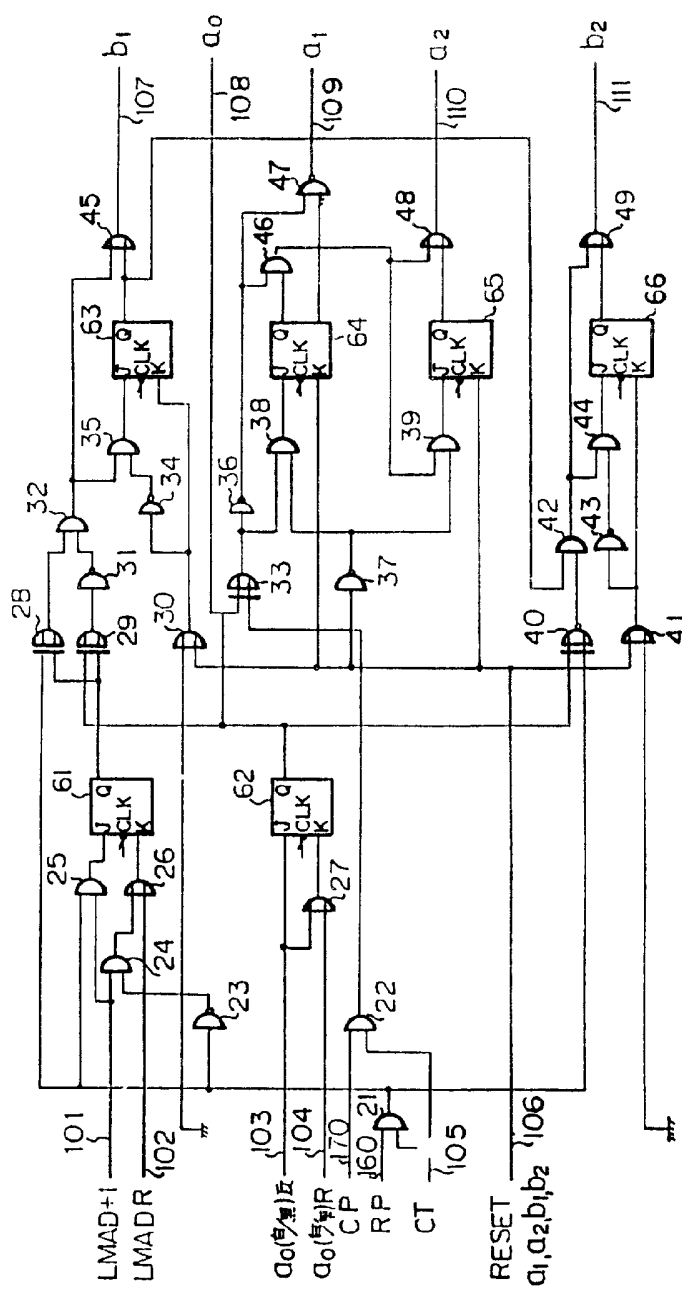
第1图为本发明实施例的方框图；第3图为说明第1图所示电路工作的，表示传真图像信号的白、黑信号列例子的图；第2图为表示第1图的变化点检测电路4的内部情况的图；第4图为说明本发明实施例中各信号的定时图。

1……控制电路；2、3……行存储器；4……变化点检测电路；
5……编码信号发生电路；1 3、1 4、1 6、1 7、1 9、1 0 1、
1 0 2、1 0 3、1 0 4、1 0 5、1 0 6、1 0 7、1 0 8、
1 0 9、1 1 0、1 1 1、1 6 0、1 7 0、1 8 0……连接线；
1 5、1 8……控制线；1 1、1 2……端点；6 1、6 2、6 3、
6 4、6 5、6 6……JK触发器；2 1、2 2、2 4、2 5、3 5、

38、39、42、44、46……AND 电路；26、27、30、
41、45、48、49……OR 电路；23、31、34、36、
37、43、47……NAND 电路；28、29、33、40……
EXOR 电路。

图1中：

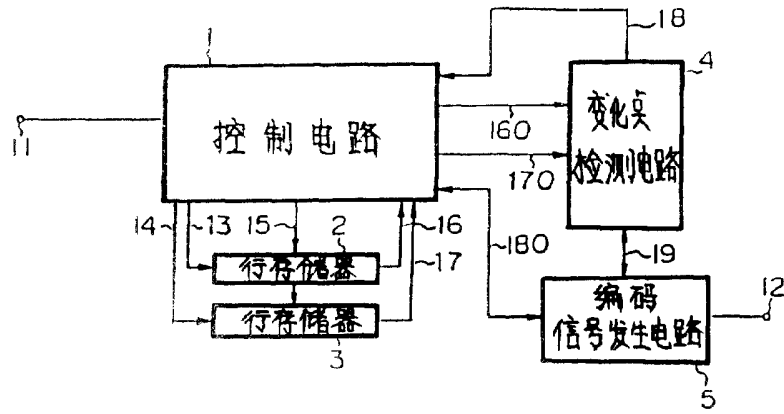
LAMD+1:	信号线101的符号名
LAMDR:	信号线102的符号名
aO(白/黑)反:	信号线103的符号名
aO(白/黑)R:	信号线104的符号名
CT:	信号线105的符号名
RESET	信号线106的符号名
a ₁ a ₂ b ₁ b ₂	
Rp:	信号线160的符号名
Cp:	信号线170的符号名



61, 62, ... 66 : JK触发器
 28, 29, 33, 40 : XOR电路
 26, 27, 30, 41, 45, 48, 49 : OR电路
 23, 31, 34, 36, 37, 43, 47 : NAND电路
 21, 22, 24, 25, 35, 38, 39, 42, 44, 46 : AND电路

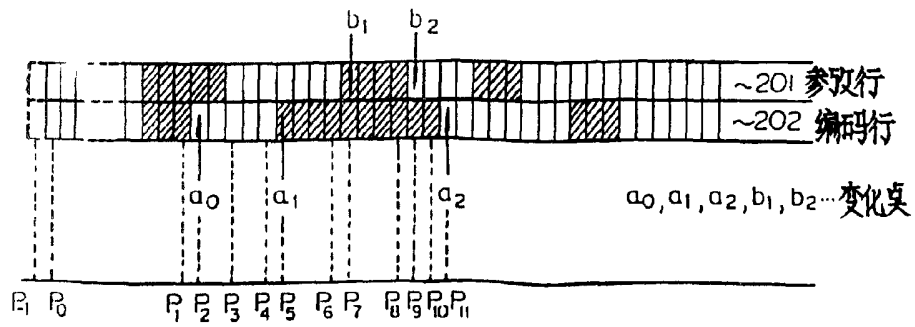
本发明的变化点检测电路的实施例

图 1



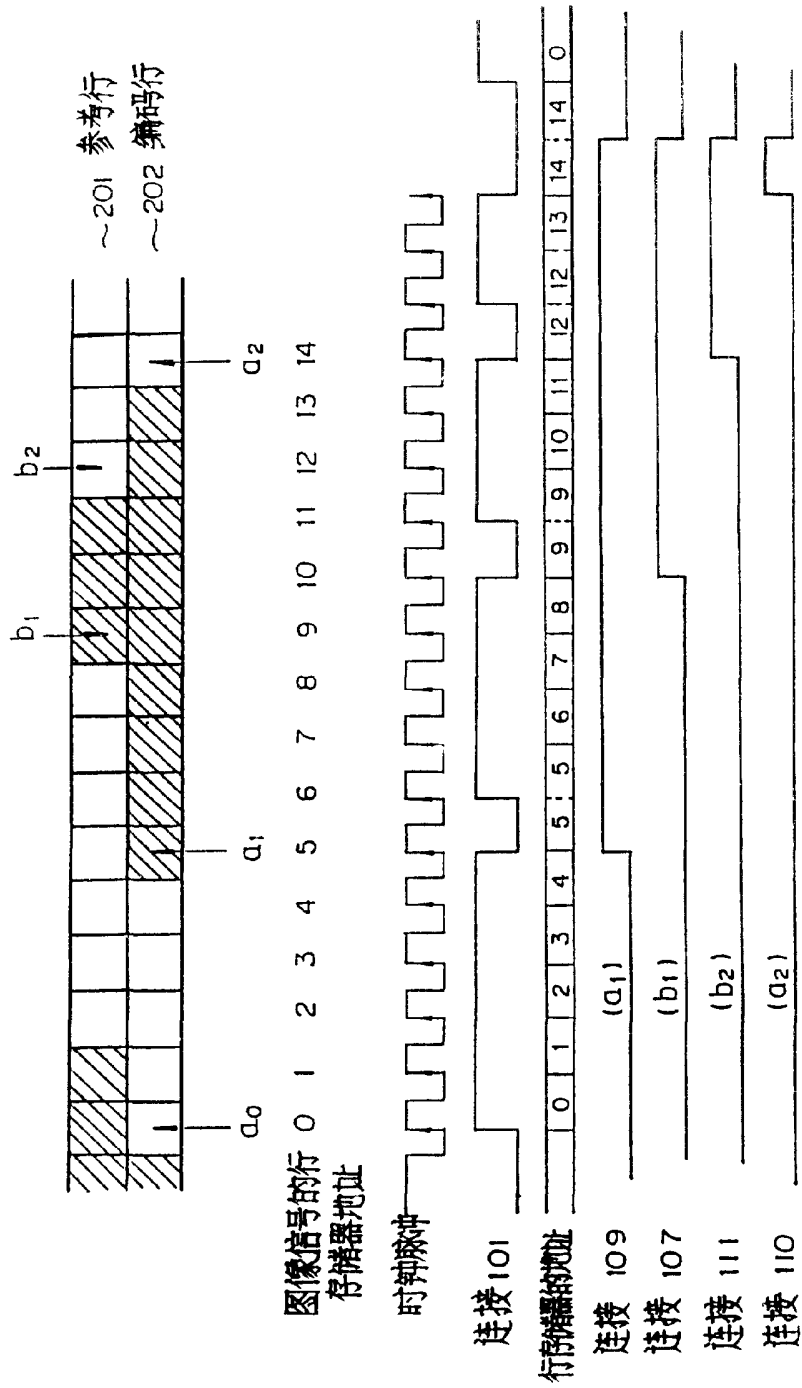
编码电路的方框图

图2



传真信号的白、黑位号列例子

图3



在实施例中的各信号定时
图 4