

公告本

149

申請日期: 89.10.2	案號: 89120536
類別: 401L 29/86	

(以上各欄由本局填註)

發明專利說明書		457725
一、發明名稱	中文	薄膜電晶體元件結構及其製造方法
	英文	
二、發明人	姓名 (中文)	1. 龔能輝 2. 陳志宏
	姓名 (英文)	1. 2.
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台南縣永康市鹽洲里中正南路779巷54號 2. 新竹縣竹東鎮康莊街26巷136號
三、申請人	姓名 (名稱) (中文)	1. 財團法人工業技術研究院
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣竹東鎮中興路四段195號
	代表人姓名 (中文)	1. 林信義
	代表人姓名 (英文)	1.

五、發明說明 (1)

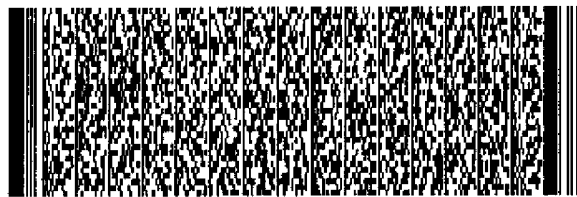
本發明是有關於一種薄膜電晶體(Thin Film Transistor, 簡稱TFT)元件結構及其製造方法, 且特別是有關於一種具備減少光罩的薄膜電晶體元件結構及其製造方法

以現今顯示器(display)而言, 液晶顯示器(Liquid Crystal Display, 簡稱LCD)係頗具潛力的一種顯示器。由於液晶顯示器因具有低幅射性以及體積輕薄短小之優點, 故可運用於許多方面, 比如, 筆記型電腦所用之螢幕等。由於LCD之低幅射性因而對人體較無傷害, 故某些桌上型電腦也開始利用液晶顯示器來取代傳統使用陰極射線管(CRT)之顯示器。

以液晶顯示器所運用之元件來分, 其包括: 超扭向列式(Super-Twisted Nematic, 簡稱STN)-LCD與薄膜電晶體(Thin Film Transistor, 簡稱TFT)-LCD。以視角廣度而言, 由於STN-LCD係受限較多, 故其漸漸被視角廣度較大之TFT-LCD所取代。

請參照第1A~1C圖, 其繪示傳統之薄膜電晶體(Thin Film Transistor, 簡稱TFT)元件製程之結構剖面圖。

首先, 如第1A圖所示, 本發明之TFT元件結構係形成於矽基板101與緩衝層(buffer layer)102之上。此矽基板101之材質可為多晶矽(polysilicon, p-Si), 或者非結晶矽(amorphous silicon, a-Si)。並在緩衝層102上形成主動層120, 之後再以離子植入法於主動層120形成源極/汲極(source/drain)S/D, 其中, 主動層係用以作為TFT元件



五、發明說明 (2)

之通道區(Channel Region)。接著，在緩衝層102上形成閘極絕緣層(gate insulator)103，例如是以電漿化學氣相沈積(Plasma Enhanced Chemical Vapor Deposition, PECVD)的方法形成閘極絕緣層103。閘極絕緣層103並同時覆蓋源極/汲極S/D與主動層120。閘極絕緣層103之材質可為矽氧化物(SiO_x)或矽氮化物(SiN_x)。如第1A圖所示，閘極絕緣層103在覆蓋源極/汲極S/D與主動層120處所形成之階梯覆蓋(step coverage)係為使後續形成之介電層(interlayer)具有良好之階梯覆蓋效果。

然後，在閘極絕緣層103上形成閘極G。閘極G係形成於閘極絕緣層103之階梯上，此結構係稱之為上閘極(Top Gate)結構。此外，閘極G係用以構成如第1圖中之LCD面板之掃描線(Scan Line)。

接著，如第1B圖所示，形成介電層104於閘極絕緣層103與閘極G之上。介電層104之製程可為下列兩種方法：

(1) 將矽氧化物(SiO_x)經由沈積再氫化(hydrogen plasma hydrogenation)而得；或者

(2) 將矽氮化物(SiN_x)以PECVD的方法沈積，再經由高溫回火(annealing)而得。

由於高分子材質之介電常數則會影響交叉電容之電容值，如果高分子材質之介電常數愈大，則交叉電容之電容值也會愈大。如上所述，交叉電容之電容值愈大也會影響到LCD面板之延遲時間變長。亦即，高分子材質之介電常數會影響到LCD面板之延遲時間。

五、發明說明 (3)

接著，則是要形成介層洞(via hole)106、107。例如是以微影與蝕刻之方法形成介層洞106、107，至源極/汲極S/D處，如第1B圖所示。當然，利用微影與蝕刻的方法來形成介層洞106、107所需之光阻材料，可以是正光阻或負光阻。例如使用正光阻時，可以利用微影製程而直接對正光阻圖案化即可。

之後，如第1C圖所示，沈積一金屬層以填入介層洞106、107中，並定義出源極/汲極金屬導線(metal line)108、109。

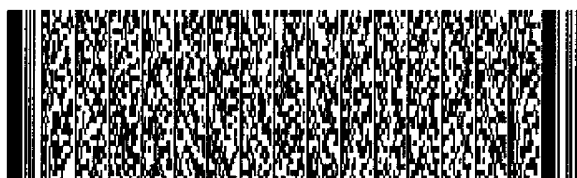
接著，則是形成保護層(passivation layer)110於介電層104上方，同時覆蓋源極/汲極金屬導線108、109。

最後，形成一導電層111以連接源極/汲極金屬導線109，例如是在保護層110上定義一開口至源極/汲極金屬導線109，再填入導電材料以形成導電層111，作為LCD面板之資料線，此一導電材料例如是銦錫氧化物(Indium Tin Oxide, ITO)。

依據上述之方法之薄膜電晶體元件結構及其製造方法，至少包括七道光罩，雖然五道光罩之製程亦曾被提出，但是於製程上仍是相當的不便利。

有鑑於此，本發明的目的就是在提供一種四道光罩之薄膜電晶體元件結構及其製造方法。

根據本發明的目的，提出一種薄膜電晶體元件結構，包括：一矽基板；一第一源極/汲極，位於此矽基板上；一第二源極/汲極，位於此矽基板上；一主動層，位於此



五、發明說明 (4)

矽基板之此第一源極/汲極與第二源極/汲極間；一閘極絕緣層，覆蓋此第一源極/汲極、第二源極/汲極與主動層；一閘極以及複數條金屬線，位於此閘極絕緣層上；一保護層，位於此閘極絕緣層上並覆蓋此閘極以及此些金屬線；以及一導線，位於此保護層上方，並連接至下方之此第一源極/汲極、此第二源極/汲極區以及此些金屬線。

根據本發明之另一目的，提出一種形成薄膜電晶體元件結構之製造方法，包括將資料線以及掃描線在同一道光罩上完成，此方法包括：在矽基板形成主動層，再形成閘極絕緣層覆蓋主動層，再形成導電層並定義出閘極以及導線，然後，利用此閘極自動對準，於此主動層形成源極/汲極，再形成一保護層於此閘極絕緣層之上，以覆蓋閘極以及金屬線，接著，定義介層洞，穿越此保護層至源極/汲極以及導線，再以ITO填入介層洞，與源極/汲極以及導線電性連接，接著，定義此導電材料。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1A~1C圖，其繪示傳統之薄膜電晶體元件製程之結構剖面圖；

第2A~2B圖，其繪示依照本發明一較佳實施例之薄膜電晶體元件製程之結構剖面圖。

標號說明：



五、發明說明 (5)

101: 矽基板

102: 緩衝層

103、203: 閘極絕緣層

104: 介電層

106、107、206a、206b、207a、207b: 介層洞

108、109、208、209: 金屬導線

110: 保護層

111: 導電層

120、220: 主動層

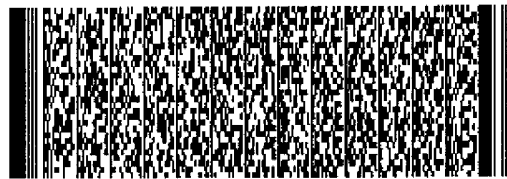
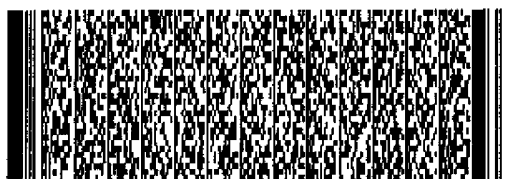
201: 基底

204: 保護層

210: 導電材料

較佳實施例

首先，如第2A圖所示，本發明之TFT元件結構係形成於基底(Substrate)201，較佳的是，多晶矽(polysilicon, p-Si)，或者非結晶矽(amorphous silicon, a-Si)再加以雷射形成多晶矽。接著，形成主動層220。主動層220之形成需要第一道光罩定義出主動層之圖案，再利用例如是蝕刻，除去不需要之部分。接著，形成閘極絕緣層(gate insulator)203。例如是以電漿化學氣相沈積(Plasma Enhanced Chemical Vapor Deposition, PECVD)的方法形成閘極絕緣層203。閘極絕緣層203至少覆蓋主動層220。閘極絕緣層203之材質可為



五、發明說明 (6)

矽氧化物(SiO_x)或矽氮化物(SiN_x)。

然後，在閘極絕緣層203上形成導電層，較佳的是利用濺鍍。再利用第二道光罩於主動層220相對之上方定義出閘極G以及金屬線208、金屬線209。閘極G係形成於閘極絕緣層203之階梯上，此結構係稱之為上閘極(Top Gate)結構。此外，閘極G係用以構成LCD面板之掃描線(Scan Line)。接著，較佳的以離子植入法，利用閘極G自動對準(self-align)，於主動層220形成源極/汲極(source/drain)S/D，其中，主動層係用以作為TFT元件之通道區(Channel Region)。

因此，明顯可知，利用本發明之薄膜電晶體元件形成方法，可以將形成閘極G與金屬線208、209利用單一光罩及單一黃光製程即可完成，而傳統之方法則需要兩道光罩及兩道黃光製程。

接著，如第2B圖所示，形成保護層(passivation layer)204於閘極絕緣層203、閘極G與金屬線208、209之上。保護層204可以是

(1) 將矽氧化物(SiO_x)經由沈積再氫化(hydrogen plasma hydrogenation)而得；或者

(2) 將矽氮化物(SiN_x)以PECVD的方法沈積，再經由高溫回火(annealing)而得。

此外，保護層204也可以是磷矽玻璃PSG。

接著，則是要形成介層洞(via hole) 206a、206b、207a、207b。例如是以微影與蝕刻之方法形成介層洞

五、發明說明 (7)

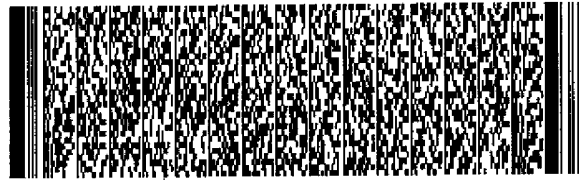
206a、207a，至源極/汲極S/D處以及介層洞206b、207b至金屬線208、209，如第2B圖所示。此時，便需要第三道光阻。當然，利用微影與蝕刻的方法來形成介層洞206a、206b、207a、207b所需之光阻材料，可以是正光阻或負光阻。例如使用正光阻時，可以利用微影製程而直接對正光阻圖案化即可。

之後，再形成一導電材料210以填入介層洞206a、206b、207a、207b，使此導電材料210分別與源極/汲極S/D以及金屬線208、209電性連接，作為LCD面板之資料線，此導電材料210較佳的是銦錫氧化物(Indium Tin Oxide, ITO)。此時，再利用第四道光罩以定義導電材料210。

【發明效果】

本發明上述實施例所揭露之薄膜電晶體元件結構及其製造方法，使得data bus line 以及scan bus line 在同一道光罩上即可完成。只要透過layout 來避開data bus line 以及scan bus line 的重疊處，即可降低成本、減少誤差提高良率。

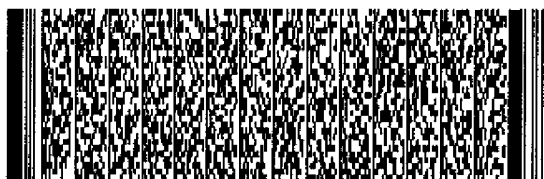
綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：薄膜電晶體元件結構及其製造方法)

一種薄膜電晶體元件結構及其製造方法，將資料線以及掃描線在同一道光罩上完成，此方法包括：在矽基板形成主動層，再形成閘極絕緣層覆蓋主動層，再形成導電層並定義出閘極以及導線，然後，利用此閘極自動對準，於此主動層形成源極/汲極，再形成一保護層於此閘極絕緣層之上，以覆蓋閘極以及金屬線，接著，定義介層洞，穿越此保護層至源極/汲極以及導線，再以ITO填入介層洞，與源極/汲極以及導線電性連接，接著，定義此導電材料。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種薄膜電晶體元件結構，包括：

一矽基板；

一第一源極/汲極，位於該矽基板上；

一第二源極/汲極，位於該矽基板上；

一主動層，位於該矽基板之該第一源極/汲極與第二源極/汲極間；

一閘極絕緣層，覆蓋該第一源極/汲極、第二源極/汲極與主動層；

一閘極以及複數條金屬線，位於該閘極絕緣層上；

一保護層，位於該閘極絕緣層上並覆蓋該閘極以及該些金屬線；以及

一導線，位於該保護層上方，並連接至下方之該第一源極/汲極、該第二源極/汲極區以及該些金屬線。

2. 如申請專利範圍第1項所述之薄膜電晶體元件結構，其中該矽基板係一多晶矽基板。

3. 如申請專利範圍第1項所述之薄膜電晶體元件結構，其中該矽基板係一非結晶矽基板。

4. 如申請專利範圍第1項所述之薄膜電晶體元件結構，其中該閘極絕緣層係由矽氧化物所形成。

5. 如申請專利範圍第1項所述之薄膜電晶體元件結構，其中該閘極絕緣層係由矽氮化物所形成。

6. 如申請專利範圍第1項所述之薄膜電晶體元件結構，其中該保護層係將矽氧化物(SiO_x)經由沈積再氫化(hydrogen plasma hydrogenation)所形成。

六、申請專利範圍

7. 如申請專利範圍第1項所述之薄膜電晶體元件結構，其中該保護層係將矽氮化物(SiN_x)以PECVD的方法沈積，再經由高溫回火(annealing)所形成。

8. 如申請專利範圍第1項所述之薄膜電晶體元件結構，其中該保護層係磷矽玻璃(PSG)。

9. 如申請專利範圍第1項所述之薄膜電晶體元件結構，其中該導線係一銦錫氧化物。

10. 一種形成薄膜電晶體元件結構之製造方法，包括：

提供一矽基板；

形成一主動層；

形成一閘極絕緣層，至少覆蓋該主動層；

形成一導電層；

將該導電層定義出一閘極以及複數條導線；

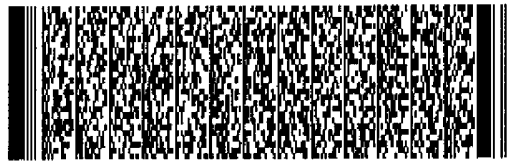
利用該閘極自動對準，於該主動層形成一第一源極/汲極以及一第二源極/汲極；

形成一保護層(Passivation Layer)於該閘極絕緣層之上，以覆蓋該閘極以及該些金屬線；

定義複數個介層洞，穿越該保護層至該第一源極/汲極、該第二源極/汲極以及該些導線；

形成一導電材料以填入該些介層洞，其中該導電材料分別與該第一源極/汲極、該第二源極/汲極以及該些導線電性連接；以及

定義該導電材料。



六、申請專利範圍

11. 如申請專利範圍第10項所述之製造方法，其中該矽基板係多晶矽基板。

12. 如申請專利範圍第10項所述之製造方法，其中該矽基板係經雷射一非結晶矽基板以形成之一多晶矽基板。

13. 如申請專利範圍第10項所述之製造方法，其中該主動層之形成係先利用一第一道光罩定義出一圖案再利用蝕刻除去不需要之部分。

14. 如申請專利範圍第10項所述之製造方法，其中該閘極絕緣層之材料為矽氧化物。

15. 如申請專利範圍第10項所述之製造方法，其中該閘極絕緣層之材料為矽氮化物。

16. 如申請專利範圍第10項所述之製造方法，其中該閘極絕緣層係以電漿化學氣相沉積(PECVD)形成。

17. 如申請專利範圍第10項所述之製造方法，其中該導電層係以濺鍍形成。

18. 如申請專利範圍第10項所述之製造方法，其中係利用一第二光罩定義該導電層。

19. 如申請專利範圍第10項所述之製造方法，其中該保護層係將矽氧化物(SiO_x)經由沈積再氫化(hydrogen plasma hydrogenation)而得。

20. 如申請專利範圍第10項所述之製造方法，其中該保護層係將矽氮化物(SiN_x)以PECVD的方法沈積，再經由高溫回火(annealing)而得。

21. 如申請專利範圍第10項所述之製造方法，其中該



六、申請專利範圍

保護層係磷矽玻璃PSG。

22. 如申請專利範圍第10項所述之製造方法，其中該些介層洞係利用一第三光罩以及微影與蝕刻的方法來形成。

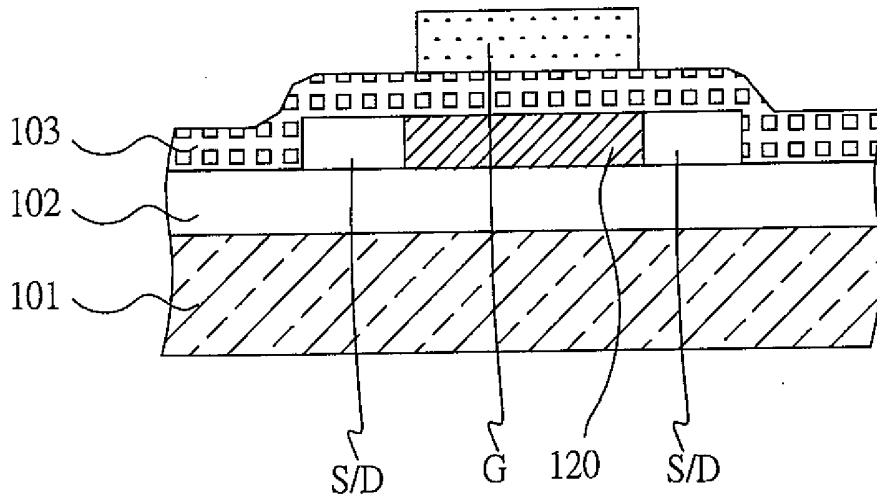
23. 如申請專利範圍第22項所述之製造方法，其中形成該些介層洞所需之光阻材料是一正光阻。

24. 如申請專利範圍第22項所述之製造方法，其中形成該些介層洞所需之光阻材料是一負光阻。

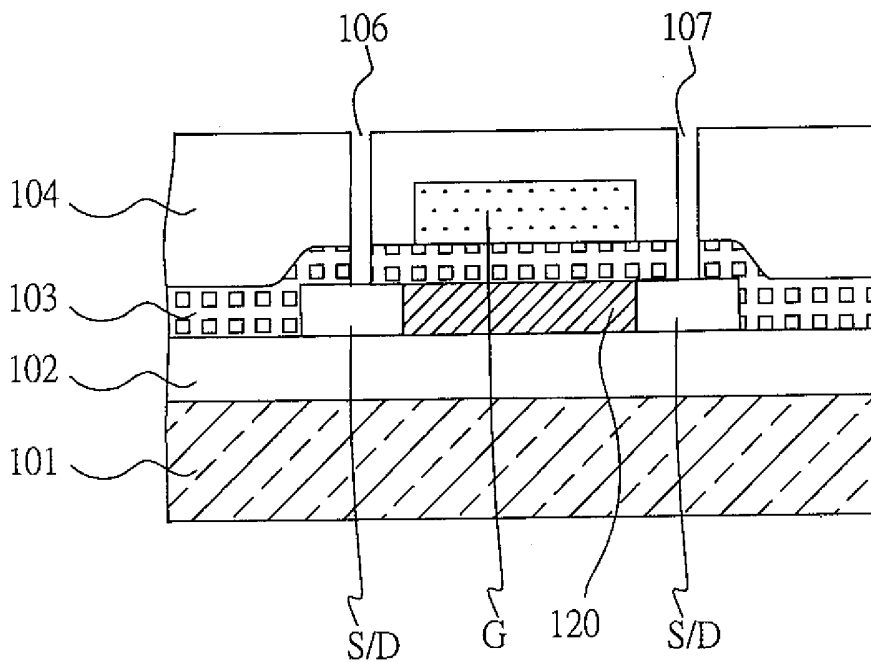
25. 如申請專利範圍第10項所述之製造方法，其中該導電材料係一銦錫氧化物(Indium Tin Oxide, ITO)。

26. 如申請專利範圍第10項所述之製造方法，其中該導電材料係利用一第四光罩以定義之。

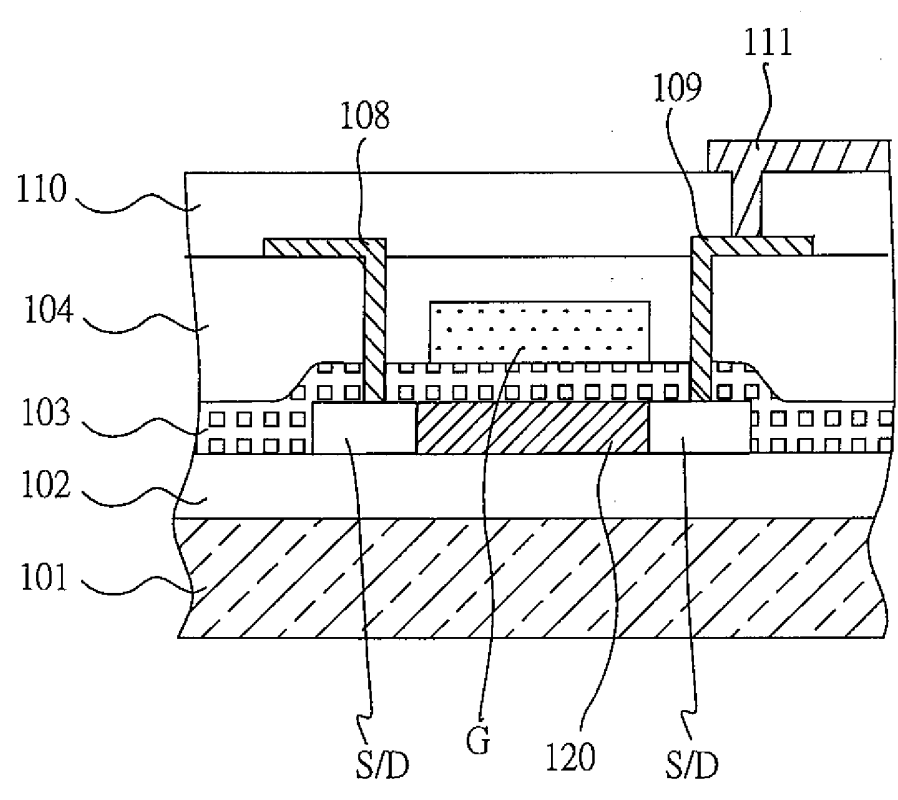




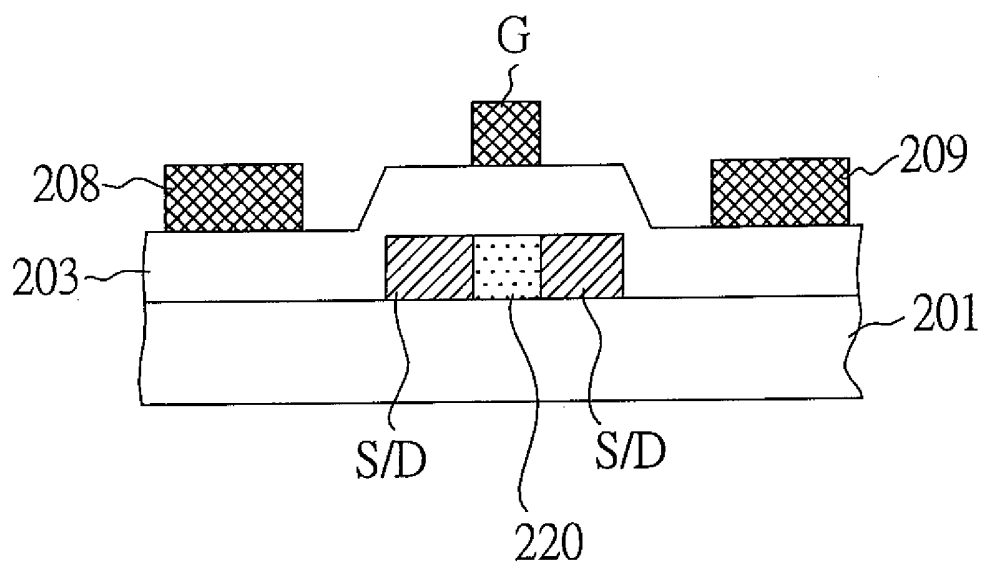
第 1A 圖 (習知技術)



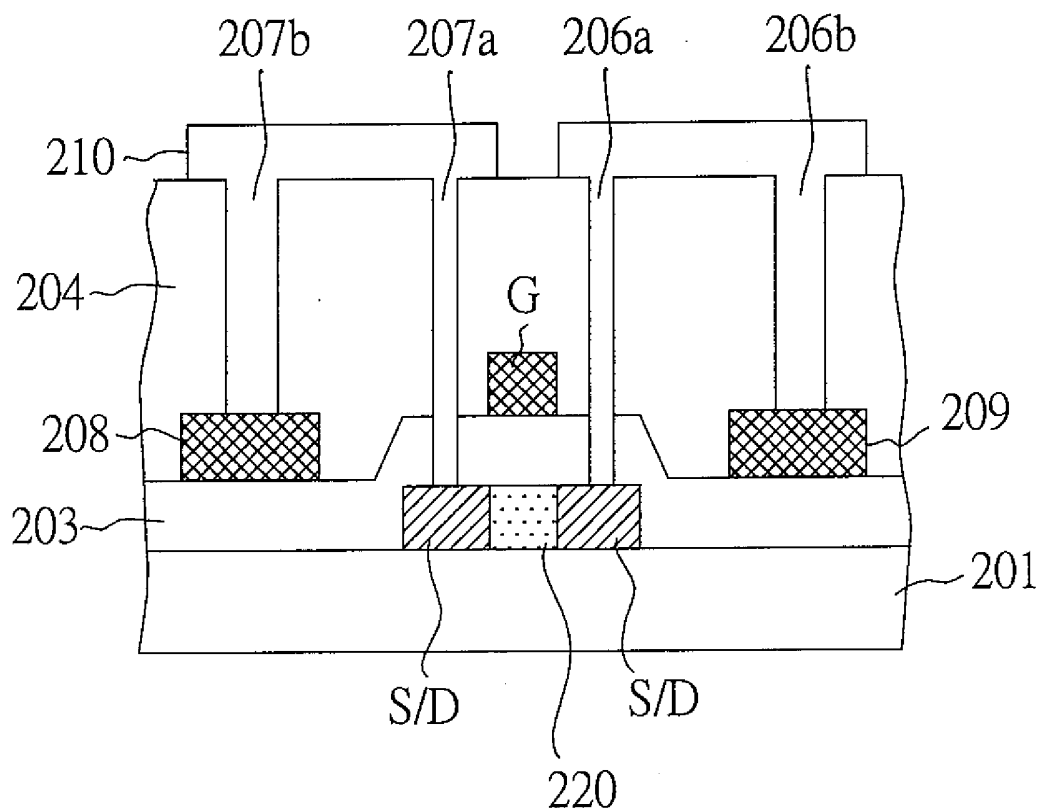
第 1B 圖 (習知技術)



第 1C 圖 (習知技術)



第 2A 圖



第 2B 圖