

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成20年2月21日(2008.2.21)

【公開番号】特開2006-178546(P2006-178546A)

【公開日】平成18年7月6日(2006.7.6)

【年通号数】公開・登録公報2006-026

【出願番号】特願2004-368529(P2004-368529)

【国際特許分類】

G 0 6 T 1/20 (2006.01)

G 0 6 T 1/00 (2006.01)

G 0 6 T 1/60 (2006.01)

H 0 4 N 1/21 (2006.01)

H 0 4 N 1/40 (2006.01)

H 0 4 N 1/46 (2006.01)

【F I】

G 0 6 T 1/20 B

G 0 6 T 1/00 5 1 0

G 0 6 T 1/60 4 5 0 G

H 0 4 N 1/21

H 0 4 N 1/40 1 0 1 Z

H 0 4 N 1/46 Z

【手続補正書】

【提出日】平成19年12月20日(2007.12.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データに対して実行すべき一連の処理を複数の処理部分に分割し、各処理部分を実行する複数の処理ユニットと、

設定されたパラメータに従って前記複数の処理ユニット間の接続を変更し、複数種類の処理モードを実行可能にする変更手段とを備えることを特徴とするデータ処理装置。

【請求項 2】

設定されたパラメータに応じてリードアドレスを生成する第 1 アドレス生成部を有し、該リードアドレスに従って外部メモリよりデータを読み出して第 1 バッファに保持する読込手段と、

設定されたパラメータに応じてライトアドレスを生成する第 2 アドレス生成部を有し、第 2 バッファに格納されたデータを該ライトアドレスに従って外部メモリへ書き込む書込手段とを備え、

前記複数の処理ユニットによるデータ処理では、前記第 1 バッファに保持されたデータに対して前記一連の処理が施され、その処理結果が前記第 2 バッファに書き込まれることを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 3】

前記第 1 バッファ、第 2 バッファおよび複数の処理ユニットの各々の間のデータの受け渡しにおいて、出力データが有効であることを示す有効信号と、データの保持を依頼する保持信号を用いてハンドシェークが行われることを特徴とする請求項 2 に記載のデータ処

理装置。

【請求項 4】

前記外部メモリに格納されたデータは画像データであり、前記第 1 アドレス生成部は、設定されたパラメータに応じて、点順次、線順次或いは面順次で外部メモリに格納された画像データを点順次で読み出すようにリードアドレスを生成することを特徴とする請求項 2 に記載のデータ処理装置。

【請求項 5】

前記読込手段において、設定されたパラメータにより指定されたアドレス範囲のデータの読み込みを完了したとき、および、設定されたパラメータにより指定されたアドレス範囲のデータの書き込みを完了したとき、の少なくともいずれかにおいて、その旨の信号を出力する出力手段を更に備えることを特徴とする請求項 2 に記載のデータ処理装置。

【請求項 6】

前記変更手段により、複数の処理ユニットにより複数のデータを並列処理する第 1 モードと、該複数の処理ユニットにより 1 つのデータを上位ビットと下位ビットに分割して処理する第 2 モードとの切り替えが可能であることを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 7】

前記複数の処理ユニットは、ガンマ変換部、色変換部、補間部を含み、

前記変更手段により、前記補間部が前記ガンマ変換部からの出力データの補間と、前記色変換部からの出力データの補間に利用されることを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 8】

設定パラメータに従って、前記複数の処理ユニットのうちの任意の処理ユニットへの動作クロックの供給を停止することを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 9】

設定パラメータに従って、前記複数の処理ユニットのうちの任意の処理ユニットへの電源の供給を停止することを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 10】

前記変更手段により、色変換処理におけるカラーマッチング処理を実行するデータ処理装置と、色変換処理におけるデバイスカラー変換を実行するデータ処理装置のいずれかを選択的に構成可能であることを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 11】

前記処理により生成された出力データを複数画素単位で 32 ビットにパッキングして出力することを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 12】

前記出力データが、11 ビット×2 画素+10 ビット×1 画素でパッキングされることを特徴とする請求項 11 に記載のデータ処理装置。

【請求項 13】

前記パッキングにおいて、10 ビットの画素位置が各出力色間で異なることを特徴とする請求項 12 に記載のデータ処理装置。

【請求項 14】

前記パッキングにおいて、32 ビットを 2 つの 11 ビット領域と 1 つの 10 ビット領域に分けて各領域の位置を固定し、11 ビットの画素が 10 ビット領域に配置される場合は当該画素の LSB のビットを 10 ビットの画素が配置された 11 ビット領域の LSB 位置へ配置することを特徴とする請求項 12 に記載のデータ処理装置。

【請求項 15】

前記パッキングにおいて、出力データを 3 つの 11 ビットデータにアンパックする際、10 ビットデータの 11 ビット目を隣接する画素の画素値に基づいて生成することを特徴とする請求項 12 に記載のデータ処理装置。

【請求項 16】

前記パッキングにおいて、ライン終端部分において32ビットのパックが完結しない場合は、残りのビットに0をパックすることを特徴とする請求項11に記載のデータ処理装置。

【請求項17】

上記サブモジュールの一部をプロセッサにて処理することを特徴とする請求項14に記載のデータ処理装置。

【請求項18】

1つまたはデータ処理モジュールと外部メモリと制御ユニットを備えたデータ処理装置であって、

前記データ処理モジュールの各々は、

データに対して実行すべき一連の処理を複数の処理部分に分割し、各処理部分を実行する複数の処理ユニットと、

設定されたパラメータに従って前記複数の処理ユニット間の接続を変更し、複数種類の処理モードを実行可能にする変更手段と、

設定されたパラメータに応じてリードアドレスを生成する第1アドレス生成部を有し、該リードアドレスに従って前記外部メモリよりデータを読み出して第1バッファに保持する読込手段と、

設定されたパラメータに応じてライトアドレスを生成する第2アドレス生成部を有し、第2バッファに格納されたデータを該ライトアドレスに従って前記外部メモリへ書き込む書込手段とを備え、

前記複数の処理ユニットは、前記第1バッファに保持されたデータに対して前記一連の処理を加え、その処理結果を前記第2バッファに書き込むものであり、

前記制御ユニットは、前記読込手段によるデータの読出しの完了或いは前記書込手段によるデータの書き込みの完了を検出して、前記パラメータを設定することにより、前記データ処理モジュールによるデータ処理を制御することを特徴とするデータ処理装置。