

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

PCT

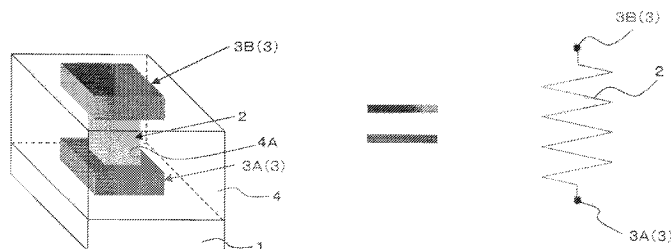
(10) 国際公開番号
WO 2012/008018 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 23/52 (2006.01)
H01L 21/3205 (2006.01) H01L 23/522 (2006.01)
H01L 21/768 (2006.01) H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2010/061836
- (22) 国際出願日: 2010 年 7 月 13 日(13.07.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通セミコンダクター株式会社(Fujitsu Semiconductor Limited) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 1 0 番 2 3 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 福田 英人 (FUKUDA, Hideto) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 1 0 番 2 3 富士通セミコンダクター株式会社内 Kanagawa (JP).
- (74) 代理人: 真田 有, 外 (SANADA, Tamotsu et al.); 〒1800004 東京都武蔵野市吉祥寺本町 1 丁目 1 0 番 3 1 号 NOF 吉祥寺本町ビル 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: Disclosed is a semiconductor device provided with: a semiconductor substrate (1) comprising an integrated circuit; a first wiring film (3A) provided above the semiconductor substrate; an insulating film (4) provided on the first wiring film and comprising a through hole (4A); a second wiring film (3B) provided on the insulating film; and a resistive element (2) provided in the through hole and connected to the integrated circuit by way of the first wiring film and the second wiring film.

(57) 要約: 半導体装置を、集積回路を有する半導体基板 (1) と、半導体基板の上方に設けられた第 1 配線膜 (3A) と、第 1 配線膜上に設けられ、貫通孔 (4A) を有する絶縁膜 (4) と、絶縁膜上に設けられた第 2 配線膜 (3B) と、貫通孔に設けられ、第 1 配線膜及び第 2 配線膜を介して集積回路に接続される抵抗素子 (2) とを備えるものとする。

WO 2012/008018 A1

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関する。

背景技術

[0002] 従来、半導体装置に備えられる集積回路に接続される抵抗素子としては、ポリシリコン層や拡散層などが用いられている。これらをポリシリコン抵抗、拡散抵抗という。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-158930号公報

特許文献2：特開平10-308452号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、上述のポリシリコン抵抗や拡散抵抗などの抵抗は、集積回路を有する半導体基板（バルク）の上方に設ける場合、半導体基板の表面に平行な方向に延びるように形成される（図22参照）。このため、これらの抵抗を設けるための面積が必要になる。

特に、図22に示すように、複数の抵抗100を金属配線101を介して直列に接続した長い抵抗列を設ける場合、金属配線101を介して直列に接続される複数の抵抗100を、半導体基板102の上方に2次元的に配置することになる。このため、抵抗列を設けるために広い面積（バルク面積）が必要になる。これは、チップ面積の増大を招き、コストの増加につながる。

[0005] そこで、集積回路に接続される抵抗素子を、集積回路を有する半導体基板の上方に設ける場合に、抵抗素子を設けるための面積を小さくしたい。

課題を解決するための手段

[0006] このため、本半導体装置は、集積回路を有する半導体基板と、半導体基板

の上方に設けられた第 1 配線膜と、第 1 配線膜上に設けられ、貫通孔を有する絶縁膜と、絶縁膜上に設けられた第 2 配線膜と、貫通孔に設けられ、第 1 配線膜及び第 2 配線膜を介して集積回路に接続される抵抗素子とを備えることを要件とする。

本半導体装置の製造方法は、集積回路を有する半導体基板の上方に第 1 配線膜を形成し、第 1 配線膜上に絶縁膜を形成し、絶縁膜に貫通孔を形成し、絶縁膜上に第 2 配線膜を形成するとともに、第 1 配線膜及び第 2 配線膜を介して集積回路に接続される抵抗素子を貫通孔に形成することを要件とする。

発明の効果

[0007] したがって、本半導体装置及びその製造方法によれば、集積回路に接続される抵抗素子を、集積回路を有する半導体基板の上方に設ける場合に、抵抗素子を設けるための面積を小さくすることができるという利点がある。

図面の簡単な説明

[0008] [図1]一実施形態にかかる半導体装置に備えられる抵抗素子の構成を示す模式図である。

[図2]一実施形態にかかる半導体装置に備えられる抵抗素子の構成を示す模式図である。

[図3]一実施形態にかかる半導体装置に備えられる抵抗素子の構成を示す模式図である。

[図4]一実施形態にかかる半導体装置に備えられる抵抗素子の構成を示す模式図である。

[図5]図 5 (A) ~ 図 5 (C) は一実施形態にかかる半導体装置に備えられる抵抗素子の構成を示す模式図である。

[図6]一実施形態にかかる半導体装置に備えられる抵抗素子の構成を示す模式図である。

[図7]図 7 (A) 、図 7 (B) は一実施形態にかかる半導体装置に備えられる抵抗素子の構成を示す模式図である。

[図8]図 8 (A) ~ 図 8 (C) は一実施形態にかかる半導体装置に備えられる

抵抗素子の構成を示す模式図である。

[図9]一実施形態にかかる半導体装置に備えられるR-DACの一の構成例を示す図である。

[図10]一実施形態にかかる半導体装置に備えられるR-DACの他の構成例を示す図である。

[図11]一実施形態にかかる半導体装置に備えられるR-DACの他の構成例を示す図である。

[図12]一実施形態にかかる半導体装置に備えられるR-DACの他の構成例を示す図である。

[図13]一実施形態にかかる半導体装置に備えられるR-DACの他の構成例を示す図である。

[図14]一実施形態にかかる半導体装置に備えられるR-DACの他の構成例の入力コード、抵抗素子の個数、出力電圧レベルの関係を示す図である。

[図15]一実施形態にかかる半導体装置に備えられるR-DACの他の構成例の電圧特性を示す図である。

[図16]一実施形態にかかる半導体装置に備えられるR-DACの他の構成例に含まれる抵抗ストリングの構成を示す図である。

[図17]一実施形態にかかる半導体装置に備えられるR-DACの他の構成例に含まれるセクタ回路の構成を示す図である。

[図18]一実施形態にかかる半導体装置に備えられるR-DACの他の構成例に含まれるボルテージフォロア回路の構成を示す図である。

[図19]他の実施形態にかかる半導体装置に備えられるバンドギャップリファレンス回路の構成を示す図である。

[図20]図20(A)、図20(B)は他の実施形態にかかる半導体装置に備えられるI/Oバッファ回路の構成を示す図である。

[図21]他の実施形態にかかる半導体装置に備えられるSRAMのセルの構成を示す図である。

[図22]集積回路に接続される抵抗素子としてポリシリコン抵抗を用いる従来

の半導体装置を示す模式図である。

発明を実施するための形態

[0009] 以下、図面により、本発明の実施の形態にかかる半導体装置及びその製造方法について、図1～図18を参照しながら説明する。

本実施形態にかかる半導体装置は、図1に示すように、集積回路を有する半導体基板1と、半導体基板1の上方に設けられ、集積回路に接続される抵抗素子2とを備える。なお、半導体基板1に設けられる集積回路を、半導体集積回路という。

[0010] ここでは、半導体基板1の上方に、配線膜（第1配線膜；下部配線膜）3A、絶縁膜（層間絶縁膜）4、配線膜（第2配線膜；上部配線膜）3Bが順に積層されており、絶縁膜4に設けられた貫通孔4Aに抵抗素子2が設けられている。そして、上下の配線膜3A、3Bは、図示しない集積回路に接続されている。また、抵抗素子2は上下の配線膜3A、3Bに接しているため、抵抗素子2は上下の配線膜3A、3Bを介して集積回路に接続されている。なお、ここでは、下部配線膜を符号3Aで示し、上部配線膜を符号3Bで示しているが、上下を区別する必要がない場合は配線膜を符号3で示す。

[0011] つまり、本半導体装置は、半導体基板1の上方に設けられた配線膜3Aと、配線膜3A上に設けられ、貫通孔4Aを有する絶縁膜4と、絶縁膜4上に設けられた配線膜3Bと、貫通孔4Aに設けられ、配線膜3A、3Bを介して集積回路に接続される抵抗素子2とを備える。

ここで、配線膜3A、3Bは、金属材料からなる。これを金属配線膜あるいは金属膜ともいう。

[0012] 抵抗素子2は、配線膜3A、3Bと同一の金属材料からなる。これを金属抵抗素子ともいう。また、抵抗素子2は、集積回路において抵抗素子として機能しうるアスペクト比を有するビア形状の抵抗素子である。このビア形状の抵抗素子2は、絶縁膜4に設けられた貫通孔4Aの形状、即ち、絶縁膜4の厚さ及び貫通孔4Aの径によって、そのアスペクト比が規定され、集積回路において抵抗素子として機能しうるようになっている。これにより、例え

ばポリシリコン抵抗や拡散抵抗などの抵抗素子設ける場合と比較して、抵抗素子設けるための面積を小さくすることができる。

[0013] このように構成される半導体装置は、ビアを有する多層配線層を形成する場合と同様に、以下のようにして製造することができる。

まず、集積回路を有する半導体基板 1 の上方に配線膜 3 A を形成する。

次いで、配線膜 3 A 上に絶縁膜 4 を形成する。

次に、絶縁膜 4 に貫通孔 4 A を形成する。

[0014] そして、貫通孔 4 A が埋め込まれるように絶縁膜 4 上に配線膜 3 B を形成する。これにより、貫通孔 4 A に上下の配線膜 3 A, 3 B に接する抵抗素子 2 が形成される。このようにして、絶縁膜 4 上に配線膜 3 B を形成するとともに、上下の配線膜 3 A, 3 B を介して集積回路に接続される抵抗素子 2 を貫通孔 4 A に形成する。

このようにして抵抗素子 2 を形成する場合、配線膜 3、絶縁膜 4、配線膜 3 の順に繰り返し積層し、複数の絶縁膜 4 のそれぞれに設けられた貫通孔 4 A に抵抗素子 2 を設けることで、図 2～図 6 に示すように、複数の抵抗素子 2 を設けることもできる。なお、図 2～図 6 では、半導体基板 1 や絶縁膜 4 は図示を省略している。

[0015] この場合、上下の抵抗素子 2 が同一の配線膜 3 に接するようにし、即ち、上下の抵抗素子 2 の間に設けられる配線膜 3 を共通にし、複数の抵抗素子 2 を配線膜 3 を介して積層することができる。

特に、複数の抵抗素子 2 を、図 2 に示すように、配線膜 3 を介して半導体基板 1 の表面に垂直な方向に直列に積層することもできる。つまり、複数の抵抗素子 2 を配線膜 3 を介して上下方向に積み重ねることができる。

[0016] また、図 3 に示すように、一の抵抗素子 2 A（第 1 抵抗素子）の位置に対して半導体基板 1 の表面に平行な方向へずれた位置に他の抵抗素子 2 B（第 2 抵抗素子）を設ける。そして、一及び他の抵抗素子 2 A, 2 B が、半導体基板 1 の表面に平行な方向へ延びる引出配線膜 3 X に接するようにすることもできる。この場合、一の抵抗素子 2 A として、配線膜 3 を介して半導体基

板 1 の表面に垂直な方向に直列に積層された複数の抵抗素子 2 A を備えるものとすることもできる。また、他の抵抗素子 2 B として、配線膜 3 を介して半導体基板 1 の表面に垂直な方向に直列に積層された複数の抵抗素子 2 B を備えるものとすることもできる。なお、ここでは、一の抵抗素子を符号 2 A で示し、他の抵抗素子を符号 2 B で示しているが、これらを区別する必要がない場合はいずれも符号 2 で示す。

[0017] また、図 4 に示すように、半導体基板 1 の表面に平行な方向へ延びる引出配線膜 3 X として、半導体基板 1 の前後方向又は左右方向へ延びる引出配線膜 3 X を設けることもできる。つまり、半導体基板 1 の前後方向又は左右方向へ延びる引出配線膜 3 X を設けることで、一の抵抗素子 2 A の位置に対して半導体基板 1 の前後方向又は左右方向へずれた位置に他の抵抗素子 2 B を設けることができる。

[0018] この場合、引出配線膜 3 X の下面に一の抵抗素子 2 A が接し、上面に他の抵抗素子 2 B が接する場合があるだけでなく、引出配線膜 3 X の上面に一の抵抗素子 2 A が接し、下面に他の抵抗素子 2 B が接する場合もある。また、引出配線膜 3 X の下面の一端側に一の抵抗素子 2 A が接し、下面の他端側に他の抵抗素子 2 B が接する場合もあるし、引出配線膜 3 X の上面に一端側に一の抵抗素子 2 A が接し、上面の他端側に他の抵抗素子 2 B が接する場合もある。つまり、一の抵抗素子 2 A と、一の抵抗素子 2 A の位置に対して半導体基板 1 の前後方向又は左右方向へずれた位置に設けられる他の抵抗素子 2 B とが、上下に積層された状態にならず、同層に設けられる場合もある。なお、ここでは、一の抵抗素子を符号 2 A で示し、他の抵抗素子を符号 2 B で示しているが、これらを区別する必要がない場合はいずれも符号 2 で示す。また、図 4 では、複数の抵抗素子 2 が一列に連なるように設けているが、実際に作製する際には、同層の抵抗素子 2 は同時に形成されることになる。

[0019] このように、複数の抵抗素子 2 を、配線膜 3 を介して、上下方向、左右方向、前後方向にずらした位置に設けることができる。つまり、複数の抵抗素子 2 を、半導体基板 1 の上方に 3 次元的に配置することができる。特に、上

下方向、左右方向、前後方向へのずらし方を工夫することで、複数の抵抗素子 2 を設けるための面積を小さくすることができる。

このほか、複数の抵抗素子 2 は、例えば図 5 (A) ~ 図 5 (C)、図 6 に示すように、配線膜 3 や引出配線膜 3 X を介して、3 次元的に配置することができる。

[0020] ところで、本実施形態では、上述のように、複数の抵抗素子 2 を配線膜 3 を介して電氣的に直列に接続している。

この場合、図 7 (A) に示すように、半導体装置に備えられる集積素子に接続される抵抗素子として用いるのに必要な抵抗値に応じた数の抵抗素子 2 を電氣的に直列に接続すれば良い。つまり、上述の 1 つの抵抗素子 2 によって得られる抵抗値よりも大きい抵抗値が必要な場合、必要な抵抗値に応じた数の抵抗素子 2 を電氣的に直列に接続すれば良い。例えば、1 つの抵抗素子 2 の抵抗値が $R [\Omega]$ の場合、4 つの抵抗素子 2 を電氣的に直列に接続することで、 $4 R [\Omega]$ の抵抗値を得ることができる。

[0021] これに対し、図 7 (B) に示すように、上述の 1 つの抵抗素子 2 によって得られる抵抗値よりも小さい抵抗値が必要な場合、必要な抵抗値に応じた数の抵抗素子 2 を電氣的に並列に接続すれば良い。つまり、図示しない一の絶縁膜 4 に複数の貫通孔 4 A を設け、これらの貫通孔 4 A のそれぞれに抵抗素子 2 を設けることで、複数の抵抗素子 2 を並列に設ければ良い。この場合、複数の抵抗素子 2 の上下に同一の配線膜 3 が接するようにすることで、即ち、上下の配線膜 3 の間に複数の抵抗素子 2 を並列に設けることで、複数の抵抗素子 2 によって 1 つの抵抗素子 2 の抵抗値よりも小さい抵抗値を得ることができる。例えば、1 つの抵抗素子 2 の抵抗値が $R [\Omega]$ の場合、上下の配線膜 3 の間に 2 つの抵抗素子 2 を設けることで、 $0.5 R [\Omega]$ の抵抗値を得ることができる。

[0022] なお、高い比精度が要求されない場合、即ち、積層される各抵抗素子 2 の抵抗値のばらつきを考慮しなくても良い場合には、図 8 (A) に示すように、必要な抵抗値に応じた数の抵抗素子 2 を、半導体基板 1 の表面に垂直な方

向に直列に積層させ、電氣的に直列に接続すれば良い。例えば、1つの抵抗素子2の抵抗値が $R [\Omega]$ の場合、4つの抵抗素子2を電氣的に直列に接続することで、 $4R [\Omega]$ の抵抗値を得ることができる。

[0023] 一方、高い比精度が要求される場合、即ち、積層される各抵抗素子2の抵抗値のばらつきを考慮する必要がある場合には、複数の抵抗素子2を半導体基板1の表面に垂直な方向に直列に積層させて抵抗ユニット2Xを構成し、複数の抵抗ユニット2X間で高い比精度が得られるようにすれば良い。この場合、図8(B)、図8(C)に示すように、必要な抵抗値に応じた数の抵抗ユニット2Xを、半導体基板1の表面に平行な方向へ延びる引出配線膜3Xによって電氣的に直列に接続すれば良い。例えば、図8(B)に示すように、1つの抵抗ユニット2Xの抵抗値が $4R [\Omega]$ の場合、2つの抵抗ユニット2Xを引出配線膜3Xによって接続することで、 $8R [\Omega]$ の抵抗値を得ることができる。また、例えば、図8(C)に示すように、3つの抵抗ユニット2Xを引出配線膜3Xによって接続することで、 $12R [\Omega]$ の抵抗値を得ることができる。

[0024] なお、複数の抵抗素子2を一行に接続する場合を例に挙げて説明しているが、これに限られるものではなく、複数の抵抗素子2は別個独立に設けても良い。つまり、半導体基板1の表面に垂直な方向にずれて配置される複数の抵抗素子2のそれぞれの上下に接する配線膜3を、別個独立に設けても良い。また、半導体基板1の表面に平行な方向にずれて配置される複数の抵抗素子2のそれぞれの上下に接する配線膜3を、別個独立に設けても良い。

[0025] ところで、本実施形態にかかる抵抗素子2は、上述のように、電氣的に直列に接続して抵抗列を構成し、これが接続される集積回路を備える半導体基板1の上方に3次元的に配置することができる。このため、例えば抵抗ストリング型デジタルアナログコンバータ(R-DAC: Digital Analog Converter)のような長い抵抗列を有する集積回路を備える半導体装置に適用するのが好ましい。これにより、抵抗列を構成する複数の抵抗素子2を設けるための面積を小さくすることができる。この結果、チップ面積を小さくするこ

とができ、ひいては、コストを抑えることができる。

[0026] 以下、R-DACを備える半導体装置を例に挙げて説明する。

この場合、半導体装置は、例えば図9、図11に示すように、抵抗素子2として、配線膜3を介して電氣的に直列に接続された複数の抵抗素子2によって構成される抵抗ストリング（抵抗列）2Yを備える。また、半導体基板1は、抵抗ストリング2Yに接続されたセクタ回路5と、セクタ回路5に接続されたボルテージフォロア回路6とを備える。

[0027] ここで、抵抗ストリング2Yは、基準電圧を分圧して、異なるレベルの出力電圧を生成するものである。

セクタ回路5は、入力コード（CODE）に応じた出力電圧を選択するものである。つまり、セクタ回路5は、入力された入力コードに応じて抵抗ストリング2Yからの出力電圧を選択し、ボルテージフォロア回路6へ出力するようにになっている。

[0028] ボルテージフォロア回路6は、セクタ回路5によって選択された出力電圧を、負荷を駆動するための駆動電圧として出力するものである。

まず、図9、図10を参照しながら、R-DACの一の構成例について説明する。

この一の構成例では、図9に示すように、6つの抵抗素子2によって抵抗ストリング2Yを構成し、基準電圧を分圧して異なるレベルの4つの出力電圧を生成するようになっている。そして、これらの出力電圧のいずれかがセクタ回路5によって選択され、ボルテージフォロア回路6を介して出力されるようになっている。

[0029] この場合、図10に示すように、第1タップ（Tap1）となる配線膜3上に、抵抗素子2、配線膜3、抵抗素子2、第2タップ（Tap2）となる引出配線膜3Xの順に設けられている。また、第2タップとなる引出配線膜3Xは、半導体基板1の表面に平行な方向へ延ばされており、その上に、抵抗素子2、配線膜3、抵抗素子2、第3タップ（Tap3）となる引出配線膜3Xの順に設けられている。また、第3タップとなる引出配線膜3Xは、半導体基板1

の表面に平行な方向へ延ばされており、その下に、抵抗素子 2、配線膜 3、抵抗素子 2、第 4 タップ (Tap4) となる配線膜 3 を順に設けられている。なお、実際に作製する際には、同層の抵抗素子 2、同層の配線膜 3 や引出配線膜 3 X は同時に形成される。また、第 1 ～第 4 タップを引き出しタップともいう。

[0030] また、第 2 タップとなる引出配線膜 3 X の下に、ビア 7、配線層 8、ビア 7、配線層 8、コンタクト 9 を順に設けられている。そして、コンタクト 9 は、セクタ回路 5 を構成するトランジスタ 5 X のドレイン 5 X a、即ち、半導体基板 1 上に形成されたトランジスタ 5 X のドレイン拡散領域 5 X a に接続されている。また、このトランジスタ 5 X のソースはもう 1 つのトランジスタ 5 Y のドレインに接続されており、もう 1 つのトランジスタ 5 Y のソースは、コンタクト 9 A、配線層 8 A、コンタクト 9 B を介して、ボルテージフォロア回路 6 を構成するトランジスタ 6 X のゲート 6 X a に接続されている。図示しないが、同様に、第 1 タップとなる配線膜 3、第 3 タップとなる引出配線膜 3 X、第 4 タップとなる配線膜 3 も、それぞれ、セクタ回路 5 を構成するトランジスタのドレインに接続されており、2 つのトランジスタを介して、ボルテージフォロア回路 6 を構成するトランジスタのゲートに接続されている。

[0031] ここでは、各タップとなる配線膜 3 や引出配線膜 3 X とセクタ回路 5 を構成するトランジスタ 5 X とを接続する配線には、ビア 7 が介在しており、ビア 7 は、抵抗素子 2 と同様に形成され、抵抗素子 2 と同一の構成になっている。しかしながら、この配線は、ボルテージフォロア回路 6 を構成するトランジスタ 6 X のゲート 6 X a に接続されている。そして、トランジスタ 6 X のゲート 6 X a は高入力抵抗である。このため、この配線に含まれるビア 7 の抵抗値は R-DAC の電圧特性に影響を与えない。

[0032] このように構成することで、基準電圧を分圧した異なるレベルの 4 つの出力電圧が、それぞれ、第 1 ～第 4 タップから出力される。そして、これらの出力電圧のいずれかをセクタ回路 5 によって選択することで、ボルテージ

フォロア回路6を介して出力することができる。

次に、図11～図18を参照しながら、R-DACの他の構成例について説明する。

[0033] ここでは、例えばLCD (Liquid Crystal Display) ドライバに用いられる4ビットのR-DAC ($V_{DD}=12V$) を例に挙げて説明する。

この他の構成例では、図11、図12に示すように、複数の抵抗素子2によって抵抗ストリング2Yを構成し、基準電圧を分圧して異なるレベルの16個の出力電圧 $V_{L0} \sim V_{L15}$ を生成するようになっている。そして、これらの出力電圧 $V_{L0} \sim V_{L15}$ は、抵抗ストリング2Yの第1タップ (Tap 0) ～第15タップ (Tap15) の16個のタップからそれぞれ出力され、セレクタ回路5によっていずれかが選択されて、ボルテージフォロア回路6を介して出力されるようになっている。

[0034] この場合、図13、図16に示すように、複数の抵抗素子2を配線膜3や引出配線膜3Xを介して電氣的に直列に接続して抵抗ストリング2Yを構成すれば良い。

ここでは、図12に示すように、抵抗ストリング2Yの一方の端子には、基準電圧 (ここでは6V) を印加し、他方の端子は接地電位 ($V_L=0V$) とする。そして、図16に示すように、抵抗ストリング2Yの一方の端子には、第15タップに接続されているため、第15タップから出力される出力電圧 V_{L15} は基準電圧 (ここでは6V) となっている。

[0035] そして、例えば図15中、実線Aで示すような線形の電圧特性を有するR-DACとする場合には、図14に示すように、各タップの間に設ける抵抗素子2の個数を同一にする。これにより、基準電圧を分圧し、各タップのそれぞれから出力される、異なるレベルの16個の出力電圧 $V_{L0} \sim V_{L15}$ は、線形に変化することになる。

一方、例えば図15中、実線Bで示すような非線形の電圧特性 (γ カーブ特性) を有するR-DACとする場合には、図14に示すように、各タップの間に設ける抵抗素子2の個数を変える。これにより、基準電圧を分圧し、

各タップのそれぞれから出力される、異なるレベルの16個の出力電圧 $V_{L0} \sim V_{L15}$ は、非線形に変化することになる。

[0036] セレクタ回路5は、図17に示すように、基準電圧を分圧した異なるレベルの16個の出力電圧 $V_{L0} \sim V_{L15}$ のそれぞれが入力される16個の出力電圧入力端子 $L_{V0} \sim L_{V15}$ を備える。また、セレクタ回路5は、4つのコード入力端子 $D0 \sim D3$ を備え、これらのコード入力端子 $D0 \sim D3$ のそれぞれに図14に示すような4ビットの2進数で表される入力コードの各ビットの値が入力されるようになっている。ここでは、10進数で0～15に対応する入力コード、即ち、16個の入力コードのいずれかが入力されるようになっている。そして、セレクタ回路5は、コード入力端子 $D0 \sim D3$ に入力された入力コードに応じて、第1タップ～第15タップのいずれかのタップからの出力電圧 $V_{L0} \sim V_{L15}$ を選択し、出力端子 $SOUT$ から出力するようになっている。

[0037] 具体的には、セレクタ回路5は、図17に示すように、各出力電圧入力端子 $L_{V0} \sim L_{V15}$ と出力端子 $SOUT$ との間に、それぞれ、4つのトランジスタ5A～5Dを備える。

これらのトランジスタ5A～5Dは、コード入力端子 $D0 \sim D3$ から入力される入力コードに応じてオン・オフ制御されるようになっている。これにより、出力電圧入力端子 $L_{V0} \sim L_{V15}$ に入力される出力電圧のいずれかが選択され、出力端子 $SOUT$ から出力するようになっている。

[0038] ここでは、各コード入力端子 $D0 \sim D3$ は、それぞれ、各出力電圧入力端子 $L_{V0} \sim L_{V15}$ と出力端子 $SOUT$ との間に接続された4つのトランジスタ5A～5Dに接続されている。つまり、コード入力端子 $D0$ は、出力電圧入力端子 $L_{V0} \sim L_{V15}$ のそれぞれに接続された15個のトランジスタ5Dに接続されている。また、コード入力端子 $D1$ は、出力電圧入力端子 $L_{V0} \sim L_{V15}$ のそれぞれに接続された15個のトランジスタ5Cに接続されている。また、コード入力端子 $D2$ は、出力電圧入力端子 $L_{V0} \sim L_{V15}$ のそれぞれに接続された15個のトランジスタ5Bに接続されている。ま

た、コード入力端子D 3は、出力電圧入力端子LV 0～LV 15のそれぞれに接続された15個のトランジスタ5 Aに接続されている。

[0039] そして、コード入力端子D 0～D 3に入力された入力コードの各ビットの値は、第1インバータ回路10によって論理反転させて一部のトランジスタのゲートに入力されるようになっている。また、コード入力端子D 0～D 3に入力された入力コードの各ビットの値は、第1インバータ回路10によって論理反転させ、さらに第2インバータ回路11によって論理反転させて残りのトランジスタのゲートに入力されるようになっている。

[0040] ボルテージフォロア回路は、図11、図12に示すように、非反転入力端子にセレクタ回路5の出力端子SOUTが接続されており、反転入力端子と出力端子とが接続されており、非反転入力端子から入力された出力電圧を、出力端子から駆動電圧として出力するようになっている。

具体的には、ボルテージフォロア回路は、例えば図18に示すように構成され、これに含まれるトランジスタ6Xのゲート6Xaに、セレクタ回路5によって選択された出力電圧(INL)が入力されるようになっている。そして、トランジスタ6Xのゲート6Xaは高入力抵抗である。このため、抵抗ストリング2Yのタップからボルテージフォロア回路6の非反転入力端子までの経路で付加される抵抗成分は事実上見えなくなり、R-DACの電圧特性には影響を与えない。ここで、図18に示されるボルテージフォロア回路では、演算増幅器のマイナス入力端子と出力端子とが結ばれており、プラス入力端子に入力電圧を加えることで、出力端子に入力電圧と同じ電位が発生し、出力端子に接続される負荷を増幅した電流で駆動する機能を持っている。つまり、負荷を駆動するためのバッファとして用いられる。

[0041] したがって、本実施形態にかかる半導体装置及びその製造方法によれば、集積回路に接続される抵抗素子2を、集積回路を有する半導体基板1の上方に設ける場合に、抵抗素子2を設けるための面積を小さくすることができるという利点がある。これにより、半導体集積回路の面積を小さくすることができ、ひいては、コストを抑えることができる。

なお、本発明は、上述した実施形態に記載した構成に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形することが可能である。

[0042] 例えば、上述の実施形態では、上述のビア形状の抵抗素子 2 を、R-D A C のような長い抵抗列を有する集積回路を備える半導体装置に適用する場合を例に説明しているが、これに限られるものではない。

例えば、基準電圧発生回路としてのバンドギャップリファレンス (B G R) 回路を有する集積回路を備える半導体装置に、上述のビア形状の抵抗素子 2 を適用することもできる。例えば図 19 に示すようなバンドギャップリファレンス回路 16 に含まれる抵抗素子 13 ~ 15 を、上述の実施形態のビア形状の抵抗素子 2 によって構成することもできる。この場合、抵抗素子 13 ~ 15 は比精度が重要であるため、上述の高い比精度が要求される場合として説明したように、抵抗素子 13 ~ 15 のそれぞれを抵抗ユニットとして構成するのが好ましい。

[0043] ここでは、図 19 に示すように、バンドギャップリファレンス回路 16 は、1つの演算増幅器 A 1 と、2つのバイポーラトランジスタ Q 1, Q 2 と、3つの抵抗素子 13 ~ 15 とからなる回路である。そして、抵抗素子 13 とバイポーラトランジスタ Q 1 との間の接続点 X が、演算増幅器 A 1 のプラス入力端子に接続されており、抵抗素子 14 と抵抗素子 15 との間の接続点 Y が、演算増幅器 A 1 のマイナス端子に接続されている。また、演算増幅器の出力端子とマイナス入力端子とが抵抗素子 14 を介して接続されている。

[0044] このようなバンドギャップリファレンス回路 16 の出力 V_{out} は、次式で与えられる。

$$V_{out} = V_{Q1} + (R2/R3) * (k * T/q) * LN(n * R2/R1)$$

ここで、 V_{Q1} はバイポーラトランジスタ Q 1 の電位差、 $R1 \sim R3$ は抵抗素子 13 ~ 15 のそれぞれの抵抗値、 k はボルツマン定数、 T は絶対温度、 q は単位電荷、 LN は自然対数、 n はバイポーラトランジスタ Q 1, Q 2 の面積比である。なお、バイポーラトランジスタ Q 1, Q 2 が完全に同一特

性である場合、バイポーラトランジスタ Q_1 、 Q_2 の面積比 n は、バイポーラトランジスタ Q_1 、 Q_2 の個数の比である。例えば、バイポーラトランジスタ Q_1 を 1 個とした場合、これと、バイポーラトランジスタ Q_1 に並列に接続されたバイポーラトランジスタ Q_2 の個数の比となる。

[0045] そして、上記の式の右辺の第二項は絶対温度に比例して増加するが、第一項の V_{Q1} は負の温度係数を有しているため、右辺の第二項と第一項の温度係数が相殺されるように抵抗素子 13～15 の抵抗値 $R_1 \sim R_3$ と、バイポーラトランジスタ Q_1 、 Q_2 の面積比 n を適宜選択することで、出力電圧 V_{out} の温度係数をほぼゼロにすることができる。この特性はシリコンの物性によって決定されるため、例えば温度依存性をゼロにした場合、出力電圧 V_{out} は約 1.25 V になることが知られている。

[0046] また、プルアップ抵抗素子又はプルダウン抵抗素子を含む I/O バッファ回路を有する集積回路を備える半導体装置に、上述のビア形状の抵抗素子 2 を適用することもできる。例えば図 20 (A) に示すようなプルアップ抵抗素子 17 を含む出力バッファ回路 18 において、プルアップ抵抗素子 17 を、上述の実施形態のビア形状の抵抗素子 2 によって構成することもできる。また、例えば図 20 (B) に示すようなプルダウン抵抗素子 19 を含む出力バッファ回路 20 において、プルダウン抵抗素子 19 を、上述の実施形態のビア形状の抵抗素子 2 によって構成することもできる。

[0047] ここで、図 20 (A) に示すようなプルアップ抵抗素子 17 を含む出力バッファ回路 18 は、バッファを駆動していない場合に O/U T 端子が H レベルに固定される機能を持つ。一方、図 20 (B) に示すようなプルダウン抵抗素子 19 を含む出力バッファ回路 20 は、バッファを駆動していない場合に O/U T 端子が L レベルに固定される機能を持つ。この場合、プルアップ抵抗素子 17 及びプルダウン抵抗素子 19 はある一定の設定値が確保されれば良いため、特に比精度を保つような工夫は必要ない。

[0048] また、CMOS インバータを構成する PMOS トランジスタの代わりに抵抗素子を用いたセルを持つ SRAM を有する集積回路を備える半導体装置に

、上述のビア形状の抵抗素子 2 を適用することもできる。例えば図 2 1 に示すような 4 つの NMOS トランジスタ 2 1 ~ 2 4 と抵抗素子 2 6, 2 7 を含む S R A M のセル 2 5 において、抵抗素子 2 6, 2 7 を、上述の実施形態のビア形状の抵抗素子 2 によって構成することもできる。

[0049] ここでは、図 2 1 に示すように、S R A M のセル 2 5 は、抵抗素子 2 6 と NMOS トランジスタ 2 2 からなるインバータと、抵抗素子 2 7 と NMOS トランジスタ 2 3 からなるインバータとを備える。そして、これらの 2 つのインバータは、一方のインバータの出力信号が他方のインバータの入力信号として入力されるように、たすきがけに接続されて（クロスカップルされて）、リング状のラッチ回路を構成しており、これに情報が記憶されるようになっている。また、ラッチ回路は、読み出し／書き込み時にゲートの役割を果たす読み出し／書き込み用の NMOS トランジスタ 2 1, 2 4 を介してディジット線（読み出し／書き込みのための線）に接続されている。さらに、NMOS トランジスタ 2 1, 2 4 のゲートには、ワード線 2 8（アクセスのための線）が接続されている。そして、読み出し／書き込み時にワード線 2 8 を「H」にして、NMOS トランジスタ 2 1, 2 4 をオンにして、情報（データ）の読み出し／書き込みが行なわれるようになっている。

符号の説明

- [0050]
- 1 半導体基板
 - 2 抵抗素子
 - 2 A 一の抵抗素子（第 1 抵抗素子）
 - 2 B 他の抵抗素子（第 2 抵抗素子）
 - 2 X 抵抗ユニット
 - 2 Y 抵抗ストリング
 - 3 配線膜
 - 3 A 配線膜（第 1 配線膜；下部配線膜）
 - 3 B 配線膜（第 2 配線膜；上部配線膜）
 - 3 X 引出配線膜

- 4 絶縁膜
- 4 A 貫通孔
- 5 セレクタ回路
- 5 A ~ 5 D トランジスタ
- 5 X, 5 Y トランジスタ
- 5 X a ドレイン
- 6 ボルテージフォロア回路
- 6 X トランジスタ
- 6 X a ゲート
- 7 ビア
- 8, 8 A 配線層
- 9, 9 A, 9 B コンタクト
- 10 第1インバータ回路
- 11 第2インバータ回路
- 13 ~ 15 抵抗素子
- 16 バンドギャップリファレンス回路
- 17 プルアップ抵抗素子
- 18 出力バッファ回路
- 19 プルダウン抵抗素子
- 20 出力バッファ回路
- 21 ~ 24 トランジスタ
- 25 セル
- 26, 27 抵抗素子
- 28 ワード線

請求の範囲

- [請求項1] 集積回路を有する半導体基板と、
前記半導体基板の上方に設けられた第1配線膜と、
前記第1配線膜上に設けられ、貫通孔を有する絶縁膜と、
前記絶縁膜上に設けられた第2配線膜と、
前記貫通孔に設けられ、前記第1配線膜及び前記第2配線膜を介して前記集積回路に接続される抵抗素子とを備えることを特徴とする半導体装置。
- [請求項2] 前記抵抗素子として、複数の抵抗素子を備えることを特徴とする、請求項1に記載の半導体装置。
- [請求項3] 前記抵抗素子として、配線膜を介して積層された複数の抵抗素子を備えることを特徴とする、請求項1又は2に記載の半導体装置。
- [請求項4] 前記抵抗素子として、配線膜を介して電氣的に直列に接続された複数の抵抗素子を備えることを特徴とする、請求項1～3のいずれか1項に記載の半導体装置。
- [請求項5] 前記抵抗素子として、配線膜を介して前記半導体基板の表面に垂直な方向に直列に積層された複数の抵抗素子を備えることを特徴とする、請求項1～4のいずれか1項に記載の半導体装置。
- [請求項6] 前記抵抗素子として、第1抵抗素子と、前記第1抵抗素子の位置に対して前記半導体基板の表面に平行な方向へずれた位置に設けられた第2抵抗素子とを備え、
前記第1抵抗素子及び前記第2抵抗素子は、前記半導体基板の表面に平行な方向へ延びる配線膜に接することを特徴とする、請求項1～5のいずれか1項に記載の半導体装置。
- [請求項7] 前記抵抗素子として、前記第1配線膜と前記第2配線膜との間に複数の抵抗素子を備えることを特徴とする、請求項1～6のいずれか1項に記載の半導体装置。
- [請求項8] 前記抵抗素子として、配線膜を介して電氣的に直列に接続され、抵

抗ストリングを構成する複数の抵抗素子を備え、

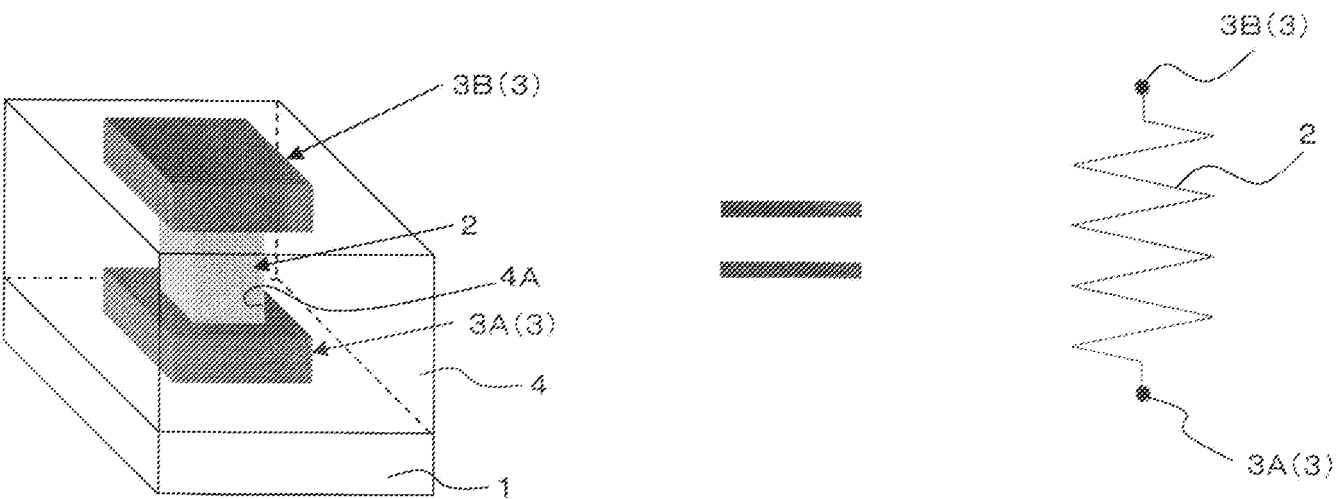
前記半導体基板は、前記抵抗ストリングに接続されたセクタ回路と、前記セクタ回路に接続されたボルテージフォロア回路とを備えることを特徴とする、請求項 1～7 のいずれか 1 項に記載の半導体装置。

[請求項9] 前記配線膜として、前記半導体基板の表面に平行な方向へ延びる引出配線膜を備え、

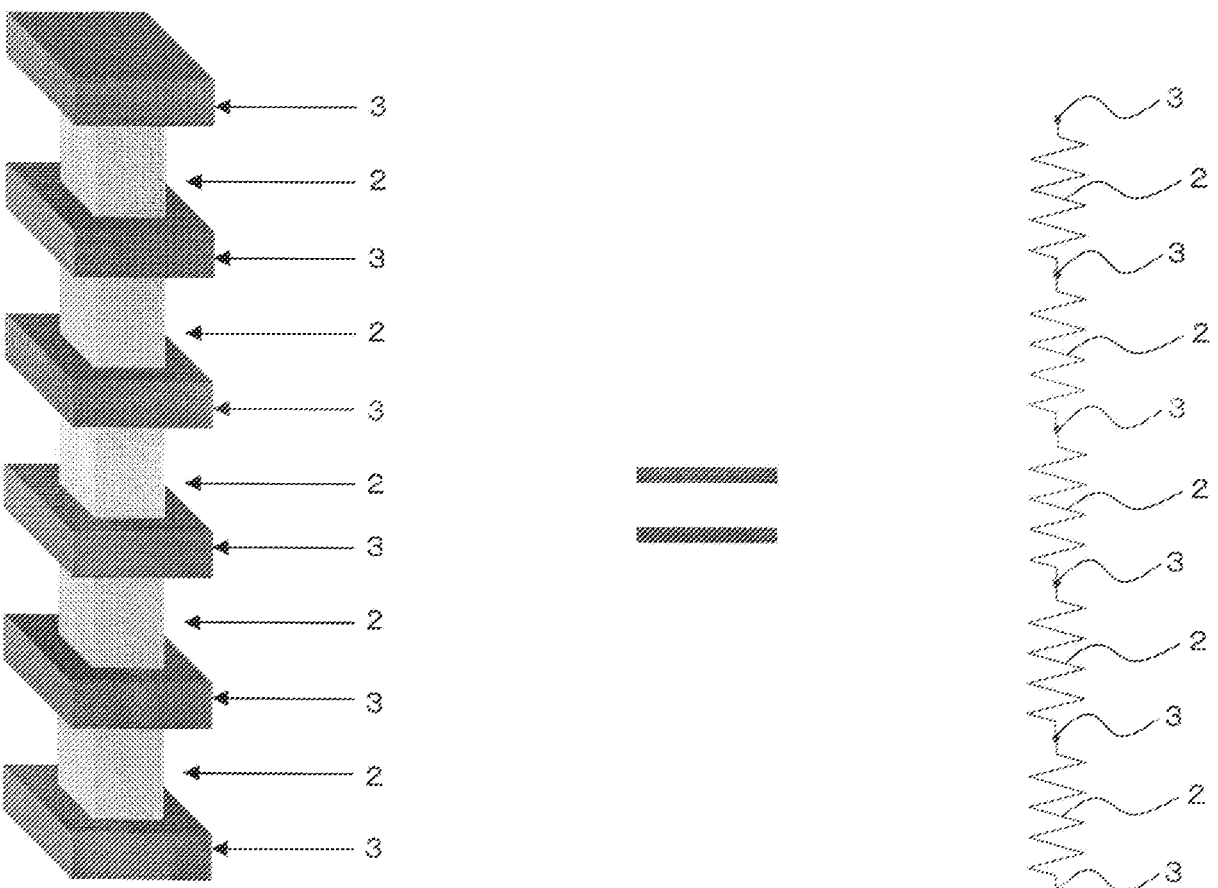
前記引出配線膜は、前記セクタ回路を介して前記ボルテージフォロア回路のトランジスタのゲートに接続されていることを特徴とする、請求項 8 に記載の半導体装置。

[請求項10] 集積回路を有する半導体基板の上方に第 1 配線膜を形成し、
前記第 1 配線膜上に絶縁膜を形成し、
前記絶縁膜に貫通孔を形成し、
前記絶縁膜上に第 2 配線膜を形成するとともに、前記第 1 配線膜及び前記第 2 配線膜を介して前記集積回路に接続される抵抗素子を前記貫通孔に形成することを特徴とする半導体装置の製造方法。

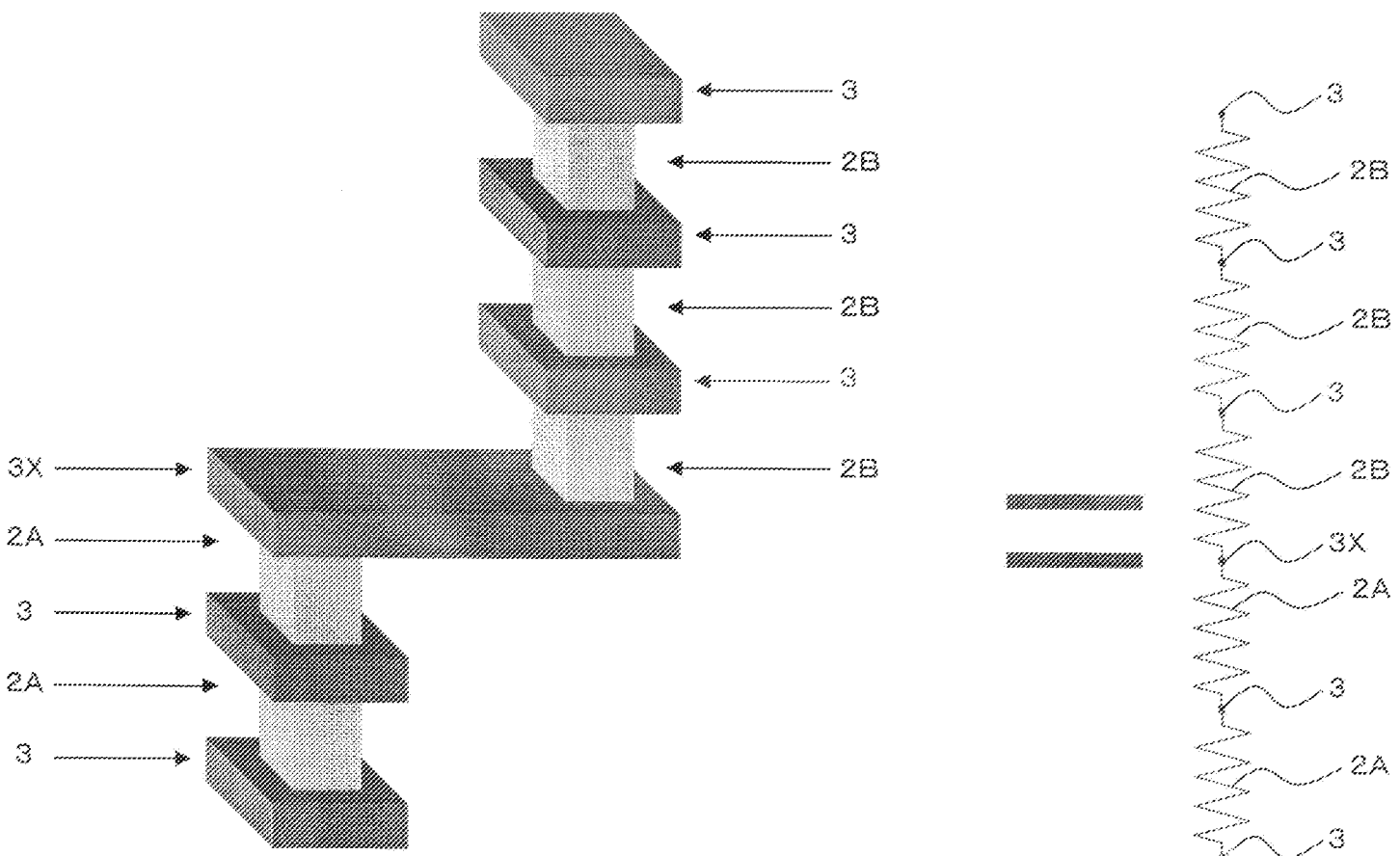
[図1]



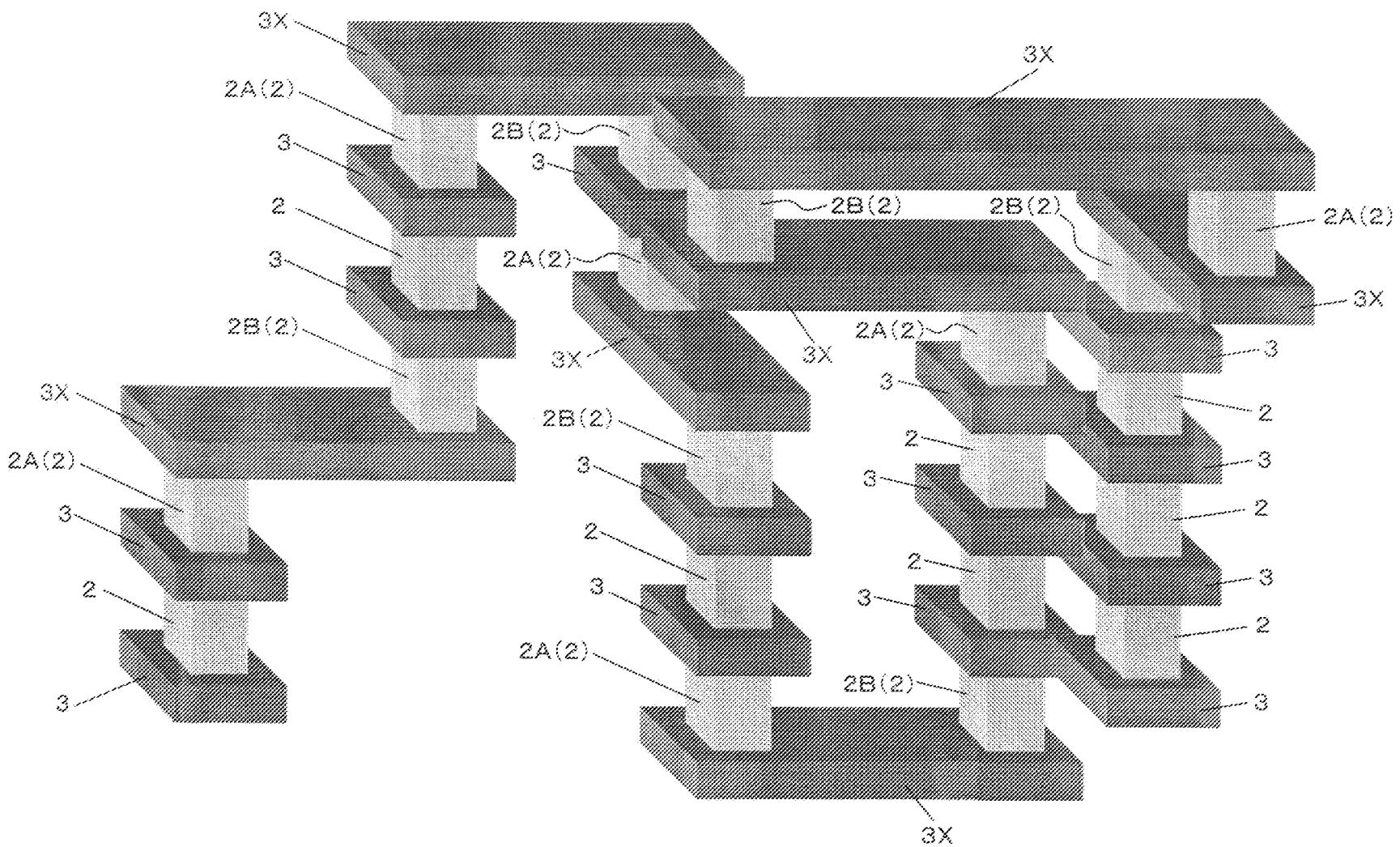
[図2]



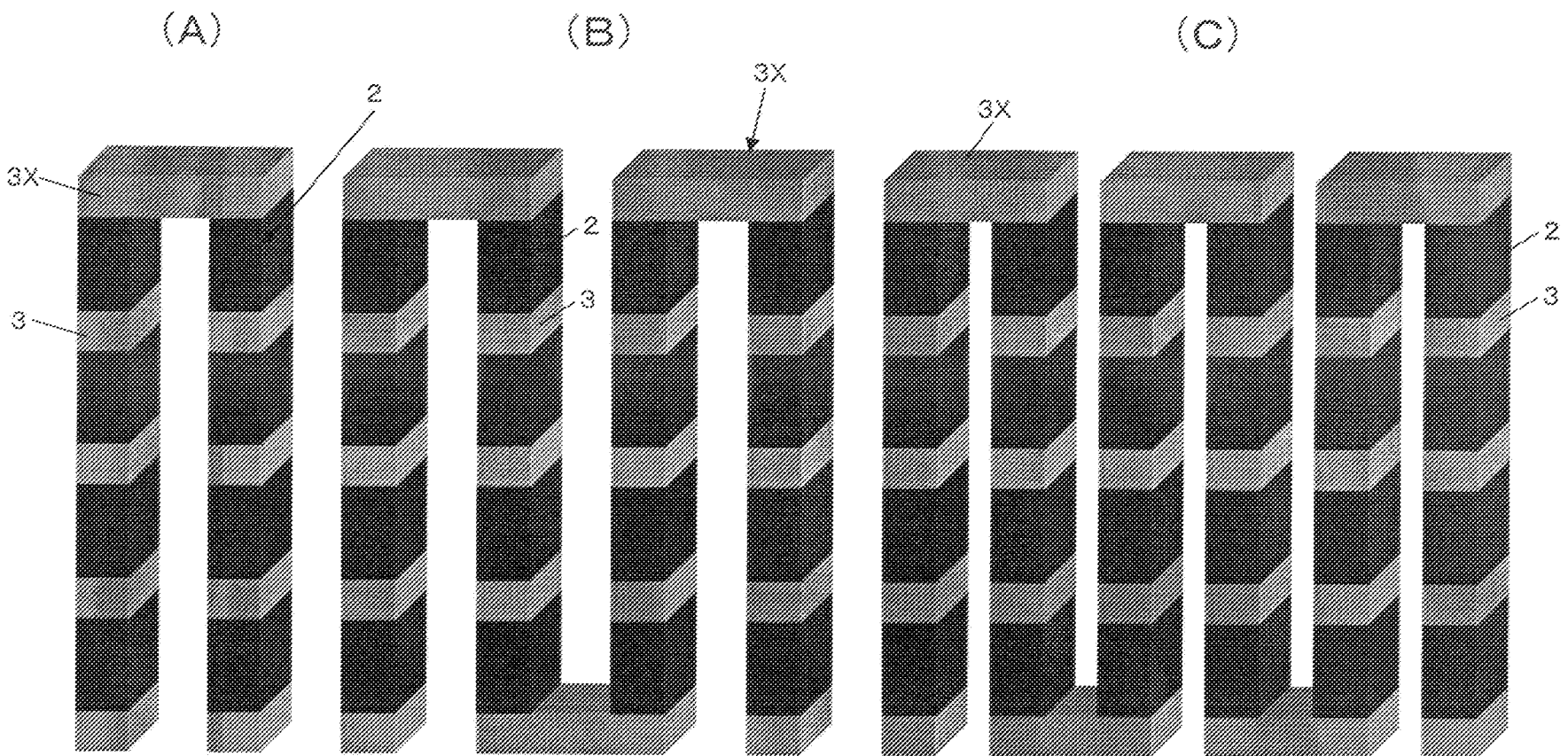
[図3]



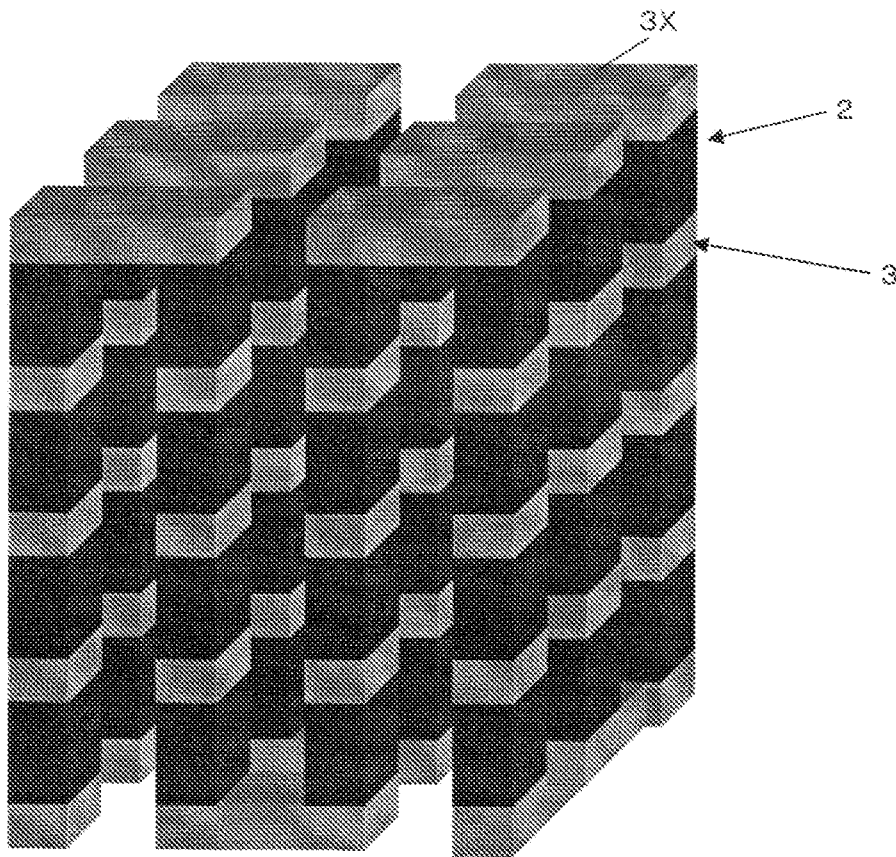
[図4]



[図5]

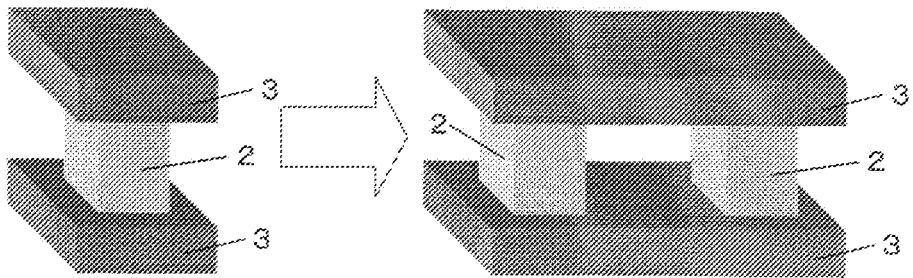


[図6]

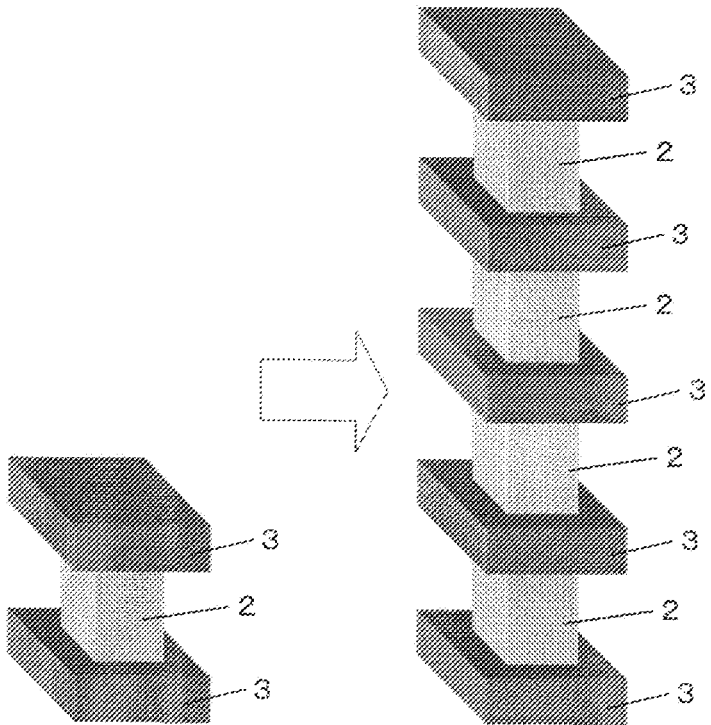


[図7]

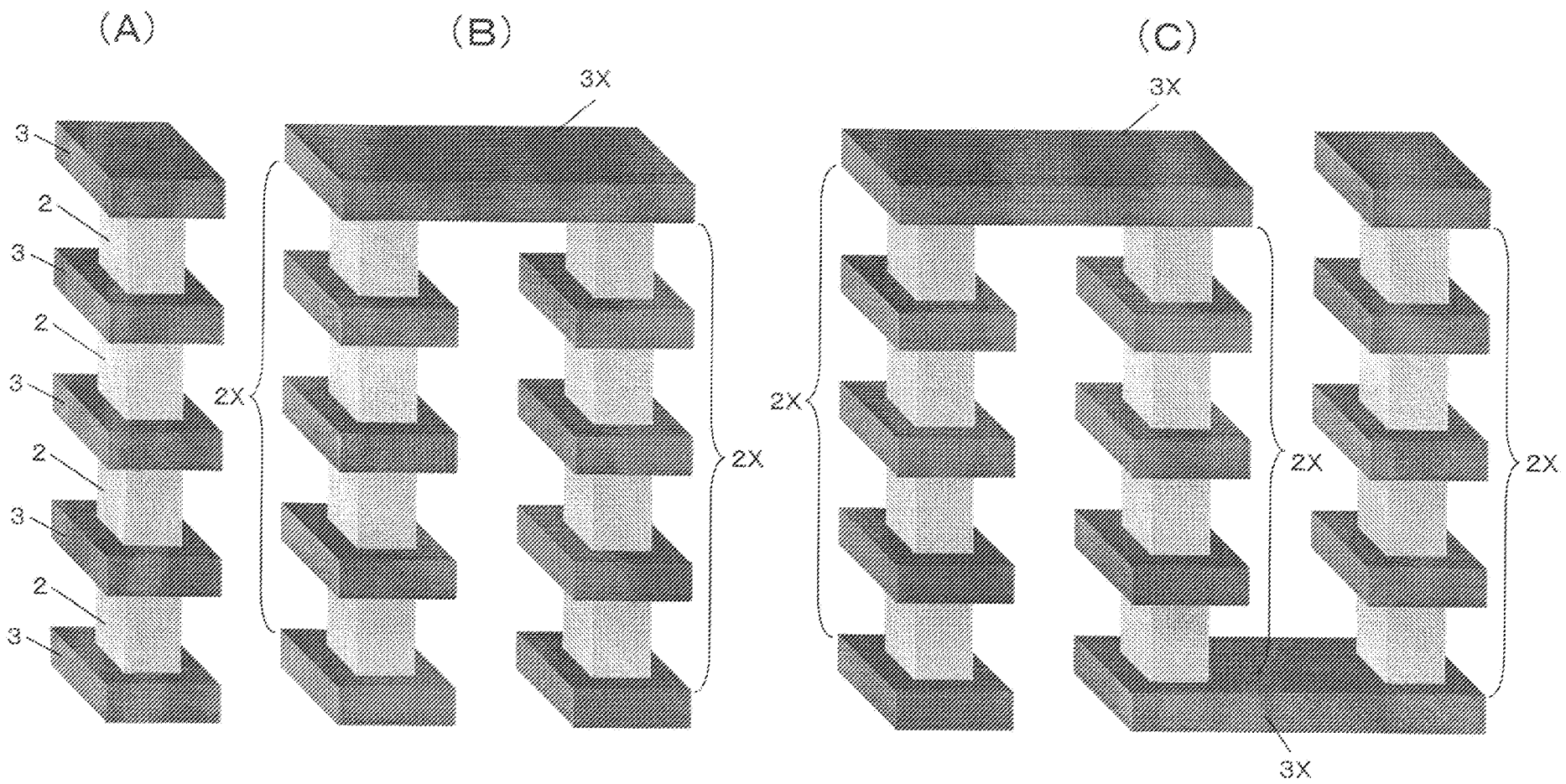
(B)



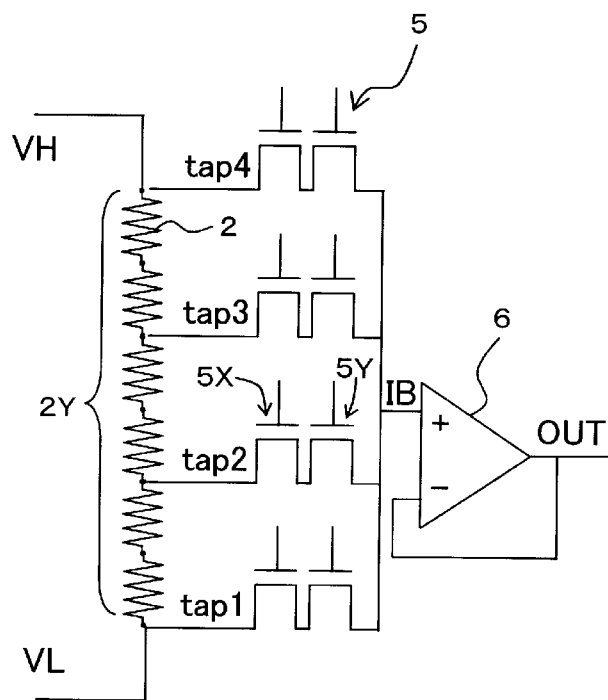
(A)



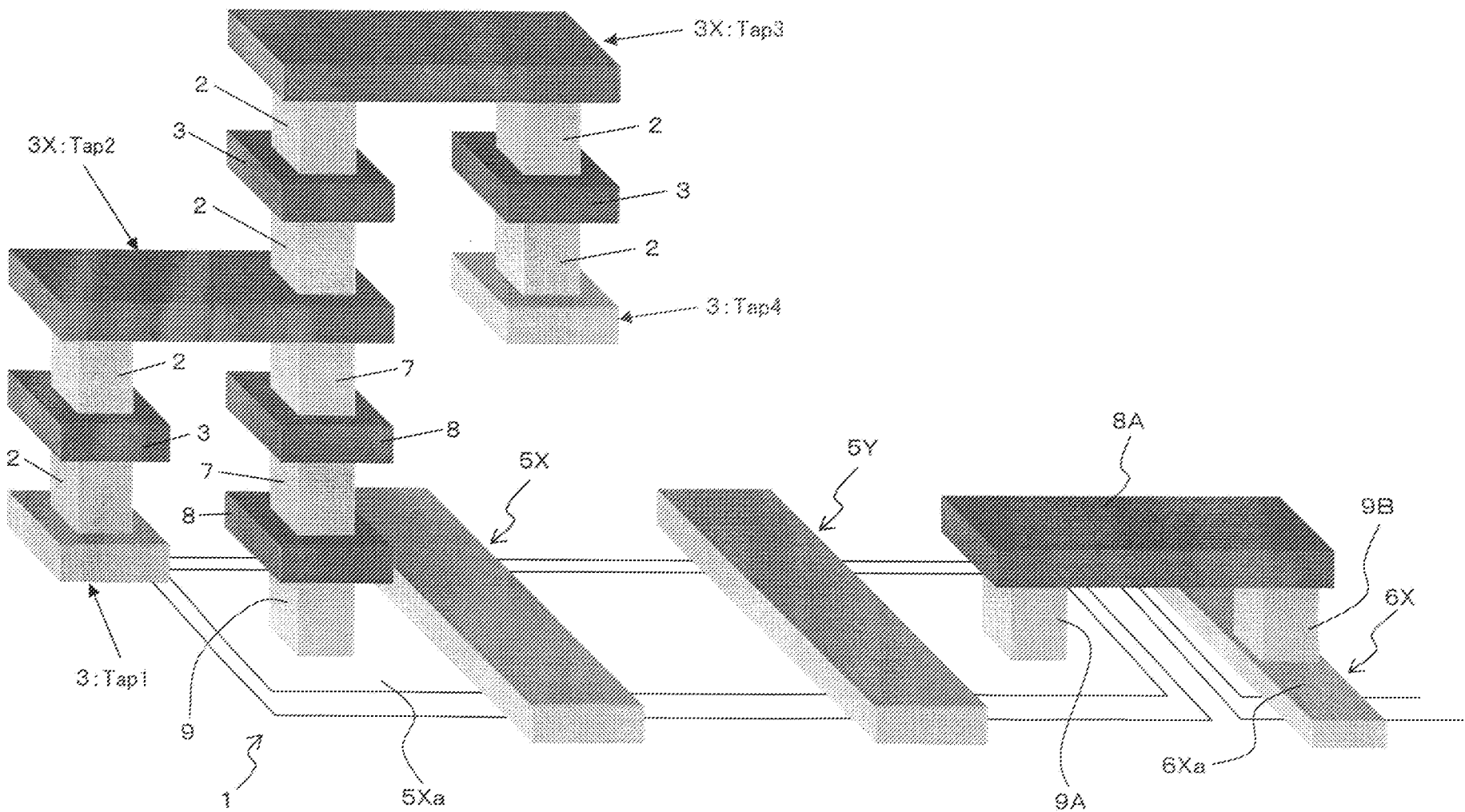
[8]



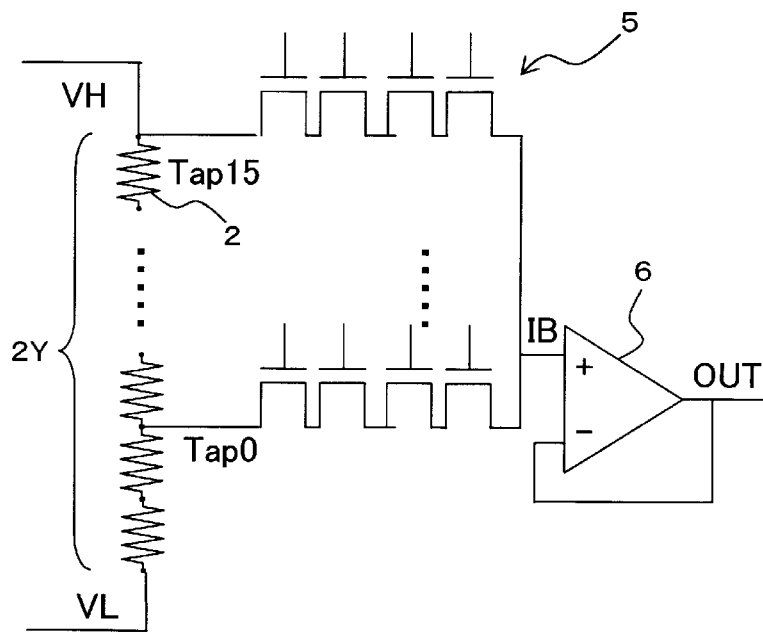
[図9]



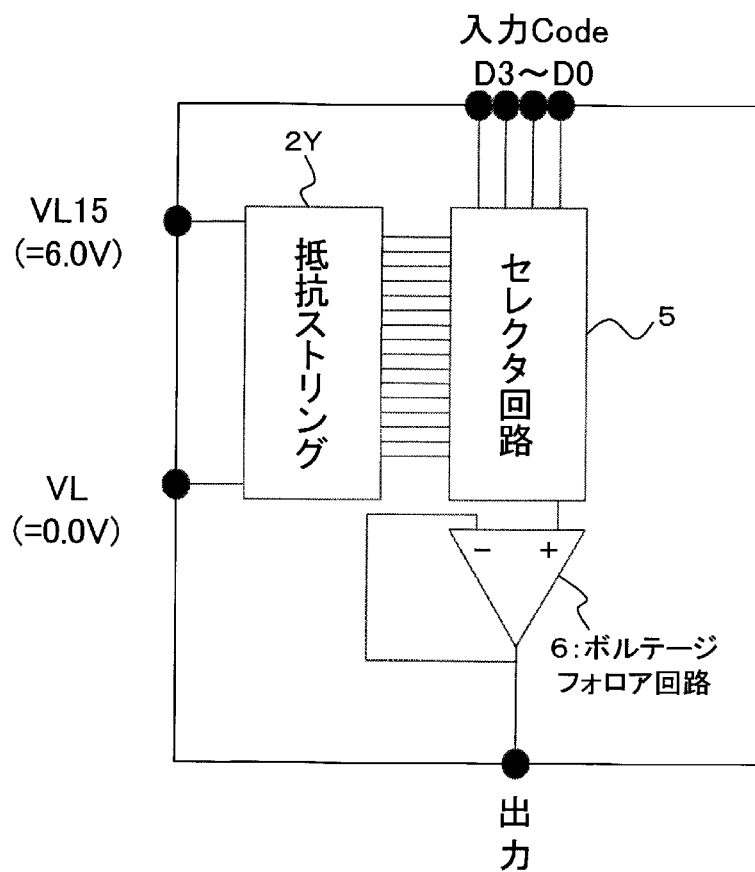
[図10]



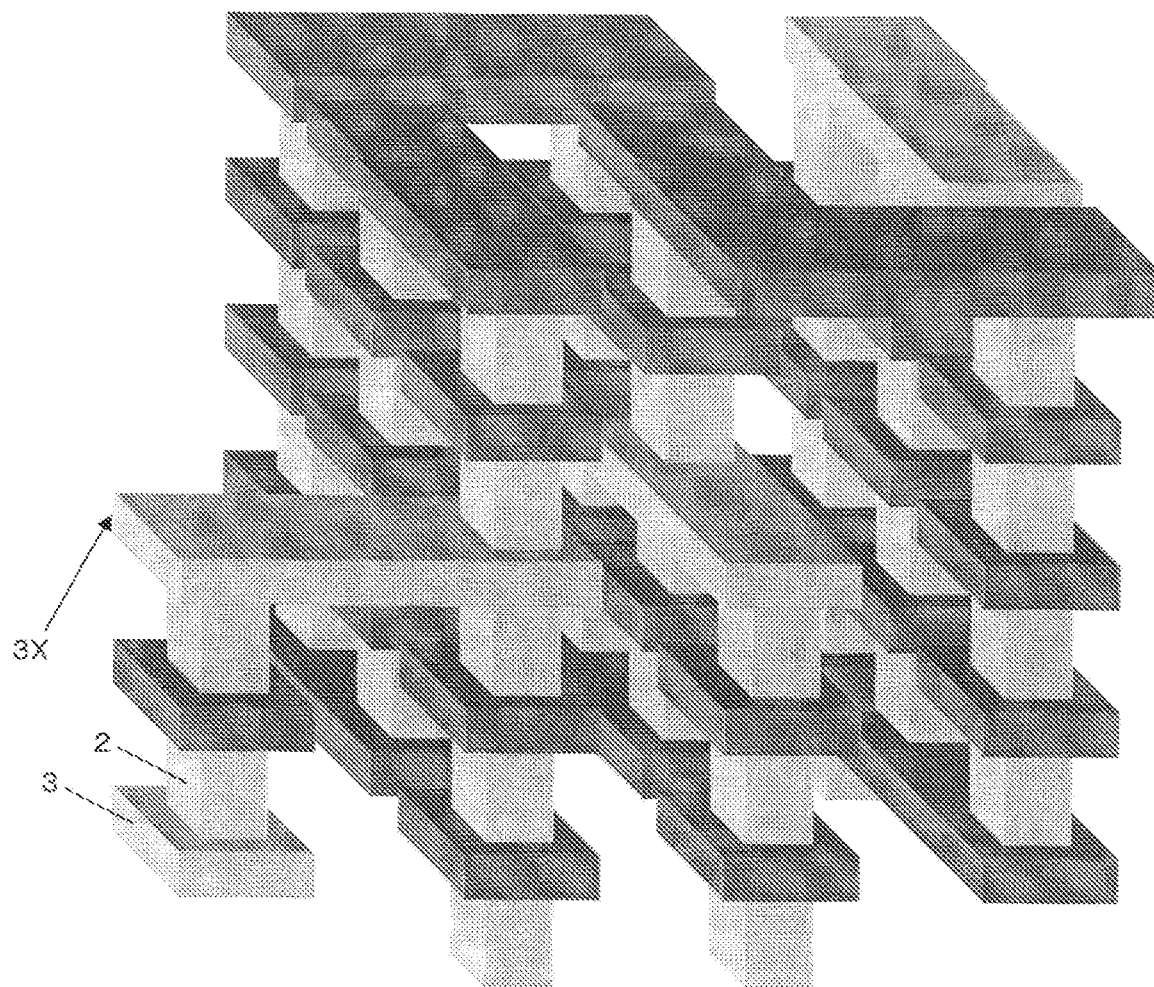
[図11]



[図12]



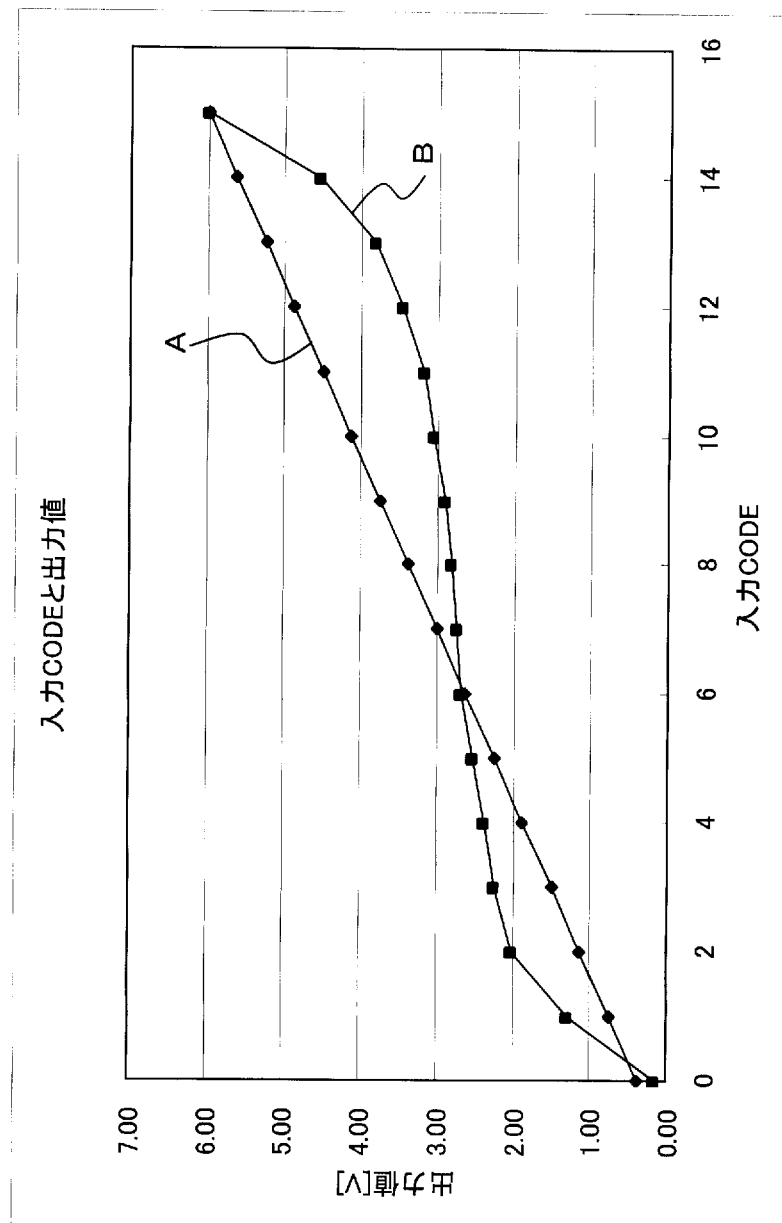
[図13]



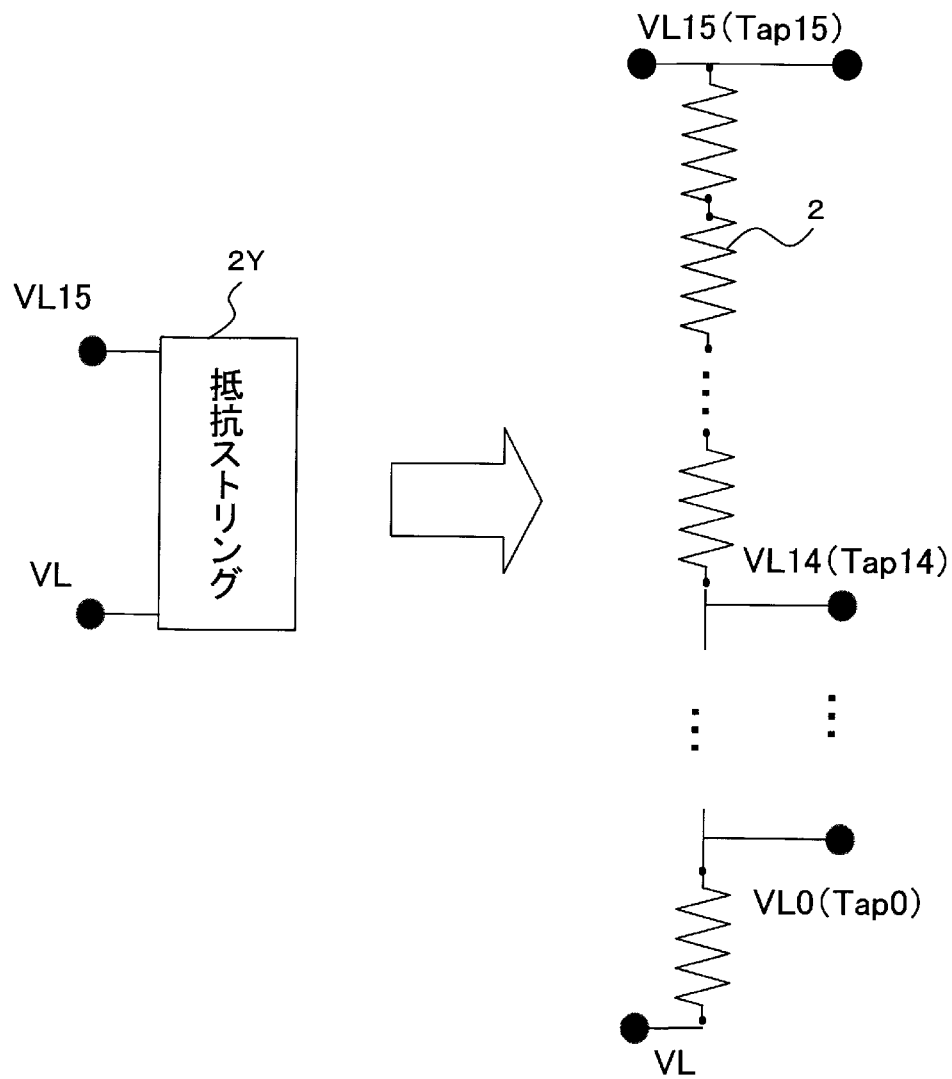
[図14]

入力CODE		線形の場合		非線形の場合	
10進数	2進数	抵抗個数	出力レベル[V]	抵抗個数	出力レベル[V]
0	0000	800	0.38	60	0.14
1	0001	800	0.75	480	1.30
2	0010	800	1.13	300	2.02
3	0011	800	1.50	90	2.24
4	0100	800	1.88	60	2.39
5	0101	800	2.25	60	2.53
6	0110	800	2.63	60	2.67
7	0111	800	3.00	30	2.75
8	1000	800	3.38	30	2.82
9	1001	800	3.75	30	2.89
10	1010	800	4.13	60	3.04
11	1011	800	4.50	60	3.18
12	1100	800	4.88	120	3.47
13	1101	800	5.25	150	3.83
14	1110	800	5.63	300	4.55
15	1111	800	6.00	600	6.00

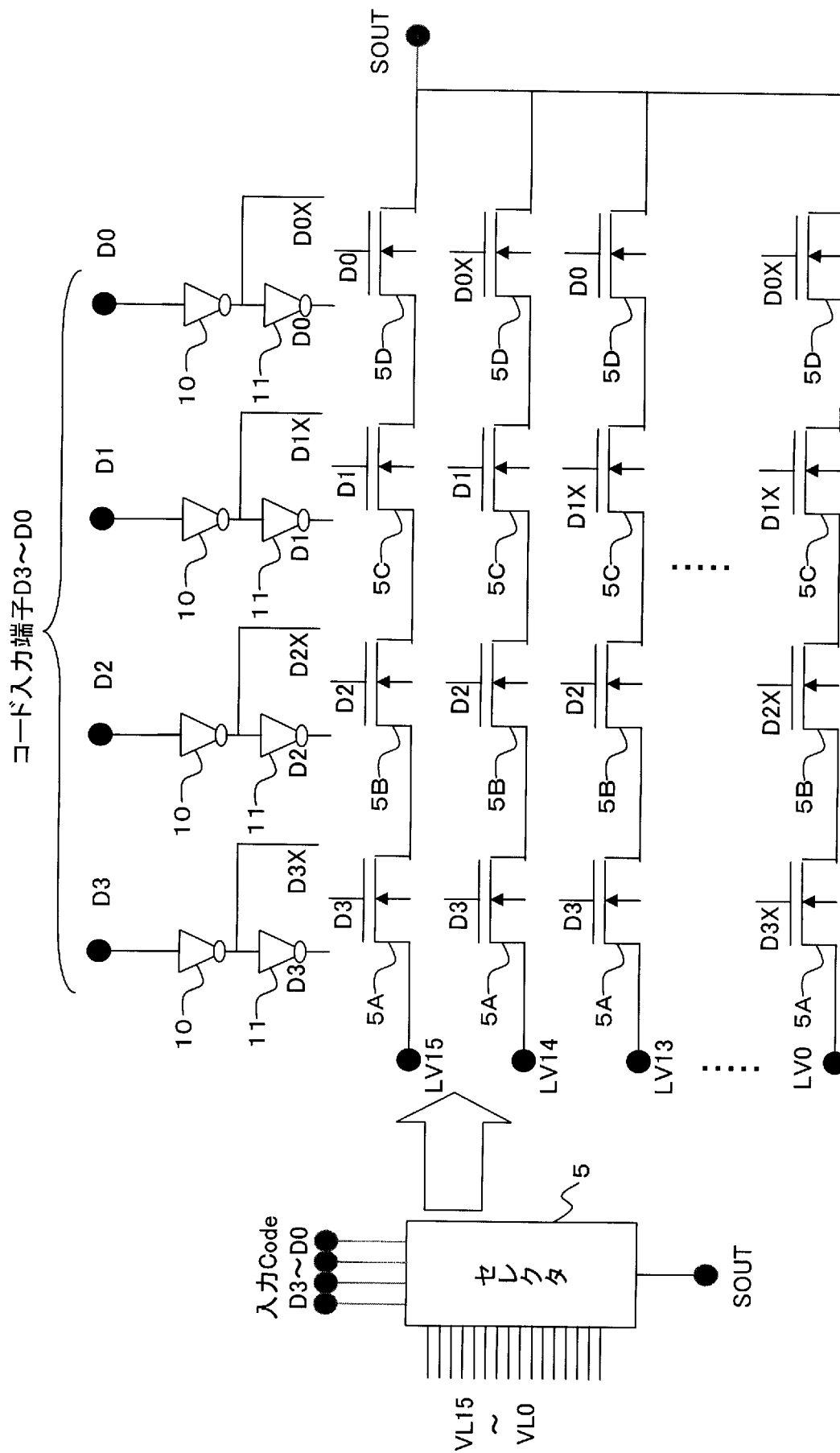
[図15]



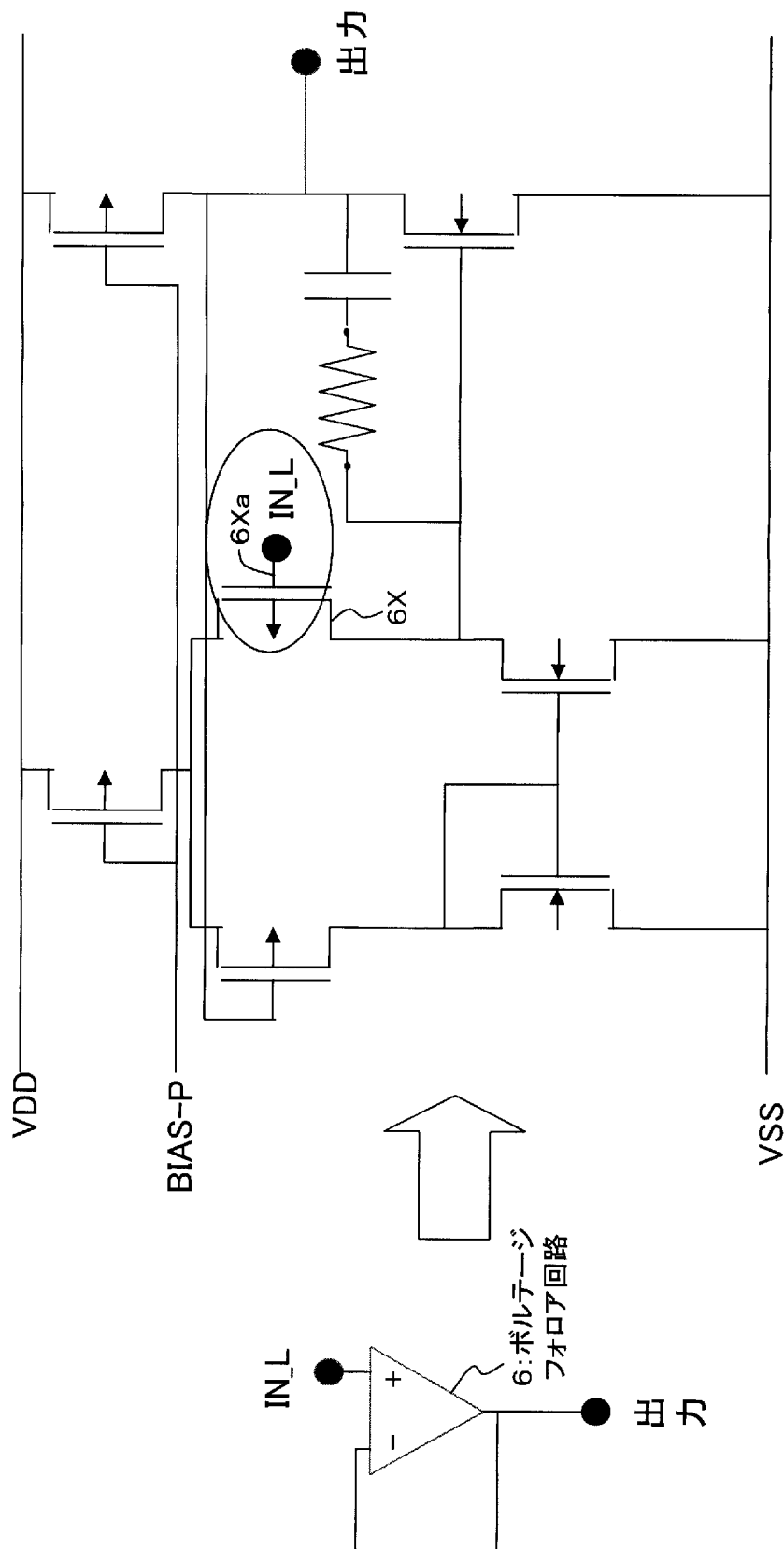
[図16]



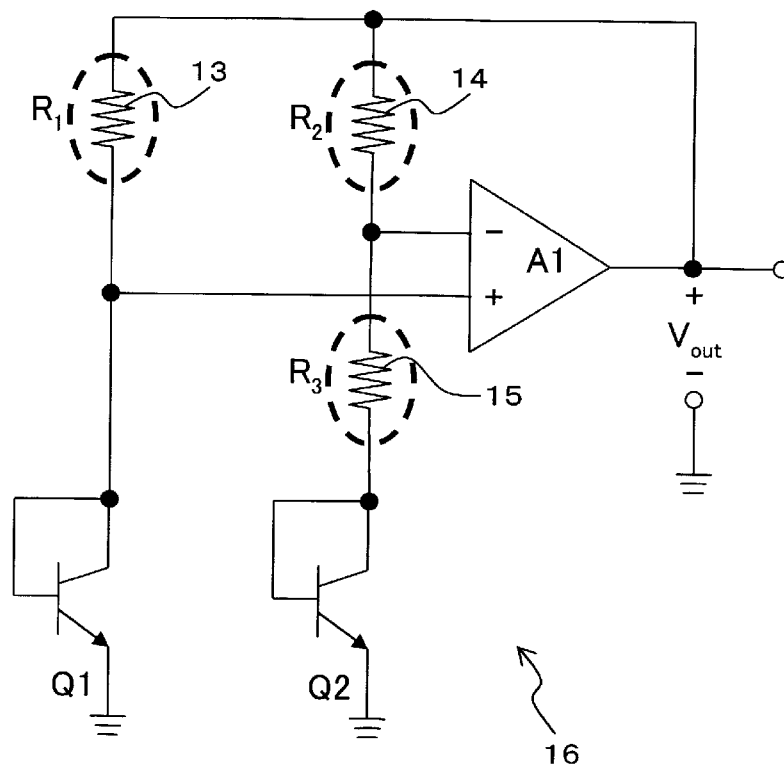
[図17]



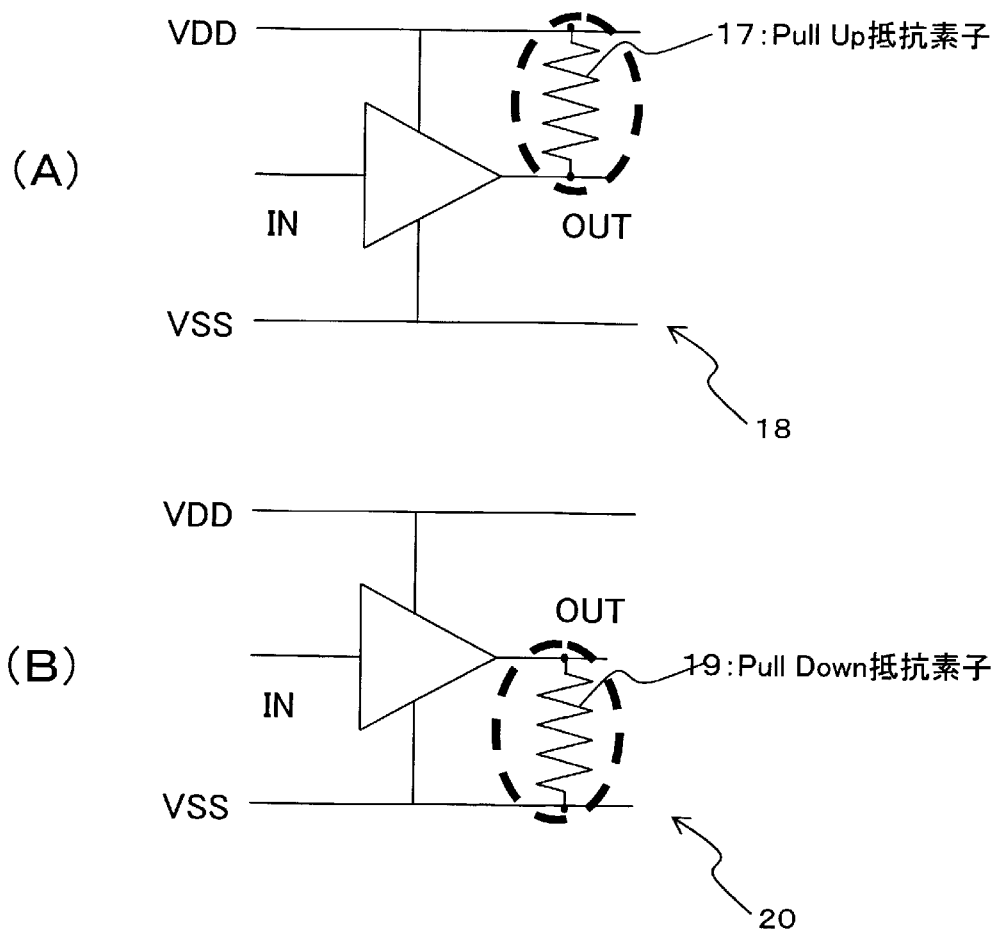
[図18]



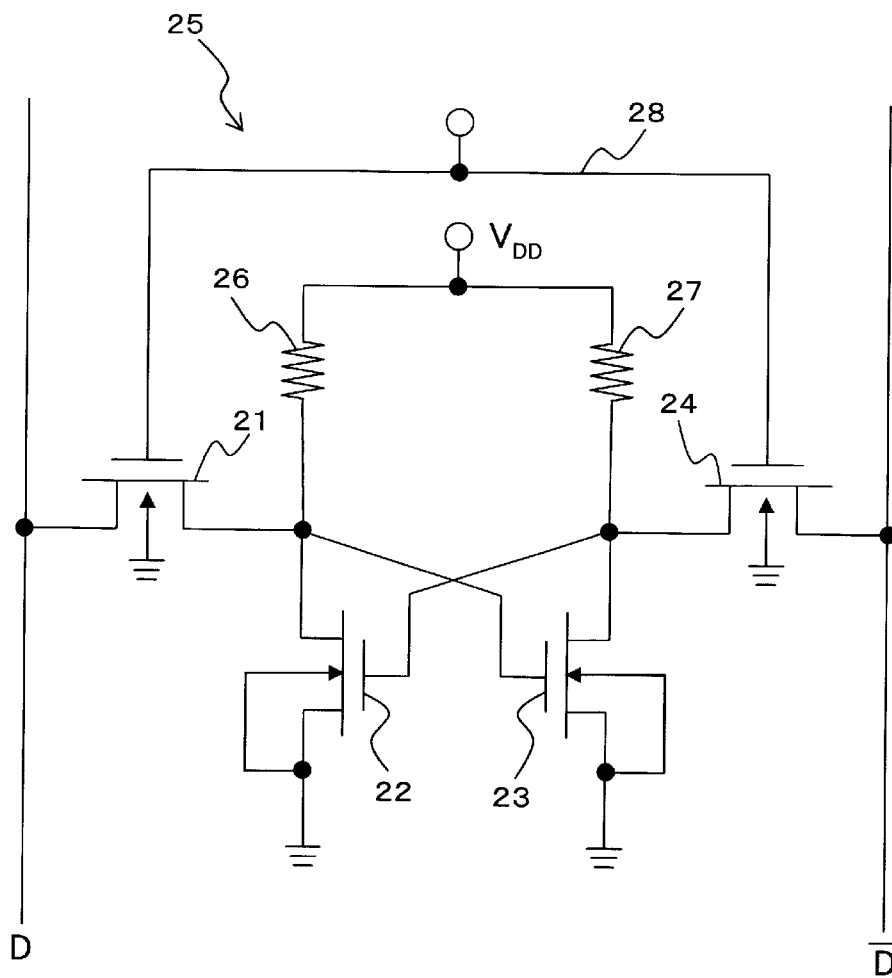
[図19]



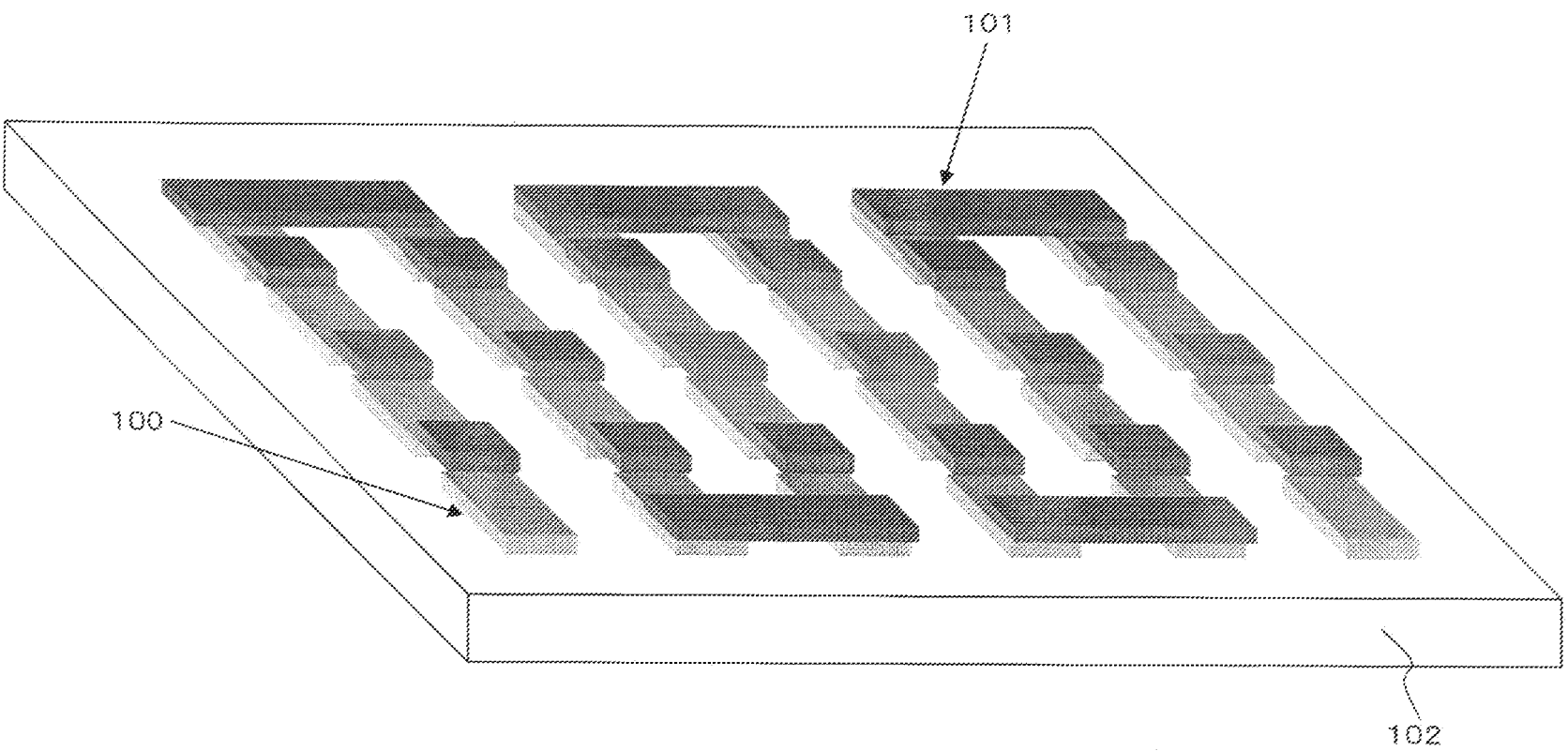
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/061836

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i,
H01L23/52(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/3205, H01L21/768, H01L23/52, H01L23/522, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-235749 A (Seiko Epson Corp.), 02 October 2008 (02.10.2008), entire text; all drawings (Family: none)	1-10
X	JP 04-361566 A (NEC Corp.), 15 December 1992 (15.12.1992), entire text; all drawings (Family: none)	1-10
X	JP 2004-040009 A (Renesas Technology Corp.), 05 February 2004 (05.02.2004), entire text; all drawings (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 October, 2010 (04.10.10)

Date of mailing of the international search report
12 October, 2010 (12.10.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/061836

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-129498 A (Toshiba Corp.), 11 June 2009 (11.06.2009), entire text; all drawings & US 2009/0135638 A1 entire text; all drawings	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/822 (2006.01) i, H01L21/3205 (2006.01) i, H01L21/768 (2006.01) i, H01L23/52 (2006.01) i, H01L23/522 (2006.01) i, H01L27/04 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/822, H01L21/3205, H01L21/768, H01L23/52, H01L23/522, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-235749 A（セイコーエプソン株式会社）2008.10.02, 全文, 全図（ファミリーなし）	1-10
X	JP 04-361566 A（日本電気株式会社）1992.12.15, 全文, 全図（ファミリーなし）	1-10
X	JP 2004-040009 A（株式会社ルネサステクノロジ）2004.02.05, 全文, 全図（ファミリーなし）	1-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 1 0 . 2 0 1 0

国際調査報告の発送日

1 2 . 1 0 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

4 L

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-129498 A (株式会社東芝) 2009.06.11, 全文, 全図 & US 2009/0135638 A1, 全文, 全図	1-10