

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3807740号
(P3807740)

(45) 発行日 平成18年8月9日(2006.8.9)

(24) 登録日 平成18年5月26日(2006.5.26)

(51) Int. Cl.

G06F 9/38 (2006.01)

F I

G06F 9/38 330K

G06F 9/38 310F

請求項の数 22 (全 38 頁)

<p>(21) 出願番号 特願2004-541191 (P2004-541191)</p> <p>(86) (22) 出願日 平成14年10月4日(2002.10.4)</p> <p>(86) 国際出願番号 PCT/JP2002/010370</p> <p>(87) 国際公開番号 W02004/031944</p> <p>(87) 国際公開日 平成16年4月15日(2004.4.15)</p> <p>審査請求日 平成17年1月14日(2005.1.14)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号</p> <p>(74) 代理人 100079359 弁理士 竹内 進</p> <p>(72) 発明者 石塚 孝治 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内</p> <p>審査官 後藤 彰</p>
---	--

最終頁に続く

(54) 【発明の名称】 プロセッサ及び命令制御方法

(57) 【特許請求の範囲】

【請求項1】

第1識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1命令制御部と、

分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2命令制御部と、

前記分岐以前の命令が全て完了した後に、分岐予測により誤って発行してしまった命令をキャンセルして前記第2命令制御部が発行した命令に続く正しい方向の命令発行を前記第2識別子を添付して開始する第3命令制御部と、

を備えたことを特徴とするプロセッサ。

【請求項2】

第1識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1命令制御部と、

第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2命令制御部と、

前記第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令が発行された後に、それ以前の古い分岐命令で第2の分岐ミスを検出した場合、前記古い分岐命令以前の命令が全て完了するのを待って、後続する全ての命令をキャンセルしてから、第2の分岐ミスの正しい方向の命令発行を開始する第3命令制御部と、

を備えたことを特徴とするプロセッサ。

【請求項3】

第1識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1命令制御部と、

第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2命令制御部と、

前記第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令が発行された後に、それ以前の古い分岐命令で第2の分岐ミスを検出した場合、前記第1の分岐ミスの検出により正しい方向と判断して発行した命令をキャンセルした後に、前記第2の分岐ミスの検出により判断した第2の分岐ミスの正しい方向の命令発行を開始する第3命令制御部と

10

、
前記第2の分岐ミスが検出されて正しい方向の命令が発行された後に、前記古い分岐命令以前の命令が全て完了するのを待って、前記第2の分岐予測により誤って発行してしまった命令をキャンセルしてから、正しい方向の命令発行を再開する第4命令制御部と、
を備えたことを特徴とするプロセッサ。

【請求項4】

第1識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1命令制御部と、

第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2命令制御部と、

前記第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令発行を開始した後に、正しい方向として発行した命令内の新しい分岐命令で第2の分岐ミスを検出した場合、前記新しい分岐命令以前の命令が全て完了するのを待って後続する全ての命令をキャンセルしてから、第2の分岐ミスの正しい方向の命令発行を開始する第3命令制御部と、
を備えたことを特徴とするプロセッサ。

20

【請求項5】

第1識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1命令制御部と、

第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2命令制御部と、

前記第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令発行を開始した後に、正しい方向として発行した命令内の新しい分岐命令で第2の分岐ミスを検出した場合、正しい方向の命令発行を抑制した状態で、前記第1分岐ミスが検出された古い方の分岐命令以前の命令が全て完了するのを待って、前記古い分岐命令により誤って発行してしまった命令をキャンセルしてから、前記抑制を解除して第2の分岐ミスの正しい方向の命令発行を開始する第3命令制御部と、

30

前記第2の分岐ミスの検出による正しい方向の命令発行が開始された後に、新しい分岐命令以前の命令が全て完了するのを待って、前記第1の分岐予測の検出により発行された命令をキャンセルしてから、前記第2の分岐ミスによる正しい方向の命令発行を再開する第4命令制御部と、

を備えたことを特徴とするプロセッサ。

40

【請求項6】

請求の範囲1乃至5のプロセッサに於いて、更に、

命令が使用するレジスタの番号で参照されるエントリに、リネームに使用するリオーダーバッファのアドレス格納領域と、命令制御で添付する複数の識別子に対応して複数の有効フラグ領域を備えたリネームマップと、

命令が使用するレジスタをリオーダーバッファを用いてリネームする際に、レジスタの番号で参照されるリネームマップのエントリに、リネームに使用するリオーダーバッファのアドレスを格納すると共に、命令に添付される識別子に対応した有効フラグをオンし、分岐ミスを検出した際に、誤って発行されてしまった命令に添付した識別子に対応したリネームマップの有効フラグをオフし、正しい方向に発行した命令に添付される別の識別子

50

に対応したりネームマップの有効フラグをオンするリネーミング処理部と、
を設け、分岐ミスの検出により発行される正しい方向の命令が誤って発行されてしまった
命令によるリネーム情報を使用することを防ぐことを特徴とするプロセッサ。

【請求項 7】

第 1 識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第 1
ステップと、

分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命
令を第 2 識別子を添付して発行する第 2 ステップと、

前記分岐以前の命令が全て完了した後に、分岐予測により誤って発行してしまった命令
をキャンセルして前記第 2 ステップが発行した命令に続く正しい方向の命令発行を前記第
2 識別子を添付して開始する第 3 ステップと、

を備えたことを特徴とするプロセッサの命令制御方法。

【請求項 8】

第 1 識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第 1
ステップと、

第 1 の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方
向の命令を第 2 識別子を添付して発行する第 2 ステップと、

前記第 1 の分岐ミスが検出されて第 1 の分岐ミスの正しい方向の命令が発行された後に
、それ以前の古い分岐命令で第 2 の分岐ミスを検出した場合、前記古い分岐命令以前の命
令が全て完了するのを待って、後続する全ての命令をキャンセルしてから、第 2 の分岐ミ
スの正しい方向の命令発行を開始する第 3 ステップと、

を備えたことを特徴とするプロセッサの命令制御方法。

【請求項 9】

第 1 識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第 1
ステップと、

第 1 の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方
向の命令を第 2 識別子を添付して発行する第 2 ステップと、

前記第 1 の分岐ミスが検出されて第 1 の分岐ミスの正しい方向の命令が発行された後に
、それ以前の古い分岐命令で第 2 の分岐ミスを検出した場合、前記第 1 の分岐ミスの検出
により正しい方向と判断して発行した命令をキャンセルした後に、前記第 2 の分岐ミスの
検出により判断した第 2 の分岐ミスの正しい方向の命令発行を開始する第 3 ステップと、

前記第 2 の分岐ミスが検出されて正しい方向の命令が発行された後に、前記古い分岐命
令以前の命令が全て完了するのを待って、前記第 2 の分岐予測により誤って発行してしま
った命令をキャンセルしてから、正しい方向の命令発行を再開する第 4 ステップと、
を備えたことを特徴とするプロセッサの命令制御方法。

【請求項 10】

第 1 識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第 1
ステップと、

第 1 の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方
向の命令を第 2 識別子を添付して発行する第 2 ステップと、

前記第 1 の分岐ミスが検出されて第 1 の分岐ミスの正しい方向の命令発行を開始した後
に、正しい方向として発行した命令内の新しい分岐命令で第 2 の分岐ミスを検出した場合
、前記新しい分岐命令以前の命令が全て完了するのを待って後続する全ての命令をキャン
セルしてから、第 2 の分岐ミスの正しい方向の命令発行を開始する第 3 ステップと、
を備えたことを特徴とするプロセッサの命令制御方法。

【請求項 11】

第 1 識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第 1
ステップと、

第 1 の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方
向の命令を第 2 識別子を添付して発行する第 2 ステップと、

10

20

30

40

50

前記第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令発行を開始した後に、正しい方向として発行した命令内の新しい分岐命令で第2の分岐ミスを検出した場合、正しい方向の命令発行を抑制した状態で、前記第1分岐ミスが検出された古い方の分岐命令以前の命令が全て完了するのを待って、前記古い分岐命令により誤って発行してしまった命令をキャンセルしてから、前記抑制を解除して第2の分岐ミスの正しい方向の命令発行を開始する第3ステップと、

前記第2の分岐ミスの検出による正しい方向の命令発行が開始された後に、新しい分岐命令以前の命令が全て完了するのを待って、前記第1の分岐予測の検出により発行された命令をキャンセルしてから、前記第2の分岐ミスによる正しい方向の命令発行を再開する第4ステップと、

を備えたことを特徴とするプロセッサの命令制御方法。

【請求項12】

請求の範囲7乃至11のプロセッサの命令制御方法に於いて、

命令が使用するレジスタの番号で参照されるエントリに、リネームに使用するリオーダーバッファのアドレス格納領域と、命令制御で添付する複数の識別子に対応して複数の有効フラグ領域を備えたりネームマップを備えた場合、

命令が使用するレジスタをリオーダーバッファを用いてリネームする際に、レジスタの番号で参照される前記リネームマップのエントリに、リネームに使用する前記リオーダーバッファのアドレスを格納すると共に、命令に添付される識別子に対応した有効フラグをオンし、

分岐ミスを検出した際に、誤って発行されてしまった命令に添付した識別子に対応した前記リネームマップの有効フラグをオフし、正しい方向に発行した命令に添付される別の識別子に対応した前記リネームマップの有効フラグをオンすることにより、

分岐ミスの検出により発行される正しい方向の命令が誤って発行されてしまった命令によるリネーム情報を使用することを防ぐことを特徴とするプロセッサの命令制御方法。

【請求項13】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と、

例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、

前記例外発生命令以前の命令が全て完了した後に、例外発生命令及び例外発生なしとして発生した命令をキャンセルして前記第2命令制御部が発行した命令に続く前記例外処理ルーチンの命令発行を前記第2識別子を添付して開始する第3命令制御部とを備えたことを特徴とするプロセッサ。

【請求項14】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と、

第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、前記第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令が発行された後に、それ以前の古い命令で第2の例外発生を検出した場合、前記古い例外発生命令以前の命令が全て完了するのを待って例外発生命令及び後続する全ての命令をキャンセルしてから、前記第2の例外発生による例外処理ルーチンの命令発行を開始する第3命令制御部と、

を備えたことを特徴とするプロセッサ。

【請求項15】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と、

第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、

10

20

30

40

50

前記第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令が発行された後に、それ以前の古い命令で第2の例外発生を検出した場合、前記第1の例外発生の検出により発行した例外処理ルーチンの命令をキャンセルした後に、前記第2の例外発生の検出により正しい方向となる例外処理ルーチンの命令発行を開始する第3命令制御部と、

前記第2の例外発生が検出されて例外処理ルーチンの命令が発行された後に、前記古い命令以前の命令が全て完了するのを待って、前記第1の例外発生を起こした命令及び該命令により例外発生なしとして誤って発行してしまった命令をキャンセルしてから、前記第2の例外発生による例外処理ルーチンの命令発行を再開する第4命令制御部と、
を備えたことを特徴とするプロセッサ。

【請求項16】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と、

第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、前記第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令発行を開始した後に、前記例外処理ルーチンにより発行した命令内の新しい命令で第2の例外発生を検出した場合、前記新しい例外発生命令以前の命令が全て完了するのを待って例外発生命令及び後続する全ての命令をキャンセルしてから、前記第1の例外発生による例外処理ルーチンの命令発行を開始する第3命令制御部と、
を備えたことを特徴とするプロセッサ。

【請求項17】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と、

第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、前記第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令発行を開始した後に、前記例外処理ルーチンにより発行した命令内の新しい命令で第2の例外発生を検出した場合、前記例外処理ルーチンの命令発行を抑止した状態で、前記第1例外発生が検出された古い方の例外発生命令以前の命令が全て完了するのを待って、前記古い例外発生命令及び該命令により例外発生なしとして誤って発行してしまった命令をキャンセルしてから、前記抑止を解除して前記第2の例外発生により正しい方向となる例外処理ルーチンの命令発行を開始する第3命令制御部と、

前記第2の例外発生により例外処理ルーチンの命令が発行された後に、新しい例外発生命令以前の命令が全て完了するのを待って前記第2の例外発生の命令及び及び前記第1の例外発生の例外処理ルーチンで発行された命令をキャンセルしてから、前記第2の例外発生による例外処理ルーチンの命令発行を再開する第4命令制御部と、
を備えたことを特徴とするプロセッサ。

【請求項18】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、

例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2ステップと、

前記例外発生命令以前の命令が全て完了した後に、例外発生命令及び例外発生なしとして発行してしまった命令をキャンセルして前記第2ステップが発行した命令に続く前記例外処理ルーチンの命令発行を前記第2識別子を添付して開始する第3ステップと、
を備えたことを特徴とするプロセッサの命令制御方法。

【請求項19】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、

第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後

10

20

30

40

50

るに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2ステップと、前記第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令が発行された後に、それ以前の古い命令で第2の例外発生を検出した場合、前記古い分岐命令以前の命令が全て完了するのを待って、例外発生命令及び後続する全ての命令をキャンセルしてから、前記第2の例外発生による例外処理ルーチンの命令発行を開始する第3ステップと、を備えたことを特徴とするプロセッサの命令制御方法。

【請求項20】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、

第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2ステップと、

前記第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令が発行された後に、それ以前の古い命令で第2の例外発生を検出した場合、前記第1の例外発生の検出により発行した例外処理ルーチンの命令をキャンセルした後に、前記第2の例外発生の検出により正しい方向となる例外処理ルーチンの命令発行を開始する第3ステップと、

前記第2の例外発生が検出されて例外処理ルーチンの命令が発行された後に、前記古い命令以前の命令が全て完了するのを待って、前記第1の例外発生を起こした命令及び該命令により例外発生なしとして誤って発行してしまった命令をキャンセルしてから、前記第2の例外発生による例外処理ルーチンの命令発行を再開する第4ステップと、を備えたことを特徴とするプロセッサの命令制御方法。

【請求項21】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、

第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2ステップと、

前記第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令発行を開始した後に、前記例外処理ルーチンにより発行した命令内の新しい命令で第2の例外発生を検出した場合、前記新しい例外発生命令以前の命令が全て完了するのを待って例外発生命令及び後続する全ての命令をキャンセルしてから、前記第1の例外発生による例外処理ルーチンの命令発行を開始する第3ステップと、

を備えたことを特徴とするプロセッサの命令制御方法。

【請求項22】

第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、

第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2ステップと、前記第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令発行を開始した後に、前記例外処理ルーチンにより発行した命令内の新しい命令で第2の例外発生を検出した場合、前記例外処理ルーチンの命令発行を抑制した状態で、前記第1例外発生が検出された古い方の例外発生命令以前の命令が全て完了するのを待って、前記古い例外発生命令及び該命令により例外発生なしとして誤って発行してしまった命令をキャンセルしてから、前記抑制を解除して前記第2の例外発生により正しい方向となる例外処理ルーチンの命令発行を開始する第3ステップと、

前記第2の例外発生により例外処理ルーチンの命令が発行された後に、新しい例外発生命令以前の命令が全て完了するのを待って前記第2の例外発生の命令及び前記第1の例外発生の例外処理ルーチンで発行された命令をキャンセルしてから、前記第2の例外発生による例外処理ルーチンの命令発行を再開する第4ステップと、を備えたことを特徴とするプロセッサの命令制御方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は、分岐予測により命令を投機時に実行するプロセッサ及び命令制御方法に関し、特に、分岐予測に失敗した場合の後続命令のキャンセルを効率良く行うプロセッサ及び命令制御方法に関する。

【背景技術】

【0002】

従来、分岐予測と動的パイプライン処理を併用したプロセッサにあつては、プログラム順序に依存したインオーダーの命令発行部、プログラムの順番に依存しないアウトオブオーダーの命令実行部、更に、プログラム順序に依存したインオーダーの命令確定部（コミット）を備え、分岐予測に基づき命令を投機的に実行している。即ち、命令発行部は、インオーダーにより複数命令をフェッチしてデコードし、命令格納部の命令格納キューに命令操作（オペコード）とオペランドを保持させる。命令実行部は、命令格納部に全てのオペランドが準備され、演算器が利用可能となり次第、アウトオブオーダーで投機的に命令を実行し、結果を得る。命令確定部は、未完了命令をリオーダーバッファに保持しており、分岐予測が正しかった場合には、分岐の後続命令の結果は有効とされ、リオーダーバッファからレジスタやメモリに書き込まれる。

10

【0003】

分岐予測が外れて分岐ミスとなつた場合には、分岐の後続命令は全て無効とされ、命令格納部およびリオーダーバッファから除去される。ここでリオーダーバッファは、命令発行部が命令で使用する実際のレジスタの代替用として割当てたりオーダーマップで管理しており、アウトオブオーダーで実行された命令の結果を実際のレジスタに書込むのを命令確定部が待つ間だけ保持する。このため分岐予測が外れた場合には、分岐の後続命令に割当てたりオーダーバッファのマップ上の有効ビットをオフする。

20

【0004】

図1は従来のプロセッサにおける分岐ミス発生時の処理である。図1(A)の分岐予測による命令の投機的実行において、分岐命令B4についての分岐予測が失敗して分岐ミス200が検出されると、図1(B)のように、分岐命令B4以前の命令が全て完了した場合、リオーダーバッファを含む資源の更新が完了してから後に、誤って実行してしまった命令5～命令8をキャンセルするキャンセル処理202を行い、その後図1(C)のように、正しい方向の命令50, 51となる命令の発行開始し、命令列を実行するようにしている。

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、このような命令制御にあつては、分岐ミスとなつた分岐命令B4以前の命令が完了しないと、正しい命令列の発行を再開できず、命令実行の処理性能が低いという問題がある。そこで、プロセッサの処理性能を向上するため、図2のような分岐ミス発生に対する命令制御を行っている。この命令制御にあつては、図2(A)のように、分岐命令B4, B8を境に命令列に識別子としてのIDをID=0, ID=1, ID=2のように持たせ、図2(B)で分岐命令B4の分岐ミス204を検出した場合には、分岐命令B4のID=0より新しいID=1, ID=2を持つ命令5～命令11をキャンセルするキャンセル処理206を行い、その後、図2(C)のように、正しい方向の命令50, 51の発行を開始して命令列を実行するようにしている。

40

【0006】

このため分岐ミス204が検出された分岐命令B4以前の命令が全て完了していなくても、正しい命令列の実行を再開でき、命令の処理性能を高めることができる。しかし、図2の命令制御にあつては、多数の分岐命令を同時に動作させようすると、分岐命令の数分のIDを持つ必要があり、ハードウェア量の増加と複雑化を招き、プロセッサの高速化には向かないという問題がある。またリネームを行っているプロセッサの場合、分岐命令毎にリネーム情報のスナップショットをとる必要があつたため、同様に、ハードウェア量

50

の増加と複雑化を招き、プロセッサの高速化には向かないという問題がある。この問題を詳細に説明すると次のようになる。

【 0 0 0 7 】

図 3 は、従来のプロセッサで使用するリネームマップの説明図であり、リネーム可能なレジスタ REG 0、REG 1、REG 2、REG 3 と、そのリネームに使用するリオーダーバッファ ROB 0、ROB 1、ROB 2、ROB 3 が存在する場合を例として説明する。リネームマップ 2 1 0 はレジスタ番号 REG __ A D 2 1 2 をエントリ番号 0 ~ 3 として索引するテーブルであり、有効ビットフィールド AV のフィールド 2 1 6 が「 1 」であると、そのレジスタがリオーダーバッファアドレス ROB __ A D のフィールド 2 1 4 の示すリオーダーバッファ ROB でリネーム中であることを示す。

10

【 0 0 0 8 】

命令発行に伴い例えばレジスタ REG 1 をリオーダーバッファ ROB 3 を用いてリネームする場合には、リネームマップのエントリ「 1 」の有効クラグ AV のフィールド 2 1 6 に「 1 」を書くと共に、リオーダーバッファアドレス ROB __ A D のフィールド 2 1 4 に「 3 」を書く。また命令の完了によりリネームが終了すると、有効フラグ AV のフィールド 2 1 6 を「 0 」に書き換えてリオーダーバッファ ROB 3 を開放する。更にリオーダーバッファ ROB 3 を開放する前に同一のレジスタ REG 1 を別のリオーダーバッファ ROB 0 でリネームしたい場合には、リネームマップ 2 1 0 におけるリネームバッファアドレス ROB __ A D のフィールド 2 1 4 のみを例えば「 0 」に書き換え、有効クラグ AV のフィールド 2 1 6 はそのレジスタ REG 1 を最後にリネームした命令が完了した時に「 0 」と

20

【 0 0 0 9 】

このため図 2 の命令制御のように、分岐命令を境に命令列毎に識別子である ID を持たせた場合には、図 3 のようなリネームマップ 2 1 0 では、分岐命令毎にリオーダーバッファアドレス ROB __ A D のフィールド 2 1 4 を持たなくてはならない上に、中間状態の有効フラグ AV のフィールドも生成しなくてはならないという問題があり、このためハードウェア量の増加と複雑化を招き、プロセッサの高速化には向かないという問題が生じている。このような命令の投機的実行は、命令実行で例外が発生した場合にも、例外なしとして発行してしまった投機的に実行された命令が無効となり、分岐ミスの場合と同様な問題がある。

30

【 0 0 1 0 】

本発明は、少ないハードウェア量で投機的実行を誤った時の命令発行再開を速やかに可能とするプロセッサ及び命令制御方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 1 】

図 1 は本発明の原理説明図である。

【 0 0 1 2 】

(分岐予測を制御するプロセッサ)

本発明のプロセッサの第 1 形態にあつては、第 1 識別子 (ID = 0) を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第 1 命令制御部と、分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を発行する第 2 命令制御部と、分岐以前の命令が全て完了した後に、分岐予測により誤って発行してしまった命令をキャンセルして第 2 命令制御部が発行した命令に続く正しい方向の命令発行を第 2 識別子を添付して開始する第 3 命令制御部とを備えたことを特徴とする。このように本発明のプロセッサは、分岐ミスが発生してから命令に付ける識別子 (ID) を更新しているため、分岐ミスが発生した分岐命令以前の命令の全ての完了を待たずに正しい方向の命令が発行できることで、命令の処理性能が向上し、また命令に付ける識別子は少なくとも 2 つあれば良く、処理性能の向上とハードウェア量の低減が両立できる。

40

【 0 0 1 3 】

本発明のプロセッサの第 2 形態にあつては、第 1 識別子 (ID = 0) を添付して分岐命

50

令を含む命令を発行し、分岐予測により投機実行する第1命令制御部と、第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令に第2識別子 (ID = 1) を添付して発行する第2命令制御部とを備えた点は第1形態と同じであるが、更に、第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令が発行された後に、それ以前の古い分岐命令について第2の分岐ミスを検出した場合、古い分岐命令以前の命令が全て完了するのを待って、後続する全ての命令をキャンセルしてから、第2の分岐ミスの正しい方向の命令発行を開始する第3命令制御部とを備えたことを特徴とする。このように最初の分岐ミスに対し正しい方向に命令発行を開始した後に、それ以前の古い分岐命令について分岐ミスが発生した場合に、古い分岐命令以前の命令の全ての完了を待って未完了の命令を全てキャンセルしてから正しい方向の命令を発行でき、この場合も、命令に付ける識別子は少なくとも2つあれば良く、ハードウェア量を低減できる。

10

【0014】

本発明のプロセッサの第3形態にあつては、第1識別子 (ID = 0) を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1命令制御部と、第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子 (ID = 1) を添付して発行する第2命令制御部とを備える点は、第1形態と同じであるが、これに加え、第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令が発行された後に、それ以前の古い分岐命令において第2の分岐ミスを検出した場合、第1の分岐ミスの検出により正しい方向と判断して発行した命令をキャンセルした後に、第2の分岐ミスの検出により判断した第2の分岐ミスの正しい方向の命令発行を開始する第3 命令制御部と、第2の分岐ミスが検出されて正しい方向の命令が発行された後に、古い分岐命令以前の命令が全て完了するのを待って、第2の分岐ミス側の命令をキャンセルしてから、正しい方向の命令発行を再開する第4命令制御部とを備えたことを特徴とする。

20

【0015】

このように最初の分岐ミスに対し正しい方向に命令発行を開始した後に、それ以前の古い分岐命令について分岐ミスが発生した場合に、古い分岐命令以前の命令の全ての完了を待つことなく、最初の分岐予測で誤って発行した未完了の命令を全てキャンセルして正しい方向の命令を発行でき、その後、古い分岐命令以前の命令の完了を待って、誤って発行した未完了の命令をキャンセルしてから、正しい方向の命令を発行して処理性能を向上でき、また命令に付ける識別子は少なくとも2つあれば良いからハードウェア量も低減できる。

30

【0016】

本発明によるプロセッサの第4形態は、第1識別子 (ID = 0) を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1命令制御部と、第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子 (ID = 1) を添付して発行する第2命令制御部とを備える点は第1形態と同じであるが、これに加えて、第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令発行を開始した後に、正しい方向として発行した命令内の新しい分岐命令で第2の分岐ミスを検出した場合、新しい分岐命令以前の命令が全て完了するのを待って、後続する全ての命令をキャンセルしてから、第2の分岐ミスの正しい方向の命令発行を開始する第3命令制御部を備えたことを特徴とする。

40

【0017】

このように最初の分岐ミスに対し正しい方向に命令発行を開始した後に、正しい命令列内の新たな分岐命令について分岐ミスが発生した場合に、新しい分岐命令以前の命令の全ての完了を待って未完了の命令を全てキャンセルして正しい方向の命令を発行でき、この場合も、命令に付ける識別子は少なくとも2つあれば良く、ハードウェア量を低減できる。

【0018】

本発明によるプロセッサの第5形態は、第1識別子 (ID = 0) を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1命令制御部と、第1の分岐ミスを検

50

出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子（ID = 1）を添付して発行する第2命令制御部とを備えた点は第1形態と同じであるが、これに加えて、第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令発行を開始した後に、正しい方向として発行した命令内の新しい分岐命令で第2の分岐ミスを検出した場合、正しい方向の命令発行を抑止した状態で、第1の分岐ミスが検出された古い方の分岐命令以前の命令が全て完了するのを待って、古い分岐命令により誤って発行してしまった命令をキャンセルしてから、抑止を解除して第2の分岐ミスの正しい方向の命令発行を開始する第3命令制御部と、第2の分岐ミスの検出による正しい方向の命令発行が開始された後に、新しい分岐命令以前の命令が全て完了するのを待って、第2の分岐ミス側の命令をキャンセルしてから、第2の分岐ミスによる正しい方向の命令発行を再開する第4命令制御部とを備えたことを特徴とする。

10

【0019】

このように最初の分岐ミスに対し正しい方向に命令発行を開始した後に、正しい方向の命令列内の新しい分岐命令につき分岐ミスが発生した場合に、新しい分岐命令以前の命令の全ての完了を待つことなく、最初の分岐ミスで誤って発行した未完了の命令を全てキャンセルして正しい方向の命令を発行でき、その後、新しい分岐命令以前の命令の完了を待って誤って発行した未完了の命令をキャンセルして正しい方向の命令を発行することで処理性能を向上でき、また命令に付ける識別子は少なくとも2つあれば良いからハードウェア量も低減できる。

【0020】

このような第1形態乃至第5形態のプロセッサは、更に、命令が使用するレジスタの番号で参照されるエントリに、リネームに使用するリオーダーバッファのアドレス格納領域と、命令制御で添付する複数の識別子に対応して複数の有効フラグ領域を備えたりネームマップと、命令が使用するレジスタをリオーダーバッファを用いてリネームする際に、レジスタの番号で参照されるリネームマップのエントリに、リネームに使用するリオーダーバッファのアドレスを格納すると共に、命令に添付される識別子に対応した有効フラグをオンし、分岐ミスを検出した際に誤って発行されてしまった命令に添付した識別子に対応したリネームマップの有効フラグをオフし、正しい方向に発行した命令に添付される別の識別子に対応したリネームマップの有効フラグをオンするリネーミング処理部とを設け、これによって分岐ミスの検出により発行される正しい方向の命令が、誤って発行されてしまった命令によるリネーム情報を使用することを防ぐことを特徴とする。

20

30

【0021】

（分岐予測の命令制御方法）

本発明によるプロセッサの命令制御方法の第1形態は、第1識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1ステップと、分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2ステップと、分岐以前の命令が全て完了した後に、分岐予測により誤って発行してしまった命令をキャンセルして第2ステップが発行した命令に続く正しい方向の命令発行を第2識別子を添えて開始する第3ステップと、を備えたことを特徴とする。

【0022】

本発明によるプロセッサの命令制御方法の第2形態は、第1識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1ステップと、第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2ステップと、第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令が発行された後に、それ以前の古い分岐命令で第2の分岐ミスを検出した場合、古い分岐命令以前の命令が全て完了するのを待って、後続する全ての命令をキャンセルしてから、第2の分岐ミスの正しい方向の命令発行を開始する第3ステップと、を備えたことを特徴とする。

40

【0023】

本発明によるプロセッサの命令制御方法の第3形態は、第1識別子を添付して分岐命令

50

を含む命令を発行し、分岐予測により投機実行する第1ステップと、第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2ステップと、第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令が発行された後に、それ以前の古い分岐命令で第2の分岐ミスを検出した場合、第1の分岐ミスの検出により正しい方向と判断して発行した命令をキャンセルした後に、第2の分岐ミスの検出により判断した第2の分岐ミスの正しい方向の命令発行を開始する第3ステップと、第2の分岐ミスが検出されて正しい方向の命令が発行された後に、古い分岐命令以前の命令が全て完了するのを待って、第2の分岐予測により誤って発行してしまった命令をキャンセルしてから、正しい方向の命令発行を再開する第4ステップと、
、
を備えたことを特徴とする。

10

【0024】

本発明によるプロセッサの命令制御方法の第4形態は、第1識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1ステップと、第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2ステップと、第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令発行を開始した後に、正しい方向として発行した命令内の新しい分岐命令で第2の分岐ミスを検出した場合、新しい分岐命令以前の命令が全て完了するのを待って後続する全ての命令をキャンセルしてから、第2の分岐ミスの正しい方向の命令発行を開始する第3ステップと、を備えたことを特徴とする。

20

【0025】

本発明によるプロセッサの命令制御方法の第5形態は、第1識別子を添付して分岐命令を含む命令を発行し、分岐予測により投機実行する第1ステップと、第1の分岐ミスを検出した際に、誤って発行してしまった命令の後ろに続けて正しい方向の命令を第2識別子を添付して発行する第2ステップと、第1の分岐ミスが検出されて第1の分岐ミスの正しい方向の命令発行を開始した後に、正しい方向として発行した命令内の新しい分岐命令で第2の分岐ミスを検出した場合、正しい方向の命令発行を抑止した状態で、第1分岐ミスが検出された古い方の分岐命令以前の命令が全て完了するのを待って、古い分岐命令により誤って発行してしまった命令をキャンセルしてから、抑止を解除して第2の分岐ミスの正しい方向の命令発行を開始する第3ステップと、第2の分岐ミスの検出による正しい方向の命令発行が開始された後に、新しい分岐命令以前の命令が全て完了するのを待って、第1の分岐予測の検出により発行された命令をキャンセルしてから、前記第2の分岐ミスによる正しい方向の命令発行を再開する第4ステップと、を備えたことを特徴とする。

30

【0026】

更に第1乃至第5形態におけるプロセッサの命令制御方法にあつては、命令が使用するレジスタの番号で参照されるエントリに、リネームに使用するリオーダーバッファのアドレス格納領域と、命令制御で添付する複数の識別子に対応して複数の有効フラグ領域を備えたりネームマップを設けた場合、命令が使用するレジスタをリオーダーバッファを用いてリネームする際に、レジスタの番号で参照される前記リネームマップのエントリに、リネームに使用する前記リオーダーバッファのアドレスを格納すると共に、命令に添付される識別子に対応した有効フラグをオンし、分岐ミスを検出した際に、誤って発行されてしまった命令に添付した識別子に対応した前記リネームマップの有効フラグをオフし、正しい方向に発行した命令に添付される別の識別子に対応した前記リネームマップの有効フラグをオンすることにより、分岐ミスの検出により発行される正しい方向の命令が誤って発行されてしまった命令によるリネーム情報を使用することを防ぐことを特徴とする。

40

【0027】

(例外発生を処理するプロセッサ)

本発明のプロセッサは、分岐予測による命令の投機的実行以外に、例外発生なしとして投機的に実行した命令を例外発生でキャンセルする場合にも、分岐ミスの場合と同様に適用でき、分岐ミスの検出に対応して例外発生についても次の第1形態～第5形態をとる。

50

【0028】

本発明の例外発生を処理するプロセッサの第1形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と、例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、例外発生命令以前の命令が全て完了した後に、例外発生命令及び例外発生なしとして発行してしまった命令をキャンセルして第2命令制御部が発行した命令に続く例外処理ルーチンの命令発行を第2識別子を添付して開始する第3命令制御部とを備えたことを特徴とする。

【0029】

本発明のプロセッサの例外発生を処理する第2形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と

10

、第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、

第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令が発行された後に、それ以前の古い命令で第2の例外発生を検出した場合、古い分岐命令以前の命令が全て完了するのを待って例外発生命令及び後続する全ての命令をキャンセルしてから、第2の例外発生による例外処理ルーチンの命令発行を開始する第3命令制御部とを備えたことを特徴とする。

【0030】

20

本発明のプロセッサの例外発生を処理する第3形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と、第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令が発行された後に、それ以前の古い命令で第2の例外発生を検出した場合、第1の例外発生の検出により発行した例外処理ルーチンの命令をキャンセルした後に、第2の例外発生の検出により正しい方向となる例外処理ルーチンの命令発行を開始する第3命令制御部と、第2の例外発生が検出されて例外処理ルーチンの命令が発行された後に、古い分岐命令以前の命令が全て完了するのを待って、第1の例外発生を起こした命令及びこの命令により例外発生なしとして誤って発行してしまった命令をキャンセルしてから、第2の例外発生による例外処理ルーチンの命令発行を再開する第4命令制御部とを備えたことを特徴とする。

30

【0031】

本発明のプロセッサの例外発生を処理する第4形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と、第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、

第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令発行を開始した後に、例外処理ルーチンにより発行した命令内の新しい命令で第2の例外発生を検出した場合、新しい例外発生命令以前の命令が全て完了するのを待って例外発生命令及び後続する全ての命令をキャンセルしてから、第1の例外発生による例外処理ルーチンの命令発行を開始する第3命令制御部とを備えたことを特徴とする。

40

【0032】

本発明のプロセッサ例外発生を処理する第5形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1命令制御部と、

第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2命令制御部と、

第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令発行を開始した後に、例外処理ルーチンにより発行した命令内の新しい命令で第2の例外発生を検出した場合、例外処理ルーチンの命令発行を抑止した状態で、第1例外発生が検出された古い方

50

の例外発生命令以前の命令が全て完了するのを待って、古い例外発生命令及びこの命令により例外発生なしとして誤って発行してしまった命令をキャンセルしてから、抑止を解除して第2の例外発生により正しい方向となる例外処理ルーチンの命令発行を開始する第3命令制御部と、第2の例外発生により例外処理ルーチンの命令が発行された後に、新しい例外発生命令以前の命令が全て完了するのを待って第2の例外発生の命令及び第1の例外発生による例外処理ルーチンで発行された命令をキャンセルしてから、第2の例外発生による例外処理ルーチンの命令発行を再開する第4命令制御部とを備えたことを特徴とする。

【0033】

(例外発生を処理する命令制御方法)

10

本発明によるプロセッサの命令制御方法の例外発生を処理する第1形態は、例外発生により投機的に実行した命令をキャンセルする場合にも、分岐ミスの場合、と同様に適用でき、分岐ミスの検出に対応して例外発生についても次の第1形態～第5形態をとる。

【0034】

例外発生を処理する本発明によるプロセッサの命令制御方法の第1形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2ステップと、例外発生命令以前の命令が全て完了した後に、例外発生命令及び例外発生なしとして発行してしまった命令を第2ステップが発行した命令に続くキャンセルして例外処理ルーチンの命令発行を第2識別子を添付して開始する第3ステップとを備えたことを特徴とする。

20

【0035】

本発明によるプロセッサの例外発生を処理する命令制御方法の第2形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2ステップと、第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令が発行された後に、それ以前の古い命令で第2の例外発生を検出した場合、古い命令以前の命令が全て完了するのを待って例外発生命令及び後続する全ての命令をキャンセルしてから、第2の例外発生による例外処理ルーチンの命令発行を開始する第3ステップと、を備えたことを特徴とする。

30

【0036】

本発明によるプロセッサの例外発生を処理する命令制御方法の第3形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2ステップと、第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令が発行された後に、それ以前の古い命令で第2の例外発生を検出した場合、第1の例外発生の検出により発行した例外処理ルーチンの命令をキャンセルした後に、第2の例外発生の検出により正しい方向となる例外処理ルーチンの命令発行を開始する第3ステップと、第2の例外発生が検出されて例外処理ルーチンの命令が発行された後に、前記古い分岐命令以前の命令が全て完了するのを待って、第1の例外発生を起こした命令及びこの命令により例外発生なしとして誤って発行してしまった命令をキャンセルしてから、第2の例外発生による例外処理ルーチンの命令発行を再開する第4ステップと、を備えたことを特徴とする。

40

【0037】

本発明によるプロセッサの例外発生を処理する命令制御方法の第4形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、第1の例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第

50

2ステップと、第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令発行を開始した後に、例外処理ルーチンにより発行した命令内の新しい命令で第2の例外発生を検出した場合、新しい例外発生命令以前の命令が全て完了するのを待って例外発生命令及び後続する全ての命令をキャンセルしてから、第1の例外発生による例外処理ルーチンの命令発行を開始する第3ステップと、を備えたことを特徴とする。

【0038】

本発明によるプロセッサの例外発生を処理する命令制御方法の第5形態は、第1識別子を添付して例外発生命令を含む命令を発行し、例外発生なしとして投機的に命令を実行する第1ステップと、例外発生を検出した際に、例外発生なしとして誤って発行してしまった命令の後ろに続けて例外処理ルーチンの命令を第2識別子を添付して発行する第2ステップと、第1の例外発生が検出されて正しい方向となる例外処理ルーチンの命令発行を開始した後に、例外処理ルーチンにより発行した命令内の新しい命令で第2の例外発生を検出した場合、例外処理ルーチンの命令発行を抑制した状態で、第1例外発生が検出された古い方の例外発生命令以前の命令が全て完了するのを待って、古い例外発生命令及びこの命令により例外発生なしとして誤って発行してしまった命令をキャンセルしてから、抑制を解除して第2の例外発生により正しい方向となる例外処理ルーチンの命令発行を開始する第3ステップと、第2の例外発生により例外処理ルーチンの命令が発行された後に、新しい例外発生命令以前の命令が全て完了するのを待って第2の例外発生の命令及び第1の例外発生による例外発生ルーチンで発行された命令をキャンセルしてから、第2の例外発生による例外処理ルーチンの命令発行を再開する第4ステップと、を備えたことを特徴とする。

【発明の効果】

【0039】

以上説明してきたように本発明は、以上説明してきたように本発明によれば分岐予測に基づく投機的な命令実行の際に、分岐ミスが検出された場合に誤って発行してしまった投機的失敗命令のキャンセルを行って正しい方向の命令発行を再開する処理を高速且つ少ないハードウェア資源上で実現することができ、特にプロセッサの動作周波数が高周波化した場合の性能向上に大きく寄与することができる。

【0040】

同様に命令の例外発生の際にも、例外発生なしとして発行してしまった投機的失敗命令のキャンセルと、例外処理ルーチンによる命令発行を同様に高速且つ少ないハードウェア量で実現することができ、この場合にも動作周波数が高周波化されたプロセッサにおける性能向上に大きく寄与することができる。

【発明を実施するための最良の形態】

【0041】

図4は、本発明の命令制御が適用されるプロセッサの機能構成のブロック図である。図4において、プロセッサ10には、分岐予測部12、命令発行部14、命令格納部16、命令実行部18、命令確定部20、レジスタ22、リネーミング処理部24が設けられる。命令格納部16には、リザベーションステーションと呼ばれる命令格納キュー26-1~26-4が設けられている。また命令実行部18には、分岐処理部28、整数演算器30、浮動小数点演算器32、ロード/ストア処理部34などの機能処理部が設けられている。更にリネーミング処理部24には、リオーダーバッファ36とリネームマップ38が設けられている。

【0042】

このようなプロセッサ10の各処理部は命令制御部40の制御のもとに動作する。本発明にあっては、命令制御部40には通常の命令制御に加え、本発明に固有な分岐予測命令制御部42と例外発生命令制御部44を備えている。この図4の実施形態におけるプロセッサ10は、いわゆる動的スケジューリング及び分岐予測を併用することにより命令の投機的実行を行う。まず命令発行部14は、命令キャッシュから例えば4命令をフェッチしてデコードする。分岐予測部12は分岐予測用の分岐履歴テーブルを備え、予測された分

10

20

30

40

50

岐方向に投機的実行を行う。

【 0 0 4 3 】

命令発行部 1 4 からインオーダーで発行された命令は、命令格納部 1 6 に各命令とそのオペランドを、命令実行部 1 8 における機能処理部に対応して送る。同時に命令発行部 1 4 は、リオーダーバッファ 3 6 に命令を登録する。命令格納部 1 6 に送られた命令は、命令実行部 1 8 に設けている対応する処理部が利用可能になり次第、アウトオブオーダーで命令が実行され、命令に割り当てられたリオーダーバッファに結果が格納される。命令確定部 2 0 は、未完了命令を全てリオーダーバッファ 3 6 に保持しており、命令実行部 1 8 の分岐処理部 2 8 で分岐が成立するか否かの判定結果を受けると、それに基づいて命令確定部 2 0 は未完了命令の処理を決定する。即ち、分岐予測が正しかった場合には分岐命令 10 に対する後続命令の結果は有効とされ、プログラムの順番に従ったインオーダーでレジスタ 2 2 や図示しないメモリに書き込まれる。

【 0 0 4 4 】

分岐予測が外れて分岐ミスとなった場合には、分岐命令に対する後続命令の結果は全て無効とされ、命令格納部 1 6 及びリオーダーバッファ 3 6 からキャンセルされる。このように、分岐予測により投機的に実行された命令について分岐ミスを検知した際に、命令制御部 4 0 に設けている本発明による分岐予測命令制御部 4 2 は、分岐ミスによって誤った方向に発行してしまった命令のキャンセルと分岐ミスの検出に基づいて正しい方向への命令発行の処理を効率的に行う。

【 0 0 4 5 】

図 5 は、図 4 のプロセッサ 1 0 のリネーミング処理部 2 4 に設けたリネームマップ 3 8 の説明図である。本発明の分岐予測命令制御にあつては、命令に付ける識別子である ID として、少なくとも ID = 0 , 1 の 2 つを使用すればよい。

【 0 0 4 6 】

この命令に付ける 2 つの ID に対応し、リネームマップ 3 8 は命令のレジスタ番号 5 0 で指定される右側に示すエントリ 0 , 1 , 2 , 3 のそれぞれについて、リオーダーバッファアドレスフィールド (ROB _ AD) 4 6 に加え、 ID = 0 に対応した有効フラグ AV 0 を格納する有効フラグフィールド (AV 0) 4 8 - 0 と、 ID = 1 に対応した有効フラグ AV 1 を格納する有効フラグフィールド (AV 1) 4 8 - 1 を設けている。このリネームマップ 3 8 は、レジスタ番号 5 0 で指定されるエントリ、例えばレジスタ番号 RG 1 の場合にはエントリ「 0 」のリオーダーバッファアドレスフィールド 4 6 に、リネームしたいリオーダーバッファのアドレス例えば「 0 0 」を書き込む。このとき命令に付けられた ID が ID = 0 であれば、有効フラグフィールド 4 8 - 0 の該当フィールドのフラグを「 1 」にする。

【 0 0 4 7 】

命令の完了によりリオーダーバッファを開放する場合や分岐ミスの検出により命令を無効にする場合には、例えば「 1 」としている ID = 0 の有効フラグフィールド 4 8 - 0 を「 0 」とすればよい。

【 0 0 4 8 】

図 6 は、図 5 のリネームマップ 3 8 を対象とした命令に付された ID に応じて有効フラグフィールドを「 0 」にキャンセルするためのキャンセル信号を発生するハードウェアとしての回路図である。図 6 (A) は、図 5 の本発明のリネームマップ 3 8 における 2 つの ID = 0 , 1 に対応した回路である。これに対し図 6 (B) は、図 2 に示した従来の命令制御において ID = 0 ~ 7 の 8 つを使用する場合のハードウェアの回路を表わしている。図 6 (A) の本発明で使用される回路にあつては、キャンセル信号を発生する際にはラッチ 5 2 に命令の ID フィールドに設けた 1 ビットの ID データがセットされ、 ID = 0 であればインバータ 5 4 の出力が 1 となり、アンドゲート 5 6 - 0 に対する ID = 0 を付した命令の完了あるいは無効による入力のタイミングで出力 1 を生じ、これがオアゲート 5 8 からキャンセル信号として出力される。

【 0 0 4 9 】

10

20

30

40

50

またラッチ52に命令のIDフィールドのID=1が保持された場合には、バッファ55の出力が1となり、アンドゲート56-1に対するID=1を付した命令の完了あるいは無効化に伴う信号入力を受けたタイミングで、オアゲート58を介してキャンセル信号を出力する。これに対し図6(B)の従来命令制御で使用する回路にあっては、8つのID=0~7に対応し、ラッチ60からの出力ラインは3ビットラインとなり、またラッチ60に保持された命令のIDフィールドの3ビットの情報から8種類のIDに分けるためのデコーダ62が設けられ、デコーダ62からの出力は8本の信号線となる。

【0050】

更にデコーダ62に続いて、ID=0~7に8つに対応してアンドゲート64-0~64-7が設けられ、これらの出力をオアゲート66でまとめてキャンセル信号を取り出している。この図6(A)における本発明の2つのIDを用いた場合と図6(B)の従来の8つのIDを用いた場合と対比して明らかなように、命令に付けるIDの数が増加するほどキャンセル信号を出力するための回路規模が大きくなることが分かる。

【0051】

これに対し本発明にあっては、図6(A)のように、基本的には2つのIDを使用するだけでよいことから、命令の完了あるいは分岐ミスに伴う命令の無効で必要とするキャンセル信号のハードウェア量を十分に小さくできることが分かる。

【0052】

図7は、図4のプロセッサ10に設けている分岐予測命令制御部42の第1実施形態となる第1モード分岐予測命令制御部42-1の機能構成のブロック図である。この第1モード分岐予測命令制御部42-1は、第1命令制御部68、第2命令制御部70及び第3命令制御部72-1を備える。

【0053】

図8は、図7の第1モード分岐予測命令制御部42-1による命令制御動作を表わしており、これを参照して図7の制御動作を説明すると次のようになる。まず第1命令制御部68は、図8(A)のように、第1識別子としてのID=0を付けて分岐命令B4、B8を含む命令1~命令11の発行しており、分岐命令列B4については分岐予測によって判断された方向に命令5~命令11を発行して投機的に実行している。このような分岐予測に基づく命令の投機的な実行により、分岐命令B4について分岐ミス80が検出されると、図7の第2命令制御部70は、この分岐ミス80を検出した時点で、図8(B)のように、誤って発行してしまった命令5~命令11の後ろに続けて、正しい方向の命令50、51を第2識別子となる別のID=1を付けて発行する。

【0054】

続いて図7の第3命令制御部72-1が、図8(C)のように、分岐以前の命令1~命令B4が全て完了したことを認識した後に、分岐命令B4の分岐予測によって誤って発行してしまった命令5~命令11に対しキャンセル処理84を実行し、その後正しい方向の命令50、51に続く命令発行を開始する。この誤って発行してしまった命令5~命令11のキャンセル処理84の際には、キャンセル対象となった命令に付けているID=0及び命令の資源をキャンセルする。具体的には、図6(A)の回路によりキャンセルした命令のIDフィールドをラッチ52にセットしてキャンセル信号を発生させ、このキャンセル信号により図4のプロセッサ10の命令格納部16に保持している誤って発行してしまった命令5~命令11をキャンセルすると共に、図5のリネームマップ38におけるID=0に対応した有効フラグフィールド48-0の全てのエントリを「0」とすることで、命令資源として使用していたリオーダーバッファ36を開放する。

【0055】

このように本発明の第1モード分岐予測命令制御部による制御動作にあっては、分岐ミスが検出された後に発行する正しい方向の命令に新たなIDを付していることから、分岐ミスに対する命令キャンセルと正しい方向の命令発行について使用するIDの種類を2つとするだけでよく、IDの使用に伴うハードウェアの量を必要最小限にすることができる。

10

20

30

40

50

【 0 0 5 6 】

図 9 は、図 8 の命令制御動作に対応するタイミングチャートであり、縦方向に発行された命令を並べ、横方向に経過時間を表わしている。図 9 にあっては、分岐命令 B 4 について時刻 t_1 で分岐ミス 8 0 が検出されると、分岐命令 B 4 の発行済みで実行が終わった後の時刻 t_2 のタイミングで、図 8 (B) のように $ID = 1$ を付して、正しい方向の命令 5 0 , 5 1 の発行を開始している。その後、時刻 t_3 で分岐命令 B 4 までの命令が全て完了した後の時刻 t_3 のタイミングで、誤って発行した命令 5 ~ 命令 1 1 のキャンセルを行っている。

【 0 0 5 7 】

図 1 0 は、図 7 の第 1 モード分岐予測命令制御部 4 2 - 1 による命令制御のフローチャートである。まずステップ S 1 で同一の ID を付して命令を発行しており、ステップ S 2 で発行が済んで実行が終わった分岐命令について分岐ミスが発生すると、ステップ S 3 で別の ID を付して正しい方向の命令を発行する。続いてステップ S 4 で分岐ミス以前の命令が全て完了したか否か監視しており、全て完了すると、ステップ S 5 で分岐ミスにより誤って発行してしまった投機失敗命令及びリオーダーバッファを含むその資源をキャンセルした後、ステップ S 6 で正しい方向の命令発行を再開する。

10

【 0 0 5 8 】

図 1 1 は、図 4 のプロセッサ 1 0 に設けた分岐予測命令制御部の第 2 実施形態となる第 2 モード分岐予測命令制御部 4 2 - 2 のブロック図であり、第 1 命令制御部 6 8、第 2 命令制御部 7 0 及び第 3 命令制御部 7 2 - 2 を備える。このうち第 1 命令制御部 6 8 及び第 2 命令制御部 7 0 は図 7 の第 1 モード分岐予測命令制御部 4 2 - 1 と同じになるが、第 3 命令制御部 7 2 - 2 にあっては、分岐ミスにより正しい方向の命令を発行している間に、それより古い分岐命令で分岐ミスが発生した場合の命令制御を処理することを特徴とする。

20

【 0 0 5 9 】

図 1 2 は、図 1 1 の第 2 モード分岐予測命令制御部 4 2 - 2 による制御動作の説明図である。まず第 1 命令制御部 6 8 は、図 1 2 (A) のように、分岐命令 B 2 , B 4 , B 8 を含む命令に $ID = 0$ を付して発行しており、分岐命令 B 2 , B 4 , B 8 については、それぞれ分岐予測により投機的に命令を実行させている。この状態でアウトオブオーダーによる分岐命令 B 4 の実行に伴って分岐ミス 8 0 が検出されたとする。

30

【 0 0 6 0 】

この分岐ミス 8 0 の検出に対し第 2 命令制御部 7 0 は、図 1 2 (B) のように、誤って発行してしまった命令 5 ~ 命令 1 1 の後ろに続けて正しい方向の命令 5 0 , 5 1 を、別の $ID = 1$ を付けて発行する。この第 1 命令制御部 6 8 及び第 2 命令制御部 7 0 による制御動作は、図 8 (A) (B) に既に説明した場合と同じである。次に図 1 2 (C) のように、分岐ミス 8 0 が検出された分岐命令 B 4 より古い分岐命令 B 2 のアウトオブオーダーによる実行に伴って分岐ミス 8 2 が検知されたとすると、第 3 命令制御部 7 2 - 2 は分岐ミス 8 2 が検出された後に、図 1 2 (D) のように古い分岐命令 B 2 以前の命令 1 及び B 2 が全て完了するのを待って、後続する全ての命令 3 ~ 命令 5 1 をキャンセルするキャンセル処理 8 6 を行う。

40

【 0 0 6 1 】

このキャンセル処理 8 6 にあっては、 $ID = 0$ 及び資源もキャンセルする。そして図 1 2 (E) のように、誤って発行してしまった命令のキャンセル処理 8 6 が済んでから、分岐ミス 8 2 に対し正しい方向となる命令 6 0 , 6 1 , 6 2 , ... の発行を再開する。このような第 2 モード分岐予測命令制御部 4 2 - 2 の制御動作にあっては、図 2 の従来例のように分岐命令ごとに ID を付ける必要がなく、分岐ミスを検出したときに、正しい方向に発生する命令について別の ID を付けるだけでよいことから、 ID は 2 つで済み、図 6 (A) のようにキャンセル信号を発生するハードウェア量を必要最小限にすることができる。

【 0 0 6 2 】

50

図 1 3 は、図 1 2 に対応した命令制御のタイミングチャートである。図 1 3 において、時刻 t_1 で分岐命令 B 4 の実行に伴って分岐ミス 8 0 が検出されると、時刻 t_2 から正しい方向の命令 5 0 , 5 1 を別の ID = 1 を付けて発行する。その後、時刻 t_3 で分岐命令 B 4 より古い分岐命令 B 2 の実行に伴う分岐ミス 8 2 が検出されると、その後の時刻 t_4 における分岐命令 B 2 の完了後のタイミングで、誤って発行した命令 3 ~ 命令 5 1 の全てをキャンセルし、その後の時刻 t_5 で正しい方向の命令 6 0 , 6 1 , ... の発行を開始している。

【 0 0 6 3 】

図 1 4 は、図 1 1 の第 2 モード分岐予測命令制御部 4 2 - 2 による命令制御のフローチャートである。まずステップ S 1 で同一 ID を付して命令を発行し、ステップ S 2 で分岐予測を行っている分岐命令の実行に伴って分岐ミスが発生すると、ステップ S 3 で別の ID を付して正しい方向の命令を発行する。その後、ステップ S 4 で最初の分岐ミスを起こした分岐命令より古い分岐命令について分岐ミスが発生すると、ステップ S 5 で古い分岐ミスの分岐命令以前が全て完了したか否かチェックする。

【 0 0 6 4 】

古い分岐ミスの分岐命令以前の命令が全て完了すると、ステップ S 6 で分岐ミスによって誤って発行してしまった全ての投機失敗命令及びリオーダーバッファを含むその資源をキャンセルした後、ステップ S 7 で正しい方向の命令発行を開始する。

【 0 0 6 5 】

図 1 5 は、図 4 の分岐予測命令制御部 4 2 における第 3 モード分岐予測命令制御部 4 2 - 3 のブロック図であり、この実施形態にあつては、第 1 命令制御部 6 8、第 2 命令制御部 7 0、第 3 命令制御部 7 2 - 3 及び第 4 命令制御部 7 4 - 3 を備えている。このうち第 1 命令制御部 6 8 及び第 2 命令制御部 7 0 は、図 7 の第 1 モード分岐予測命令制御部 4 2 - 1 と同じである。また第 3 命令制御部 7 2 - 3 及び第 4 命令制御部 7 4 - 3 は、図 1 1 の第 2 モード分岐予測命令制御部 4 2 - 2 の第 3 命令制御部 7 2 - 2 と同様、最初の分岐ミスを検出した後に古い分岐命令について分岐ミスが検出された場合の命令制御を行うことを特徴とする。

【 0 0 6 6 】

図 1 6 は、図 1 5 の第 3 モード分岐予測命令制御部 4 2 - 3 の制御動作の説明図である。図 1 6 (A) (B) 及び (C) は、図 1 2 の第 2 モード分岐予測命令制御部 4 2 - 2 の場合と同じになる。即ち図 1 6 (A) で分岐命令 B 4 の実行に伴い分岐ミス 8 0 が検出されると、図 1 6 (B) のように、誤って発行してしまった命令 5 ~ 命令 1 1 の後ろに続いて正しい方向の命令 5 0 , 5 1 を別の ID = 1 を付けて発行する。

【 0 0 6 7 】

その後、図 1 6 (C) のように、分岐ミス 8 0 を検知した分岐命令 B 4 より古い分岐命令 B 2 の実行に伴って分岐ミス 8 2 が検出されたとすると、図 1 5 の第 3 命令制御部 7 2 - 3 により、図 1 6 (D) のように最初の分岐ミス 8 0 の検出により正しい方向と判断して発行した命令 5 0 , 5 1 をキャンセルするキャンセル処理 8 8 を行った後に、図 1 6 (E) のように分岐ミス 8 2 の検出により判断した正しい方向の命令 6 0 , 6 1 の発行を開始する。続いて、図 1 5 の第 4 命令制御部 7 4 - 3 によって図 1 6 (E) のように古い分岐命令列 B 2 以前の命令列 1 , B 2 が全て完了するのを待って、分岐命令 B 2 の分岐予測により誤って発行してしまった命令 3 ~ 命令 1 1 をキャンセルするキャンセル処理 9 0 を行ってから、正しい方向に発行した命令 6 0 , 6 1 に続く命令発行を再開する。

【 0 0 6 8 】

もちろんキャンセル処理 9 0 にあつては、命令のキャンセルと同時に ID = 0 及び資産をキャンセルする。この図 1 6 における第 3 モード分岐予測命令制御部 4 2 - 3 による制御動作を図 1 2 の第 2 モード分岐予測命令制御部 4 2 - 2 による制御動作と対比してみると、最初の分岐ミス 8 0 に続いて古い分岐命令の分岐ミス 8 2 が検出されるという同じ状況であるが、図 1 6 の場合には、図 1 6 1 6 (D) のように 2 回目の分岐ミス 8 2 が検出された際に、最初に検知された分岐ミス 8 0 により正しい方向に発行した命令 5 0 , 5 1

10

20

30

40

50

のキャンセル処理 88 を行って、その後に図 16 (E) のように分岐ミス 82 に対し正しい方向の命令 60, 61 を発行しており、図 12 に比べると 2 回目の分岐ミス 82 による正しい方向の命令発行のタイミングが速くなっており、その分、命令処理の性能を高めることができる。

【0069】

図 17 は図 16 の命令制御に対応したタイミングチャートである。図 17 にあつては、時刻 t1 で分岐命令 B4 の実行に伴って分岐ミス 80 が検出されると、その後の時刻 t2 で正しい方向の命令 50, 51 を別の ID = 1 を付して発行する。続いて時刻 t3 で分岐命令 B4 より古い分岐命令 B2 の実行に伴い分岐ミス 82 が検出されると、その後の時刻 t4 で分岐ミス 80 により正しい方向に発行した命令 50, 51 をキャンセルした後に、時刻 t5 で分岐ミス 82 に対する正しい方向の命令 60, 61 の発行を開始する。

10

【0070】

この図 17 17 のタイミングチャートを図 13 の同じく 2 つの分岐ミス 80, 82 が検知された場合について対比して見ると、最終的に発行する正しい方向の命令 60, 61 の発行タイミングが図 17 の方が速くなっており、その分、命令の処理性能が高くなっている。

【0071】

図 18 は、図 15 の第 3 モード分岐予測命令制御部 42 - 3 の命令制御のフローチャートである。図 18 において、まずステップ S1 で同 - ID を付して命令を発行し、ステップ S2 で発行した命令の中の分岐命令の実行に伴い分岐ミスの発生が判別されると、ステップ S3 で別の ID を付して正しい方向の命令を発行する。続いてステップ S4 で最初の分岐ミスを起こした分岐命令より古い分岐命令の実行で分岐ミスが発生するか否かチェックしており、古い分岐ミスが発生すると、ステップ S5 で最初の分岐ミスに対し正しい方向に発行した投機的失敗命令及びリオーダーバッファを含む資源をキャンセルする。続いてステップ S6 で、古い分岐命令について発生した分岐ミスに対する正しい方向の命令をステップ S3 と同じ ID を付して発行する。

20

【0072】

続いてステップ S7 で古い分岐ミス以前の命令が全て完了したか否か判別しており、全て完了すると、ステップ S8 で分岐ミスによって誤って発行してしまった投機的失敗命令及びその資源をキャンセルすることになる。

30

【0073】

図 19 は、図 4 のプロセッサ 10 に設けている分岐予測命令制御部 42 の第 4 実施形態となる第 4 モード分岐予測命令制御部 42 - 4 のブロック図である。この実施形態にあつては、第 1 命令制御部 68、第 2 命令制御部 70 及び第 3 命令制御部 72 - 4 を備えており、第 1 命令制御部 68 及び第 2 命令制御部 70 は図 7 の第 1 実施形態と同じになる。これに対し第 3 命令制御部 72 - 4 は、分岐予測による投機的命令実行で最初に分岐ミスが検出された後、分岐ミスに対し正しい方向に発行した命令列の中の新しい分岐命令について、2 回目の分岐ミスが検出された場合の命令制御を行うことを特徴とする。

【0074】

図 20 は、図 19 の第 4 モード分岐予測命令制御部 42 - 4 の制御動作の説明図である。図 20 (A) は第 1 命令制御部 68 による分岐命令 B2, B4, B8 を含む命令を発行して、分岐命令については分岐予測により投機的に命令を実行しており、分岐命令 B4 のアウトオーダーによる実行に伴い分岐ミス 80 が検出されると、図 20 (B) のように第 2 命令制御部 70 によって誤って発行してしまった命令 5 ~ 命令 11 の後ろに続いて、正しい方向の命令 50, 51 を別の ID = 1 を付けて発行する。次に図 20 (C) のように、ID = 1 をつけて正しい方向に発行した命令 50 ~ 53 に含まれる分岐命令 B52 の実行に伴って分岐ミス 92 が検出されると、第 3 命令制御部 72 - 4 は図 20 (D) のように分岐ミス 92 が検出された分岐命令 B52 以前の命令が全て完了するのを待って、後続する全ての命令 52, 53 をキャンセルするキャンセル処理 94 を行い、その後に図 20 (E) のように分岐ミス 90 による正しい方向の命令 60, 61, 62... の発行を開

40

50

始する。

【 0 0 7 5 】

図 2 1 は、図 2 0 の命令制御に対応したタイミングチャートである。図 2 1 において、時刻 t_1 で分岐命令 B 4 の実行に伴い、分岐ミス 8 0 が検出されると、時刻 t_2 で $ID = 1$ をつけて正しい方向の命令 5 0 ~ 5 3 の発行を開始する。その後、時刻 t_3 で正しい方向に発行した命令の中の分岐命令 5 2 B の発行に伴い分岐ミス 9 0 が検出されると、時刻 t_4 で分岐ミス 9 2 が検出された分岐命令 B 5 2 以前の命令が全て完了するのを待ち、完了後の時刻 t_5 で分岐ミス 9 2 により正しい方向となる命令 6 0 , 6 1 , 6 2 の発行を開始する。

【 0 0 7 6 】

図 2 2 は、図 1 9 の第 4 モード分岐予測命令制御部 4 2 - 4 の命令制御のフローチャートである。図 2 2 において、まずステップ S 1 で同一 ID を付して命令を発行し、発行した命令の中の分岐命令の実行に伴い、ステップ S 2 で分岐ミス発生が検知されると、ステップ S 3 で別の ID を付して正しい方向の命令を誤って発行した命令の後ろに続いて発行する。続いてステップ S 4 でステップ S 2 で検出した分岐ミスに対し、正しい方向に発行している命令内の分岐命令の実行に伴い、分岐ミスの発生が判別されると、ステップ S 5 で新しい分岐ミスの分岐命令以前の命令が全て完了したか否かチェックしている。

【 0 0 7 7 】

命令完了を判別するとステップ S 6 で 2 回目の分岐ミスにより誤って発行してしまったことになる全ての投機失敗命令及び資源をキャンセルした後、ステップ S 7 で正しい方向の命令発行を開始する。

【 0 0 7 8 】

図 2 3 は、図 4 のプロセッサ 1 0 に設けている分岐命令予測制御部 4 2 の第 5 実施形態となる第 5 モード分岐予測命令制御部 4 2 - 5 のブロック図である。この実施形態にあつては第 1 命令制御部 6 8、第 2 命令制御部 7 0、第 3 命令制御部 7 2 - 5 及び第 4 命令制御部 7 4 - 5 を備えており、第 1 命令制御部 6 8 及び第 2 命令制御部 7 0 は図 7 の第 1 実施形態と同じである。一方、第 3 命令制御部 7 2 - 5 及び第 4 命令制御部 7 4 - 5 は、図 1 5 1 5 の第 3 モード分岐予測命令制御部 4 2 - 3 の場合と同様、最初に分岐予測を検出した後、正しい方向に発行した命令内で 2 回目の分岐ミスが検出された場合の命令制御を行うことを特徴とする。

【 0 0 7 9 】

図 2 4 は、図 2 3 の第 5 モード分岐予測命令制御部 4 2 - 5 の制御動作である。図 2 4 (A) は第 1 命令制御部 6 8 で発行した分岐命令 B 2 , B 4 , B 8 を含む命令において、分岐命令 B 4 の実行に伴い分岐ミス 8 0 が検出された場合であり、分岐ミス 8 0 が検出されると図 2 4 (B) のように誤って発行してしまった命令 5 ~ 命令 1 1 に続いて、正しい方向の命令 5 0 , 5 1 を別の $ID = 1$ をつけて発行する。次に図 2 4 (C) のように正しい方向に発行した命令 5 0 ~ 5 3 の中の分岐命令 B 5 2 の実行に伴い分岐ミス 9 2 が検出されると、図 2 3 の第 3 命令制御部 7 2 - 5 が分岐ミス 9 2 の検出に基づき、分岐ミス 9 2 に対する正しい方向の命令 (命令 6 0 , 6 1 , 6 2 . . .) の発行を抑止した状態で、分岐ミス 8 0 が検出された古い方の分岐命令 B 4 以前の命令 1 ~ B 4 が全て完了するのを待ってをキャンセルするキャンセル処理 9 6 を行ってから、図 2 4 (E) のように分岐ミス 9 2 による正しい方向の命令 6 0 , 6 1 , 6 2 . . . の発行を開始する。

【 0 0 8 0 】

続いて、図 2 3 の第 4 命令制御部 7 4 - 5 が図 2 4 (F) のように新しい分岐命令 B 5 2 以前の命令が全て完了するのを待って、分岐ミス 9 2 の検出により発行された命令 5 2 , 5 3 をキャンセルするキャンセル処理 9 7 を行ってから、分岐ミス 9 2 による正しい方向の命令 6 0 , 6 1 , 6 2 に続く命令発行を再開する。この図 2 4 の第 5 実施形態における命令制御と図 2 0 の第 4 実施形態における同じ分岐ミス 8 0 , 9 2 が検出された際の命令制御を対比してみると、図 2 4 の第 5 実施形態にあつては、図 2 4 (D) で古い分岐ミス 8 0 が検出された分岐命令 B 4 以前の命令を全て完了した時点で分岐命令 B 4 につき分

10

20

30

40

50

岐予測で誤って発行してしまった命令5～命令11を削除するキャンセル処理96を行った後に、図24(E)のように分岐ミス92に対する正しい方向の命令60, 61, 62を発行しており、正しい方向の命令60, 61, 62の発行タイミングが図20に比べ早まっており、従って、図24の第5実施形態の方が命令の処理性能を向上することができる。

【0081】

尚、図24の命令制御にあっては、2つのIDを使用する場合を例にとっているが、3つのIDを使用可能とした場合には、IDが枯渇するまで待ち合わせをせずに命令発行を行い、IDが枯渇した段階でID開放を待つようにしても良い。即ち、図24(D)で分岐ミス92による正しい方向の命令発行を抑止せず、段階でID=2を付けて正しい方向の命令60, 61の発行を開始する。

10

【0082】

図25は、図24の命令制御に対応したタイミングチャートである。図25において、時刻t1で分岐命令B4のアウトオブオーダーによる実行に伴い分岐ミス80が検出されると、時刻t2で正しい方向の命令50～53の発行を別のID=1をつけて開始する。その後、正しい方向に発行した命令50～53の中の分岐命令B52の実行に伴い分岐ミス92が検出されると、最初の分岐ミス80が検出された分岐命令B4以前の命令が全てが完了した後の時刻t4で、分岐命令B4の分岐予測で誤って発行してしまった命令5～命令11をキャンセルする。次に時刻t5で分岐ミス92に対する正しい方向の命令60, 61, 62の発行を既に解放されたID=0を付けて開始する。その後、時刻t6で分岐ミス92に対応した分岐命令B52以前の命令が全て完了すると、分岐命令B52の分岐予測で誤って発行してしまった命令52, 53をキャンセルする。

20

【0083】

この図25の第5実施形態のタイミングチャートを図21の第4実施形態のタイミングチャートと参照してみると、分岐ミス92に対する正しい方向の命令60, 61, 62の発行タイミングが図25の第5実施形態の方が早くなっており、その分、命令の処理性能を向上することができる。

【0084】

図26は、図23の第5分岐予測命令制御部42-5の命令制御のフローチャートである。図26において、ステップS1で同一IDを付して命令を発行し、ステップS2で分岐命令の実行に伴い分岐ミスの発生が判別されると、ステップS3で別のIDを付して正しい方向の命令を誤って発行してしまった命令の後ろに続いて発行する。このステップS1～S3の処理が図23の第1命令制御部68及び第2命令制御部70の処理である。次に第3命令制御部72-5によりステップS4で正しい方向に発行している命令内の分岐命令の実行に伴い、2回目の分岐ミスの発生が判別されると、ステップS5に進み、正しい方向の命令の発行を抑止した状態で、古い方の分岐命令以前の命令が全て完了するのをステップS5で判別すると、ステップS6に進んで古い分岐命令によって誤って発行してしまった命令をキャンセルした後に抑止を解除して新しい分岐ミスに対する正しい方向の命令発行を開始する。

30

【0085】

続いて第4命令制御部74-5により新しい分岐ミスの以前の命令が完了したか否かステップS7で判別し、命令の完了を判別するとステップS8で新しい分岐ミスの検出前に誤って発行されてしまった命令をステップS8でキャンセルしてから、ステップS9で正しい方向の命令発行を開始する。

40

【0086】

図27は、図4のプロセッサ10の分岐予測命令制御部42のフローチャートであり、図7～図25で説明した第1モード～第5モード分岐予測命令制御を全て一体化した分岐予測命令制御のフローチャートである。図27において、ステップS1～S3は第1命令制御部68及び第2命令制御部70の処理であり、ステップS1で同一IDを付した命令を発行中にステップS2で分岐命令の実行に伴い分岐ミスの発生が判別されると、ステッ

50

プ S 3 で誤って発行してしまった命令の後ろに別の ID を付して正しい方向の命令を発行する。続いてステップ S 4 で分岐ミス以前の命令全て完了したか否かをチェックしており、分岐ミス以前の命令が全て完了するとステップ S 7 に進み第 1 モードの分岐予測命令制御を実行する。このステップ S 7 の第 1 モード分岐予測命令制御の処理内容は図 30 のステップ S 5 , S 6 の処理となる。

【 0 0 8 7 】

ステップ S 4 で分岐ミス以前の命令が全て完了していない場合には、ステップ S 5 で 2 回目の分岐ミスの発生をチェックしており、2 回目の分岐ミスの発生を判別すると、ステップ S 6 で 2 回目の分岐ミスが最初の分岐ミスより古い分岐ミスか否かを判別する。古い分岐ミスであった場合にはステップ S 8 に進み第 2 モードあるいは第 3 モードの分岐予測命令制御を行う。ステップ S 8 で行う第 2 モードの分岐予測命令制御は図 33 のステップ S 5 ~ S 7 の処理である。またステップ S 8 の第 3 モードの分岐予測命令制御は図 36 のステップ S 5 ~ S 8 の処理である。一方、ステップ S 6 で最初の分岐ミスより古い分岐ミスで無かった場合には、ステップ S 2 の分岐ミスにより正しい方向に発行している命令の中の分岐命令の実行に伴う新しい分岐ミスであることから、ステップ S 9 に進み第 4 モードあるいは第 5 モードの分岐予測命令制御を行う。このステップ S 9 の第 4 モードの分岐予測命令制御は図 39 のステップ S 5 ~ S 7 の処理となる。また図 27 のステップ S 9 の第 5 モードの分岐予測命令制御は図 26 のステップ S 5 ~ S 9 の処理となる。

10

【 0 0 8 8 】

このように本発明は第 1 モード ~ 第 5 モードのいずれかのモードの分岐予測命令制御を行っても良いし、第 1 モードに対し、第 2 モードまたは第 3 モードのいずれか一方と、第 4 モードまたは第 5 モードのいずれか一方を加えた組み合わせの制御としても良い。

20

【 0 0 8 9 】

次に図 4 のプロセッサ 10 に設けている例外発生命令制御部 44 について説明する。例外発生命令制御部 44 の実施形態としては、図 28 の第 1 モード例外発生命令制御部 44 - 1、図 31 の第 2 モード例外発生制御部 44 - 2、図 34 の第 3 モード例外発生命令制御部 44 - 3、図 37 の第 4 モード例外発生命令制御部 44 - 4 及び図 40 の第 5 モード例外発生命令制御部 44 - 5 がある。これら第 1 モード、第 2 モード、第 3 モード、第 4 モード及び第 5 モードの各例外発生命令制御部 44 - 1 ~ 44 - 5 は、既に説明した分岐予測命令制御部 42 の具体的な実施形態である第 1 モード、第 2 モード、第 3 モード、第 4 モード及び第 5 モード分岐予測命令制御部 42 - 1 ~ 42 - 5 のそれぞれの処理における分岐ミスの検出を例外発生に置き換えたものに相当し、分岐ミスの場合には分岐ミスが検出された分岐命令に続く投機失敗命令をキャンセルしているが、例外発生の場合には例外発生命令自身を含めて投機失敗命令をキャンセルする点が相違する。

30

【 0 0 9 0 】

そこで例外発生について簡単に説明すると次のようになる。図 28 の第 1 モード例外発生命令制御部 44 - 1 は、第 1 命令制御部 98、第 2 命令制御部 100 及び第 3 命令制御部 102 - 1 を持つ。

【 0 0 9 1 】

図 29 は、図 28 の第 1 モード例外発生制御部 44 - 1 の命令制御動作であり、図 29 (A) の ID = 0 を付して発行していた命令 1 ~ 10 について、命令 4 で例外 105 が発生すると、例外発生なしとして発行してしまった命令 5 ~ 命令 11 の後ろに続けて別の ID = 1 を付して例外処理ルーチンの命令 50 , 51 を発行する。次に図 29 (C) のように、例外発生命令 4 より前の 1 ~ 3 の全てが完了すると、投機失敗命令 5 ~ 命令 11 をキャンセルするキャンセル処理 108 を行った後、例外処理ルーチンの命令発行を再開する。

40

【 0 0 9 2 】

図 30 は、第 1 モード例外発生命令制御のフローチャートである。ステップ S 1 で同一の ID を付して命令を発行しており、ステップ S 2 である命令の実行により例外発生が判別されると、ステップ S 3 で投機的失敗命令の後ろに続いて別の ID を付して例外処理ル

50

ーチンの命令を発行する。次にステップS4で例外発生より前の命令が全て完了したことを判別すると、ステップS5で例外発生無しとして発行してしまった投機失敗命令及びその資源をキャンセルした後、ステップS6で例外処理ルーチンの命令発行を再開する。

【0093】

図31は、第2モード例外発生命令制御部44-2のブロック図であり、第1命令制御部98、第2命令制御部100及び第3命令制御部102-2を備える。

【0094】

図32は、第2モード例外発生命令制御部44-2の制御動作である。まず図32(A)でID=0を付して発行した命令1~命令11の中の命令4の実行により、例外106が発生したとすると、図32(B)のように例外発生なしとして発行していた投機的失敗命令5~命令11の後ろに続いて別のID=1を付して例外処理ルーチンの命令50, 51を発行する。次に図32(C)で例外106が発生した命令4より古い命令2の実行に伴い例外110が発生したとすると、図32(D)のように古い命令2の例外110より前の命令1が完了した時点で、例外110が発生した命令2を含む後続する命令2~命令51を全てキャンセルするキャンセル処理112を行った後、図32(E)のように例外処理ルーチンの命令60, 61, 62...の発行を開始する。

【0095】

図33は、第2モード例外発生命令制御のフローチャートである。図33において、ステップS1で同一のIDを付して命令を発行し、ステップS2である命令の実行に伴い例外が発生がすると、ステップS3で例外なしとして誤って発行してしまった命令の後ろに続いて、例外処理ルーチンの命令を別のIDを付して発行する。次にステップS4で最初の例外発生より古い命令について例外が発生したか否かチェックしており、古い命令について例外が発生すると、ステップS5古い例外発生の命令より前の命令が全て完了したか否かを判別し、完了したならばステップS6で例外発生となった古い命令を含む全ての投機失敗命令及びその資源をキャンセルした後、ステップS7で例外処理ルーチンの命令発行を開始する。

【0096】

図34は、第3モード例外発生命令制御部44-3のブロック図であり、第1命令制御部98、第2命令制御部100、第3命令制御部102-3及び第4命令制御部104-3を備える。

【0097】

図35は、図34の第3モード例外発生命令制御部44-3の命令制御の説明図である。図35(A)のようにID=0を付して発行した命令1~命令11の中の命令4の実行に伴い例外106が発生すると、図35(B)のように命令4に対し例外発生なしとして発行した投機的失敗命令5~命令11の後ろに続いて例外処理ルーチンの命令50, 51を別のID=1を付して発行する。続いて図35(C)のように例外106が発生した命令4より古い命令2の実行に伴い、例外110が発生したとすると、図35(D)のように例外106の発生に対する命令処理ルーチンで発行した命令50, 51をキャンセルするキャンセル処理114を行った後、図35(E)で例外110の例外処理ルーチンの命令60, 61を発行する。そして図35(F)で古い例外110の命令2より前の命令1が完了した後に、例外110を発生した命令2を含む投機的失敗命令3~命令11をキャンセルするキャンセル処理116を行った後、例外110の例外処理ルーチンによる命令60, 61に続く命令発行を再開する。

【0098】

図36は、第3モード例外発生命令制御のフローチャートである。図36において、ステップS1で同一のIDを付して命令を発行し、この命令の中でステップS2で例外が発生がすると、ステップS3で例外発生命令に続く例外発生なしとして誤って発行してしまった投機的失敗命令の後ろにIDを付して例外処理ルーチンの命令を発行する。次にステップS4で最初の例外発生より古い命令で例外が発生したか否かを判別しており、古い例外が発生あると、ステップS5で最初の例外発生に対する例外処理ルーチンで発行した投機

10

20

30

40

50

失敗命令及びその資源をキャンセルした後、ステップS 6で古い例外発生に対する例外処理ルーチンの命令をステップS 3と同じIDを付して発行する。続いてステップS 7で古い例外発生より前の命令全てが完了したことを判別すると、ステップS 8で古い例外発生の命令を含め、例外無しとして発行してしまった投機的失敗命令及び資源をキャンセルした後、例外処理ルーチンの命令発行を再開する。

【0099】

図37は第4モード例外発生命令制御部44-4のブロック図であり、第1命令制御部98、第2命令制御部100及び第3命令制御部102-4を備える。

【0100】

図38は、第4モード例外発生命令制御部44-4の命令制御の説明図である。図38において、まず図38(A)のように命令1~命令11を発行した後に、命令4の実行に伴い例外106が発生すると、図38(B)のように例外発生なしとして発行してしまった投機的失敗命令5~命令11の後ろに例外106の例外処理ルーチンの命令50, 51を別のID=1を付して発行する。続いて図38(C)のように例外106に対する例外処理ルーチンで発行した命令50, 51, 52, 53の内、命令51の実行に伴い、2回目の例外116が発生したとすると、図38(D)のように例外116が発生した命令50及び命令51を例外発生無しとして発行してしまった投機的失敗命令52, 53をキャンセルするキャンセル処理118を行った後、図38(E)のように例外116による例外処理ルーチンの命令60, 61, 62...の発行を再開する。

【0101】

図39は、第4モード例外発生命令制御のフローチャートである。図39において、ステップS1で同一のIDを付して命令を発行し、ステップS2である命令の実行に伴い例外が発生が判別されると、ステップS3で例外が発生した命令について例外発生なしとして誤って発行してしまった投機的失敗命令の後ろに別のIDを付して例外処理ルーチンの命令を発行する。

【0102】

続いてステップS4で例外処理ルーチンにより発行している命令の中のある命令の実行に伴い、2回目の命令が発生することが判別されると、ステップS5で新しい例外発生より前の命令が全て完了したことを判別した場合、ステップS6に進み新しい例外発生となった命令を含むこれに後続する全ての投機的失敗命令及びその資源をキャンセルした後、ステップS7で新しい例外発生に伴う例外処理ルーチンの命令発行を再開する。

【0103】

図40は、第5モード例外発生命令制御部44-5のブロック図である。第1命令制御部98、第2命令制御部100、第3命令制御部102-5及び第4命令制御部104-5を備える。

【0104】

図41は、第5モード例外発生命令制御部44-5の命令制御の説明図である。図41(A)のようにID=0を付して発行した命令1~命令11の中の命令4の実行に伴い例外106が発生すると、図41(B)のように、例外106の発生により命令4に続いて例外発生なしとして発行してしまった投機的失敗命令5~命令11の後ろに続いて別のID=1を付して例外処理ルーチンの命令50, 51を発行する。続いて図41(C)のように例外処理ルーチンで発行している命令50~54の中の命令52の実行に伴い、2回目の例外116が発生したとすると、図41(D)のように古い方の例外106が発生した命令4より前の命令1~3の全ての実行完了を待って例外発生命令4に続く投機的失敗命令5~11をキャンセルするキャンセル処理120を行う。続いて図41(E)のように2回目の新しい例外116によって投機的失敗命令となった命令53, 54の後ろに続いて、キャンセル処理120で解放されたID=0を付して例外116の例外処理ルーチンの命令60, 61, 62...の発行を開始する。

【0105】

最終的に図41(F)のように新しい例外116が発生した命令52より前の全ての命

10

20

30

40

50

令50, 51の完了を待って、例外116が発生した命令52及びこれに続く投機的失敗命令53, 54をキャンセルするキャンセル処理122を行った後、例外処理ルーチンとなる命令60, 61, 62・・・に続く命令発行を再開する。尚、図41の命令制御にあつては、2つのIDを使用する場合を例にとっているが、3つのIDを使用可能とした場合には、IDが枯渇するまで待ち合わせをせずに命令発行を行い、IDが枯渇した段階でID開放を待つようにしても良い。即ち、図41(D)で例外116の発生による正しい方向の命令発行を抑止せず、この段階でID=2を付けて正しい方向の命令60, 61, 62の発行を開始する。

【0106】

図42は、第5モード例外発生命令制御のフローチャートである。図42において、ステップS1で同一のIDを付して命令を発行し、ステップS2でその中である命令の実行に伴い例外が発生すると、ステップS3で例外命令に続く投機的失敗命令の後ろに続いて別のIDを付して例外処理ルーチンの命令を発行する。次にステップS4で例外処理ルーチンにより発行している命令内である命令の実行に伴い例外が発生すると、ステップS5で例外処理ルーチンによる命令発行を抑止した状態で古い例外発生となった命令より前の命令が全て完了したか否か判別する。この命令完了を判別すると、ステップS6で例外発生命令及びこれに続く投機的失敗命令及びその資源をキャンセルし、新しい例外に発生に伴う例外処理ルーチンの命令発行を開始する。続いてステップS7で新しい例外発生となった命令より前の命令が全て完了したかをチェックしており、命令完了を判別するとステップS8で新しい例外発生を起こした命令を含むこれに続く投機失敗命令及びその資源をキャンセルした後、ステップS9で新しい例外発生に伴う例外処理ルーチンの命令発行を再開する。

【0107】

図43は、図4のプロセッサ10に設けている例外発生命令制御部44について、すでに説明した第1モード、第2モード、第3モード、第4モード及び第5モードの例外発生命令制御を全て一体化した例外発生命令制御のフローチャートである。この図43のフローチャートにあつては、ステップS1で同一のIDを付して命令を発行し、ステップS2である命令の実行により例外発生を判別すると、ステップS3で別のIDを付して例外処理ルーチンの命令を投機的失敗命令の後ろに続いて発行する。続いてステップS4で例外発生より前の命令が全て完了したか否かチェックし、完了を判別するとステップS7で第1モードの例外発生命令制御を実行する。

【0108】

この第1モードの例外発生命令制御は図30のステップS5, S6の処理となる。ステップS4で例外発生より前の命令が全て完了していない場合には、ステップS5で2回目の例外発生をチェックしている。2回目の例外発生があるとステップS6に進み、最初の例外発生より古い例外発生か否かチェックする。古い例外発生であればステップS8に進み、第2または第3モードの例外発生命令制御を行う。この場合の第2モードの例外発生命令制御は図33のステップS5～S7の処理となる。

【0109】

また第3モードの例外発生命令制御は図36のステップS5～S8の処理となる。更にステップS6で最初の例外発生より新しい例外発生であった場合にはステップS9に進み、第4または第5モードの例外発生命令制御を行う。この第4モードの例外発生命令制御は図39のステップS5～S7の処理となる。また第5モードの例外発生命令制御は図42におけるステップS5～S9の処理となる。

【0110】

尚、上記の実施形態は投機的に実行される命令として分岐命令及び命令実行に伴う例外発生を例にとるものであったが、これ以外の適宜の投機的命令について本発明を適用することができる。

【0111】

また本発明は上記の実施形態に限定されず、その目的と利点を損なうことのない適宜の

10

20

30

40

50

変形を含む。更に本発明は上記の実施形態に示した数値による限定は受けない。

【図面の簡単な説明】

【 0 1 1 2 】

- 図 1 は従来のプロセッサにおける分岐ミスに対する命令制御動作の説明図；
- 図 2 は分岐命令毎に異なる ID を付ける従来のプロセッサにおける分岐ミスに対する命令制御動作の説明図；
- 図 3 は従来のプロセッサで使用するリネームマップの説明図；
- 図 4 は本発明が適用されるプロセッサの機能構成のブロック図；
- 図 5 は本発明のプロセッサで使用するリネームマップの説明図；
- 図 6 は命令に付ける ID の数によるハードウェア規模を本発明と従来例につき対比した回路図； 10
- 図 7 は本発明による第 1 モード分岐予測命令制御部のブロック図；
- 図 8 は図 7 の実施形態による命令制御動作の説明図；
- 図 9 は図 7 の実施形態による命令制御動作のタイミングチャート；
- 図 10 は図 7 の実施形態による命令制御のフローチャート；
- 図 11 は本発明による第 2 モード分岐予測命令制御部のブロック図；
- 図 12 は図 11 の実施形態による命令制御動作の説明図；
- 図 13 は図 11 の実施形態による命令制御動作のタイミングチャート；
- 図 14 は図 11 の実施形態による命令制御のフローチャート；
- 図 15 は本発明による第 3 モード分岐予測命令制御部のブロック図； 20
- 図 16 は図 15 の実施形態による命令制御動作の説明図；
- 図 17 は図 15 の実施形態による命令制御動作のタイミングチャート；
- 図 18 は図 15 の実施形態による命令制御のフローチャート；
- 図 19 は本発明による第 4 モード分岐予測命令制御部のブロック図；
- 図 20 は図 19 の実施形態による命令制御動作の説明図；
- 図 21 は図 19 の実施形態による命令制御動作のタイミングチャート；
- 図 22 は図 19 の実施形態による命令制御のフローチャート；
- 図 23 は本発明による第 4 モード分岐予測命令制御部のブロック図；
- 図 24 は図 23 の実施形態による命令制御動作の説明図；
- 図 25 は図 23 の実施形態による命令制御動作のタイミングチャート； 30
- 図 26 は図 24 の実施形態による命令制御のフローチャート；
- 図 27 は本発明による第 1 モードから第 5 モードの分岐予測命令制御を一体化した命令制御のフローチャート；
- 図 28 は本発明による第 1 モード例外発生命令制御部のブロック図；
- 図 29 は図 27 の実施形態による命令制御動作の説明図；
- 図 30 は図 27 の実施形態による命令制御のフローチャート；
- 図 31 は本発明による第 2 モード例外発生命令制御部のブロック図；
- 図 32 は図 31 の実施形態による命令制御動作の説明図；
- 図 33 は図 31 の実施形態による命令制御のフローチャート；
- 図 34 は本発明による第 3 モード例外発生命令制御部のブロック図； 40
- 図 35 は図 34 の実施形態による命令制御動作の説明図；
- 図 36 は図 34 の実施形態による命令制御のフローチャート；
- 図 37 は本発明による第 4 モード例外発生命令制御部のブロック図；
- 図 38 は図 37 の実施形態による命令制御動作の説明図；
- 図 39 は図 37 の実施形態による命令制御のフローチャート；
- 図 40 は本発明による第 5 モード例外発生命令制御部のブロック図；
- 図 41 は図 40 の実施形態による命令制御動作の説明図；
- 図 42 は図 41 の実施形態による命令制御のフローチャート；
- 図 43 は本発明による第 1 モードから第 5 モードの例外発生命令制御を一体化した命令制御のフローチャート； 50

【符号の説明】

【0113】

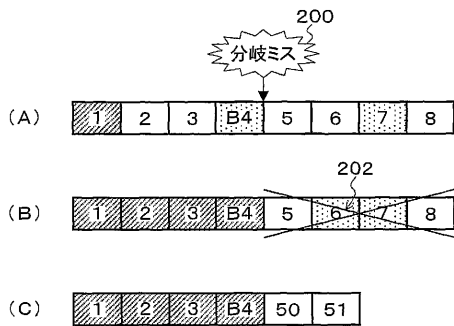
- 10 : プロセッサ
- 12 : 分岐予測部
- 16 : 命令格納部
- 18 : 命令実行部 18
- 20 : 命令確定部
- 22 : レジスタ
- 24 : リネーミング処理部 24
- 26 - 1 ~ 26 - 4 命令格納キュー 26 - 1 ~ 26 - 4
- 28 : 分岐処理部
- 30 : 整数演算器
- 32 : 浮動小数点演算器
- 34 : ロード/ストア処理部
- 36 : リオーダーバッファ 36
- 38 : リネームマップ 38
- 40 : 命令制御部
- 42 : 分岐予測命令制御部
- 44 : 例外発生命令制御部
- 68 : 第1命令制御部
- 70 : 第2命令制御部
- 72 - 5 : 第3命令制御部
- 74 - 5 : 第4命令制御部

10

20

【図1】

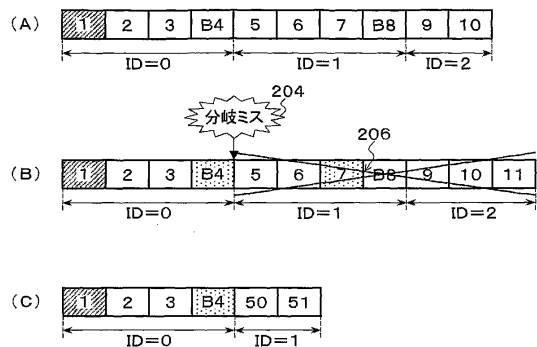
図1



- : 発行済み命令 (キャンセル可)
- : 実行終了命令 (キャンセル可)
- : 完了命令 (キャンセル不可)

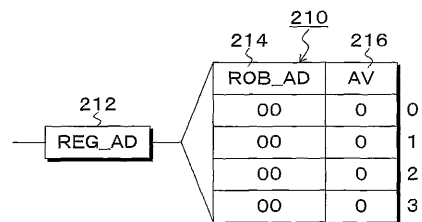
【図2】

図2

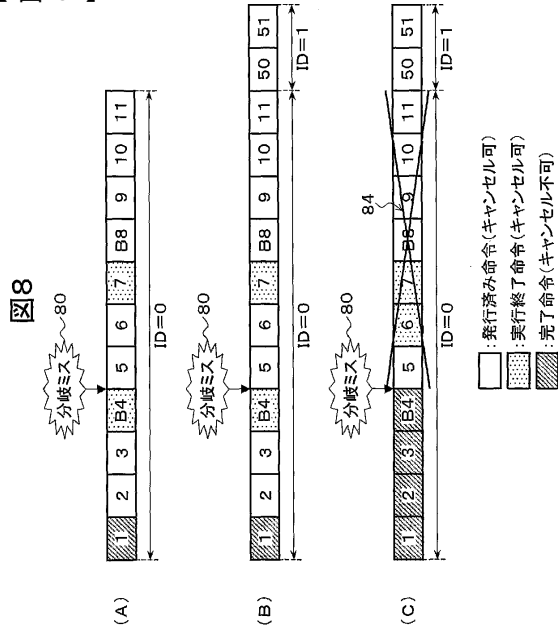


【図3】

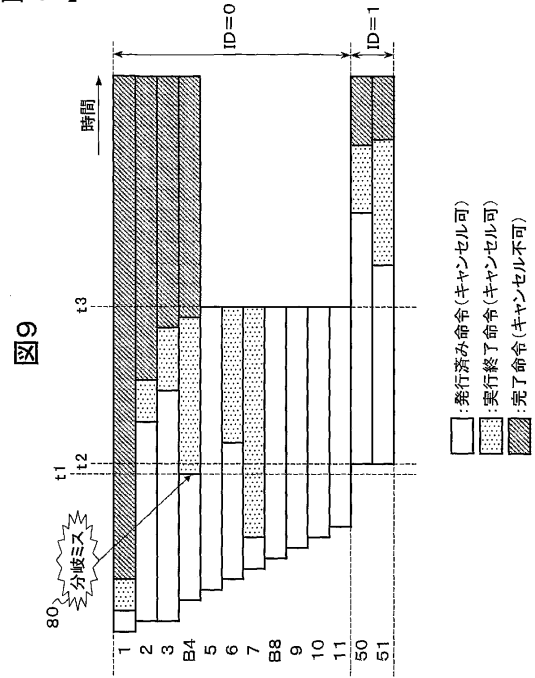
図3



【 図 8 】

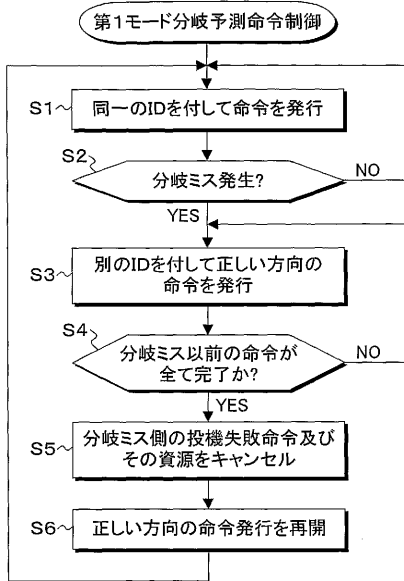


【 図 9 】



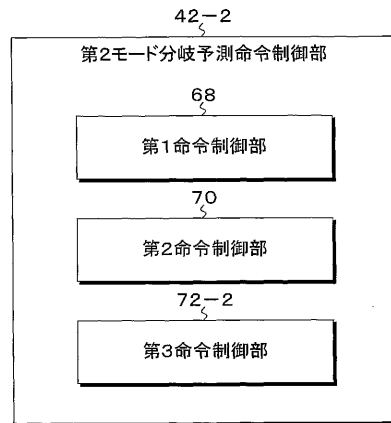
【 図 10 】

図10



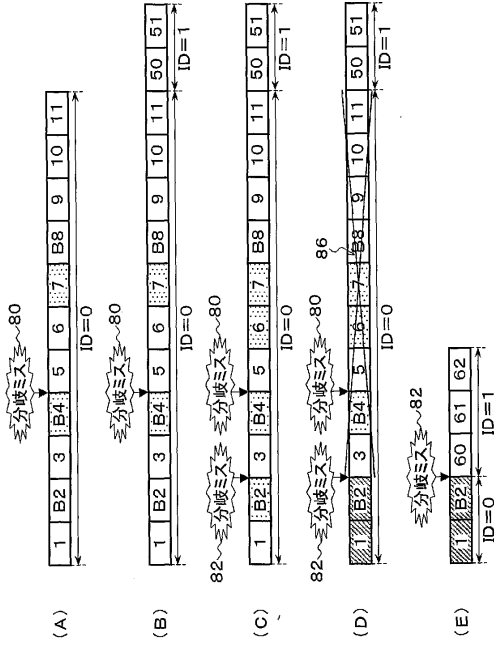
【 図 11 】

図11



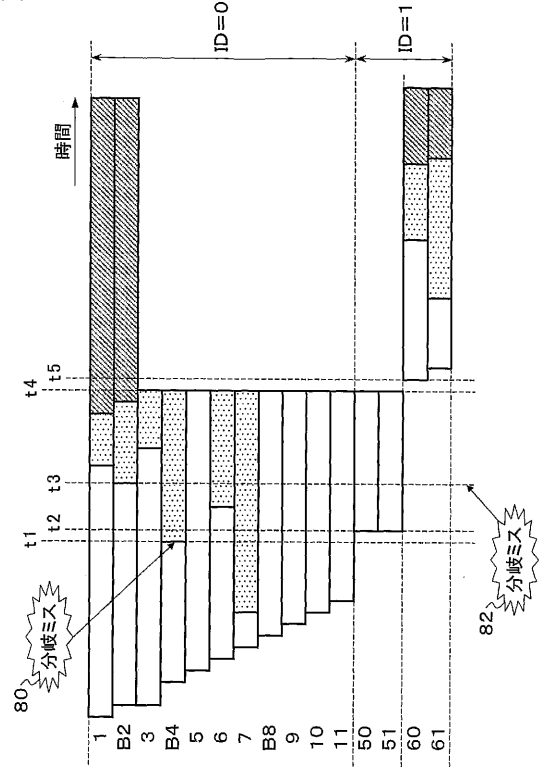
【 図 1 2 】

図 12



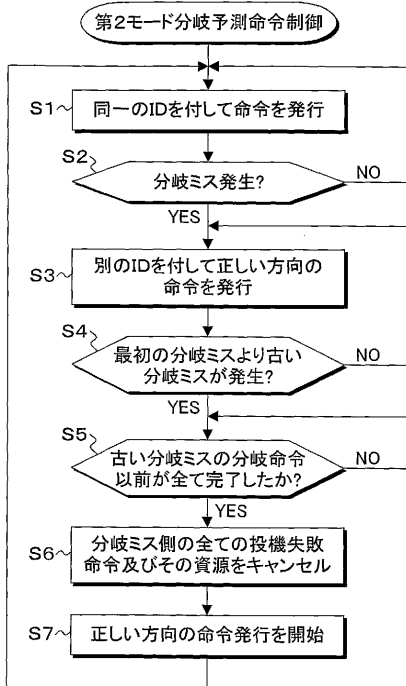
【 図 1 3 】

図 13



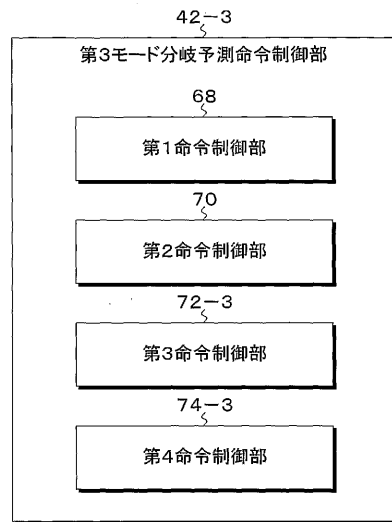
【 図 1 4 】

図 14



【 図 1 5 】

図 15



【 図 16 】

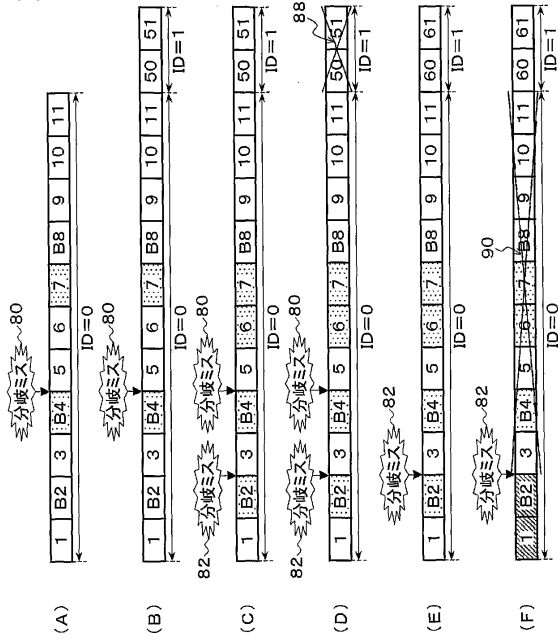


図16

【 図 17 】

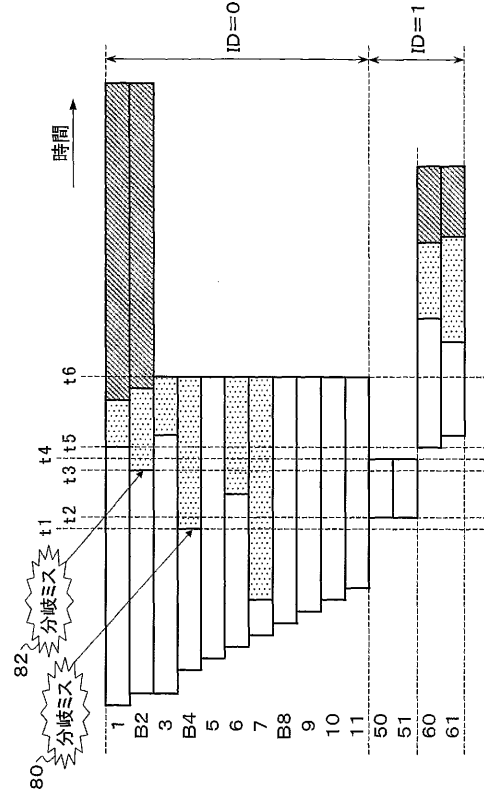
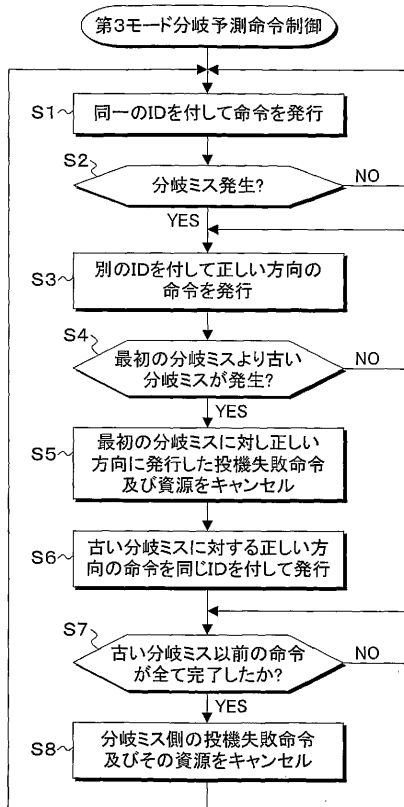


図17

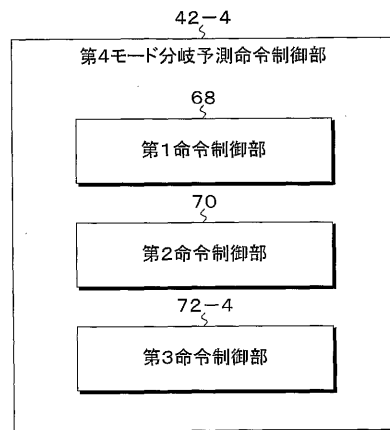
【 図 18 】

図18



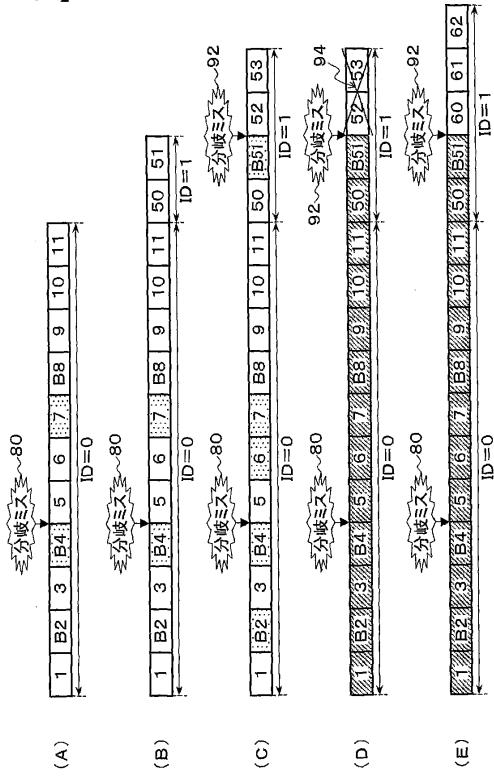
【 図 19 】

図19



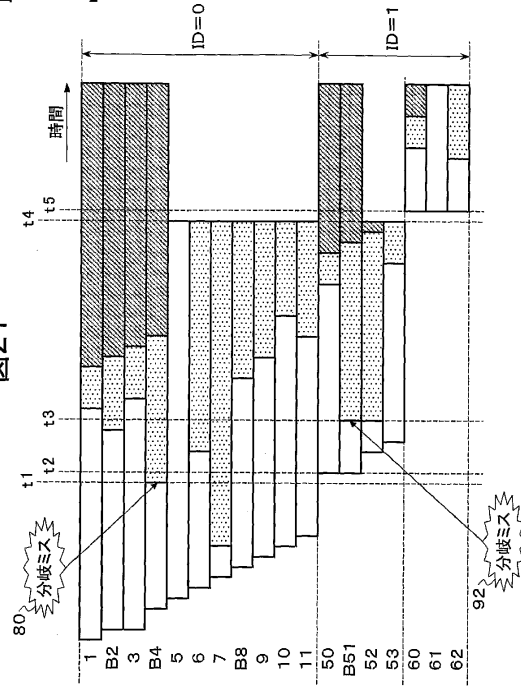
【 図 2 0 】

図20



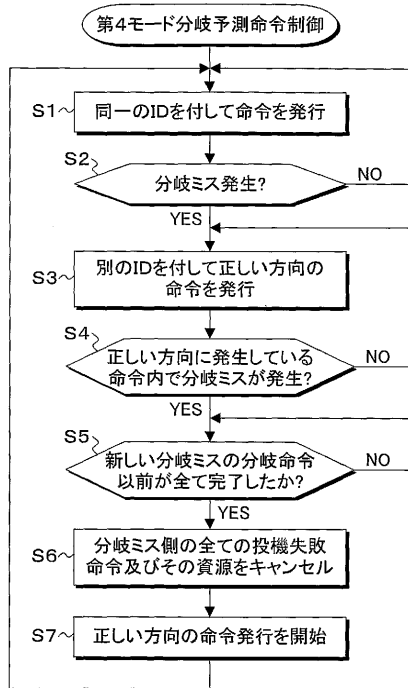
【 図 2 1 】

図21



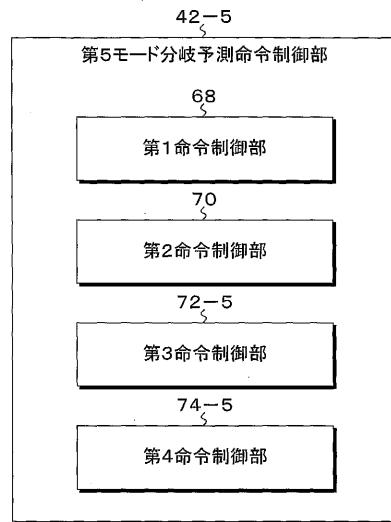
【 図 2 2 】

図22



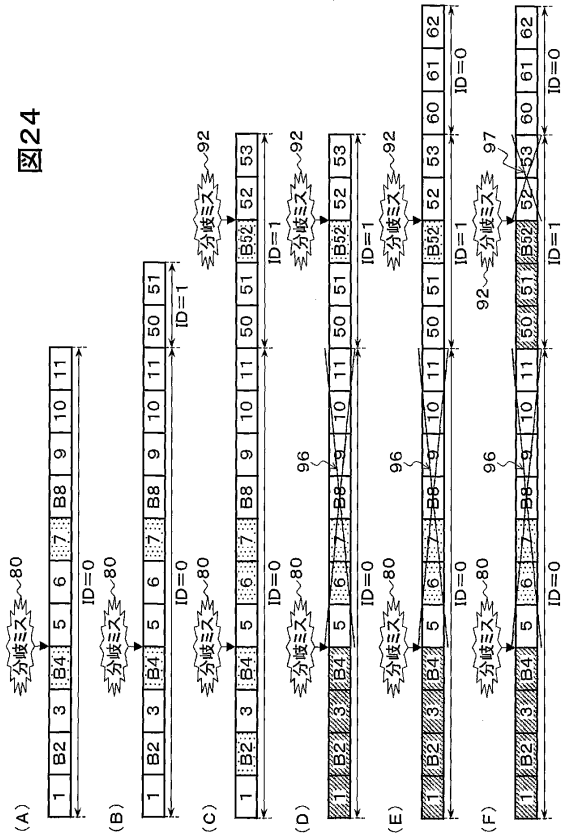
【 図 2 3 】

図23



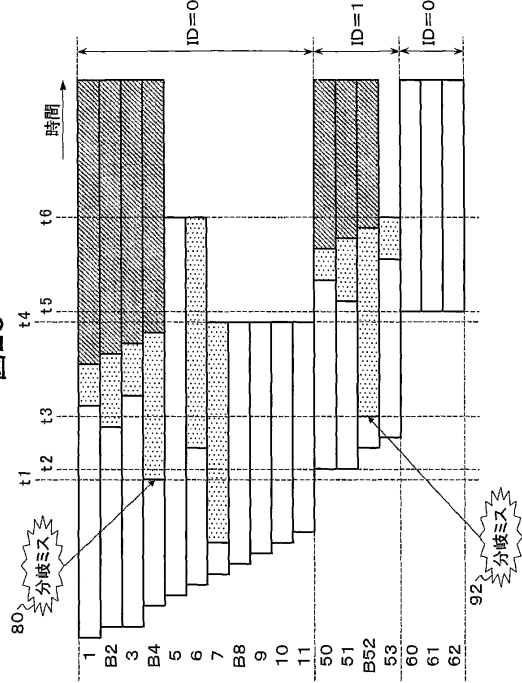
【 図 2 4 】

図 24



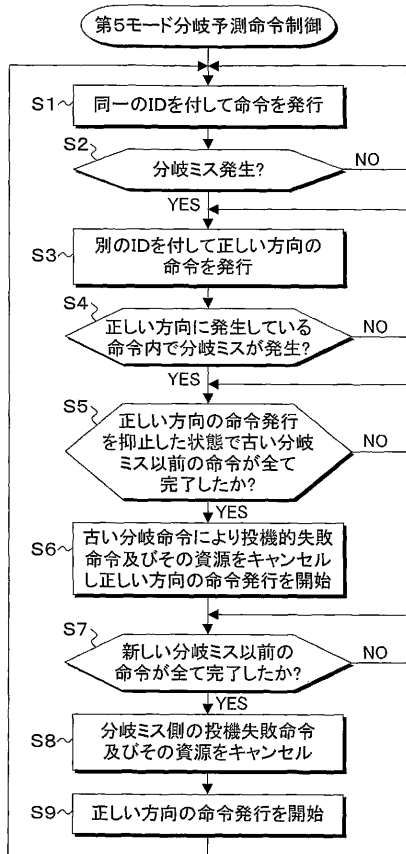
【 図 2 5 】

図 25



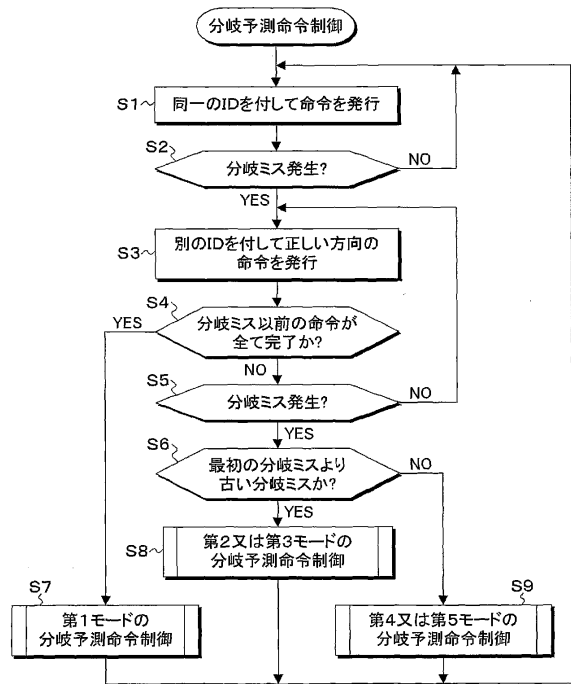
【 図 2 6 】

図 26

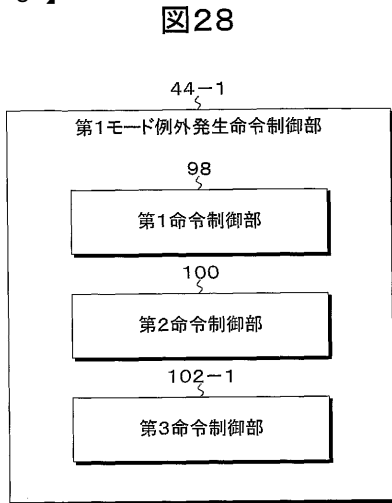


【 図 2 7 】

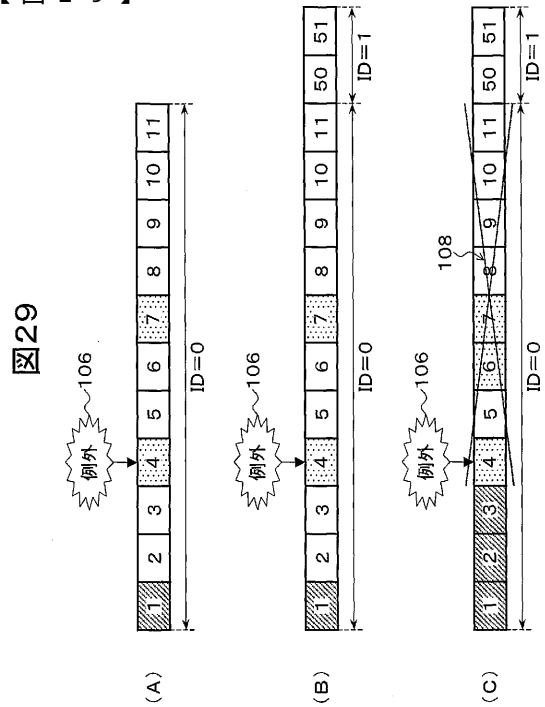
図 27



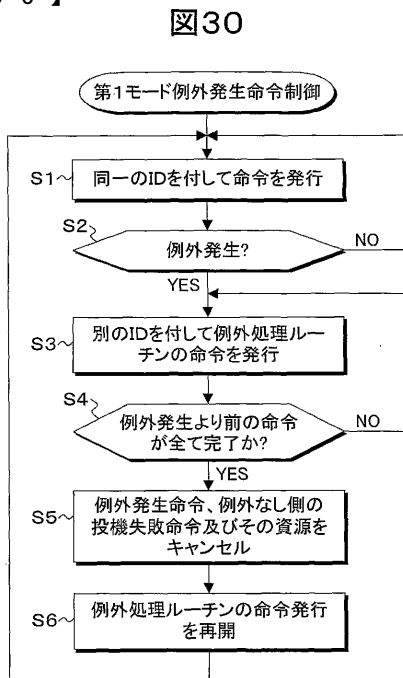
【 図 2 8 】



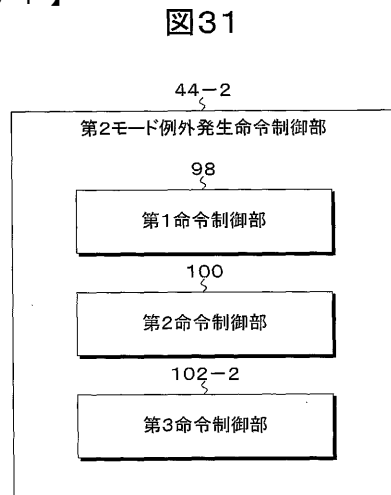
【 図 2 9 】



【 図 3 0 】

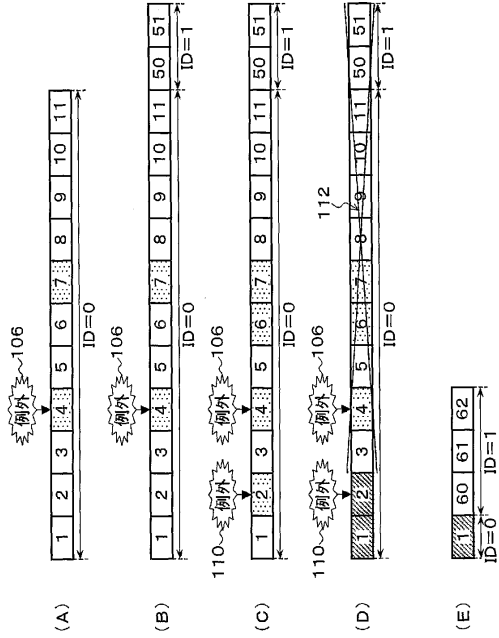


【 図 3 1 】



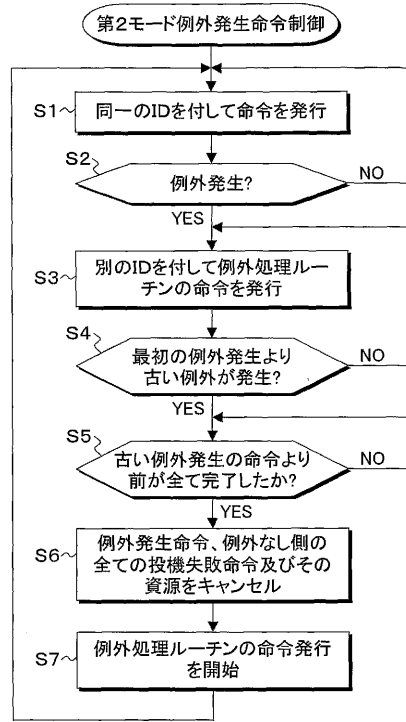
【 図 3 2 】

図 32



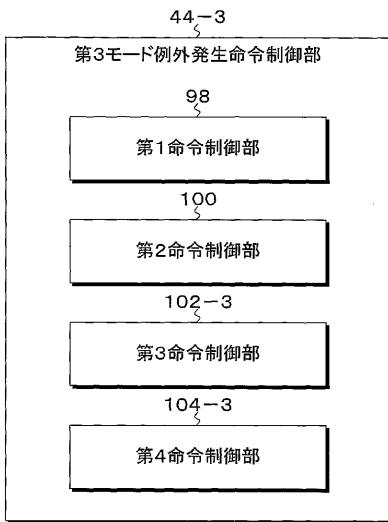
【 図 3 3 】

図 33



【 図 3 4 】

図 34



【 図 3 5 】

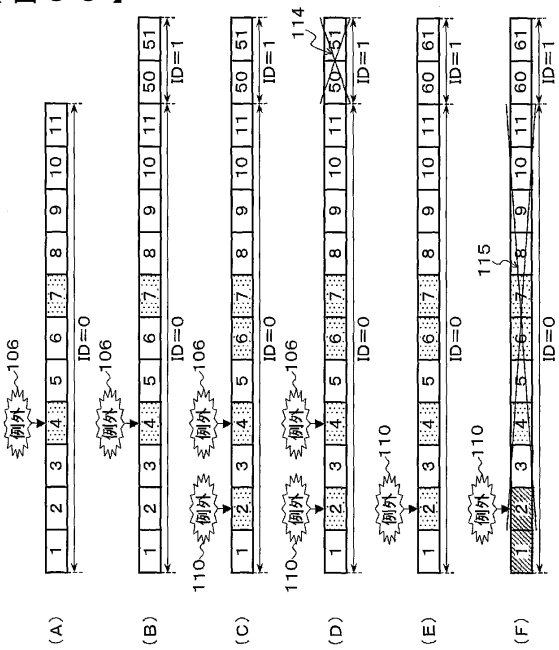
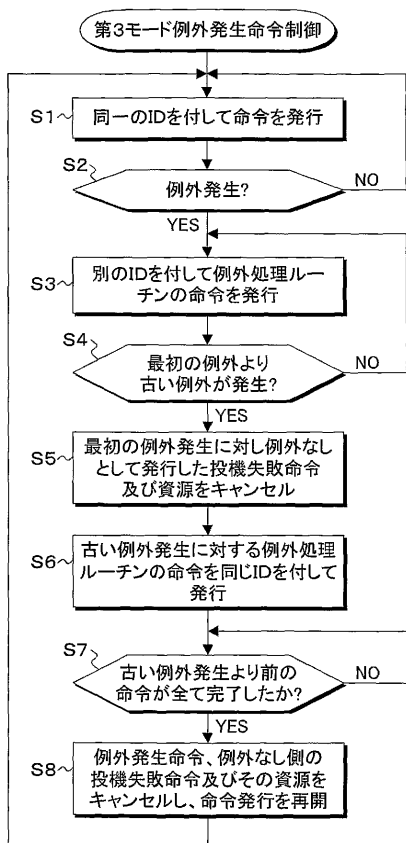


図 35

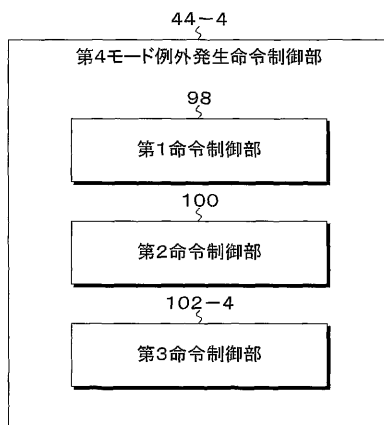
【 図 3 6 】

図36



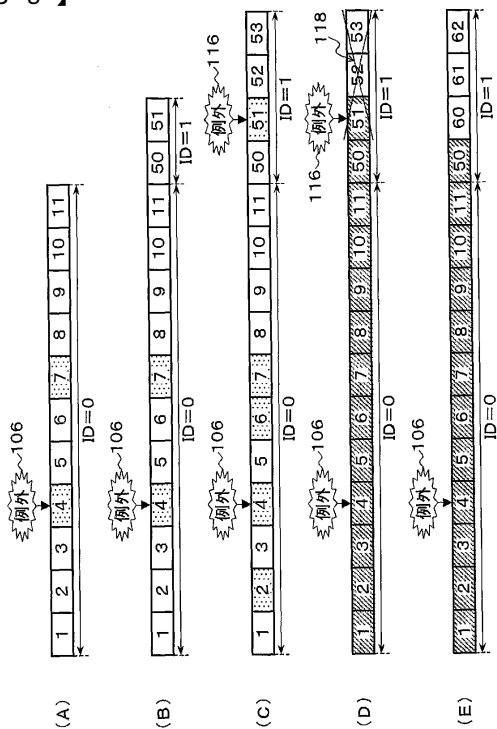
【 図 3 7 】

図37



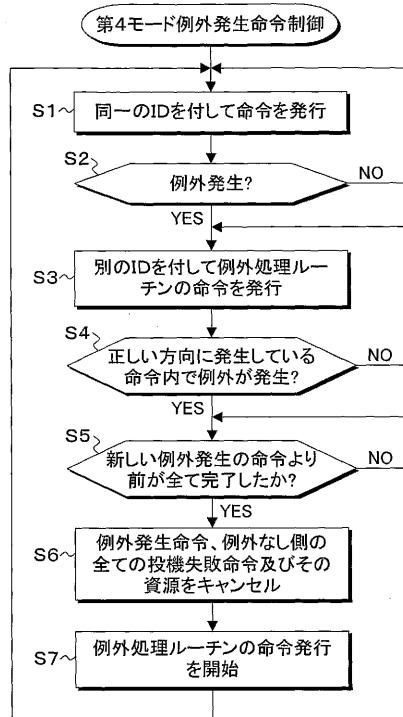
【 図 3 8 】

図38



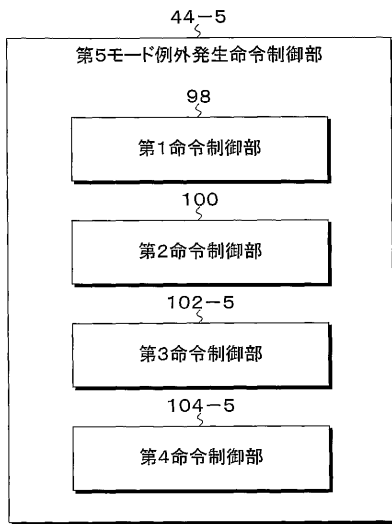
【 図 3 9 】

図39

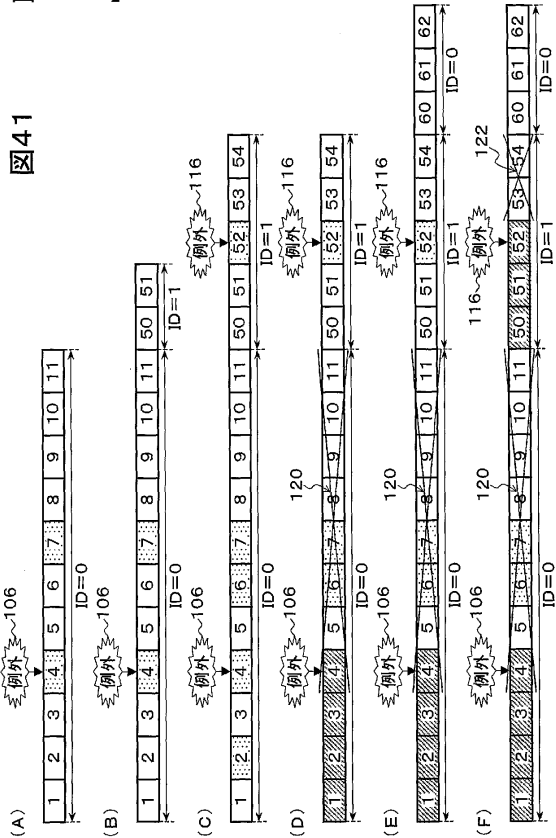


【 図 4 0 】

図40

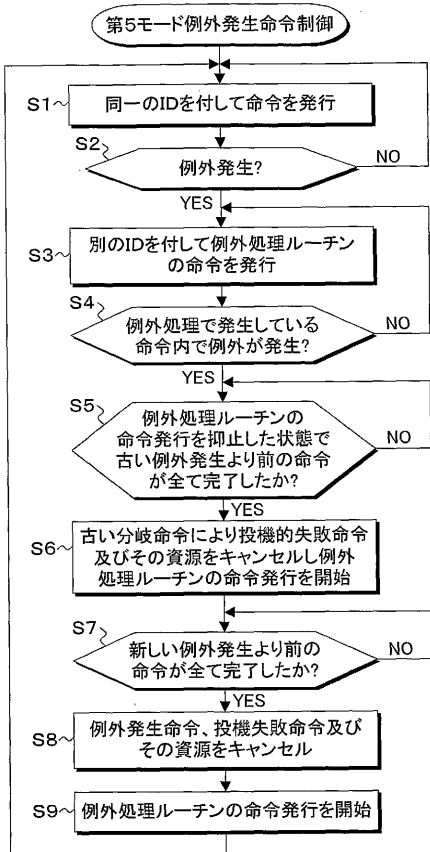


【 図 4 1 】



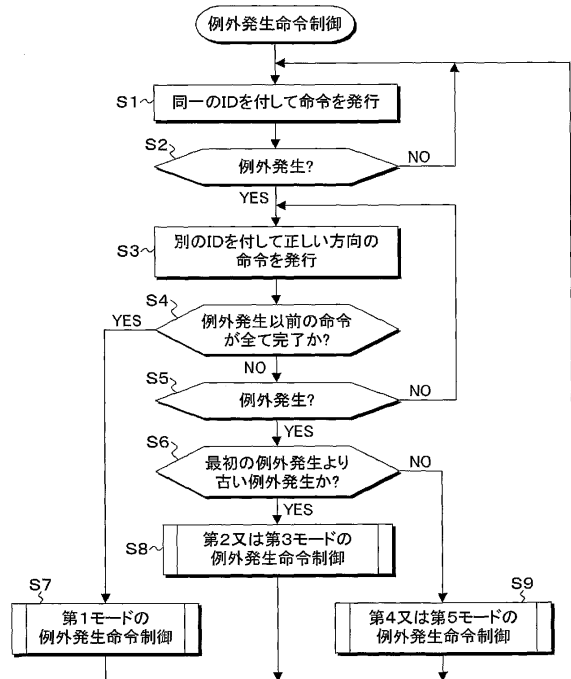
【 図 4 2 】

図42



【 図 4 3 】

図43



フロントページの続き

- (56)参考文献 特開2002-207595(JP,A)
特開2000-285082(JP,A)
特開平7-281894(JP,A)
特開平4-220722(JP,A)
特開平3-218524(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G06F 9/38