

(12) 发明专利申请

(10) 申请公布号 CN 102103826 A

(43) 申请公布日 2011.06.22

(21) 申请号 200910189228.9

(22) 申请日 2009.12.22

(71) 申请人 康佳集团股份有限公司  
地址 518053 广东省深圳市南山区华侨城

(72) 发明人 魏洵佳 任平 梁宁 朱宏

(74) 专利代理机构 深圳中一专利商标事务所  
44237

代理人 张全文

(51) Int. Cl.

G09G 3/32(2006.01)

H04N 5/765(2006.01)

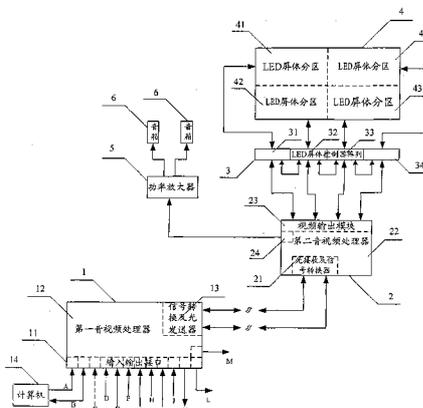
权利要求书 1 页 说明书 5 页 附图 5 页

(54) 发明名称

一种 LED 显示屏拼接控制系统及 LED 显示屏

(57) 摘要

本发明适用于显示屏领域,提供了一种 LED 显示屏拼接控制系统及 LED 显示屏,LED 显示屏拼接控制系统包括:视频处理传送控制器,包括依次连接的输入输出接口、第一音视频处理器和信号转换及光发送器;视频接收分割放大器,包括依次连接的光接收及信号转换器、第二音视频处理器、视频输出模块和音频输出接口,所述光接收及信号转换器与所述信号转换及光发送器相连接;LED 屏体控制器阵列,包括并列连接的一个以上的 LED 屏体控制器单体。本发明实施例提供的 LED 显示屏拼接控制系统及 LED 显示屏,通过视频处理传送控制器、视频接收分割放大器和 LED 屏体控制器阵列,可实现高分辨率的 LED 显示屏的显示,且设计简单,成本低。



1. 一种 LED 显示屏拼接控制系统,其特征在于,所述系统包括:

视频处理传送控制器,包括依次连接的输入输出接口、第一音视频处理器和信号转换及光发送器;

视频接收分割放大器,包括依次连接的光接收及信号转换器、第二音视频处理器、视频输出模块和音频输出接口,所述光接收及信号转换器与所述信号转换及光发送器相连接;

LED 屏体控制器阵列,包括并列连接的一个以上的 LED 屏体控制器单体,所述 LED 屏体控制器单体包括与所述视频输出模块依次连接的视频信号输入接口、DVI 解码器、视频二级放大处理器和信号转换及同步控制时序发生器;所述信号转换及同步控制时序发生器还连接有三级缓存器及依次连接的 LED 视频数据驱动输出模块和输出接口;所述 LED 屏体控制器单体还包括用于与相邻的 LED 屏体控制器单体连接及与所述信号转换及同步控制时序发生器连接的双向硬件外同步信号外设接口。

2. 如权利要求 1 所述的 LED 显示屏拼接控制系统,其特征在于,所述输入输出接口包括 DVI/RGB 输入接口、UART/USB 串口、红外遥控口、双音视频输入 SDI/HD-SDI 接口、YpbPr 接口、YcbCr 接口、AV 接口、Svideo 接口、DVI 接口、HDMI 接口、音视频环路输出 SDI/HD-SDI 接口、视频输出 DVI/RGB 接口和耳机监听输出接口。

3. 如权利要求 1 所述的 LED 显示屏拼接控制系统,其特征在于,所述第一音视频处理器包括与所述输入输出接口连接的音视频输入处理切换模块,与音视频输入处理切换模块连接的音频处理模块、数字视频格式转换模块和高清视频图像处理模块,所述高清视频图像处理模块还与 SDRAM、DDR、FLASH 和 DVI/RGB 转换器连接。

4. 如权利要求 1 所述的 LED 显示屏拼接控制系统,其特征在于,所述信号转换及光发送器包括用于将视频、音频和控制信号进行转换和打包传输处理的 FPGA,所述 FPGA 连接有两个一级帧存储器,所述 FPGA 连接有两路依次连接的 serdes 芯片和光纤模块。

5. 如权利要求 1 所述的 LED 显示屏拼接控制系统,其特征在于,所述光接收及信号转换器包括用于接收两路串行数据流的光纤模块和与所述光纤模块连接的用于对所述串行数据流进行串并转换、8bit/10bit 解码和时钟恢复的 serdes 芯片。

6. 如权利要求 4 所述的 LED 显示屏拼接控制系统,其特征在于,所述第二音视频处理器包括:与所述 serdes 芯片连接的用于音、视频采样解码和对视频数据进行多区域划分的 FPGA、与所述 FPGA 连接的两个二级帧存储器、与所述 FPGA 连接的时钟同步发生器和音频转换处理模块。

7. 如权利要求 5 所述的 LED 显示屏拼接控制系统,其特征在于,所述视频输出模块包括与所述第二音视频处理器的多路视频输出依次连接的多个 DVI 转换芯片和多个 DVI 输出接口。

8. 如权利要求 7 所述的 LED 显示屏拼接控制系统,其特征在于,所述视频输出模块还包括与所述第二音视频处理器连接的用于分区视频监视的 VGA 转换芯片和 VGA 接口。

9. 如权利要求 1 所述的 LED 显示屏拼接控制系统,其特征在于,所述系统还包括与所述音频输出接口依次连接的功放放大器和音箱。

10. 一种 LED 显示屏,其特征在于,所述 LED 显示屏包括权利要求 1 所述的 LED 显示屏拼接控制系统。

## 一种 LED 显示屏拼接控制系统及 LED 显示屏

### 技术领域

[0001] 本发明属于显示屏领域,尤其涉及一种 LED 显示屏拼接控制系统及 LED 显示屏。

### 背景技术

[0002] 目前,LED 显示屏已成为现代化、国际化城市的标志,它可播放文字信息、动画广告、视频图像,日益在广告、体育、交通、金融、通讯、商业、演播等各行各业得到广泛的应用。LED 显示屏的核心技术是 LED 显示屏拼接控制系统,现有的高分辨率的 LED 显示屏拼接控制系统设计复杂,成本高,价格昂贵。

### 发明内容

[0003] 本发明实施例的目的在于提供一种 LED 显示屏拼接控制系统,旨在解决现有技术中普通的 LED 显示屏拼接控制系统设计复杂,成本高的问题。

[0004] 本发明实施例是这样实现的,一种 LED 显示屏拼接控制系统,所述系统包括:

[0005] 视频处理传送控制器,包括依次连接的输入输出接口、第一音视频处理器和信号转换及光发送器;

[0006] 视频接收分割放大器,包括依次连接的光接收及信号转换器、第二音视频处理器、视频输出模块和音频输出接口,所述光接收及信号转换器与所述信号转换及光发送器相连接;

[0007] LED 屏体控制器阵列,包括并列连接的一个以上的 LED 屏体控制器单体,所述 LED 屏体控制器单体包括与所述视频输出模块依次连接的视频信号输入接口、DVI 解码器、视频二级放大处理器和信号转换及同步控制时序发生器;所述信号转换及同步控制时序发生器还连接有三级缓存器及依次连接的 LED 视频数据驱动输出模块和输出接口;所述 LED 屏体控制器单体还包括用于与相邻的 LED 屏体控制器单体连接及与所述信号转换及同步控制时序发生器连接的双向硬件外同步信号外设接口。

[0008] 本发明实施例还提供了一种 LED 显示屏,所述 LED 显示屏包括所述的 LED 显示屏拼接控制系统。

[0009] 本发明实施例与现有技术相比,有益效果在于:通过视频处理传送控制器、视频接收分割放大器和 LED 屏体控制器阵列,可实现超高分辨率的 LED 显示屏的显示,且设计简单,成本低。

### 附图说明

[0010] 图 1 是本发明实施例提供的 LED 显示屏拼接控制系统的框图;

[0011] 图 2 是本发明实施例提供的 LED 显示屏拼接控制系统的第一音视频处理器的逻辑设计示意图;

[0012] 图 3 是本发明实施例提供的 LED 显示屏拼接控制系统的信号转换及光发送器的逻辑设计示意图;

[0013] 图4是本发明实施例提供的LED显示屏拼接控制系统的视频接收分割放大器的逻辑设计示意图；

[0014] 图5是本发明实施例提供的LED显示屏拼接控制系统的LED屏体控制器单体的逻辑设计示意图。

[0015] 图中：1. 视频处理传送控制器, 2. 视频接收分割放大器, 3. LED屏体控制器阵列, 4. LED显示屏, 5. 功率放大器, 6. 音箱, 11. 输入输出接口, 12. 第一音视频处理器, 13. 信号转换及光发送器, 14. 计算机, 21. 光接收及信号转换器, 22. 第二音视频处理器, 23. 视频输出模块, 24. 音频输出接口, 31-34. 信号输入接口, 41-44. 四个LED屏体分区, 121. 视频输入处理切换模块, 122. 音频处理模块, 123. 数字视频格式转换模块, 124. SDRAM, 125. 高清视频图像处理模块, 126. DDR, 127. FLASH, 128. DVI/RGB转换器, 131. FPGA, 132. 一级帧存储器, 133. serdes芯片, 134. 光纤模块, 211. 光纤模块, 212. serdes芯片, 221. FPGA, 222. 二级帧存储器, 223. 时钟同步发生器, 224. 音频转换处理模块, 231. DVI转换芯片, 232. DVI输出接口, 233. 音频输出接口, 310. 双向硬件外同步信号外设接口, 311. 视频信号接口, 312. DVI解码器, 313. 视频二级放大处理器, 314. 信号转换及同步控制时序发生器, 315. 三级缓存器, 316. LED视频数据驱动输出模块, 317. 输出接口, 318. VGA转换芯片, 319. VGA接口。

## 具体实施方式

[0016] 为了使本发明的目的、技术方案及优点更加清楚明白, 以下结合附图及实施例, 对本发明进行进一步详细说明。应当理解, 此处所描述的具体实施例仅仅用以解释本发明, 并不用于限定本发明。

[0017] 请参阅图1至图5, 本发明实施例提供的LED显示屏拼接控制系统, 所述系统包括：

[0018] 依次连接的视频处理传送控制器1、视频接收分割放大器2和LED屏体控制器阵列3, 所述视频处理传送控制器1包括依次连接的输入输出接口11、第一音视频处理器12和信号转换及光发送器13。

[0019] 输入输出接口11具体包括DVI/RGB输入接口A、UART/USB串口B、红外遥控口C、双音视频输入SDI/HD-SDI接口D、YpbPr接口E、YcbCr接口F、AV接口G、Svideo接口H、DVI接口I、HDMI接口J、音视频环路输出SDI/HD-SDI接口K、视频输出DVI/RGB接口L和耳机监听输出接口M。

[0020] 请参阅图2, 第一音视频处理器12包括音视频输入处理切换模块121、音频处理模块122、数字视频格式转换模块123、SDRAM 124、高清视频图像处理模块125、DDR 126、FLASH127和DVI/RGB转换器128。通过音视频输入处理切换模块121及与所述输入输出接口11连接的计算机14或按键/红外遥控器可实现对音视频输入信号的切换选择；当切换选择到用户需要的音视频输入信号时, 将需要的模拟视频输入信号经过AD转换后发送到数字视频格式转换模块123, 数字视频输入信号发送到高清视频图像处理模块125, 音频信号发送到音频处理模块122。所述数字视频转换模块123配合SDRAM 124对接收到的模拟视频输入信号进行数字格式转换和逐行处理后送到高清视频图像处理模块125, 所述高清视频图像处理模块125对接收到1或2路视频输入信号配合DDR 126进行图像优化和一级放大以及OSD菜单处理后, 生成30bit RGB(红、绿、蓝)1920×1080P高清数字视频图像信

号分成两路输出,一路经过 DVI/RGB 转换器 128 送往与所述视频输出 DVI/RGB 接口 L 连接的液晶监视器,所述液晶监视器用于对 LED 显示屏进行实时监控和 OSD 菜单显示以完成相应的参数调节、输入源选择等,另一路则通过送往与所述第一音视频处理器 12 连接的信号转换及光发送器 13。所述音频处理模块 122 对选定的音频输入进行音频解码和多声道 A/D 转换后,分成两路,一路模拟信号送往耳机监听输出接口 M,另一路则将串行数字音频信号送往与所述第一音视频处理器 12 连接的信号转换及光发送器 13。所述 FLASH127 还通过所述 UART/USB 串口 B 与计算机 14 连接,用于存储控制和初始化参数。

[0021] 针对不同的视频输入信号,第一音视频处理器 12 会进行不同的处理,如 AD 转换、制式转换、彩色解码、 $\gamma$  校正、隔行转逐行、存储、缩放、运动自适应、画中画、画外画、边缘处理等。所述音视频输入处理切换模块 121 的主芯片可选 VPC3230D、音频处理模块 122 的主芯片可选 MSP20G、数字视频格式转换模块 123 的主芯片可选 FLI2310、高清视频图像处理模块 125 的主芯片可选 GM1601H。

[0022] 请参阅图 3,信号转换及光发送器 13 包括 FPGA131,所述 FPGA131 连接有两个一级帧存储器 132,所述 FPGA131 连接有两路依次连接的 serdes 芯片 133 和光纤模块 134。

[0023] FPGA131 用于将输入的高清数字视频图像信号送往用于进行一级缓存的一级帧存储器 132,还用于对 30 位 RGB 高清数字视频图像信号进行倍频变换,生成速率提高一倍的两路 16bit 的并行数据流,和数字音频信号、控制信号混合后输入到两路中的 serdes 芯片 133。

[0024] 具体的,由于倍频后的两路 16bit 并行数据流中,一个像素占有 64bit,因此扣除  $30 \times 2$ bit 的 RGB 数据还剩 4bit,其中 1bit 用于低频数字音频信号的嵌入,另三位用于控制信号或其它信号的嵌入。嵌入低频数字音频信号及控制信号或其它信号的并行数据流分成两路送往 serdes 芯片 133,经过并串转换和 8bit/10bit 编码后的串行数据流以 3.125G 的时钟速率分两路送往光纤模块 134,再经过光纤模块 134 传输到视频接收分割放大器 2。

[0025] 请参阅图 4,视频接收分割放大器 2 包括依次连接的光接收及信号转换器 21、第二音视频处理器 22、视频输出模块 23 和音频输出接口 24。

[0026] 所述光接收及信号转换器 21 具体包括:用于接收所述两路串行数据流的光纤模块 211 和与所述光纤模块 211 连接的用于对所述两路串行数据流进行串并转换、8bit/10bit 解码和时钟恢复的 serdes 芯片 212;其中所述两路串行数据流具体为两路 3.125G 音视频串行数据流;

[0027] 所述第二音视频处理器 22 具体包括:与所述 serdes 芯片 212 连接的 FPGA221、与所述 FPGA221 连接的两个二级帧存储器 222、与所述 FPGA221 连接的时钟同步发生器 223 和音频转换处理模块 224;

[0028] 所述视频输出模块 23 具体包括:与所述 FPGA221 连接的四路 DVI 转换芯片 231 和四个 DVI 输出接口 232。

[0029] 具体的,光纤模块 211 接收到串行数据流后,经过 serdes 芯片 212 进行串并转换、8bit/10bit 解码和时钟恢复后生成两路 16bit 的并行数据流,送往 FPGA221, FPGA221 在时钟同步发生器 223 的控制下对两路 16bit 的并行数据流进行采样处理,解出音频数据信号、视频数据信号和 LED 大屏控制信号,并将 30bit 的视频数据信号存入二级帧存储器 222 进行缓存。其中 FPGA221 根据 LED 大屏控制信号中包括的区域划分参数,将从二级帧存储

器 222 中读出的数据截取分割成四路通道视频数据送到视频输出模块 23,同时在数据截取中,采用了截取区域比实际区域略大的冗余技术,并配合边缘调整电路,以解决分区视频数据放大时边缘存在差别的问题。

[0030] 音频转换处理模块 224 对 FPGA221 解出的音频数据信号进行 DA 转换还原和同步处理,再通过音频输出接口 24 送到功放放大器 5 和音箱 6。

[0031] 视频输出模块 23 中的 DVI 转换芯片 231,将 FPGA221 的 4 路通道视频数据经四路 DVI 转换芯片 231 分别转换后通过四个 DVI 输出接口 232 同时送往 LED 屏体控制器阵列 3。

[0032] 其中,由于超高分辨率 LED 显示屏在现场调试时容易出现各分区边缘闪烁,有明显的分界线,严重影响了观看效果,这是由于高频采样时钟和视频数据不同步造成的,因此,设计了时钟同步发生器 223 连接到 FPGA221。

[0033] 请参阅图 1,LED 屏体控制器阵列 3 包括并列连接的四个 LED 屏体控制器单体 31-34,其中 LED 屏体控制器单体的内部构成请参阅图 5,包括:

[0034] 与前述视频输出模块 23 四个 DVI 输出中的一个 DVI 输出对应依次连接的视频信号输入接口 311、DVI 解码器 312、视频二级放大处理器 313 和信号转换及同步控制时序发生器 314。

[0035] 所述信号转换及同步控制时序发生器 314 还连接有六路依次连接的 LED 视频数据驱动输出模块 316 和输出接口 317,所述信号转换及同步控制时序发生器 314 还连接有用于分区视频监视的 VGA 转换器 318 和 VGA 接口 319,所述信号转换及同步控制时序发生器 314 还连接有两个三级缓存器 315。

[0036] 所述 LED 屏体控制器单体还包括用于与相邻的 LED 屏体控制器单体连接及与前述信号转换及同步控制时序发生器 314 连接的双向硬件外同步信号外设接口 310。

[0037] 具体的,DVI 解码器 312 解出本区的视频数据信号到视频二级放大处理器 313,视频二级放大处理 313 采用的主芯片可选高档视频图像缩放芯片构建,如支持 24/30/36-bit RGB 输入输出的高档 10bit 视频缩放芯片 ABT1030,用于对本区分配的视频数据信号进行倍率可调的二级实时放大、软件内同步和图像进一步优化处理,生成与 LED 显示屏相对应位置的视频图像信号,并传送给所述信号转换及同步控制时序发生器 314,所述信号转换及同步控制时序发生器 314 具体采用 FPGA,信号转换及同步控制时序发生器 314 将放大后的视频数据信号存入三级缓存器 315 后,在硬件外同步信号的控制下去除多余的边缘信号,并配合边缘调整电路,将本区的视频数据信号转换成符合 LED 显示屏格式的视频数据信号,并分成多路同时输出到 LED 视频数据驱动输出模块 316,LED 视频数据驱动输出模块 316 由多路千兆网 PHY 或多路 LVDS serdes 芯片构成,其每路输出信号通过输出接口 317 传送到指定区域的 LED 分区显示屏屏体内部依次串接的 LED 扫描控制板阵列,由每个 LED 扫描控制板控制一个 LED 模组的显示,从而完成来自不同输入信号源的视频图像信号在超高分辨率全彩 LED 显示屏上的放大显示,其采用的 LED 扫描控制板与通用的 LED 扫描控制板相同。

[0038] 在具体应用中,可更换第一音视频处理器 12 采用的芯片型号,或将第一音视频处理器 12 采用的多芯片方案改为一个音视频输入处理(例如 SiI9251/9261)、一个音视频图像处理(例如 GF9452)的双芯片方案等。

[0039] 本发明实施例还提供一种 LED 显示屏,所述显示屏包括所述的 LED 显示屏拼接控制系统。

[0040] 具体的,请参阅图 1,在应用中,LED 显示屏 4 包括四个分区显示屏 41-44,四个相同的 LED 屏体控制器 31-34 分别控制 LED 显示屏 4 的四个分区显示屏 41-44 工作,同时 LED 屏体控制器 31-34 相互间还依次串接有共享的双向硬件外同步信号,可由任一个 LED 屏体控制器作为主控同步器来控制 LED 屏体控制器阵列 3 同步工作,以进一步保证 LED 显示屏 4 的同步显示。

[0041] 在具体应用中,分区显示屏的数量可以根据需要选择,可为一个以上。

[0042] 本发明实施例提供的 LED 显示屏拼接控制系统及 LED 显示屏,通过视频处理传送控制器、视频接收分割放大器和 LED 屏体控制器阵列,可实现超高分辨率的 LED 显示屏的显示,且设计简单,成本低。

[0043] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

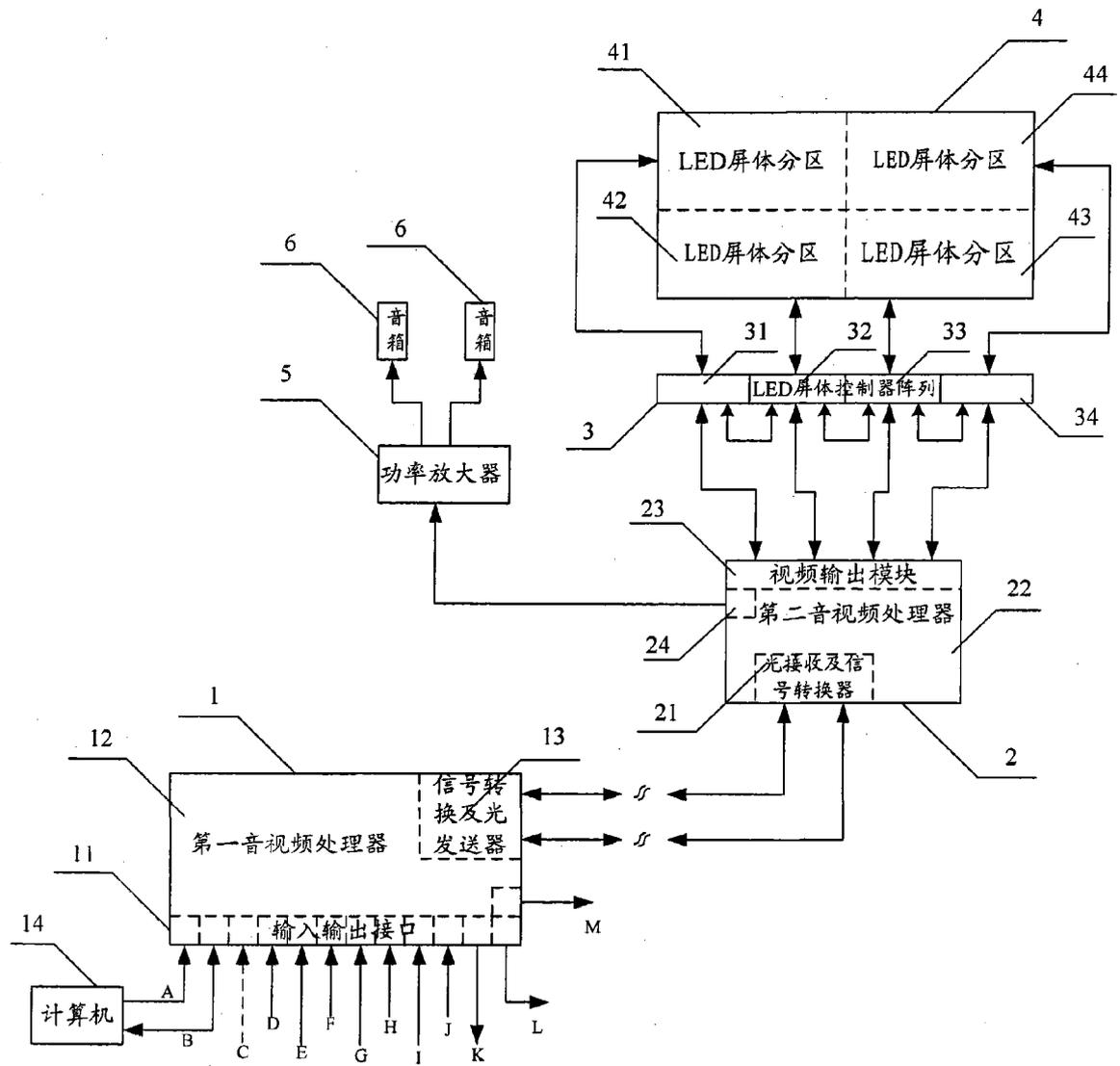


图 1

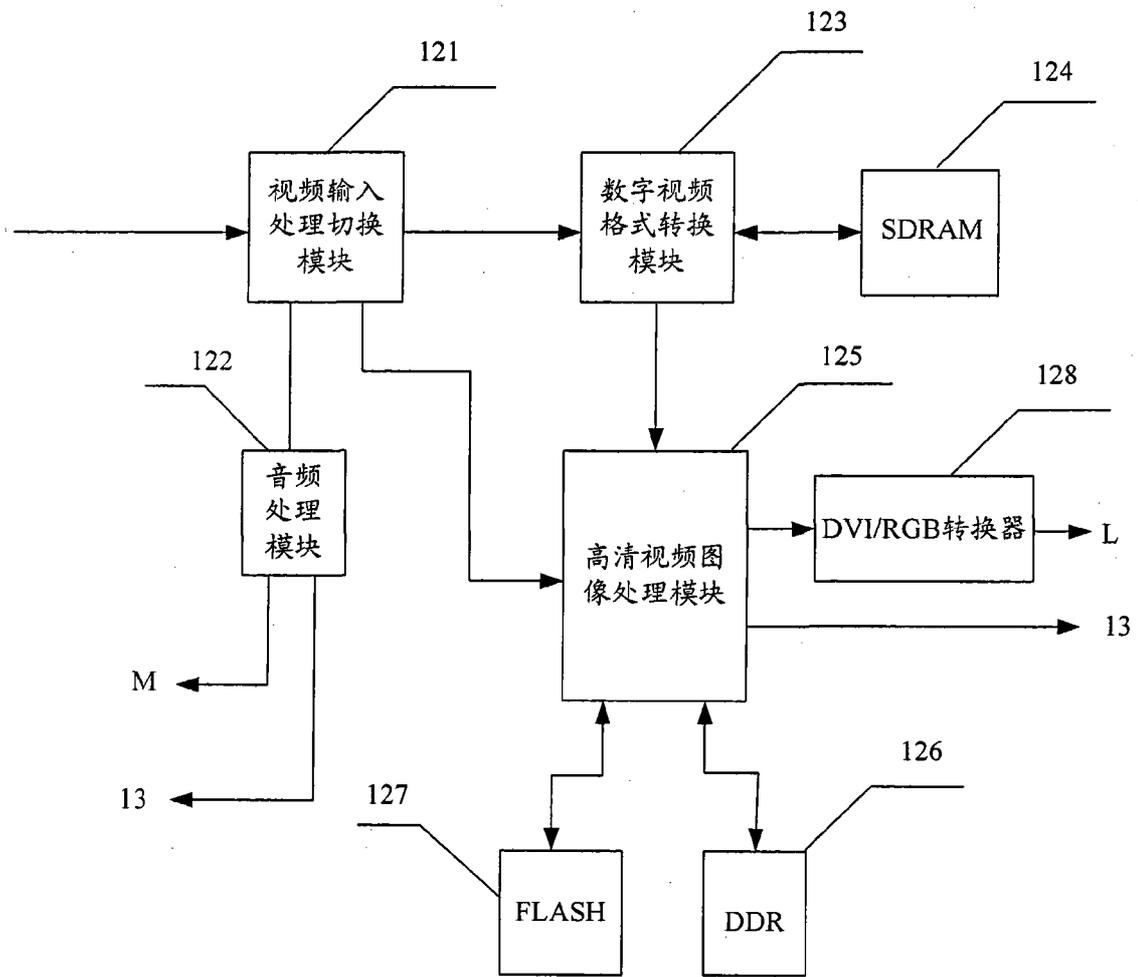


图 2

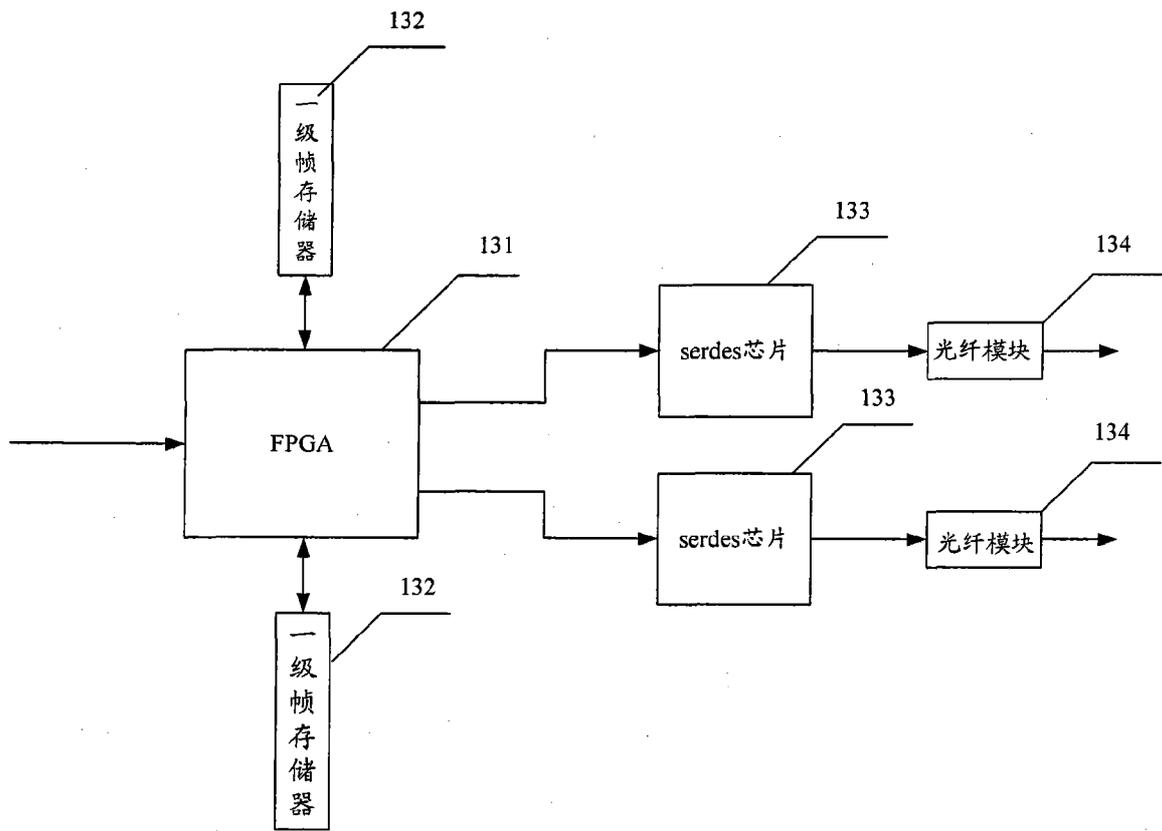


图 3

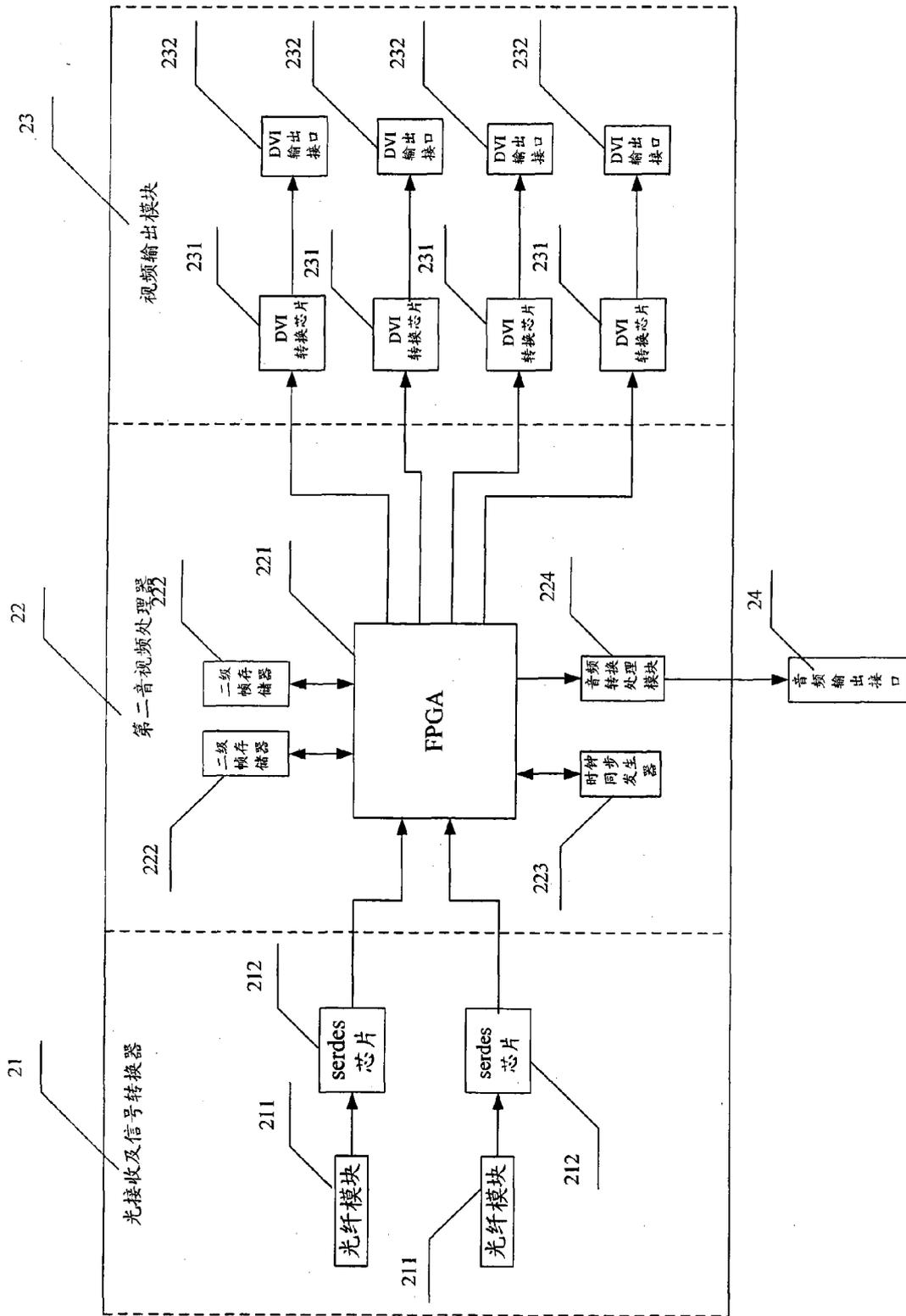


图 4

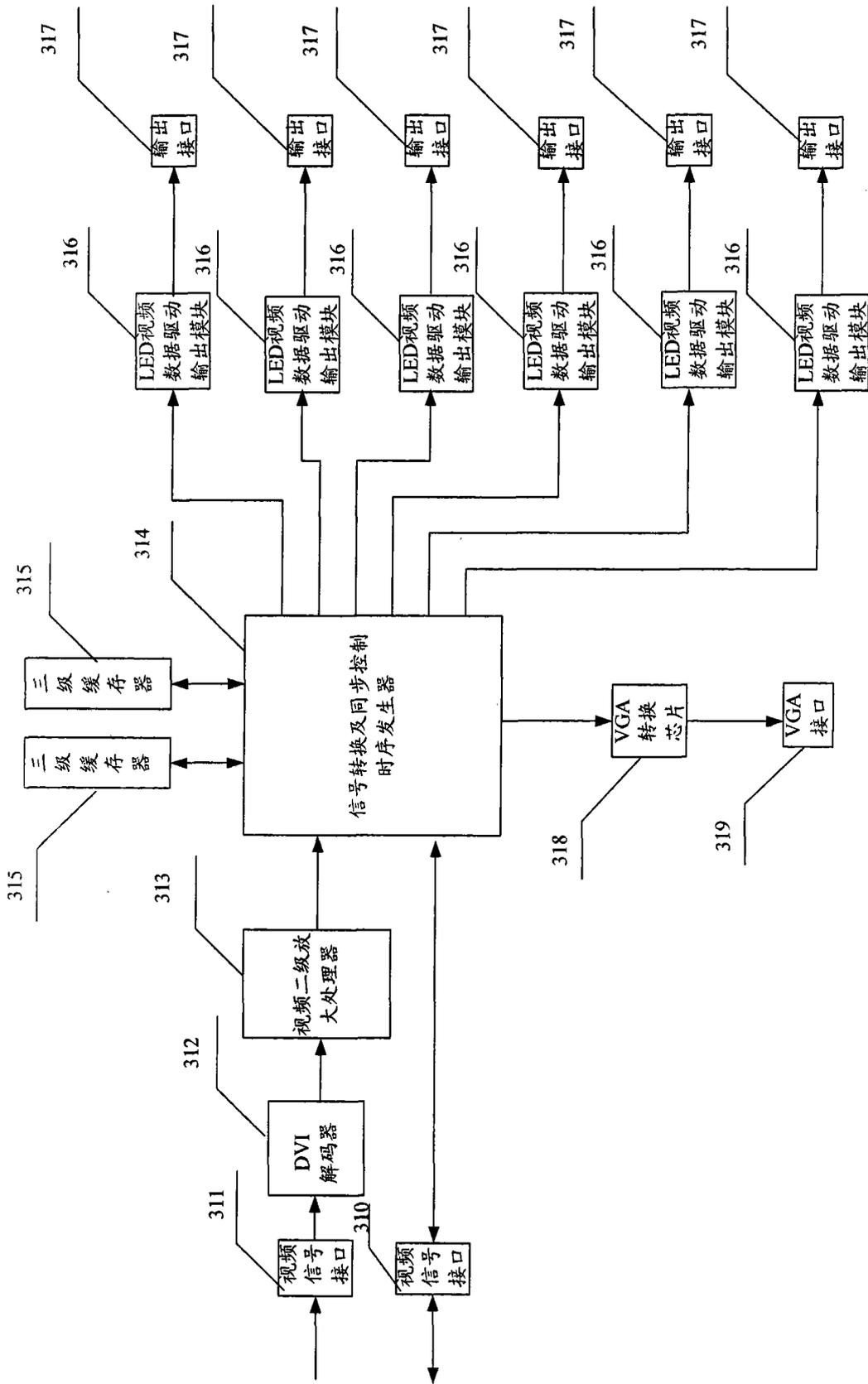


图 5