



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I822858 B

(45)公告日：中華民國 112 (2023) 年 11 月 21 日

(21)申請案號：108132914

(22)申請日：中華民國 108 (2019) 年 09 月 12 日

(51)Int. Cl. : H04N5/351 (2011.01)

H01L31/12 (2006.01)

(30)優先權：2018/09/19 日本

2018-174517

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：大竹悠介 OTAKE, YUSUKE (JP)；若野壽史 WAKANO, TOSHIFUMI (JP)；村瀬拓郎 MURASE, TAKURO (JP)

(74)代理人：陳長文

(56)參考文獻：

US 2013/0001650A1

US 2014/0151531A1

審查人員：張長軾

申請專利範圍項數：19 項 圖式數：18 共 57 頁

(54)名稱

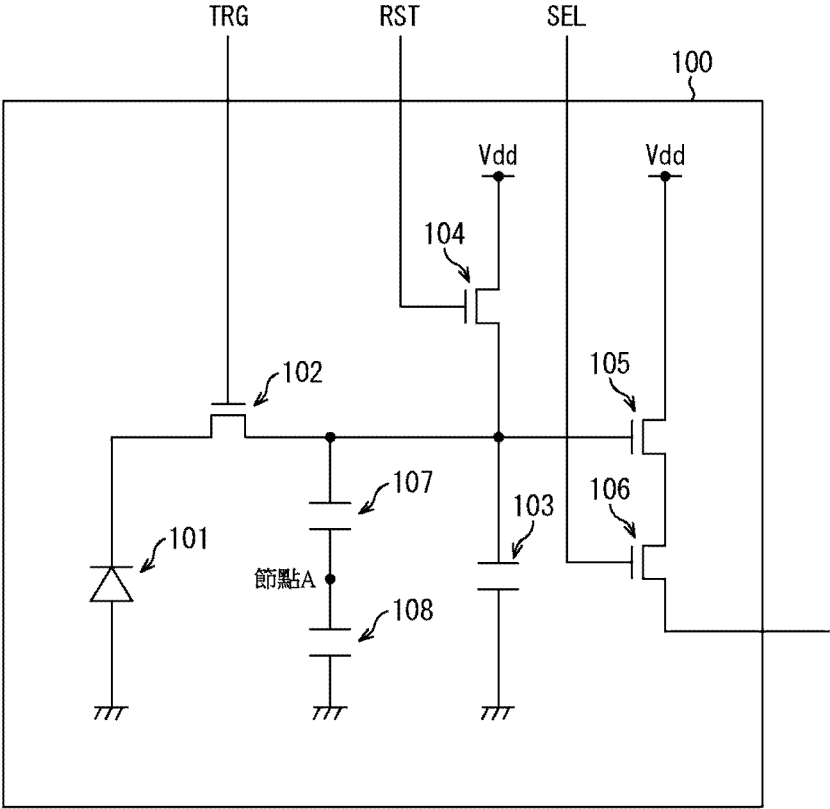
固態攝像元件及電子機器

(57)摘要

本揭示係關於一種可謀求電荷保持部之高電容化的固態攝像元件及電子機器。

固態攝像元件具備像素，該像素具有光電二極體、蓄積光電二極體中產生之電荷的 FD、及與 FD 並聯連接的電荷保持部。電荷保持部包含由連接於第 1 電位之第 1 配線及連接於與第 1 電位不同之第 2 電位之第 2 配線並行而形成之配線電容。本揭示可應用於進行全域快門方式之攝像之固態攝像元件。

指定代表圖：



【圖2】

符號簡單說明：

- 100:像素
- 101:PD
- 102:傳送電晶體
- 103:FD
- 104:重設電晶體
- 105:放大電晶體
- 106:選擇電晶體
- 107:電荷保持部
- 108:電荷保持部
- RST:控制線
- SEL:控制線
- TRG:控制線
- Vdd:電源線



I822858

【發明摘要】

【中文發明名稱】

固態攝像元件及電子機器

【中文】

本揭示係關於一種可謀求電荷保持部之高電容化的固態攝像元件及電子機器。

固態攝像元件具備像素，該像素具有光電二極體、蓄積光電二極體中產生之電荷的FD、及與FD並聯連接的電荷保持部。電荷保持部包含由連接於第1電位之第1配線及連接於與第1電位不同之第2電位之第2配線並行而形成之配線電容。本揭示可應用於進行全域快門方式之攝像之固態攝像元件。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

100	像素
101	PD
102	傳送電晶體
103	FD
104	重設電晶體
105	放大電晶體
106	選擇電晶體
107	電荷保持部
108	電荷保持部

RST	控制線
SEL	控制線
TRG	控制線
Vdd	電源線

【發明說明書】

【中文發明名稱】

固態攝像元件及電子機器

【技術領域】

【0001】

本揭示係關於一種固態攝像元件及電子機器，尤其關於一種可謀求電荷保持部之高電容化之固態攝像元件及電子機器。

【先前技術】

【0002】

先前以來，有進行所有像素同時進行自光電二極體(PD)向浮動擴散區(FD)傳送電荷之全域快門方式之攝像的影像感測器。

【0003】

已知通常於影像感測器之驅動中，重設時會產生kTC雜訊。

【0004】

相對於此，例如於專利文獻1，揭示於進行全域快門方式之攝像之影像感測器中，設置與FD不同之電荷保持部，且將包含kTC雜訊之信號電位反饋給FD，藉此謀求降低kTC雜訊。

[先前技術文獻]

[專利文獻]

【0005】

[專利文獻1]日本專利特開2018-64199號公報

【發明內容】

[發明所欲解決之問題]

【0006】

於專利文獻1之構成中，藉由電荷保持部與FD之耦合電容之電容分配降低kTC雜訊，因此，必須增大電荷保持部之電容，但於專利文獻1，未揭示關於增大電荷保持部之電容之具體構成。

【0007】

本揭示係鑑於此種狀況而完成者，且係謀求電荷保持部之高電容化者。

[解決問題之技術手段]

【0008】

本揭示之固態攝像元件具備像素，該像素具有：光電二極體；FD，其蓄積上述光電二極體中產生之電荷；及電荷保持部，其與上述FD並聯連接；上述電荷保持部包含由連接於第1電位之第1配線及連接於與上述第1電位不同之第2電位之第2配線並行而形成的配線電容。

【0009】

本揭示之電子機器係具備固態攝像元件者，該固態攝像元件具備像素，該像素具有：光電二極體；FD，其蓄積上述光電二極體中產生之電荷；及電荷保持部，其與上述FD並聯連接；上述電荷保持部包含由連接於第1電位之第1配線及連接於與上述第1電位不同之第2電位之第2配線並行而形成的配線電容。

【0010】

本揭示中，於具有光電二極體、蓄積上述光電二極體中產生之電荷之FD及與上述FD並聯連接之電荷保持部之像素中，上述電荷保持部包含由連接於第1電位之第1配線及連接於與上述第1電位不同之第2電位之第2

配線並行而形成的配線電容。

【圖式簡單說明】

【0011】

圖1係顯示應用本揭示之技術之固態攝像元件之構成例之圖。

圖2係顯示應用本揭示之技術之像素之構成例之圖。

圖3係顯示形成電荷保持部之配線佈局之例之俯視圖。

圖4係顯示本揭示之第1實施形態中之像素之構成例之圖。

圖5係顯示第1層配線層之配線佈局之例之俯視圖。

圖6係顯示第2層配線層之配線佈局之例之俯視圖。

圖7係顯示第3層配線層之配線佈局之例之俯視圖。

圖8係顯示第4層配線層之配線佈局之例之俯視圖。

圖9係顯示配線層之剖面之例之圖。

圖10係對本揭示之第2實施形態中之像素進行說明之圖。

圖11係對本揭示之第3實施形態中之像素進行說明之圖。

圖12係對本揭示之第4實施形態中之像素進行說明之圖。

圖13A～D係對本揭示之第5實施形態中之像素進行說明之圖。

圖14係對本揭示之第6實施形態中之像素進行說明之圖。

圖15係對本揭示之第7實施形態中之像素進行說明之圖。

圖16係對本揭示之第7實施形態中之像素進行說明之圖。

圖17係對本揭示之第8實施形態中之像素進行說明之圖。

圖18係顯示應用本揭示之技術之電子機器之構成例之圖。

【實施方式】

【0012】

以下，對用於實施本揭示之形態(以下，稱為實施形態)進行說明。

另，說明係按照以下之順序進行。

【0013】

- 1.本揭示之技術之概要
- 2.第1實施形態(像素之構成與配線佈局)
- 3.第2實施形態(於PD正上方配線並行之例)
- 4.第3實施形態(使用High-K膜之例)
- 5.第4實施形態(擴大擴散層之面積之例)
- 6.第5實施形態(將FD之電位升壓之例)
- 7.第6實施形態(於配線層間使配線正交之例)
- 8.第7實施形態(形成實心配線之例)
- 9.第8實施形態(對進行轉換效率切換之像素之應用)
- 10.電子機器之構成例

【0014】

<1.本揭示之技術之概要>

(固態攝像元件之構成)

圖1係顯示應用本揭示之技術之固態攝像元件1之構成例之圖。

【0015】

固態攝像元件1具備像素陣列部10、垂直驅動部20、行信號處理部30、基準信號供給部40及參考信號產生部50。

【0016】

像素陣列部10產生對應於入射之光之圖像信號。像素陣列部10構成為二維矩陣狀配置具有光電轉換部之像素100。

【0017】

像素陣列部10中，將用於對像素100傳遞控制信號之控制線11與用於傳遞由像素100產生之圖像信號之垂直信號線12配線為X-Y矩陣狀。

【0018】

控制線11配線於複數個像素100之每列。控制線11對配置於1列之像素100共用地配線。即，對像素100依每列輸入不同之控制信號，對配置於1列之像素100，輸入共用之控制信號。

【0019】

另一方面，垂直信號線12配線於複數個像素100之每行。垂直信號線12對配置於1行之像素100共用地配線。即，配置於1行之像素100之圖像信號經由共用之垂直信號線12傳遞。

【0020】

垂直驅動部20產生控制信號，並經由控制線11輸出至像素陣列部10。

【0021】

行信號處理部30處理自像素陣列部10輸出之圖像信號。經行信號處理部30處理之圖像信號相當於固態攝像元件1之輸出信號，被輸出至固態攝像元件1之外部。

【0022】

基準信號供給部40產生基準信號。基準信號係成為由像素100產生之圖像信號之基準之信號，且係例如相當於黑色位準之圖像信號之電壓之信號。產生之基準信號經由基準信號線41供給至行信號處理部30。

【0023】

參考信號產生部50產生參考信號。參考信號係成為將由像素100產生之圖像信號進行類比數位轉換時之基準之信號。作為參考信號，可採用例如將電壓斜坡狀降低之信號。產生之參考信號經由參考信號線51輸出至行信號處理部30。

【0024】

(像素之構成)

圖2係顯示應用上述之本揭示之技術之像素100之構成例之圖。

【0025】

像素100具備光電二極體(PD)101、傳送電晶體102、浮動擴散區(FD)103、重設電晶體104、放大電晶體105及選擇電晶體106。

【0026】

可對傳送電晶體102、重設電晶體104、放大電晶體105及選擇電晶體106之像素電晶體各者，使用MOS電晶體。

【0027】

於像素100，配線上述之控制線11與垂直信號線12。其中控制線11由控制線TRG(Transfer Gate：傳送閘極)、控制線RST(Reset：重設)及控制線SEL(Select：選擇)構成。該等控制線連接於MOS電晶體之閘極，並傳遞圖1中說明之控制信號。若對該等控制線輸入MOS電晶體之閘極-源極間之閾值電壓以上之電壓，則相應之MOS電晶體變為導通狀態。

【0028】

控制線TRG傳遞控制傳送電晶體102之接通/斷開之信號。控制線RST傳遞控制FD103之重設之信號。控制線SEL傳遞選擇像素100之信號。

【0029】

再者，於像素100配線有電源線Vdd。電源線Vdd供給正極性之電源。

【0030】

將PD101之陽極接地，將陰極連接於傳送電晶體102之源極。傳送電晶體102之閘極連接於控制線TRG，汲極連接於FD103之一端、放大電晶體105之閘極及重設電晶體104之源極。將FD103之另一端接地。

【0031】

重設電晶體104之汲極連接於電源線Vdd，閘極連接於控制線RST。放大電晶體105之汲極連接於電源線Vdd，源極連接於選擇電晶體106之汲極。選擇電晶體106之閘極連接於控制線SEL，源極連接於垂直信號線12。

【0032】

PD101藉由光電轉換，產生對應於照射之入射光之電荷。

【0033】

傳送電晶體102將PD101中產生之電荷傳送至FD103。傳送電晶體102藉由使PD101與FD103之間導通而進行電荷之傳送。

【0034】

FD103蓄積PD101中產生之電荷。FD103形成於例如Si基板等半導體基板之擴散層。

【0035】

重設電晶體104重設蓄積於FD103之電荷。重設電晶體104藉由使電源線Vdd與FD103之間導通而將電源電壓施加於FD103，進行重設。

【0036】

放大電晶體105將與保持於FD103之電荷對應之信號作為像素信號檢測。

【0037】

選擇電晶體106輸出由放大電晶體105檢測出之圖像信號。選擇電晶體106藉由使放大電晶體105與垂直信號線12之間導通而輸出圖像信號。

【0038】

藉由如上之構成，所有像素同時進行FD103之重設與自PD101向FD103傳送電荷。即。固態攝像元件1可進行全域快門方式之攝像。

【0039】

像素100進而具備電荷保持部107、108。

【0040】

電荷保持部107、108與FD103電性並聯連接，且與FD103分開地蓄積PD101中產生之電荷。

【0041】

電荷保持部107之一端連接於傳送電晶體102之汲極、放大電晶體105之閘極及重設電晶體104之源極，另一端連接於特定電位之節點A。又，電荷保持部108之一端連接於節點A，另一端接地。

【0042】

此處，電荷保持部107、108可由配線電容形成。

【0043】

(形成電荷保持部之配線佈局)

圖3係顯示形成電荷保持部107、108之配線佈局之例之俯視圖。

【0044】

於圖3，顯示連接於節點A之配線151、連接傳送電晶體102之汲極與放大電晶體105之閘極之FD配線152及連接於與節點A不同之固定電位 V_{ss} 之固定電位線153各者之一部分之佈局。此處，固定電位 V_{ss} 為接地電位(GND)。

【0045】

如圖3所示，配線151、FD配線152及固定電位線153分別以沿同一方向(圖中之左右方向)延伸之方式排列佈局。於以下，將配線X、Y排列佈局之情況稱為配線X、Y並行。

【0046】

於圖3之例，藉由使配線151與FD配線152並行，形成電荷保持部107，藉由使配線151與固定電位線153並行，形成電荷保持部108。

【0047】

藉由此種配線佈局，可謀求電荷保持部107、108之高電容化。

【0048】

另，圖3之例中，配線151、FD配線152及固定電位線153僅具有沿一方向延伸之直線部分(以下稱為延伸部)，但亦可具有沿特定方向彎曲或分支之部分(以下稱為彎曲部)。彎曲部可形成為L字型、T字型、コ字型及十字型之任一者。

【0049】

於此情形時，可使2條配線各自之彎曲部朝同一方向彎曲，或使另一條配線之彎曲部彎曲等以包圍一條配線之至少一部分，而使2條配線並行。

【0050】

<2.第1實施形態>

(像素之構成例)

圖4係顯示本揭示之第1實施形態中之像素100之構成例之圖。

【0051】

圖4之像素100與圖2之像素100之不同點在於具備反饋電晶體201。

【0052】

可對反饋電晶體201使用MOS電晶體。

【0053】

於圖4之像素100，進而配線控制線FB(Feedback：反饋)作為控制線11。控制線FB傳遞控制重設電壓之供給之信號。重設電壓係重設像素100時輸入至像素100之電壓。

【0054】

反饋電晶體201之源極連接於重設電晶體104之汲極與特定電位之節點202。反饋電晶體201之汲極連接於行信號處理部30，閘極連接於控制線FB。

【0055】

節點202對應於圖2之像素100中之節點A。又，於圖4之像素100，形成有與圖2之像素100中之電荷保持部107、108對應之電荷保持部211、212。

【0056】

反饋電晶體201使自行信號處理部30輸出之重設電壓保持於電荷保持部212。

【0057】

電荷保持部212保持自反饋電晶體201輸出之重設電壓。

【0058】

於圖4之例中，重設電晶體104藉由使電荷保持部212與FD103之間導通而將重設電壓施加於FD103，進行重設。

【0059】

電荷保持部211將保持於電荷保持部212之重設電壓傳遞至FD103。

【0060】

通常，重設時，kTC雜訊會殘留於FD103。kTC雜訊係由重設電晶體104之動作而引起之雜訊，且於重設電晶體104自導通狀態轉變為非導通狀態時產生。且，其一部分殘留於FD103。已知kTC雜訊可藉由減小FD103之靜電電容而降低。

【0061】

圖4之像素100中，將電荷保持部211、212與FD103並聯連接，藉此，將FD103之電容分配給電荷保持部211、212。藉此，可降低kTC雜訊。

【0062】

因此，於圖4之像素100中，為了降低kTC雜訊，必須增大電荷保持部211、212之電容。因此，於本實施形態之像素100中，藉由配線佈局，實現電荷保持部211、212之高電容化。

【0063】

(像素之配線佈局)

圖5至圖8係顯示與圖4之像素100對應之第1層至第4層之配線層之配

線佈局之例的俯視圖。

【0064】

於圖5中顯示形成PD101及各像素電晶體之Si基板正上方之第1層配線層M1之配線佈局。

【0065】

於圖5所示之Si基板之大致中央配置有PD101，且於其左上部分形成有傳送電晶體102。於傳送電晶體102之圖中上方，左右排列形成有放大電晶體105與選擇電晶體106。於PD101之圖中上方右側，左右排列形成有重設電晶體104與反饋電晶體201。

【0066】

另，重設電晶體104與反饋電晶體201係構成與圖5所示之PD101之右側相鄰之未圖示之PD101所對應之像素100的像素電晶體。因此，構成與圖5所示之PD101對應之像素100之重設電晶體104與反饋電晶體201形成於未圖示之PD101之左側。

【0067】

圖5中以傾斜格子圖樣顯示配線層M1之配線圖案。

【0068】

於配線層M1中形成連接傳送電晶體102與放大電晶體105之FD配線251-1。配線層M1中，於PD101之正上方，形成有用於藉由反射入射光而使PD101之感度提高之大面積圖案252。

【0069】

又，配線層M1中，於FD配線251-1之圖中左側，形成對傳送電晶體102之閘極供給控制信號之控制線253-1。

【0070】

控制線253-1形成為其之一部分之延伸部及彎曲部與FD配線251-1並行。

【0071】

再者，配線層M1中，於由重設電晶體104與反饋電晶體201所夾之位置，形成有將節點202之電位傳遞至第2層以上之配線層之配線202-1。

【0072】

於圖6，顯示第2層配線層M2之配線佈局。

【0073】

圖6中以點圖樣顯示配線層M2之配線圖案。

【0074】

於配線層M2中，自與配線層M1之配線202-1對應之位置，形成經由配線202-1與導孔電性連接之配線202-2。配線202-2整體上形成為L字型。

【0075】

配線層M2中，於配線202-2之圖中上方，形成有連接於固定電位Vss(GND)之固定電位線271-2a。固定電位線271-2a以沿配線202-2之圖中上側之方式，組合延伸部與L字型、T字型及コ字型之複數個彎曲部而形成。

【0076】

固定電位線271-2a形成為其之一部分之延伸部及彎曲部與配線202-2並行。藉此，在連接於節點202之配線202-2與連接於GND之固定電位線271-2a之間形成配線電容。

【0077】

配線層M2中，於配線202-2之圖中下方，形成經由配線層M1之FD配線251-1與導孔電性連接之FD配線251-2。FD配線251-2將延伸部與L字型、T字型及コ字型之複數個彎曲部組合而形成。

【0078】

FD配線251-2形成為其之一部分之延伸部與配線202-2並行。藉此，在連接於節點202之配線202-2與連接於FD103之FD配線251-2之間形成配線電容(與FD103之耦合電容)。另，於圖6之例中，配線202-2與FD配線251-2係與圖6所示之像素100之右側相鄰之未圖示之像素100所對應之配線。

【0079】

如此，配線層M2中，可以藉由使配線202-2、固定電位線271-2a及FD配線251-2並行而形成之配線電容，實現電荷保持部211、212之高電容化，進而可降低kTC雜訊。

【0080】

又，配線層M2中，於FD配線251-2之圖中下方，形成連接於固定電位Vss之固定電位線271-2b。固定電位線271-2b以沿FD配線251-2之圖中左側、上側及右側之方式，組合延伸部與L字型及コ字型之複數個彎曲部而形成。

【0081】

再者，於配線層M2之圖中右上部分，形成經由配線層M1之控制線253-1與導孔電性連接之控制線253-2。控制線253-2整體上形成為L字型。

【0082】

FD配線251-2形成為其之一部分之延伸部及彎曲部與固定電位線271-2b及控制線253-2並行。藉此，在連接於FD103之FD配線251-2與固定電位線271-2b及控制線253-2之間亦形成配線電容。

【0083】

此處，連接於蓄積成為像素信號之電荷之FD103及電荷保持部211、212之信號線即配線202-2與FD配線251-2較佳如圖6所示，由固定電位線271-2a、271-2b及控制線253-2包圍其等之周圍，而與相鄰像素之信號線屏蔽。

【0084】

於圖7，顯示第3層配線層M3之配線佈局。

【0085】

於圖7中，以右上升對角線圖樣顯示配線層M3之配線圖案。如圖7所示，配線層M3之配線圖案主要以沿圖中左右方向延伸之方式形成。

【0086】

配線層M3中，於與PD101之大致左半部分對應之位置，形成經由配線層M2之配線202-2與導孔電性連接之配線202-3a。配線202-3a係將延伸部與T字型及十字型之複數個彎曲部組合而形成。

【0087】

同樣地，配線層M3中，於與PD101之大致右半部分對應之位置，形成經由配線層M2之配線202-2與導孔電性連接之配線202-3b。配線202-3b將延伸部與L字型、T字型及コ字型之複數個彎曲部組合而形成。

【0088】

又，於配線層M3，形成有連接於固定電位V_{ss}之固定電位線271-3。固定電位線271-3以包圍配線202-3a、202-3b各者之四周之方式，將延伸部與L字型、T字型及十字型之複數個彎曲部組合而形成。

【0089】

尤其，配線202-3a、202-3b與固定電位線271-3形成為各自之一部分相互對向之梳齒狀。

【0090】

再者，配線層M3中，於配線202-3a、202-3b及固定電位線271-3之圖中上方，形成經由配線層M2之控制線253-2與導孔電性連接之控制線253-3。控制線253-3形成為沿圖中左右方向延伸之直線狀。

【0091】

如此，於配線層M3中，固定電位線271-3亦形成為其之一部分之延伸部與彎曲部與配線202-3a、202-3b並行。藉此，在連接於節點202之配線202-3a、202-3b與連接於GND之固定電位線271-3之間形成配線電容。

【0092】

此處，連接於蓄積成為像素信號之電荷之電荷保持部211、212之信號線即配線202-3a、202-3b如圖7所示，由固定電位線271-3及控制線253-3包圍其等之周圍，而與相鄰像素之信號線屏蔽。

【0093】

於圖8，顯示第4層配線層M4之配線佈局。

【0094】

圖8中以格子圖樣顯示配線層M4之配線圖案。

【0095】

於配線層M4，連接於固定電位V_{ss}之固定電位線271-4形成為複數條屏蔽配線。屏蔽固定電位線271-4以沿圖中上下方向直線狀地延伸之方式，沿左右方向排列複數條而形成。藉此，抑制連接於蓄積成為像素信號之電荷之FD103及電荷保持部211、212之信號線彼此之串擾。

【0096】

另，像素100具備藉由於同一配線層內並行之配線形成配線電容之構成，亦具備於不同之配線層內形成配線電容之構成。

【0097】

圖9係顯示像素100之配線層之剖面之例之圖。

【0098】

於圖9，顯示Si基板301與配線層M1至M3中之各配線之剖面。

【0099】

Si基板301中，於形成較大之P型擴散層之中，形成成為節點202之N型擴散層310。形成於Si基板301之擴散層310與配線層M1之配線202-1藉由接點311連接。又，配線層M1之配線202-1與配線層M2之配線202-2藉由導孔312連接。

【0100】

圖9之例中，於配線層M2內，使特定電位之配線202-2、固定電位線271-2及FD配線251-2並行。又，於配線層M3內，使特定電位之配線202-3與固定電位線271-3並行。

【0101】

再者，圖9之例中，於配線層M2與配線層M3之間，使特定電位之配線202-2與固定電位線271-3並行，使固定電位線271-2與特定電位之配線

202-3並行。

【0102】

如此，於本實施形態之像素100中，不僅於同一配線層內，亦於不同之配線層間，藉由使配線並行而形成配線電容。

【0103】

根據以上之構成，可以藉由使連接於特定電壓之節點之配線、固定電位線及FD配線並行而形成之配線電容，實現與FD並聯連接之電荷保持部之高電容化，進而可降低kTC雜訊。

【0104】

另，期望上述之配線層M1至M4之配線圖案於所有之像素100中以同一之配線佈局形成。藉此，可降低像素100間之感度不均一性。

【0105】

<3.第2實施形態>

於進行全域快門方式之攝像之固態攝像元件中，無法於像素間共用讀出電路。因此，為了能於後段之電路中接收像素信號，必須縮小像素信號之電壓振幅。因此，必須藉由使FD高電容化來刻意地降低轉換效率。

【0106】

然而，當縮小像素尺寸時，由於FD配線之牽拉區域變窄，故難以擴大FD電容，而難以實現期望之轉換效率。

【0107】

另一方面，於成為攝像對象之波長為長波長之情形時，為了提高形成於Si基板之PD中之量子效率，於上述之實施形態中，如參照圖5所說明，於PD正上方，形成用於藉由反射入射光而使PD之感度提高之大面積

圖案252。

【0108】

於本實施形態中，亦可取代大面積圖案，而於PD正上方形成並行之配線。

【0109】

圖10係顯示與像素100對應之第1層配線層M1之配線佈局之另一例例之俯視圖。

【0110】

圖10之例中，於配線層M1中，於PD101之正上方，形成特定電位之配線202-1、FD配線251-1、及固定電位線271-1。

【0111】

於PD101之正上方，梳齒狀之配線202-1與L字型之FD配線251-1之一部分以並行之方式形成，且以包圍配線202-1與FD配線251-1之方式形成有梳齒狀之固定電位線271-1。尤其，配線202-1與固定電位線271-1以梳齒狀部分相互對向之方式形成。

【0112】

PD101之正上方之配線202-1、FD配線251-1及固定電位線271-1形成為該等之L/S(圖案之線寬與圖案彼此之間隔)較成為攝像對象之波長更窄。

【0113】

藉由此種構成，即使於像素尺寸變小之情形時，亦可實現利用反射入射光而提高PD之感度、與FD及電荷保持部之高電容化。

【0114】

另，圖10之例中，亦期望配線層M1之配線圖案於所有像素100中以同一配線佈局形成。藉此，可降低像素100間之感度不均一性。

【0115】

<4.第3實施形態>

圖11係顯示像素100之配線層之剖面之另一例之圖。

【0116】

於圖11之例中，於在配線層M2、M3內形成配線電容之配線間，設置具有高介電常數之High-k膜331作為絕緣膜。

【0117】

藉此，可進一步擴大藉由並行之配線形成之配線電容。

【0118】

另，於未形成並行之配線(無須形成配線電容)之配線層(例如，配線層M4)，不使用High-k膜作為絕緣膜，藉此可抑制不期望之配線電容增大。

【0119】

<5.第4實施形態>

圖12係顯示像素100之配線層之剖面之進而另一例之圖。

【0120】

於圖12之例，於Si基板301，取代擴散層310而形成有擴散層310'。擴散層310'形成為具有較形成像素電晶體之擴散層351更寬之面積。

【0121】

再者，亦可藉由較形成像素電晶體之擴散層351更高濃度之離子注入，形成擴散層310'。

【0122】

藉此，可以使配線並行以外之構成，實現電荷保持部之高電容化。

【0123】

< 6.第5實施形態 >

圖13係對去除進行全域快門動作之像素100中之kTC雜訊進行說明之圖。

【0124】

首先，如圖13A所示，當重設電晶體(RST)接通時，重設FD之電位。

【0125】

其次，如圖13B所示，當重設電晶體(RST)斷開時，kTC雜訊(ΔV_{kTC})殘留於FD。

【0126】

隨後，如圖13C所示，當反饋電晶體(FB)接通時，FD之電位與基準信號平衡，藉此去除殘留於FD之kTC雜訊。

【0127】

再者，如圖13D所示，當反饋電晶體(FB)斷開時，kTC雜訊(ΔV)再次殘留於FD。其中，藉由電荷保持部之電容 C_{FB} 與FD之電容之耦合電容之電容分配來降低kTC雜訊。

【0128】

藉由如上之動作，雖可降低重設時之kTC雜訊，但FD之電位較通常之像素更淺，而產生傳送不良。

【0129】

因此，於圖5之配線層M1中，以並行之方式形成FD配線251-1與對傳

送電晶體102之閘極供給控制信號之控制線253-1。

【0130】

又，於圖6之配線層M2中，以並行之方式形成FD配線251-2及與控制線253-1連接之控制線253-2。

【0131】

藉此，於傳送電晶體102接通時，可藉由耦合將FD之電位升壓，可改善FD之電位變淺所致之傳送不良。

【0132】

< 7.第6實施形態 >

圖14係顯示相鄰之配線層之配線佈局之例之俯視圖。

【0133】

於圖14之左側，顯示特定電位之配線202-N與固定電位線271-N作為形成於第N層配線層之配線。

【0134】

配線202-N形成為沿圖中左右方向延伸之梳齒狀，固定電位線271-N具有與配線202-N對向之梳齒狀部分，且以包圍配線202-N之方式形成。

【0135】

於圖14之右側，顯示特定電位之配線202-M與固定電位線271-M作為形成於與第N層配線層相鄰之第N+1或第N-1層之配線層之配線。

【0136】

配線202-M形成為沿圖中上下方向延伸之梳齒狀，固定電位線271-M具有與配線202-M對向之梳齒狀部分，且以包圍配線202-M之方式形成。

【0137】

即，第N層配線層202-N及固定電位線271-N與第N+1或第N-1層配線層202-M及固定電位線271-M之延伸方向正交。

【0138】

例如，於將並行之配線之延伸方向於相鄰之配線層間設為同一方向之情形時，藉由製程不均發生配線佈局偏移時之因配線層間之配線彼此形成之配線電容之電容變動變大。

【0139】

相對於此，如圖14所示，可藉由使並行之配線之延伸方向於相鄰之配線層間正交，而降低因製程不均發生配線佈局偏移時之電容變動。

【0140】

< 8.第7實施形態 >

圖15係顯示像素100之配線層之剖面之進而另一例之圖。又，圖16係顯示圖15之配線層之配線佈局之例的俯視圖。

【0141】

於圖15及圖16之例中，形成並行之配線202-2或固定電位線271-2等，於配線層M2之上層配線層M3，形成實心配線373。進而，於配線層M3之上層配線層M4，形成連接於固定電位V_{ss}之實心配線374。

【0142】

藉此，除電荷保持部之高電容化以外，亦可藉由實心配線中對入射光之反射來實現PD之感度提高。

【0143】

< 9.第8實施形態 >

圖17係顯示像素100之另一構成例之圖。

【0144】

圖17之像素100與圖2之像素100之不同點在於：代替電荷保持部107、108，而具備轉換效率切換開關401與電容402。

【0145】

可對轉換效率切換開關401使用MOS電晶體。

【0146】

轉換效率切換開關401之一端連接於傳送電晶體102之汲極、放大電晶體105之閘極及重設電晶體104之源極，另一端連接於特定電位之節點411。

【0147】

轉換效率切換開關401作為用於切換轉換效率之開關發揮功能。又，電容402由配線電容形成。

【0148】

藉由接通或斷開轉換效率切換開關401，將FD103之附加電容設為有效或無效。於接通轉換效率切換開關401之情形時，包含轉換效率切換開關401自身之電容、擴散電容、配線電容(電容402)之附加電容有效。相反地，於斷開切轉換效率切換開關401之情形時，附加電容無效。

【0149】

於圖17所示之像素100中，亦可應用本揭示之技術之配線佈局。藉此，可謀求電容402之高電容化。

【0150】

<10.電子機器之構成例>

如上述之固態攝像元件1可應用於例如數位靜態相機或數位攝影機等

之攝像系統、具備攝像功能之行動電話、或具備攝像功能之其他機器等各種電子機器。

【0151】

圖18係顯示應用本揭示之電子機器即攝像裝置之構成例之方塊圖。

【0152】

如圖18所示，攝像裝置501具備光學系統502、固態攝像元件503、DSP(Digital Signal Processor：數位信號處理器)504，且經由匯流排507，連接DSP504、顯示裝置505、操作系統506、記憶體508、記錄裝置509及電源系統510而構成，可拍攝靜態圖像及動態圖像。

【0153】

光學系統502具有1片或複數片透鏡而構成，將來自被攝體之圖像光(入射光)導入至固態攝像元件503，使其成像於固態攝像元件503之受光面(感測器部)。

【0154】

作為固態攝像元件503，應用具有上述之任一構成例之像素100之固態攝像元件1。於固態攝像元件503，根據經由光學系統502成像於受光面之圖像，於特定期間蓄積電子。且，將對應於固態攝像元件503所蓄積之電子之信號供給至DSP504。

【0155】

DSP504對來自固態攝像元件503之信號實施各種信號處理取得圖像，並使該圖像之資料暫時記憶於記憶體508。記憶於記憶體508之圖像資料記錄於記錄裝置509，或供給至顯示裝置505而顯示圖像。又，操作系統506受理使用者之各種操作並對攝像裝置501之各區塊供給操作信

號，電源系統510供給驅動攝像裝置501之各區塊所需之電力。

【0156】

於如此構成之攝像裝置501中，藉由應用如上所述之固態攝像元件1作為固態攝像元件503，可以電荷保持部之高電容化來降低kTC雜訊，因此，可謀求畫質之提高。

【0157】

另，本揭示之實施形態並非限定於上述之實施形態者，於未脫離本揭示之主旨之範圍內可進行多種變更。

【0158】

再者，本揭示可採用如以下之構成。

(1)

一種固態攝像元件，其具備像素，該像素具有：

光電二極體；

FD，其蓄積上述光電二極體中產生之電荷；及

電荷保持部，其與上述FD並聯連接；且

上述電荷保持部包含由連接於第1電位之第1配線及連接於與上述第1電位不同之第2電位之第2配線並行而形成的配線電容。

(2)

如(1)記載之固態攝像元件，其中

上述第1配線及上述第2配線具有沿一方向延伸之延伸部、及沿特定之方向彎曲之彎曲部。

(3)

如(2)記載之固態攝像元件，其中

上述第1配線及上述第2配線之上述彎曲部形成為L字型、T字型、コ字型及十字型之任一者。

(4)

如(3)記載之固態攝像元件，其中

上述第1配線及上述第2配線形成於1層以上之配線層，且

上述第1配線及上述第2配線之一部分形成於上述光電二極體之正上方。

(5)

如(4)記載之固態攝像元件，其中

上述第1配線及上述第2配線之一部分形成於基板正上方之第1層之上述配線層。

(6)

如(5)記載之固態攝像元件，其中

上述第1配線及上述第2配線之一部分形成為線寬及間隔較成為攝像對象之波長更窄。

(7)

如(6)記載之固態攝像元件，其中

上述第1配線及上述第2配線之一部分各自形成為於同一上述配線層中相互對向之梳齒狀。

(8)

如(4)至(7)中任一項記載之固態攝像元件，其中

上述第2配線形成作為連接於上述FD之FD配線、固定電位線及像素電晶體之控制線之至少任一者。

(9)

如(8)記載之固態攝像元件，其中
上述固定電位線之電位為GND。

(10)

如(8)或(9)記載之固態攝像元件，其中
像素電晶體為傳送電晶體。

(11)

如(8)至(10)中任一項記載之固態攝像元件，其中
上述第1配線藉由與上述FD配線並行而形成與上述FD之耦合電容。

(12)

如(11)記載之固態攝像元件，其中
上述第1配線與上述FD配線形成於由上述固定電位線或上述控制線包圍之區域。

(13)

如(12)記載之固態攝像元件，其中
上述第1配線及上述第2配線於所有的上述像素中以同一之配線佈局形成。

(14)

如(13)記載之固態攝像元件，其中
上述第1配線及上述第2配線於同一上述配線層內，形成上述配線電容。

(15)

如(13)記載之固態攝像元件，其中

上述第1配線及上述第2配線於不同之上述配線層間，形成上述配線電容。

(16)

如(13)記載之固態攝像元件，其中

上述第1配線及上述第2配線於同一上述配線層內且不同之上述配線層間，形成上述配線電容。

(17)

如(13)記載之固態攝像元件，其中

上述第1配線及上述第2配線之延伸方向於相鄰之上述配線層間正交。

(18)

如(13)至(17)中任一項記載之固態攝像元件，其中

使用High-K膜作為上述第1配線與上述第2配線之間之絕緣膜。

(19)

如(13)至(18)中任一項記載之固態攝像元件，其中

連接於上述第1配線之基板內之擴散層具有較形成上述像素電晶體之其他擴散層更寬之面積。

(20)

一種電子機器，其具備固態攝像元件，該固態攝像元件具備像素，該像素具有：

光電二極體；

FD，其蓄積上述光電二極體中產生之電荷；及

電荷保持部，其與上述FD並聯連接；且

上述電荷保持部包含由連接於第1電位之第1配線及連接於與上述第1電位不同之第2電位之第2配線並行而形成的配線電容。

【符號說明】

【0159】

1	固態攝像元件	
10	像素陣列部	
11	控制線	
12	垂直信號線	
20	垂直驅動部	
30	行信號處理部	40 基準信號供給部
41	基準信號線	
50	參考信號產生部	
51	參考信號線	
100	像素	
101	PD	
102	傳送電晶體	
103	FD	
104	重設電晶體	
105	放大電晶體	
106	選擇電晶體	
107	選擇電晶體	
108	電荷保持部	
151	配線	

152	FD配線
153	固定電位線
201	反饋電晶體
202	節點
202-1	配線
202-2	配線
202-3	配線
202-3a	配線
202-3b	配線
202-M	配線
202-N	配線
211	電荷保持部
212	電荷保持部
251-1	FD配線
251-2	FD配線
252	大面積圖案
253-1	控制線
253-2	控制線
253-3	控制線
271-1	固定電位線
271-2	固定電位線
271-2a	固定電位線
271-2b	固定電位線

271-3	固定電位線
271-4	屏蔽固定電位線
271-M	固定電位線
271-N	固定電位線
301	Si基板
310	擴散層
310'	擴散層
311	接點
312	導孔
331	High-k膜
351	擴散層
373	實心配線
374	實心配線
401	轉換效率切換開關
402	電容
411	節點
501	攝像裝置
502	光學系統
503	固態攝像元件
504	DSP
505	顯示裝置
506	操作系統
507	匯流排

508	記憶體
509	記錄裝置
510	電源系統
C_{FB}	電容
FB	控制線
M1	配線層
M2	配線層
M3	配線層
M4	配線層
RST	控制線
SEL	控制線
TRG	控制線
Vdd	電源線
ΔV	kTC雜訊
$\Delta V k T c$	kTC雜訊

【發明申請專利範圍】

【第1項】

一種固態攝像元件，其具備像素，該像素具有：

光電二極體；

浮動擴散區(Floating Diffusion，FD)，其蓄積上述光電二極體中產生之電荷；及

電荷保持部，其與上述浮動擴散區並聯連接；且

上述電荷保持部包含由連接於第1電位之第1配線及連接於與上述第1電位不同之第2電位之第2配線並行而形成的配線電容，

上述第1配線及上述第2配線具有沿一方向延伸之延伸部、及沿特定方向彎曲之彎曲部。

【第2項】

如請求項1之固態攝像元件，其中

上述第1配線及上述第2配線之上述彎曲部形成為L字型、T字型、コ字型及十字型之任一者。

【第3項】

如請求項2之固態攝像元件，其中

上述第1配線及上述第2配線形成於1層以上之配線層，且

上述第1配線及上述第2配線之一部分形成於上述光電二極體之正上方。

【第4項】

如請求項3之固態攝像元件，其中

上述第1配線及上述第2配線之一部分形成於基板正上方之第1層之上

述配線層。

【第5項】

如請求項4之固態攝像元件，其中

上述第1配線及上述第2配線之一部分形成為線寬及間隔較成為攝像對象之波長更窄。

【第6項】

如請求項5之固態攝像元件，其中

上述第1配線及上述第2配線之一部分各自形成為於同一上述配線層中相互對向之梳齒狀。

【第7項】

如請求項3之固態攝像元件，其中

上述第2配線形成作為連接於上述浮動擴散區之浮動擴散區配線、固定電位線及像素電晶體之控制線之至少任一者。

【第8項】

如請求項7之固態攝像元件，其中

上述固定電位線之電位為接地電位(GROUND，GND)。

【第9項】

如請求項7之固態攝像元件，其中

像素電晶體為傳送電晶體。

【第10項】

如請求項7之固態攝像元件，其中

上述第1配線藉由與上述浮動擴散區配線並行而形成與上述浮動擴散區之耦合電容。

【第11項】

如請求項10之固態攝像元件，其中

上述第1配線與上述浮動擴散區配線形成於由上述固定電位線或上述控制線包圍之區域。

【第12項】

如請求項11之固態攝像元件，其中

上述第1配線及上述第2配線於所有的上述像素中以同一配線佈局形成。

【第13項】

如請求項12之固態攝像元件，其中

上述第1配線及上述第2配線於同一上述配線層內，形成上述配線電容。

【第14項】

如請求項12之固態攝像元件，其中

上述第1配線及上述第2配線於不同之上述配線層間，形成上述配線電容。

【第15項】

如請求項12之固態攝像元件，其中

上述第1配線及上述第2配線於同一上述配線層內且不同之上述配線層間，形成上述配線電容。

【第16項】

如請求項12之固態攝像元件，其中

上述第1配線及上述第2配線之延伸方向於相鄰之上述配線層間正

交。

【第17項】

如請求項12之固態攝像元件，其中

使用High-K膜作為上述第1配線與上述第2配線之間之絕緣膜。

【第18項】

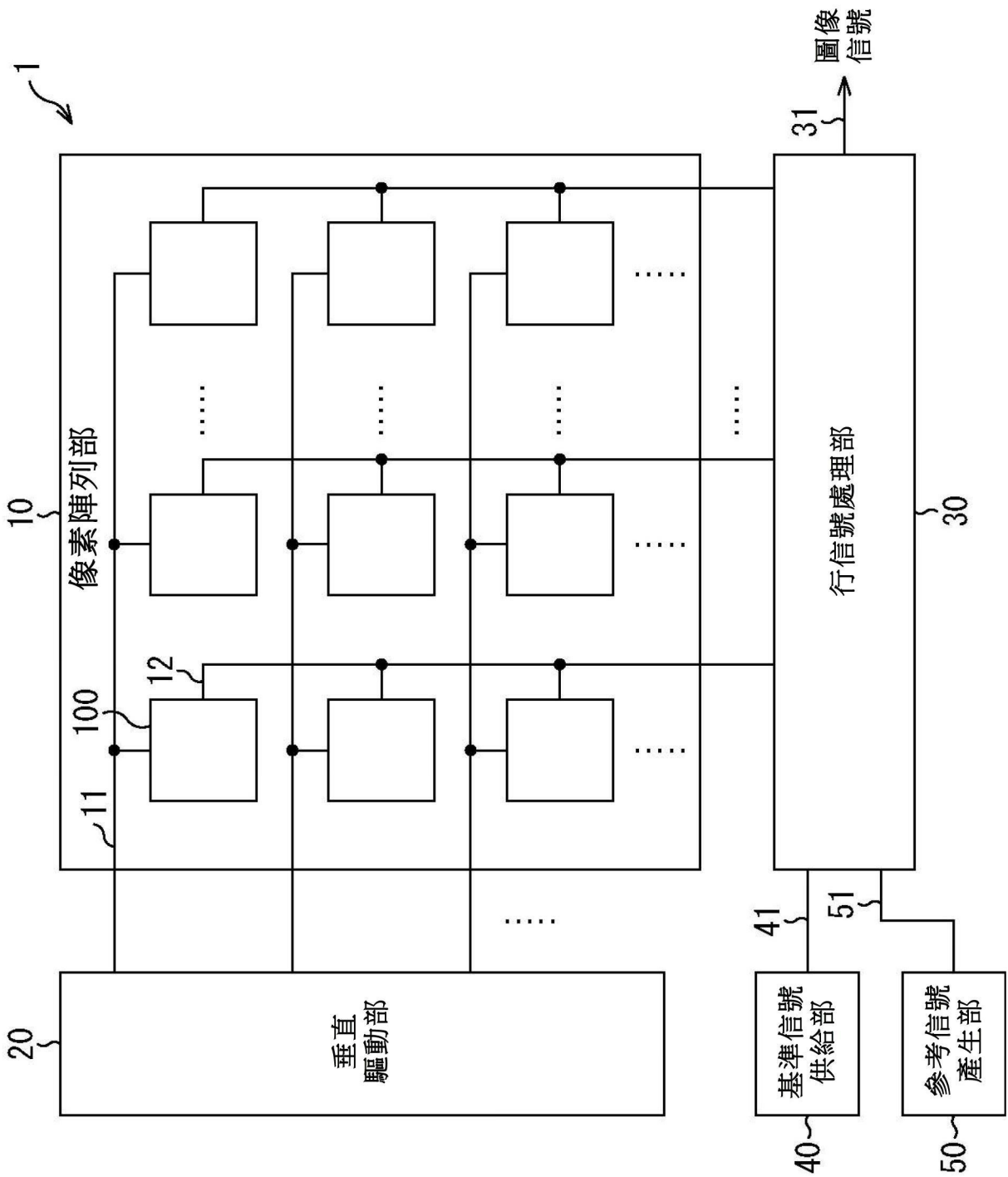
如請求項12之固態攝像元件，其中

連接於上述第1配線之基板內之擴散層具有較形成上述像素電晶體之其他擴散層更寬之面積。

【第19項】

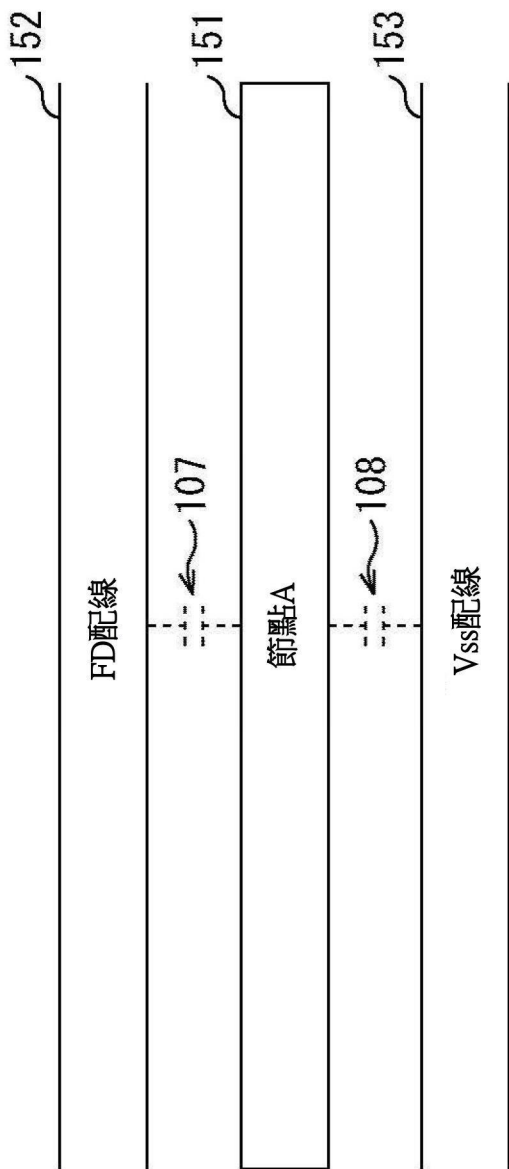
一種電子機器，其具備如請求項1至18中任一項之固態攝像元件。

【發明圖式】

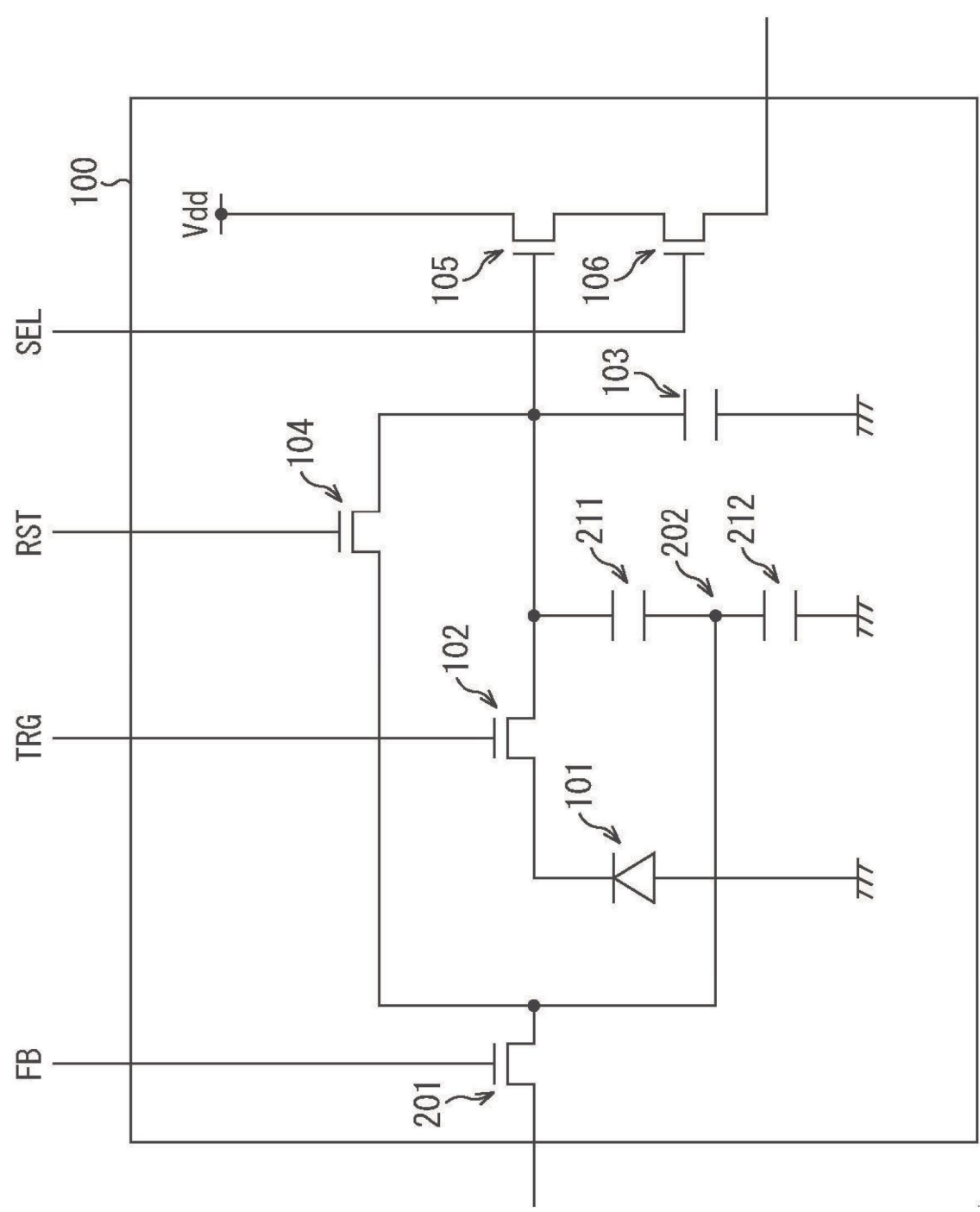


【圖1】

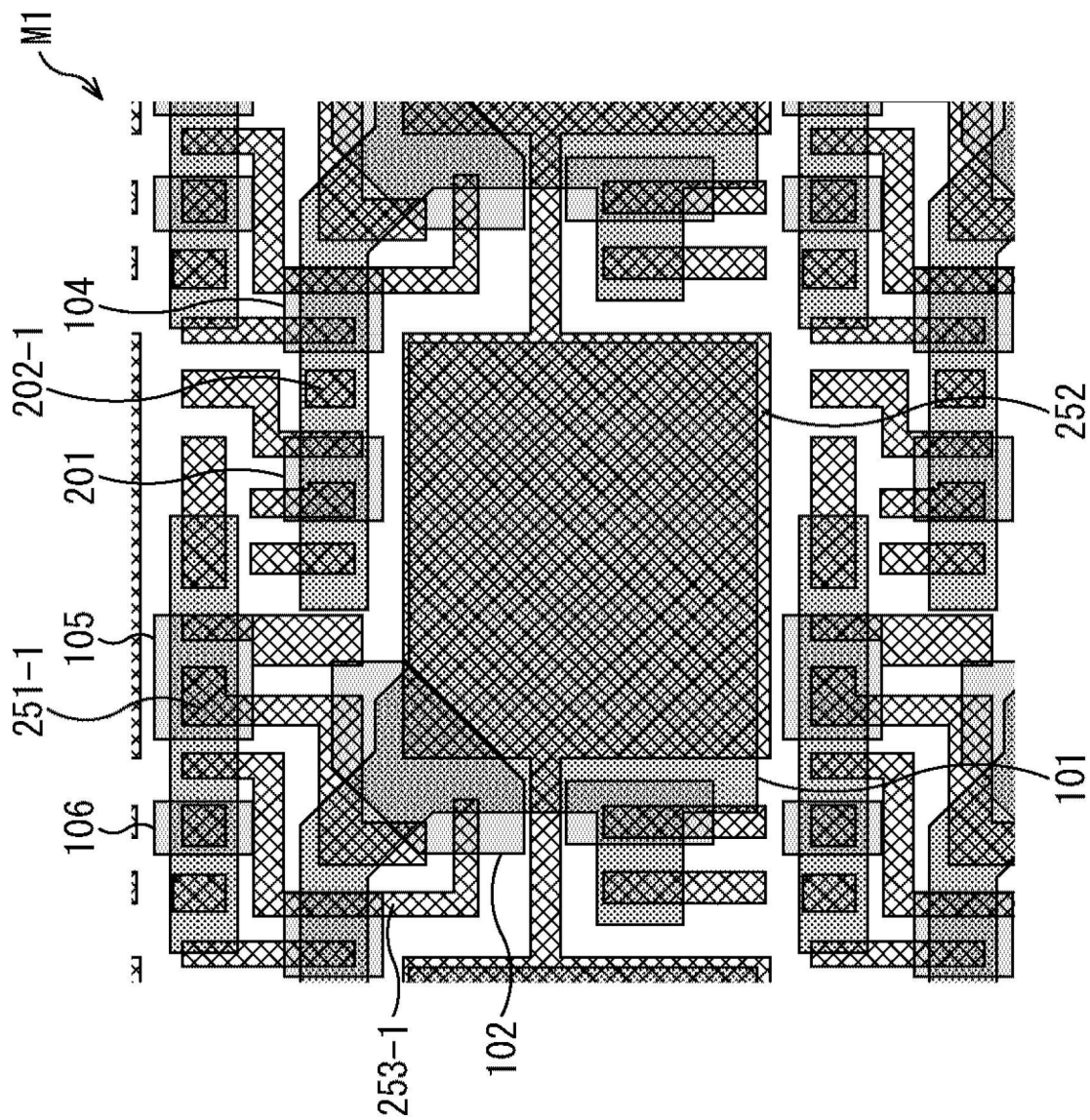




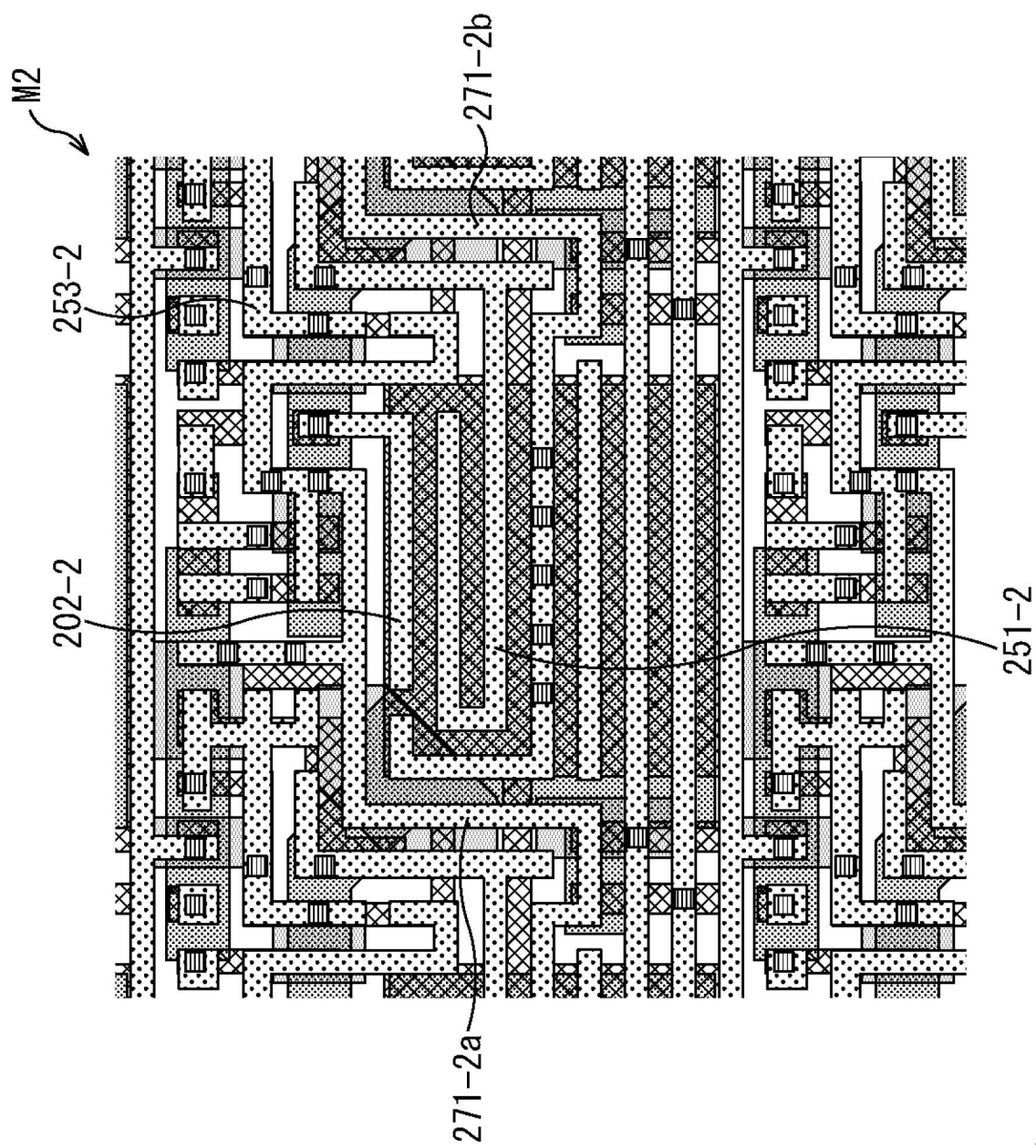
【圖3】



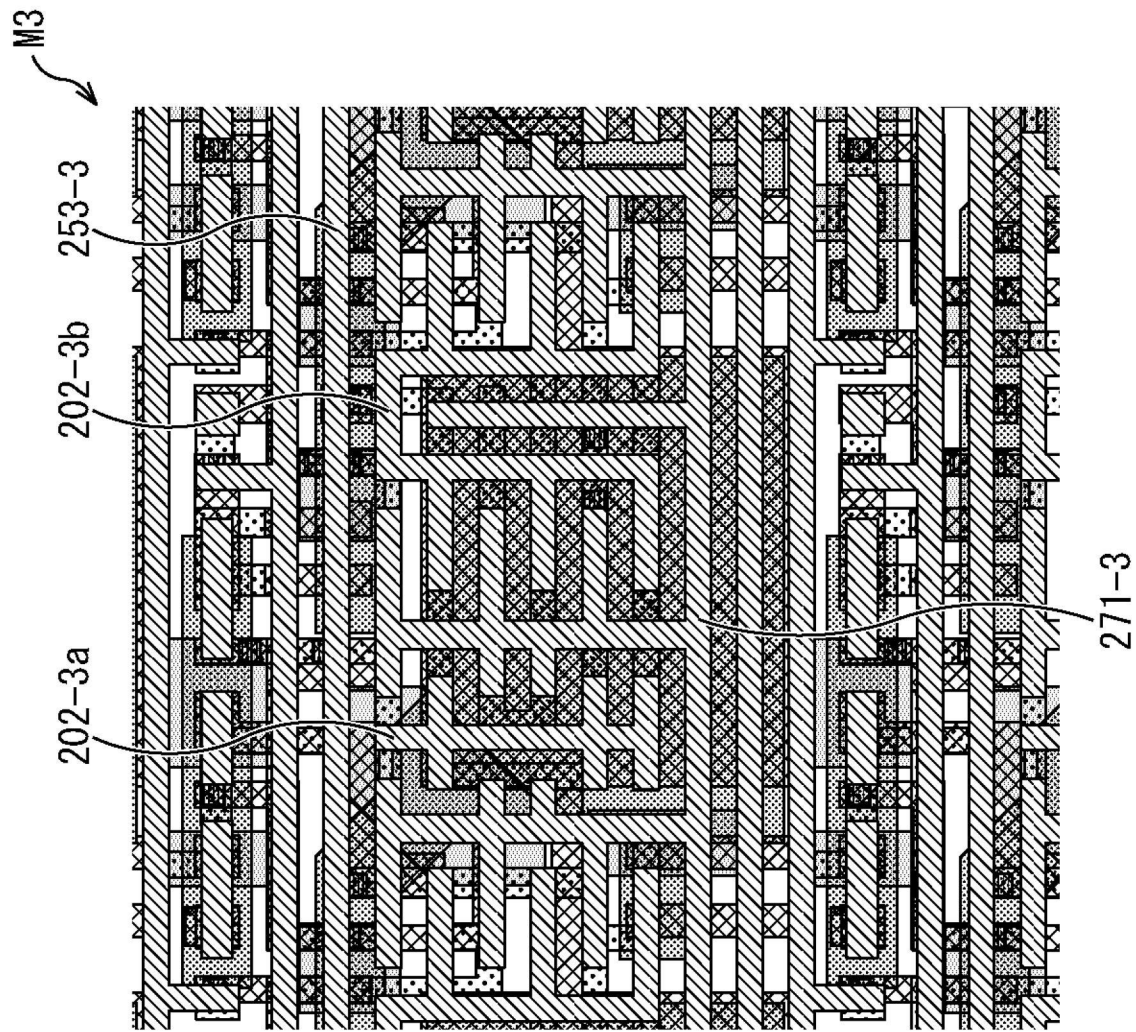
【圖4】



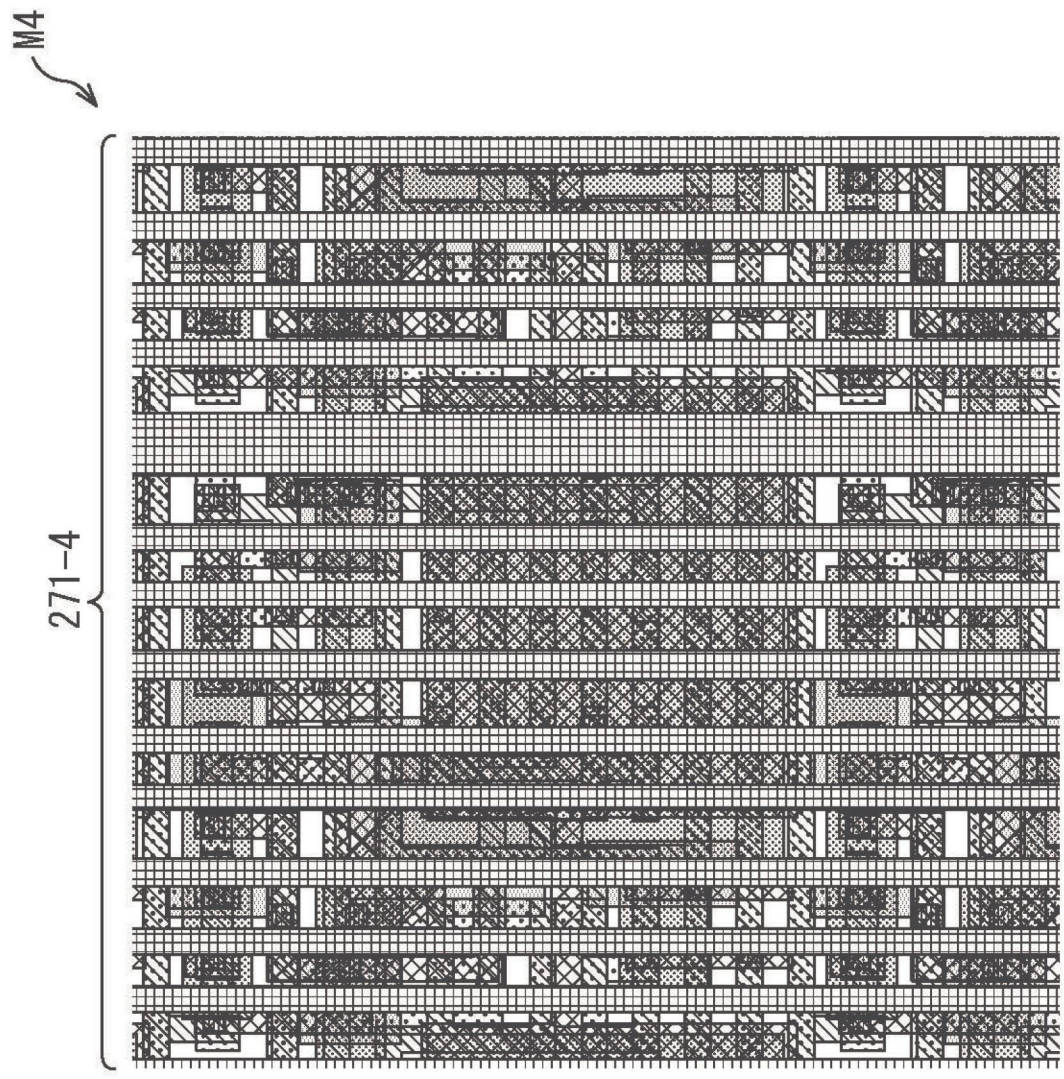
【圖5】



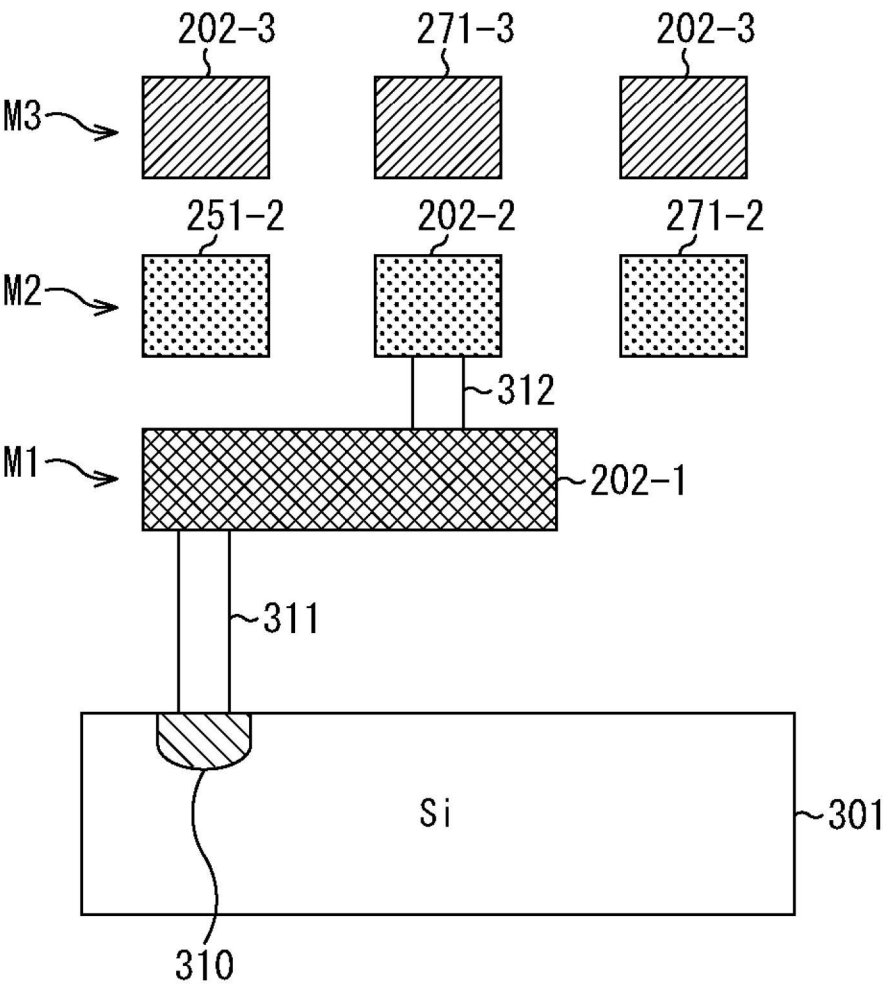
【圖6】



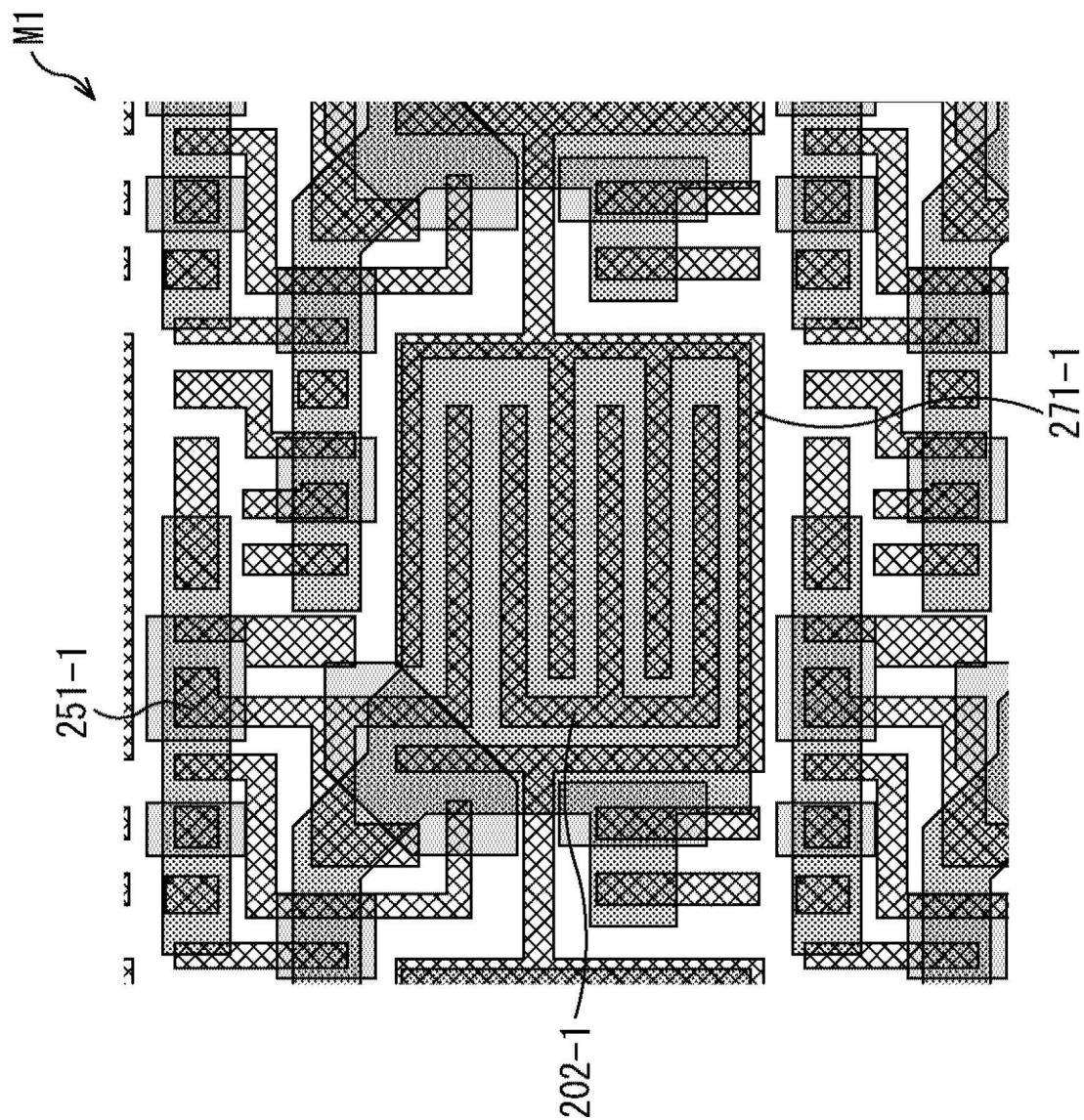
【圖7】



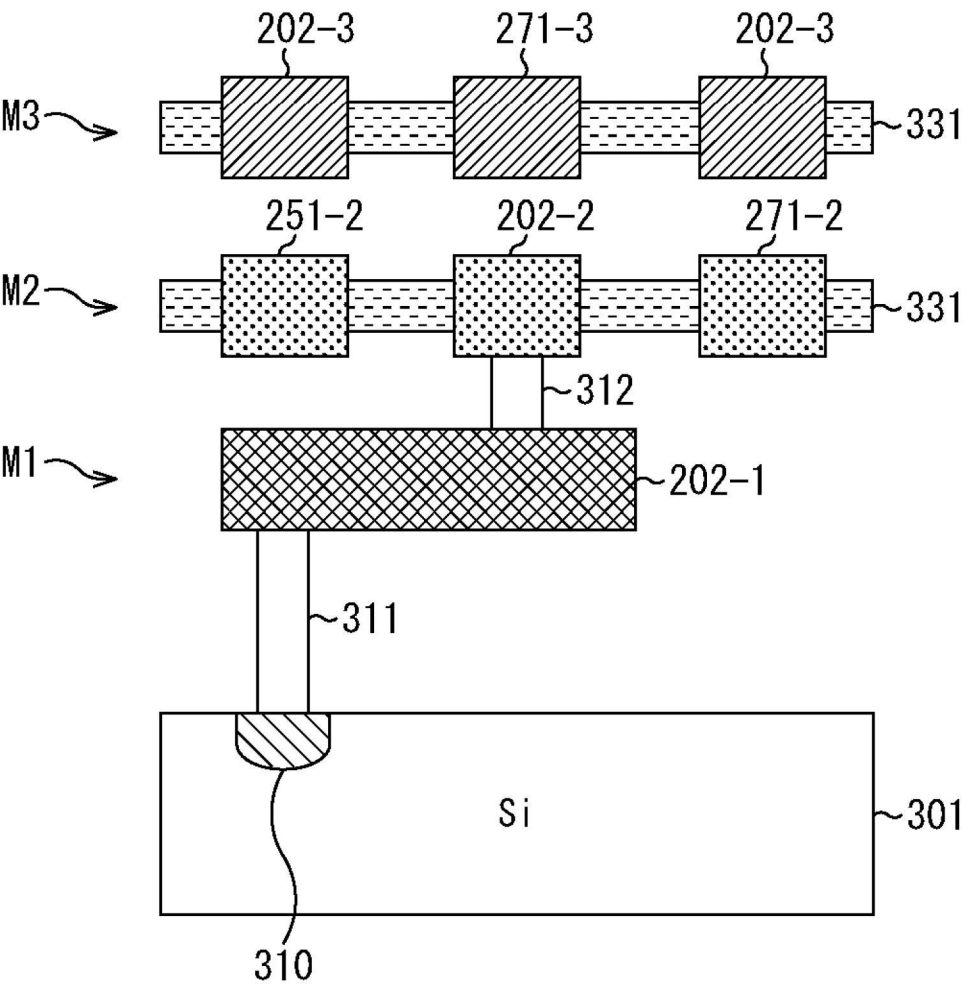
【圖8】



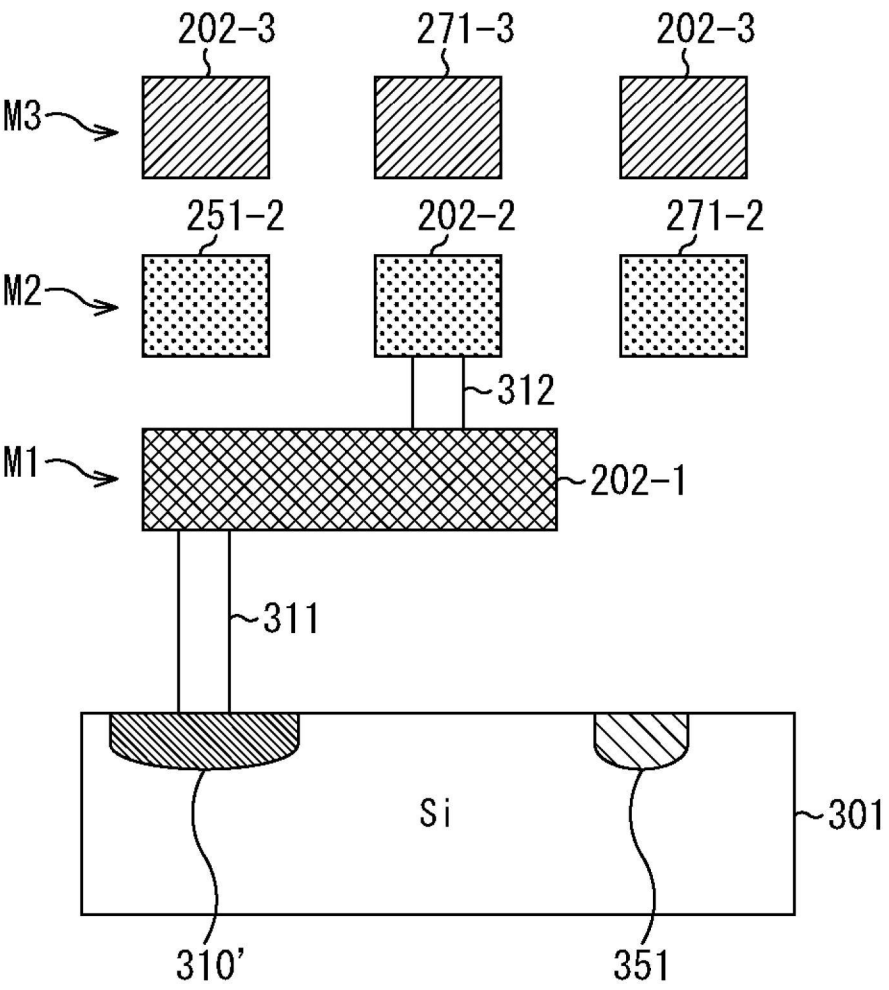
【圖9】



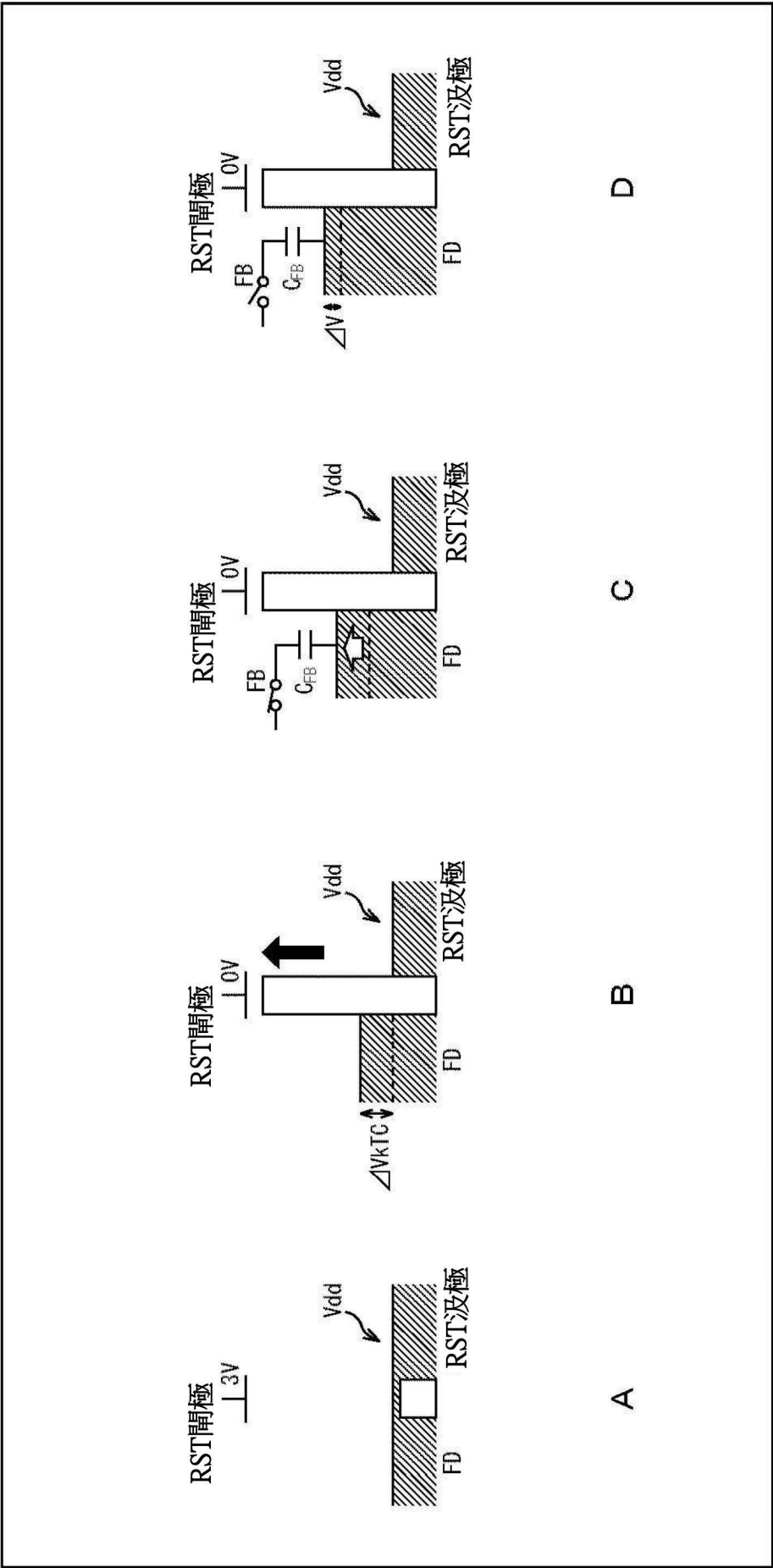
【圖10】



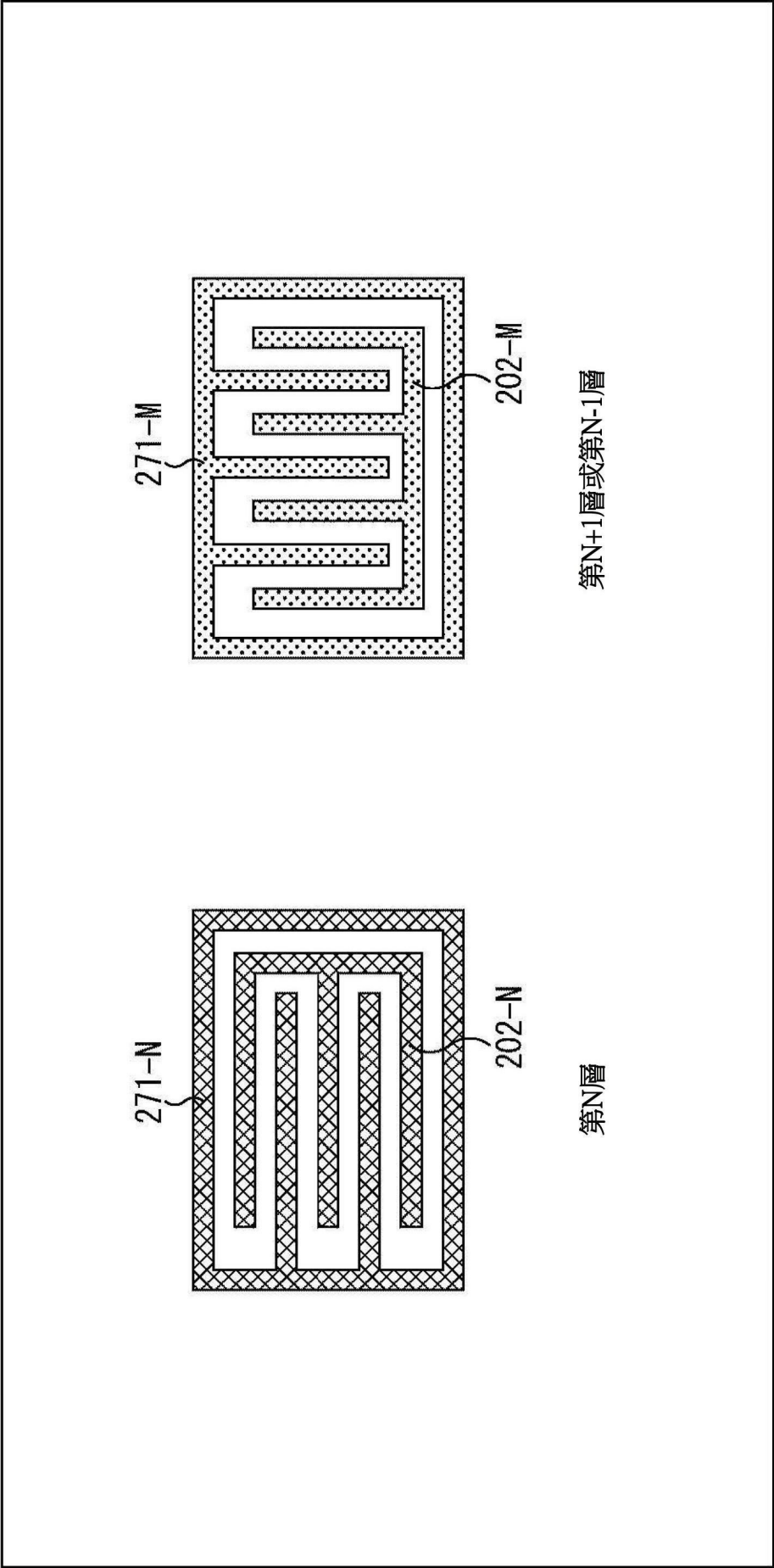
【圖11】



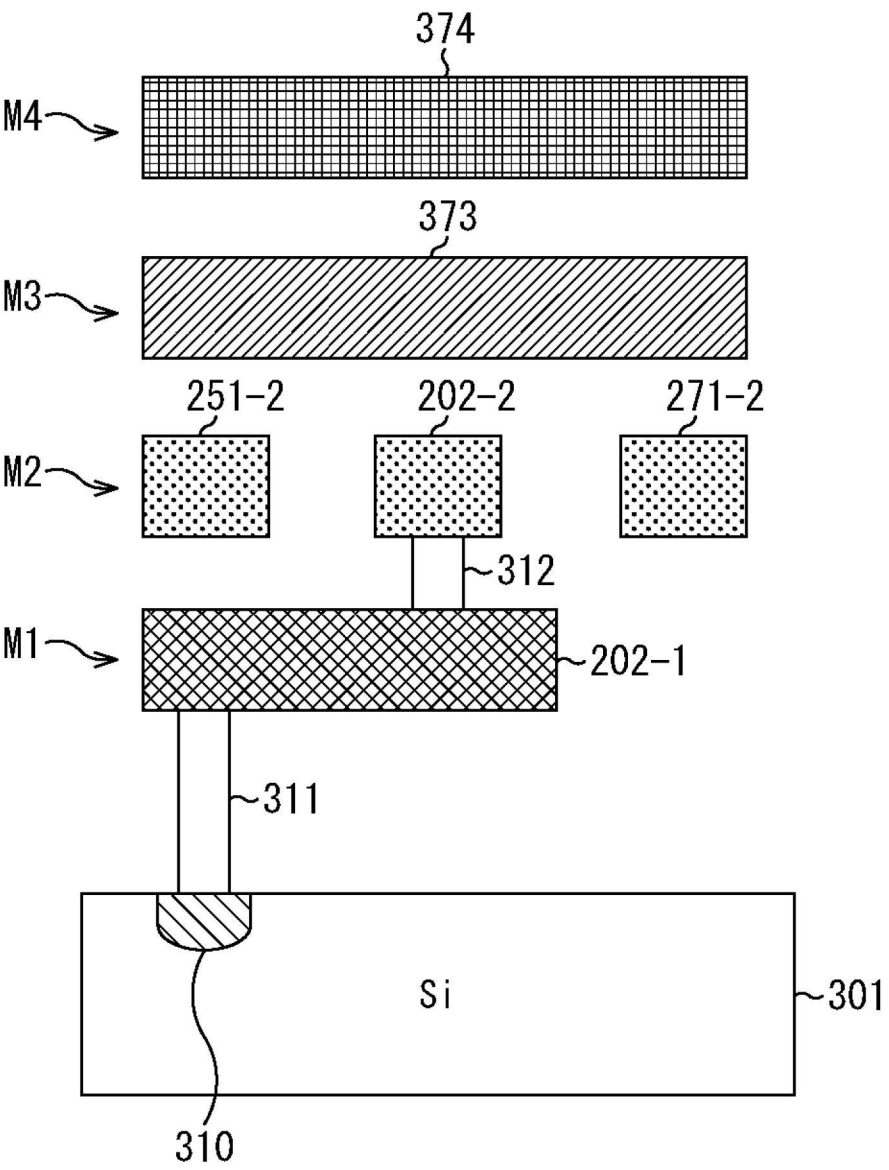
【圖12】



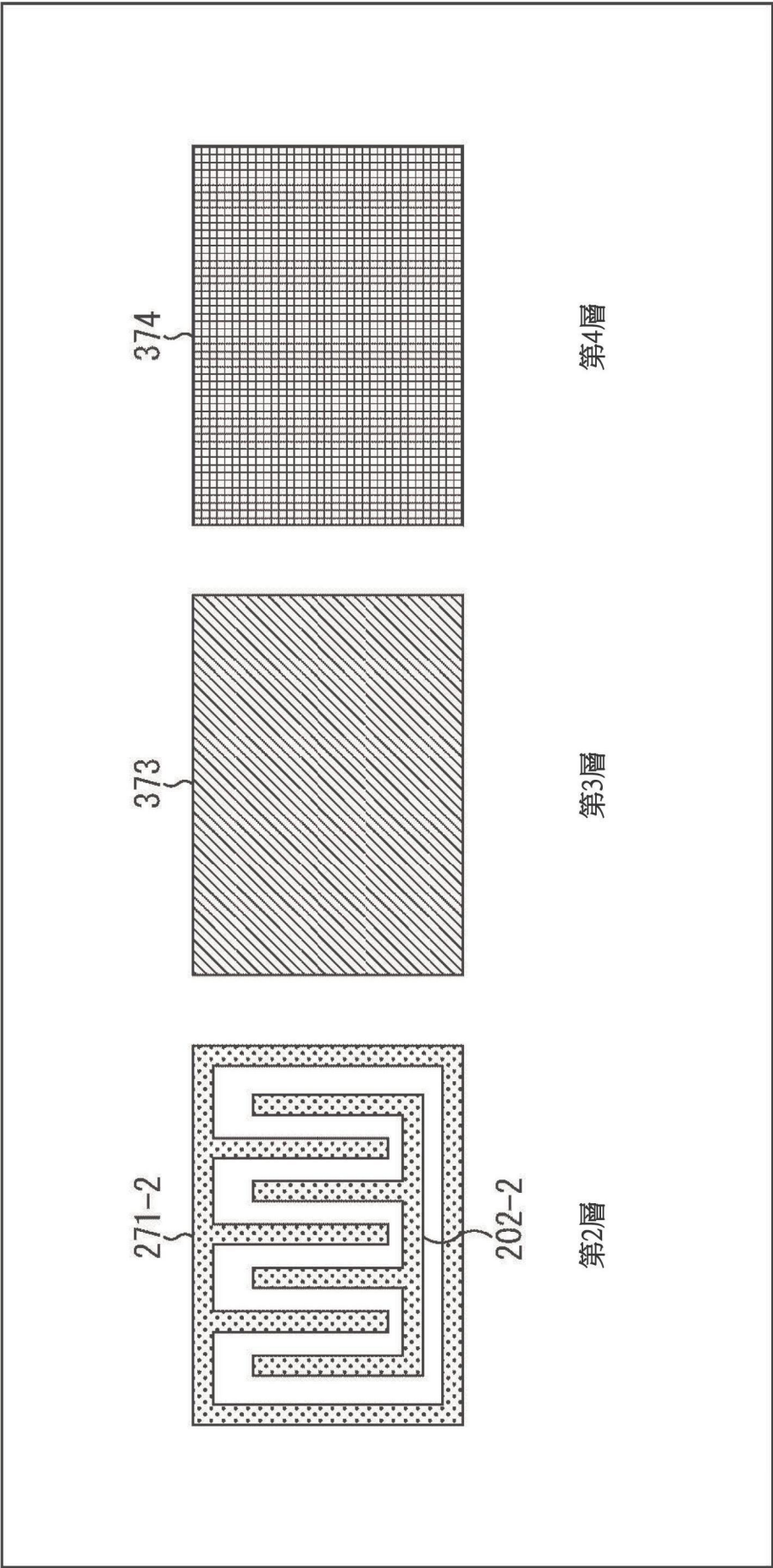
【圖13】



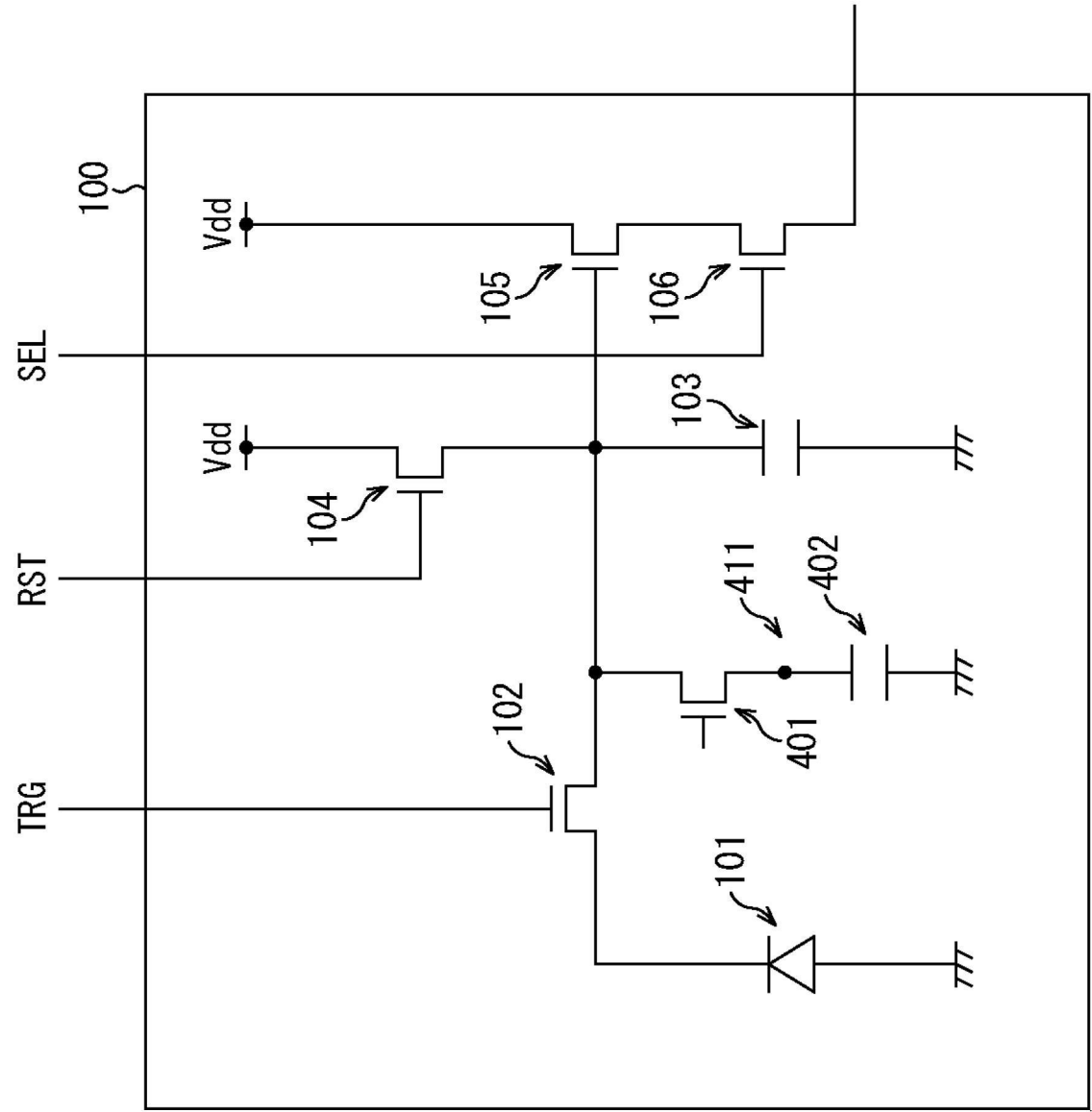
【圖14】



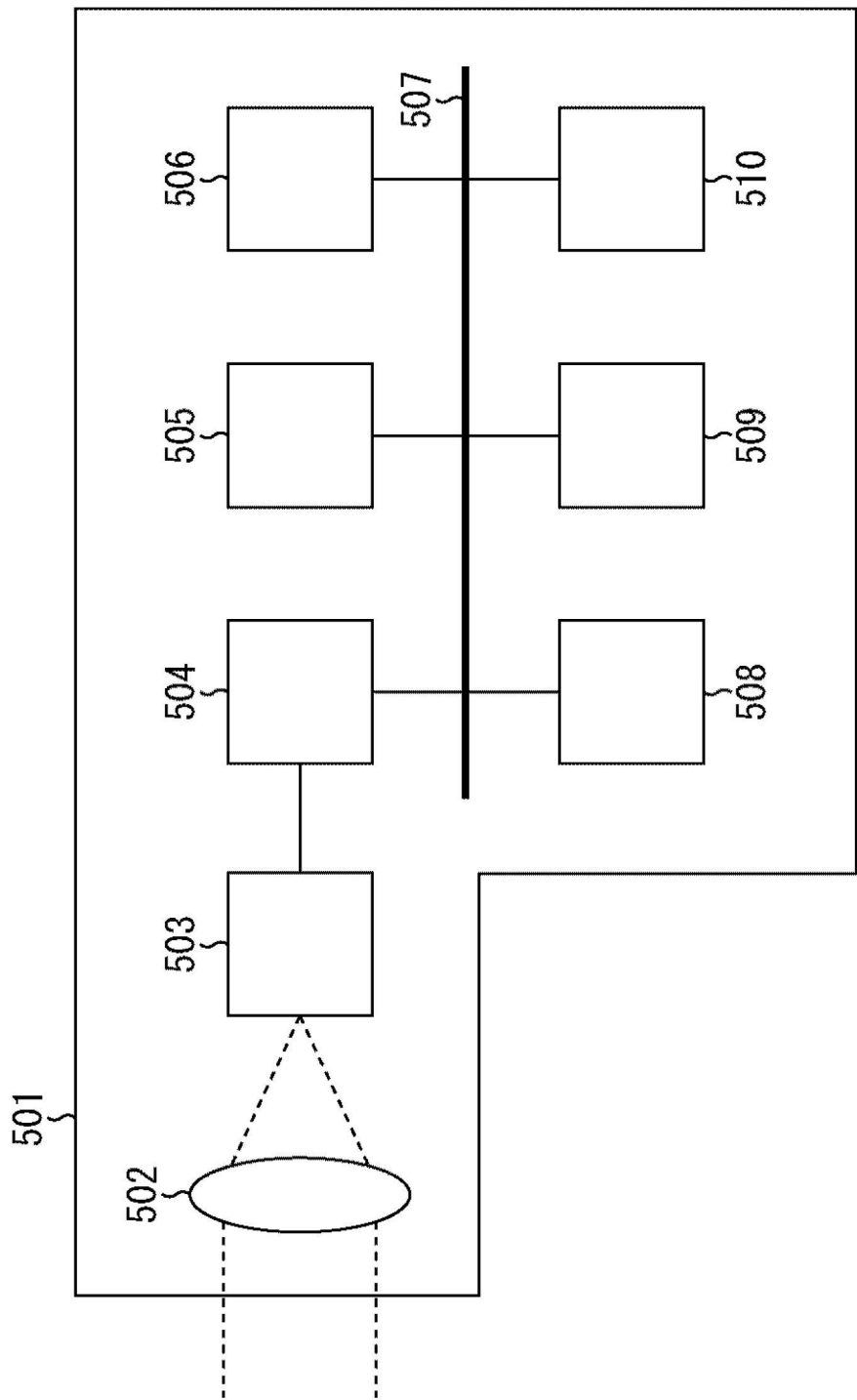
【圖15】



【圖16】



【圖17】



【圖18】