

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04N 9/83

(45) 공고일자 2000년09월01일

(11) 등록번호 10-0265152

(24) 등록일자 2000년06월10일

(21) 출원번호	10-1993-0000355	(65) 공개번호	특1993-0017459
(22) 출원일자	1993년01월13일	(43) 공개일자	1993년08월30일
(30) 우선권 주장	92-4929 1992년01월14일 일본(JP) 92-61379 1992년02월14일 일본(JP) 92-43860 1992년02월28일 일본(JP)		
(73) 특허권자	산요덴키 가부시키가이샤 다카노 야스아키		
(72) 발명자	일본 오사카후 모리구치시 게이한 혼도오리 2초메 5반 5고 호소야 노부카즈 일본국 나라깁 이꼬마군 헤구리쵸 미도리가오까 3-3-3 히라오 요시찌카 일본국 오오사카후 네야가와시 우메가오까 1-12-8-508		
(74) 대리인	구영창, 이상희, 주성민		

심사관 : 남인호

(54) 버스트 위상 보정 회로

요약

버스트 위상 보정 회로(10)은 단자(12)에서 입력된 색 신호를 받는 제1 전역 통과 필터(All Pass Filter:APF)(14)를 포함한다. 발진기(20)에서의 위상 기준 신호가 제1 이상기(28)에 의해 90도 이상된 후 제1 APF(14)의 출력 신호와 함께 제1 위상 비교기(18)로 공급된다. 제1 위상 비교기(18)로부터의 양신호의 위상차에 따른 위상차 신호가 제1 저역 통과 필터(Low Pass Filter : LPF) (24) 및 컨덴서(26)을 통해 제1 APF(14)로 귀환된다. 때문에 제1 APF(14)에서는 색 신호와 위상 기준 신호와의 위상차에 따라 지연 시간이 변화된다. 따라서 색신호의 지터 성분이 제거된다.

대표도

도1

명세서

[발명의 명칭]

버스트 위상 보정 회로

[도면의 간단한 설명]

제1도는 종래의 버스트 위상 보정 회로의 한 예를 도시하는 블록도.

제2도는 본 발명에 따른 버스트 위상 보정 회로의 한 실시예를 도시하는 블록도.

제3도는 버스트 게이트 펄스를 도시하는 타이밍도.

제4도는 제1 실시예에 이용되는 전역 통과 필터의 한 예를 도시하는 회로도.

제5도는 제4 실시예에 이용되는 가변 인덕턴스의 한 예를 도시하는 회로도.

제6도, 제7도 및 제8도는 제1도의 실시예에 있어서 전역 통과 필터 대신에 가변 지연 회로로서 이용 가능한 대역 통과 필터, 저역 통과 필터 및 고역 통과 필터의 한 예를 도시하는 회로도.

제9도는 제2 실시예에 이용되는 위상 비교기의 한 예를 도시하는 회로도.

제10도는 제9도에 도시하는 위상 비교기의 동작을 도시하는 파형도.

제11도 및 제12도는 각각 제1 실시예에 이용되는 저역 통과 필터의 다른 예를 도시하는 회로도.

제13도는 제1 실시예에 이용되는 다상기의 한 예를 도시하는 회로도.

제14도는 본 발명에 따른 버스트 위상 보정 회로의 다른 실시예를 도시하는 블록도.

제15도는 본 발명을 PAL 방식의 색신호 처리 회로에 이용하는 경우의 주요부를 도시하는 블록도.

★ 도면의 주요부분에 대한 부호의 설명

10 : 버스트 위상 보정 회로	12, 32 : 입력 단자
14 : 제1 전역 통과 필터	18 : 제1 위상 비교기
20 : 고정 발진기	22 : 제1 이상기
24 : 제1 저역 통과 필터	26 : 컨덴서
30 : 제2 위상 비교기	34 : 제2 저역 통과 필터
36 : 레벨 비교기	38 : 기준 전압
40 : 입력단	46 : 가변 인덕터
50 : 차동 증폭 회로	56, 60 : 차동쌍
62 : 직류전원	76 : 전류 미러 회로

[발명의 상세한 설명]

본 발명은 일반적으로는 버스트 위상 보정 회로에 관한 것이다. 특히, 본 발명은 VTR, VDP, TV 수상기 등에 있어서 위상 기준 신호에 기초하여 색신호의 위상을 보정하는 버스트 위상 보정 회로에 관한 것이다.

종래 VTR, VDP 등에서는 서보 회로등의 불안정성에 기인하는 색상 지터(jitter)가 발생한다. 이와 같은 지터 성분을 제거하기 위해서는 재생 색신호에 포함되는 칼라 버스트의 위상을 보정하면 된다.

이런 류의 버스트 위상 보정 회로의 한 예가, 예를 들면 1990년 1월 23일자로 출원 공개된 일본 특개평 2-19096호 공보(H04N 9/83)에 개시되어 있다. 제1도에 도시하는 종래 기술에 있어서는 단자(1)로 색신호가 입력되고, 이 색신호는 자동 위상 제어 회로(Automatic Phase Control; APC 회로)(2)로 공급된다. APC 회로(2)에서 수평 동기 신호(H_{sync})와 발진기(4)에서의 기준 주파수 신호(f_{ref})에 기초하여 색신호의 위상이 제어된다. APC 회로(2)에서의 출력은 위상 조정 회로(3)를 거쳐서 단자(9)로 출력된다.

한편, APC 회로(2)의 출력 신호는 또 제어 신호 발생 회로(5)에 포함되는 위상 비교기(6)의 한쪽 입력으로 공급되고, 이 위상 비교기(6)의 다른쪽 입력에는 상기 기준 주파수 신호(f_{ref})가 공급된다. 따라서 위상 비교기(6)은 이들 2개 신호의 위상을 비교해서 양 신호의 위상차에 따른 폭을 갖는 펄스를 수평 동기 신호(H_{sync})로 제어되는 게이트(7)를 통해 저역 통과 필터(LPF)(8)로 출력한다. 따라서, LPF(8)에서는 양 신호의 위상차에 따른 레벨을 갖는 제어 신호가 출력되고, 그 제어 신호가 상기 위상 조정 회로(3)으로 공급된다.

위상 조정 회로(3)에서는 제어 신호에 따라 APC 회로(2)에서 출력되는 색 신호의 위상이 다시 미조정된다. 따라서, 단자(9)에는 APC 회로(2)에서 위상 제어 되고, 또 위상 조정 회로(3)에서 그 위상이 다시 미조정된 색신호가 출력된다. 따라서, 재생 색신호가 지터 성분을 포함하고 있어도 그 지터 성분이 제거된다.

여기서 설명한 종래 기술은 피이드 포워드 방식이기 때문에, 예를 들면 LPF(8)과 위상 조정 회로(3)과의 사이에 레벨 조정 회로(도시하지 않음)를 설치해서 LPF(8)로부터의 출력에 기초하여 위상 조정 회로(3)의 제어 신호 레벨-위상 특성에 일치하는 제어 신호를 작성할 필요가 있다. 이런 류의 레벨 조정 회로는 복잡하고 고가이다.

그래서 제1도에 도시하는 종래 기술에 있어서, APC 회로(2)의 출력대신에 위상 조정 회로(3)의 출력을 위상 비교기(6)의 한쪽 입력으로 공급하는 피이드 백 방식의 회로 구성을 생각할 수 있다. 피이드 백 방식의 회로는 상기 레벨 조정 회로가 불필요해져서 회로가 간단하고 염가이다.

그러나, 제1도의 종래 기술에 있어서 상기와 같은 변형을 가해서 피이드 백 방식의 회로를 구성한 경우에는 다시 위상 동기 상태로 될 때까지의 시간(인입 시간)이 길어진다. 그리고, 인입시간을 짧게 하고자 하면 직류 성분을 피이드 백 할 필요가 있다. 그러나, 이러한 경우에는 위상 동기 루프가 불안정해지고 극단적인 경우에는 위상 보정 회로로서의 기능이 없어진다.

따라서, 본 발명의 주된 목적은 새로운 버스트 위상 보정 회로를 제공하는 것이다.

본 발명의 다른 목적은 간단하고 염가인 회로 구성을 안정하게 동작하는 버스트 위상 보정 회로를 제공하는 것이다.

본 발명의 다른 목적은 인입시간을 짧게하고, 특히 안정하게 동작하는 버스트 위상 보정 회로를 제공하는 것이다.

본 발명에 따른 버스트 위상 보정 회로는 이하의 것을 구비한다. 색신호를 받아서 제어 신호에 따른 지연 시간으로 색신호를 지연하는 제1 가변 지연 수단, 기준 신호를 발생하는 기준 신호 발생 수단, 기준신호를 90도 이상하는 제1이상 수단, 타이밍 신호를 공급하는 타이밍 신호 부여 수단, 타이밍 신호에 응답하여 가변 지연 수단의 출력 위상 및 제1 이상 수단의 출력 위상을 비교해서 양 위상의 차에 따른 신호를 출력하는 제1 위상 비교 수단, 제1 위상 비교 수단에서의 신호를 받는 제1 저역 통과 필터 및 제1 저역 통과 필터에 포함되는 교류 성분만을 가변 지연 수단에 제어 신호로서 공급하는 컨덴서를 구비한다.

예를 들면 VTR, VDP 등에서 재생된 색신호 또는 TV 수상기에 있어서 복조된 색신호가 제1 가변 지연 수단으로 입력된다. 제1 가변 지연 수단은, 예를 들면 제어 가능한 시정수를 갖는 전역 통과 필터를 포함하고, 색신호를 그 시정수에 따른 시간만 지연해서 출력한다. 제1 가변 지연 수단의 지연 시간은 따

라서 컨덴서로부터 공급되는 제어 신호로 결정된다. 즉, 기준 신호 발생 수단에 의해 발생된 기준 신호가 제1 이상 수단에 의해 90도 이상되어 제1 가변 지연 수단의 출력과 함께 제1 위상 비교 수단으로 공급된다. 제1 위상 비교 수단의 타이밍 신호 부여 수단으로부터의 타이밍 신호에 응답하여 제1 가변 지연 수단의 출력 위상 및 제1 이상 수단의 출력 위상을 비교하여 양 위상의 차에 따른 신호를 출력한다. 제1 위상 비교 수단에서의 신호에 포함되는 불필요한 신호가 제1 저역 통과 필터에 의해 제거된다. 따라서 컨덴서를 통해서 제1 위상 비교 수단의 출력에 포함되는 필요 신호만이 제1 가변 지연 수단을 위한 상기 제어 신호로서 공급된다. 단 컨덴서는 제1 저역 통과 필터의 출력에 포함되는 필터 신호의 교류 성분만을 제1 가변 지연 수단으로 공급한다.

본 발명에 따르면, 제1 저역 통과 필터의 출력에 포함되는 직류 성분은 컨덴서에서 컷오프되고, 제1 가변 지연 수단의 제어 신호로서는 제1 저역 통과 필터의 출력에 포함되는 교류 성분만이 공급된다. 따라서, 제1 가변 지연 수단을 포함하는 루프의 응답성을 좋게 하기 위해 더 큰 제어 신호를 피이드 백해도 그 루프의 안정성이 악화되지 않는다.

본 발명의 어떤 국면에서는 타이밍 신호 부여 수단은 제1 가변 지연 수단의 출력에 포함되는 버스트 신호를 보조하여 얻어지는 버스트 게이트 신호를 제1 위상 비교 수단으로 공급하는 버스트 신호 복조 수단을 포함한다. 구체적으로는, 이 버스트 신호 복조 수단은 제1 이상 수단의 출력을 다시 90도 이상하는 제2 이상 수단, 타이밍 신호에 응답하여 제1 가변 지연 수단의 출력 위상 및 제2 이상 수단의 출력 위상을 비교해서 양 위상의 차에 따른 신호를 출력하는 제2 위상 비교 수단, 제2 위상 비교 수단의 출력을 받는 제2 저역 통과 필터 및 제2 저역 통과 필터의 출력을 기준 레벨과 비교하여 상기 버스트 게이트 신호를 작성하는 레벨 비교 수단을 포함한다. 이러한 국면에 있어서는 제1 위상 비교 수단이 능동화되는 타이밍을 제1 가변 지연 수단에 의해 지연되는 색신호의 버스트에 추종하여 변화할 수 있기 때문에 약 전계시등의 S/N이 나쁜 색신호가 입력된 때에도 정밀하게 버스트 위상을 제어할 수 있다.

본 발명의 상기 목적 및 그밖의 목적, 특징, 국면 및 이점은 첨부 도면에 관련하여 행해지는 이하 실시예의 상세한 설명에서 한층 명확해진다.

제2도에 도시하는 본 실시예의 버스트 보정 회로(10)에 있어서, 입력 단자(12)로 입력된 색 신호는 가변 지연 수단을 구성하는 제1 전역 통과 필터(14)에 의해 필요한 시간만큼 지연된다. 제1 전역 통과 필터(14)로부터의 출력은 제1 위상 비교기(18)의 한쪽 입력으로 공급된다. 한편 고정 발진기(20)에서의 기준 반송파는 제1 이상기(22)에 의해 위상이 90도 이상된 후 제1 위상 비교기(18)의 다른쪽 입력으로 공급된다. 그리고 제1 위상 비교기(18)에서는 이들 2개의 입력으로 공급된 신호의 위상이 비교된다. 이 제1 위상 비교기(18)로부터의 출력이 제1 저역 통과 필터(24) 및 직류 컷용 컨덴서(26)을 통해 제1 전역 통과 필터(14)로 공급된다. 입력 색신호를 $\sin(A+t)$ 로 하고, 발진기(20)으로부터의 기준 신호를 $\sin A$ 로 하면 제1 위상 비교기(18)은 상기와 같이 2개의 신호를 승산하여 검파 출력으로서 $\sin(A+t-A)=\sin(t)$ 및 $\sin(A+t+A)=\sin(2A+t)$ 를 출력한다. 이중 전역 통과 필터(14)를 제어하기 위해 실제로 필요한 신호는 전자, 즉 지터성분(t)를 포함하는 신호 $\sin(t)$ 뿐이다. 따라서 후자의 신호, 즉 $\sin(2A+t)$ 는 불필요한 신호로 된다. 그래서 제1 저역 통과 필터(24)는 이 불필요한 신호를 제거하기 위해서 이용된다. 이와같이 해서 지터 성분의 크기에 따른 진폭을 갖는 교류 제어 신호가 제1 전역 통과 필터(14)로 귀환되어 제1 전역 통과 필터(14)의 지연 시간이 지터 성분의 크기에 따라 제어된다.

또 직류 컷용 컨덴서(26)을 이용한 이유는 상기 고정 발진기(20)의 회로 구성을 간단히 하기 위한 것이다. 즉, 만약 제1 저역 통과 필터(24)의 출력이 그대로 제1 전역 통과 필터(14)로 공급된다면 제1 전역 통과 필터(14)로 직류인 제어 신호가 피이드 백되게 되므로 루프의 안정성을 손상하지 않고 인입시간(응답 시간)을 짧게 하기 곤란하나, 컨덴서(26)에서 제1 저역 통과 필터(24)의 출력에 포함되는 직류 성분이 컷오프되고 교류 성분만이 제1 전역 통과 필터(14)의 제어 신호로서 공급되므로 그 교류 제어 신호를 크게 하여 루프를 안정되게 유지한채 인입 시간(응답 시간)을 짧게 할 수 있다.

그리고 컨덴서(26)을 이용하므로 제1 위상 비교기(18)의 2개의 입력 위상차를 미리 일정값(본 실시예에서는 90도)으로 설정할 필요가 있고, 그러기 위해서 본 실시예에서는 PLL 기능을 갖지 않는 고정 발진기(20)과 제1 이상기(22)로 표준신호를 작성한다.

한편 제1 전역 통과 필터(14)를 통과한 색신호는 제2위상 비교기(30)의 한쪽 입력으로도 공급된다. 또 제1 이상기(22)로부터의 기준 신호는 제2 이상기(28)에 의해 다시 90도 이상된다. 따라서, 고정 발진기(20)에서의 기준 반송파 신호가 반전된 신호가 제2 위상 비교기(30)의 다른쪽 입력으로 공급된다. 제2 위상 비교기(30)은 입력 단자(32)에서 공급되고 또 제3도(13)에 도시하는 버스트 타이밍 신호의 하이 레벨 기간에 능동화되어, 제2 위상 비교기(30)의 제3(a)도에 도시하는 BURST 기간시에 최대값을 나타내는 복조 출력이 얻어진다. 이 복조 출력이 앞에서 설명한 제1 저역 통과 필터(24)와 동일 기능을 갖는 제2 저역 통과 필터(34)로 공급된다. 따라서, 제2 저역 통과 필터(34)에서 불필요한 성분이 제거된 후 제2 위상 비교기(30)의 복조 출력이 레벨 비교기(36)에서 기준 전압(38)과 비교된다. 그리고, 레벨 비교기(36)에서는 제3(c)도에 도시하는 바와 같은 버스트 기간에 하이 레벨로 되는 버스트 게이트 펄스(BGP)가 작성되어 이 버스터 게이트 펄스(BGP)가 제1 위상 비교기(18)로 공급된다. 따라서, 제1 위상 비교기(18)은 이 버스터 게이트 펄스(BAP)가 하이 레벨기간 능동화된다.

이와 같이 해서 제2 위상 비교기(30)을 이용하여 입력 색 신호에 포함되는 버스트 신호(BURST)를 복조하여 버스터 게이트 펄스(BGP)를 작성하여 그 버스터 게이트 펄스(BGP)에서 제1 위상 비교기(18)을 능동화하도록 했기 때문에 제1 위상 비교기(18)이 능동화되는 타이밍이 입력 색 신호의 버스트 신호 기간과 거의 동일해진다. 즉 제1 위상 비교기(18)이 능동화되는 타이밍 입력색 신호의 버스트 신호기간의 위상 변화에 따라 변화한다. 때문에 S/N이 나쁜 색 신호가 입력되어도 확실하게 버스트 위상 신호를 검출할 수 있어서 정밀한 제어가 가능하다.

또, 이와 같이 구성된 버스트 위상 보정 회로(10)에 의해 버스트 위상이 보정된 색 신호는 출력 단자(16)에서 출력된다.

또, 휘도 신호는 입력 단자(13)에서 입력되어 제2 전역 통과 필터(15)를 거쳐서 출력 단자(17)로 도출된다. 여기서 제2 전역 통과 필터(15)는 앞서 설명한 제1 전역 통과 필터(14)와 동일한 회로 구성을

가지고, 제1 전역 통과 필터(14)와 동일하게 컨덴서(26)에서의 교류 제어 신호에 의해 그 시정수, 즉 지연 시간이 제어된다. 따라서, 제2 전역 통과 필터(15)는 제1 전역 통과 필터(14)와 동일한 지연 시간을 갖게 되기 때문에 색 신호와 휘도 신호가 동기해서 후속 회로로 보내진다.

여기서 제4도를 참조하여 제2 전역 통과 필터(14)를 더 상세히 설명한다. 단, 상기와 같이 제2 전역 통과 필터(15)도 마찬가지로 구성된다.

제1 전역 통과 필터(14)의 입력단(40)은 입력 단자(12)에 접속되고 출력단(42)은 제1 위상 비교기(18) 및 제2 위상 비교기(30)의 각각의 한쪽 입력 및 출력단자(16)에 접속된다. 입력단(40)과 출력단(42)과의 사이에 차동 증폭기(44)가 설치되고, 이 차동 증폭기(44)의 (+) 입력에는 저항(R_A)를 통해 입력 색 신호가 공급된다. 저항(R_A)와 (+) 입력과의 사이에서 가변 인덕터(46) 및 컨덴서(48)의 병렬 회로가 (+) 입력과 접지와와의 사이에 접속된다. 즉 저항(R_A), 가변 인덕터(46) 및 컨덴서(48)에 의해 대역 통과 필터가 구성되고 차동 증폭기(44)의 (+) 입력에는 대역 통과 필터를 경유한 입력 색 신호가 공급된다. 차동 증폭기(44)의 (-) 입력에는 저항 [R_B 및 R_C]에 의해 그 차동 증폭기(44)의 출력의 1/2이 피이드 백된다. 따라서, 제4도에 도시하는 회로는 전체로서 전역 통과 필터를 구성하는 것을 쉽게 알 수 있다.

또, 제5도를 참조하여 제4도에 도시하는 전역 통과 필터(14)에 이용된 가변인덕터(46)에 대해서 상세히 설명한다. 제5도에 도시하는 가변 인덕터(46)은 집적회로 내에 내장하는 것이 좋으나, 만약 집적회로 내에 내장할 필요가 없으면 다른 구성을 갖는 가변 인덕터가 이용되어도 좋은 것은 물론이다.

제5도를 참조하여 본 실시예의 가변 인덕터(46)는 차동 증폭 회로(50 및 52)를 포함하고 입력단(54)에서 차동 증폭 회로(50)의 트랜지스터(Q1)의 베이스로 직류 바이어스가 공급된다. 트랜지스터(Q1)은 트랜지스터(Q2)와 함께 차동 쌍(56)을 구성해서 트랜지스터(82)의 베이스가 출력단(58)에 접속된다. 트랜지스터(Q2)의 콜렉터와 트랜지스터(Q1)의 콜렉터가 접속되는 직류 전원(V_{CC})와의 사이에는 컨덴서(C)가 개재된다. 또 차동 쌍(56)의 출력, 즉 트랜지스터(Q2)의 콜렉터가 차동 증폭 회로(52)의 트랜지스터(Q3)의 베이스에 접속된다. 트랜지스터(Q3)와 함께 차동 쌍(60)을 구성하는 트랜지스터(Q4)의 베이스에는 직류 전원(62)에 의해 일정한 고정 바이어스(V_{B4})가 공급되고, 교류적으로 접지된다. 그리고 트랜지스터(Q3 및 Q4)의 콜렉터가 각각 입력단(54) 및 출력단(58)에 접속된다. 또 (64, 66 및 68)은 정전류원(직류 전류원)이다. 마찬가지로, 트랜지스터(Q1, Q2, Q3 및 Q4)의 에미터와 접지와와의 사이에 있는 트랜지스터(Q5, Q6, Q7 및 Q8)도 각각 정전류원 전류 미러 회로를 구성하고, 입력단(64)에서 공급되는 제어 전압으로 그 전류값이 변화한다. 또 컨덴서(C)는 트랜지스터(Q2)의 콜렉터와 직류 전원(62)와의 사이에 두어도 좋다.

제5도의 가변 인덕터(46)에 있어서 트랜지스터(Q1 및 Q2)의 각각의 미분 저항을 re_0 로 하면 트랜지스터(Q2)의 콜렉터 전위(V_C)는 각주파수가 ω 일 때 다음식(1)과 같다.

$$V_C = \frac{1}{j\omega C} \cdot V_1 \cdot \frac{1}{2re_0} \quad \dots (1)$$

또, 트랜지스터(Q3 및 Q4)의 각 미분 저항을 re_1 로 하면 $i_1 = V_C / 2re_1$ 이므로 전류(i_1)는 다음 식(2)와 같고 다음식(3)이 얻어진다.

$$i_1 = \frac{1}{j\omega C} \cdot V_1 \cdot \frac{1}{2re_0} \cdot \frac{1}{2re_1} \quad \dots (2)$$

$$\frac{V_1}{i_1} = j\omega (C \cdot 2re_0 \cdot 2re_1) \quad \dots (3)$$

여기서 $L = C \cdot 2re_0 \cdot 2re_1$ 로 하면 다음식(4)가 얻어진다.

$$V_1 = j\omega Li_1 \quad \dots (4)$$

따라서, 입력단자(54) 및 출력단(58)사이의 인덕턴스 특성이 얻어진다. 따라서, 제4도의 전역 통과 필터(14)에 가변 인덕터(46)를 이용하는 경우에는 입력단(54)을 차동 증폭기(44)의 (+)입력에 접속하고, 출력단(58)을 접지하면 된다. 또 컨덴서(26)(제1도)에서의 제어 신호는 입력단(64)로 공급하면 된다. 이 경우 컨덴서(26)에서의 교류 제어 신호에 따라 트랜지스터(Q5-Q8)의 전류, 즉 가변 인덕터(46)의 인덕턴스 값이 변화하고 그것에 따라 제1 전역 통과 필터(14)의 시정수, 즉 지연시간이 변환된다.

또 가변 지연 수단으로서 제1도의 실시예와 같은 제1(또는 제2) 전역 통과 필터(14)(또는 15) 대신 제6도, 제7도 및 제8도에 도시하는 대역 통과 필터, 저역 통과 필터 및 고역 통과 필터 중 어느 것을 이용해도 좋다. 제6도 내지 제8도에 있어서도, 각각 제5도와 같은 가변 인덕터(46)이 이용된다. 단 제6도 및 제8도에서는 가변 인덕터(46)(제5도)의 입력단(54)은 열(hot) 측 라인에 접속되고, 출력단(56)은 접지된다. 또 제7도에서는 2개의 입력단(54 및 58)이 열측 라인에 개재된다.

또 제1(또는 제2) 위상 비교기(18) (또는 30)은 제9도와 같이 구성되고 제10도와 같이 동작한다. 즉, 입력단(66 및 68)에는 제10(a)도에 도시하는 바와 같은 신호가 입력되고, 입력단자(70 및 72)에는 제10(b)도에 도시하는 바와 같은 신호가 입력된다. 또, 버스트 게이트 펄스(BGP)는 트랜지스터(Q17)의 베이스로 공급되고, 따라서 제1 위상 비교기(18)은 버스트 게이트 펄스(BGP)(제3도)의 하이 레벨 기간 능동화된다.

양 신호가 동상인 경우 정의 주기에서는 트랜지스터(Q11 및 Q15)가 온하고, 부의 주기에서는 트랜지스터

(Q13 및 Q16)이 온한다. 따라서, 출력단 A에 있어서의 전압은 제10(c)도에 도시하는 바와 같이 부방향으로 반주기마다 맥동하고, 출력단 B에 있어서의 전압은 제10(d)도에 도시하는 바와 같이 일정 전압으로 된다. 따라서, 출력단 A 및 B에서 도출되는 제1 위상 비교기(18)의 출력은 제10(c)도와 제10(d)도의 차로 되어 제10(e)도에 도시하는 바와 같이 된다. 따라서 제1 위상 비교기(18)의 출력을 받는 저역 통과 필터(24)에서는 제10(f)도에 도시하는 바와 같이 양 신호가 동상일 때에는 부의 제어 신호를 출력한다.

양 신호가 역상인 경우, 입력단(66 및 68)로부터의 신호가 정의 주기에서는 트랜지스터(Q14 및 Q16)이 온하고, 또 그 신호가 부의 주기에서는 트랜지스터(Q12 및 Q15)가 온한다. 따라서, 출력단 A에 있어서의 전압은 제10(c)도에 도시하는 바와 같이 일정해지고, 출력단 B에 있어서의 전압은 제10(d)도에 도시하는 바와 같이 부방향으로 반주기마다 맥동한다. 따라서, 출력단 A 및 B에서 도출되는 제1 위상 비교기(18)의 출력은 제10(c)도와 제10(d)도의 차로 되어 제10(e)도에 도시하는 바와 같이 된다. 따라서, 저역 통과 필터(24)는 제10(f)도에 도시하는 바와 같이 양 신호가 역상일 때에는 정의 제어 신호를 출력한다.

양 신호가 90도의 위상차를 갖는 경우에는 제10(a)도에 도시하는 입력단(66 및 68)로부터의 신호의 전반 주기의 전반에서는 트랜지스터(Q11 및 Q15)가 온하고, 후반에서는 트랜지스터(Q14 및 Q16)이 온한다. 또, 입력단(66 및 68)로부터의 신호의 후반주기의 전반에서는 트랜지스터(Q13 및 Q16)이 온하고, 후반에서는 트랜지스터(Q12 및 Q15)가 온한다. 따라서, 출력단 A에 있어서의 전압은 제10(c)도에 도시하는 바와 같이 각 반주기의 전반에만 부방향 전압으로 되고, 출력단 B에 있어서의 전압은 제10(d)도에 도시하는 바와 같이 각 반주기의 후반에만 부방향 전압으로서 출현한다. 따라서, 출력단 A 및 B에서 도출되는 제1 위상 비교기(18)의 출력은 제10(e)도에 도시하는 바와 같이 되고, 저역 통과 필터(24)는 제10(f)도에 도시하는 바와 같이 양신호가 90도의 위상차를 가질 때에는 대략 0의 제어 신호를 출력한다.

이와 같이 해서 제1 위상 비교기(18)로 입력되는 2개의 신호의 위상차가 90도인 때는 저역 통과 필터(24)에서는 대략 0인 제어 신호가 출력된다. 2개의 신호의 위상차가 90도에서 벗어나 있는 경우에는 그 변이량에 따른 정 또는 부의 제어 전압이 저역 통과 필터(24)에서 출력된다. 이와 같은 저역 통과 필터(24)로부터의 제어 신호가 컨덴서(26)를 통해 제1 전역 통과 필터(14)의 제어 신호로서 입력된다.

여기서 제11도를 참조하여 제1도의 실시예에 있어서의 저역 통과 필터(24)에 대해서 상세히 설명한다. 제11도에 있어서 직류전원(74)에서 트랜지스터(Q21)의 베이스로 직류 바이어스 전압이 공급되고 있으므로, 트랜지스터(Q21 및 Q22)가 온하면 동시에 트랜지스터(Q21)과 전류 미러 회로(76)을 구성하는 트랜지스터(Q23)이 온한다. 그러면 트랜지스터(Q24 및 Q25)로 구성되는 입력 차동쌍(78)이 능동화된다. 제1 위상 비교기(18)로부터의 입력 신호가 입력단(80) 및 저항 R_0 를 통해 트랜지스터(Q24)의 베이스로 공급되면 트랜지스터(Q24)가 온하고, 그 콜렉터에서 트랜지스터(Q26, Q27 및 Q28)로 구성되는 전류 미러 회로(82)를 통해 입력 신호가 컨덴서(C2)를 충전한다. 한편, 컨덴서(C2)는 트랜지스터(Q21 및 Q22)를 통해 방전된다. 컨덴서(C2)의 전하는 트랜지스터(Q29 및 Q30)으로 구성되는 2중 다링톤 회로(84) 및 트랜지스터(Q31)을 통해서 트랜지스터(Q25)의 베이스로 공급된다. 즉 컨덴서(C2)의 전하가 트랜지스터(Q25)의 베이스로 귀환된다. 그 결과 트랜지스터(Q24)의 베이스 전위와 같은 레벨로 될 때까지 트랜지스터(Q25)의 베이스 전위가 상승한다. 그리고 트랜지스터(Q25)의 베이스에 접속된 출력단(86)에서 저역 통과 필터(24)의 출력 신호가 도출된다. 단 출력단(86)은 저항(R_E)를 통해 트랜지스터(Q24)의 베이스에 접속되어 있다.

또, 트랜지스터(Q29)의 콜렉터 전류를 I_{Q29} 라고 하면 트랜지스터(Q26)의 베이스에는 I_{Q29}/β_N 의 전류가 공급된다. 그 전류가 트랜지스터(Q27)에서 β_P 배 되고, 트랜지스터(Q28)에서 다시 $1/\beta_P$ 배 된다. 따라서 트랜지스터(Q29)의 베이스에는 I_{Q29}/β_N 인 전류가 공급된다. 즉 트랜지스터(Q29)의 베이스 전류가 트랜지스터(Q28)의 베이스 전류에 의해 보상된다.

다음에 저역 통과 필터(24)의 주파수 특성에 대하여 설명한다. 또 저역 통과 필터(24)에 있어서는 $R_0 \approx 2R_F$ 로 설정되어 있고, 입력 전압을 V_i 로, 출력 전압을 V_0 로, 트랜지스터(Q24)의 전류를 i 로 하고, 트랜지스터(Q28)의 베이스 전류를 I 로 한다.

$$V_i - V_0 = \Delta V = \frac{R_E}{R_D + R_E} V_i - \frac{R_D}{R_D + R_E} V_0 \quad \dots (5)$$

$$i = \frac{\Delta V}{2r_e} \quad \dots (6)$$

단, r_e 는 트랜지스터(Q24 및 Q25)의 에미터 저항(미소 저항)이다.

따라서, 다음식(7) 및 (8), 상기 식(6)에 기초하여 다음식(9) 내지 (14)가 얻어진다.

$$I = i \cdot \frac{1}{\beta_N} \cdot \beta_P \cdot \frac{1}{\beta_P} = \frac{1}{\beta_N} \quad \dots (7)$$

$$V_0 = \frac{1}{j\omega C} \times I \quad \dots (8)$$

$$I = \frac{i}{\beta_N} = \frac{\Delta v}{\beta_N \cdot 2re} \quad \dots (9)$$

$$\frac{\Delta v}{\beta_N \cdot 2re} \times \frac{1}{j\omega C} = V_0 \quad \dots (10)$$

$$V_0 = \frac{\Delta v}{2re \cdot \beta_N \cdot j\omega C} = \frac{\left(\frac{R_E}{R_D + R_E} V_i - \frac{R_D}{R_D + R_E} V_0 \right)}{2re \cdot \beta_N \cdot j\omega C}$$

$$= \frac{R_E V_i - R_D V_0}{2re \cdot \beta_N \cdot j\omega C (R_D + R_E)} \quad \dots (11)$$

$$V_0 \left(1 + \frac{R_D}{2re \cdot \beta_N \cdot j\omega C (R_D + R_E)} \right) = \frac{R_E \cdot V_i}{2re \cdot \beta_N \cdot j\omega C (R_D + R_E)} \quad \dots (12)$$

$$V_0 (2re \cdot \beta_N \cdot j\omega C (R_D + R_E) + R_D) = R_E V_i \quad \dots (13)$$

$$\frac{V_0}{V_i} = \frac{R_E}{2re \cdot \beta_N \cdot j\omega C (R_D + R_E) + R_D} \quad \dots (14)$$

$$\frac{B}{A + j\omega C}$$

여기서 상기 식(14)의 $\frac{B}{A + j\omega C}$ 가 저역 통과 필터(24)의 컷 오프 주파수를 나타낸다. 단, A: $R_D / \{2re \cdot \beta_N \cdot (R_D + R_E)\}$, B: $R_E / \{2re \cdot \beta_N \cdot (R_D + R_E)\}$ 이다.

단, 제11도의 실시예에 있어서 트랜지스터(Q29 및 Q30)의 2중 다링톤 회로(84)는 고임피던스 회로로서 동작하는 것으로, 경우에 따라서는 트랜지스터(Q29)만으로 구성되어도 좋다. 또 2중 다링톤 회로(84) 대신에 반전 다링톤 회로를 이용해도 좋다.

제12도에 도시하는 다른 실시예의 저역 통과 필터(24)는 제11도에 도시하는 저역 통과 필터(24)에 있어서의 커패시터(C2)의 방전 경로, 즉 트랜지스터(Q22 및 Q21)에 상당하는 것이 입력 차동쌍(78)의 한쪽의 트랜지스터(Q25)로 치환되어 있다. 커패시터(C2)의 전하는 트랜지스터(Q25)를 통해 방전된다. 커패시터(C2)는 충전 동작에 대해서는 제11도와 동일하다. 또 트랜지스터(Q32)의 컬렉터 전류를 I_{Q32} 로 하면, 트랜지스터(Q26, Q27 및 Q27)를 거쳐서 트랜지스터(Q32)의 베이스로 I_{Q32} / β_N 의 전류가 공급된다.

상기 모든 저역 통과 필터(24)의 회로에 있어서 트랜지스터의 형식을 그대로 역으로 하면 앞의 설명에서의 충전이 방전, 방전이 충전으로 될 뿐 완전히 동일하게 동작한다.

제13도는 제1 실시예에 이용되는 제1 이상기(22)의 한예를 도시하는 블록도이다. 입력단(88a)는 저항(R_H)을 통해 차동 접속된 트랜지스터(Q31 및 Q32)의 트랜지스터(Q32)의 베이스에 접속되어 있다. 입력단(88b)는 부극을 접지하고 있는 정전압원(90)의 전극과 접속되고, 또 저항(R_L)을 통해 트랜지스터(Q31)의 베이스에 접속되어 있다.

트랜지스터(Q31 및 Q32)의 에미터는 공통적으로 트랜지스터(Q38) 및 저항(R_X)의 직렬회로를 통해서 접지되어 있다. 트랜지스터(Q31)의 컬렉터는 직렬 전원(V_{CC})에 접속되어 있고, 트랜지스터(Q32)의 컬렉터는 트랜지스터(Q36)과 저항(R_L)과의 직렬 회로를 통해서 전원(V_{CC})에 접속되어 있다. 트랜지스터(Q32)의 컬렉터와 트랜지스터(Q36)의 컬렉터와의 접속점은 트랜지스터(Q35)의 베이스 및 트랜지스터(Q33)의 컬렉터에 접속되어 있다.

트랜지스터(Q36)의 베이스는 트랜지스터(Q37)의 베이스 및 콜렉터에 접속되어 있고, 트랜지스터(Q37)의 에미터는 저항(R_H)을 통해 전원(V_{CC})에 접속되어 있다. 이들 트랜지스터(Q36 및 Q37)이 전류 미러 회로를 구성한다. 트랜지스터(Q37)의 콜렉터는 트랜지스터(Q40) 및 저항(R_N)의 직렬 회로를 통해 접지되어 있다. 트랜지스터(Q35)의 (Q39) 및 저항(R_0)의 직렬 회로를 통해 접지되어 있다.

트랜지스터(Q32)의 베이스는 커패시터(C3) 및 저항(R_P)의 직렬회로를 통해서 트랜지스터(Q33)의 베이스에 접속되어 있다. 커패시터(C3)와 저항(R_P)와의 접속점은 출력단(88c)에 접속되어 있다. 출력단(88d)는 접지되어 있다. 트랜지스터(Q33)의 베이스와 트랜지스터(Q34)의 베이스와의 사이에는 커패시터(C4)가 있고, 이들 에미터는 공통으로 트랜지스터(Q41) 및 저항(R_0)의 직렬 회로를 통해서 접지되어 있다. 트랜지스터(Q38, Q39, Q40 및 Q41)의 베이스는 공통으로 부극을 접지한 정전압원(92)의 정극에 접지되어 있다.

즉, 제1 이상기(22)는 트랜지스터(Q31, Q32, Q35, Q36, Q37, Q38, Q39 및 Q40)과 바이어스 필터를 구성하는 저항(R_H), 커패시터(C3) 등으로 이루어지고, 또 제12도에 있어서 일정 선택으로 둘러싼 교류적인 부귀환 증폭 회로(94)를 구비하고, 또 저역 통과 필터를 구성하는 저항(R_P 및 R_1) 및 커패시터(C4)와 트랜지스터(Q33 및 Q34)등으로 이루어지고, 제12도에서 2점선택으로 둘러싼 직류 전압을 부귀환 증폭 회로(94)로 귀환시키는 직류적인 부귀환 회로(96)을 구비하는 구성으로 되어 있다.

또 트랜지스터(Q38, Q39, Q40 및 Q41)은 정전류원을 구성하고 저항(R_X, R_N 및 R_0)는 동일한 저항값으로 선정된다. 따라서, 트랜지스터(Q38, Q40 및 Q41)의 콜렉터 전류가 동일하고, 각각의 전류값을 $2I_0$ 로 하면 트랜지스터(Q36 및 Q37)이 전류 미러 회로를 구성하고 있기 때문에 저항(R_L 및 R_M)의 저항값이 동일하면 트랜지스터(Q36)의 콜렉터 전류는 $2I_0$ 로 된다.

다음에 제1 이상기(22)의 교류적 동작을 설명한다. 트랜지스터(Q31)의 베이스는 교류적으로 접지되어 있다. 트랜지스터(Q36)이 차동 접지인 트랜지스터(Q31 및 Q32)로부터의 출력을 전류로 도출하기 위한 부하로 되어 있고, 교류 부하가 매우 큰 값으로 되기 때문에 개방 루프 이득 A는 충분히 크다. 트랜지스터(Q32)의 콜렉터 전류가 변화하면 트랜지스터(Q35)의 베이스 전류가 변화해서 트랜지스터(Q35)의 에미터 폴로워에서 출력을 전압으로서 도출한다. 트랜지스터(Q35)의 에미터 폴로워로부터 출력된 출력 전압(e_0)은 커패시터(C3) 및 저항(R_H)의 고역 통과 필터로 공급된다. 따라서 트랜지스터(Q32)의 베이스 전위는 다음식(15)에서 공급된다.

$$e_i \frac{1}{j\omega C3R_H + 1} + e_0 \frac{j\omega C3R_H}{j\omega C3R_H + 1} \quad \dots (15)$$

그리고, 트랜지스터(Q31)의 베이스 전위는 교류적으로 접지되어 있기 때문에 입력 전압(e_i)와 출력전압(e_0)와의 관계는 다음식(16)과 같다.

$$e_0 = \{0 - (e_i \frac{1}{j\omega C3R_H + 1} + e_0 \frac{j\omega C3R_H}{j\omega C3R_H + 1})\} A \quad \dots (16)$$

여기서 개방 루프 이득 A가 충분히 큰 것을 고려하면 식(16)은 식(17)로 변형되어 이상량이 90도로 되는 것을 알 수 있다.

$$\begin{aligned} -e_i &= e_0 \left\{ \frac{1}{A} + j\omega C3R_H \right\} \\ -e_i &\approx e_0 j\omega C3R_H \quad \dots (17) \end{aligned}$$

또, 입력 전압(e_i)의 주파수가 높을수록 출력 전압(e_0)가 작아지므로 발진하는 일이 없다. 때문에 발진 방지용 저항 및 커패시터가 필요없어진다. 또, 회로소자의 특성에 따른 위상 변이가 생기지 않고 이상량이 90도에서 벗어나는 일이 없다.

다음에 직류적인 동작을 설명한다. 부귀환 증폭 회로(94)에서는 교류적으로 부귀환되고, 커패시터(C3)에 의해 직류적으로는 부귀환되지 않는다. 따라서 트랜지스터(Q35)의 에미터 전압은 불안정해지고 이대로는 부귀환 증폭 회로는 동작하지 않는다. 그러나, 트랜지스터(Q35)의 에미터 폴로워에서 출력되는 전압의 직류 성분만이 저항(R_P 및 R_1) 및 커패시터(C4)의 저역 통과 필터로 공급되고, 차동 접속된 트랜지스터(Q33 및 Q34)의 트랜지스터(Q33)의 베이스로 공급된다. 트랜지스터(Q34)의 베이스에는 정전압원(92)에서 일정전압이 공급되고, 트랜지스터(Q33 및 Q34)의 베이스 전류와 저항(R_P 및 R_1)에 의한 전압 강하를 무시하면 양 베이스 전압의 차에 따라 트랜지스터(Q41)의 콜렉터 전류($2I_0$)의 분류비가 변화해서 트랜지스터(Q33)의 콜렉터 전류가 변화한다.

트랜지스터(Q31 및 Q32)의 베이스의 직류 전압은 정전류원(92)의 전압으로 유지되기 때문에 트랜지스터(Q31 및 Q32)의 베이스 전류와 저항(R_H 및 R_1)에 의한 전압 강하를 무시하면 트랜지스터(Q31 및 Q32)에 흐르는 콜렉터 전류는 트랜지스터(Q38)의 콜렉터 전류($2I_0$)를 등분한 I_0 로 된다.

또, 트랜지스터(Q36)의 콜렉터 전류는 $2I_0$ 로 되어 있기 때문에 트랜지스터(Q35)의 베이스 전류가 작아서

무시할 수 있다면 트랜지스터(Q33)의 콜렉터 전류는 트랜지스터(Q36)의 콜렉터 전류에서 트랜지스터(Q32)의 콜렉터 전류를 뺀 I_0 로 된다. 그리고, 차동 접속된 트랜지스터(Q33 및 Q34)의 트랜지스터(Q33)의 콜렉터 전류가 I_0 로 되기 위해서는 트랜지스터(Q41)의 콜렉터 전류가 $2I_0$ 이므로 트랜지스터(Q33 및 Q34)의 베이스 전압이 대등해져야 하고, 트랜지스터(Q35)의 에미터의 직류 전압은 정전압원(92)의 전압으로 고정되므로 이 전압을 동작점으로서 부귀환 증폭 회로(94)가 정상으로 동작한다.

다음에 제14도를 참조하여 본 발명의 다른 실시예를 설명한다. 제14도의 실시예가 제2도의 실시예와 다른 점은 제2도의 실시예에 있어서는 제1 위상 비교기(18)의 제어가 레벨 비교기(36)에서의 출력만으로 행해지는데 비해 제14도의 실시예에서는 동기시와 비동기시에 따라 제1 위상 비교기(18)의 제어 신호가 다른 점이다. 즉 동기시에는 상기 제2 위상 비교기(30)에서의 신호, 즉 레벨 비교기(36)에서의 버스트 게이트 펄스(BGP)로 제1 위상 비교기(18)을 능동화하고, 비동기시에는 제3(b)도에 도시하는 바와 같은 광폭의 펄스인 버스트 타이밍 신호에 의해 제1 위상 비교기(18)을 능동화한다. 이와 같은 구성에 의해 약전계시에 있어서는 동일한 위상 제어가 가능하다. 또 동기시에는 제2도의 실시예와 동일한 동작을 행하기 때문에 그 설명은 생략한다.

제14도의 실시예에 있어서 비동기시에는 입력된 색신호는 제1 전역 통과 필터(14)에 의해 지연된 후 제1 위상 비교기(18)의 한쪽 입력으로 공급된다. 한편 고정 발진기(20)에서의 기준 반송파 신호는 제1 이상기(22)에 의해 위상이 90도 이상된 후 제1 위상 비교기(18)의 다른 쪽 입력으로 공급된다. 그리고 제1 위상 비교기(18)에서는 이들 2개의 입력으로 공급된 신호의 위상이 비교된다.

여기서 입력 색 신호중에 지터 성분이 존재할 때 제1 위상 비교기(18)에서 위상차 신호가 출력되고, 이 위상차 신호가 제1 저역 통과 필터(24) 및 직류 컷용 컨덴서(26)를 통해 제1 전역 통과 필터(14)의 제어 신호로서 공급된다. 즉 지터 성분의 대소에 따라 제1 전역 통과 필터(14)가 부귀환 제어되어 제1 전역 통과 필터(14)의 지연 시간이 제어된다.

한편 제1 전역 통과 필터(14)를 통과한 색 신호는 제2 위상 비교기(30)의 한쪽 입력으로도 공급된다. 또 제1 이상기(22)로부터의 기준 반송파 신호는 제2 이상기(28)에 의해 다시 90도 이상되어 최종적으로 본래의 기준 반송파에 대해 반전된 신호로 되어 제2 위상 비교기의 다른 쪽 입력으로 공급된다. 따라서 비동기시에는 제2 위상 비교기(30)에서는 버스트 신호(BURST)(제3도) 기간중에 최대 복조 출력이 얻어지지 않아서 제2 위상 비교기(30)에서는 결탁한 동기 신호가 레벨 비교기(36)으로 입력되어 기준 전압(38)과 비교된다. 때문에 비동기시에는 레벨 비교기(36)에서는 제3(c)도에 도시하는 바와 같은 버스트 게이트 펄스(BGP)가 연속해서 제1 위상 비교기(18)로 공급되는 일은 없다. 한편 레벨 비교기(36)으로 부터의 불연속적인 버스트 게이트 펄스(BGP)가 비교적 큰 시정수를 갖는 제3 저역 통과 필터(98)에 의해 평활화 됨으로써 로우 레벨의 신호가 작성되고, 이 신호가 인버터를 통해서 AND 게이트(100)의 한쪽 입력으로 공급된다. 따라서, AND 게이트(100)에 의해 비동기시에는 상기 버스트 게이트 펄스(BGP)보다도 광폭의 펄스[제3(b)도에 도시하는 펄스] 즉 버스트 타이밍 신호가 그대로 제1 위상 비교기(18)로 공급되고, 이 타이밍에서 제1 위상 비교기(18)이 능동화된다.

또 제14도의 실시예에서는 제1 위상 비교기(18)의 능동화 타이밍을 동기시 혹은 비동기시에 전환했으나, 비동기시에 제1 위상 비교기(18)의 동작을 정지시키도록 해도 좋다.

제15도에 도시하는 실시예에서는 본 발명을 PAL 방식에 적용하기 위해 라인 카운터(102) 및 스위치(104)를 설치한다. 라인 카운터(102)는 수평 동기 신호(H_{sync})를 카운트해서 1라인마다 스위치 신호를 스위치(104)로 공급한다. 즉 기수 라인(또는 우수 라인)에서는 스위치(104)는 접점(104a)에 접속되고, 우수 라인(또는 기수 라인)에서는 스위치(104)는 접점(104b)로 전환된다. 따라서 기수 라인(또는 우수 라인)에서는 발진기(20)에서의 기준 신호가 제1 이상기(22)에 의해 90도 이상 되나, 우수 라인(또는 기수라인)에서는 기준 신호는 이상 되지 않은 채 제1 위상 비교기(18)로 공급된다.

본 발명을 도면을 참조해서 상세히 설명했으나 그것은 단지 한례로서 이용한 것으로 본 발명을 한정하는 것은 아니고, 본 발명의 원리 및 범위는 첨부된 청구 범위에 의해서만 한정된다.

(57) 청구의 범위

청구항 1

색 신호를 받아서 제어 신호에 따른 지연 시간으로 상기 색 신호를 지연해서 색 신호를 출력하는 제1 가변 지연 수단, 기준 신호를 발생하는 기준 신호 발생 수단, 상기 기준 신호를 90도 이상(移相)하는 제1 이상 수단, 타이밍 신호를 공급하는 타이밍 신호 부여 수단, 상기 타이밍 신호에 응답하여 상기 제1 가변 지연 수단의 출력 위상 및 상기 제1 이상 수단의 출력 위상을 비교해서 양 위상의 차에 따른 신호를 출력하는 제1 위상 비교 수단, 상기 제1 위상 비교 수단으로부터 상기 신호를 받는 제1 저역 통과 필터, 및 상기 제1 저역 통과 필터의 출력에 포함되는 교류 성분만을 상기 제1 가변 지연수단에 상기 제어 신호로서 공급하는 컨덴서를 구비하는 것을 특징으로 하는 버스트 위상 보정 회로.

청구항 2

제1항에 있어서, 상기 제1 가변 지연 수단은 상기 제어 신호에 따라 변화하는 시정수를 갖는 시정수 회로를 포함하는 것을 특징으로 하는 버스트 위상 보정회로.

청구항 3

제2항에 있어서, 상기 시정수 회로는 상기 제어 신호에 따라 그 인덕턴스 값이 변화하는 등가 인덕턴스 회로를 포함하는 것을 특징으로 하는 버스트 위상 보정회로.

청구항 4

제3항에 있어서, 상기 제1 가변 지연수단은 상기 시정수 회로를 포함하는 전역 통과 필터를 포함하는 것

을 특징으로 하는 버스트 위상 보정 회로.

청구항 5

제1항에 있어서, 상기 타이밍 신호 부여 수단은 상기 제1 가변 지연 수단의 출력에 포함되는 버스트 신호를 복조해서 얻어지는 버스트 게이트 신호를 상기 제1 위상 비교 수단에 공급하는 버스트 신호 복조 수단을 포함하는 것을 특징으로 하는 버스트 위상 보정 회로.

청구항 6

제5항에 있어서, 상기 버스트 신호 복조 수단은 상기 제1이상 수단의 출력을 다시 90도 이상하는 제2 이상 수단, 상기 타이밍 신호에 응답해서 상기 제1 가변 지연 수단의 출력 위상 및 상기 제2 이상 수단의 출력 위상을 비교하여 양 위상차에 따른 신호를 출력하는 제2 위상 비교 수단, 상기 제2 위상 비교 수단의 출력을 받는 제2 지연 통과 필터, 및 상기 제2 지연 통과 필터의 출력을 기준 레벨과 비교해서 상기 버스트 게이트 신호를 작성하는 레벨 비교 수단을 포함하는 것을 특징으로 하는 버스트 위상 보정 회로.

청구항 7

제1항에 있어서, 상기 제1 지연 통과 필터는 상기 제1 위상 비교 수단의 출력을 받는 입력단, 제1 저항을 통해 상기 입력단에 접속되는 베이스를 갖는 제1 트랜지스터 및 제2 트랜지스터를 포함하는 입력 차동 쌍, 상기 제1 위상 비교 수단의 출력에 따라 충전 또는 방전되는 커패시터, 상기 커패시터의 충전 또는 방전 전압을 상기 제2 트랜지스터의 베이스에 부가환시키는 고임피던스 버퍼 및 제2 저항을 통해 상기 입력단에 접속되는 출력단을 포함하는 것을 특징으로 하는 버스트 위상 보정 회로.

청구항 8

제1항에 있어서, 상기 제1 지연 통과 필터는 상기 제1 위상 비교수단의 출력을 받는 입력단, 제1 저항을 통해 상기 입력단에 접속되는 베이스를 갖는 제1 및 제2 트랜지스터를 포함하는 입력 차동 쌍, 상기 제1 위상 비교 수단의 출력에 따라 충전 또는 방전되는 커패시터를 포함하고, 상기 제2 트랜지스터를 상기 커패시터의 충전 또는 방전 경로로서 이용하며 제2 저항을 통해 상기 입력단에 접속되는 출력단을 포함하는 것을 특징으로 하는 버스트 위상 보정 회로.

청구항 9

제1항에 있어서, 상기 제1 지연 통과 필터는 상기 제1 위상 비교 수단의 출력을 받는 입력 차동쌍, 상기 제1 위상 비교 수단의 출력에 따라 충전 또는 방전되는 커패시터, 상기 커패시터에 접속되는 증폭 회로, 및 상기 증폭 회로의 입력 전류를 보상하는 보상 회로를 포함하는 것을 특징으로 하는 버스트 위상 보정 회로.

청구항 10

제1항에 있어서, 제1 이상 수단은 부가환 루프를 포함하고 또 상기 기준 신호를 증폭하는 부가환 증폭 회로를 포함하는 것을 특징으로 하는 버스트 위상 보정회로.

청구항 11

제10항에 있어서, 상기 제1 이상 수단은 상기 부가환 증폭 회로에서의 상기 부가환 루프에 개재되는 컨덴서 및 입력 신호를 상기 부가환 루프로 입력할 입력 경로에 개재되는 저항을 포함하고, 상기 부가환 루프는 출력 신호의 직류 성분을 부가환 증폭 회로로 부가환시키는 것을 특징으로 하는 버스트 위상 보정 회로.

청구항 12

제1항에 있어서, 상기 컨덴서로부터의 제어 신호에 따라 제어되고 또 휘도 신호를 받는 제2 가변 지연 수단을 더 포함하는 것을 특징으로 하는 버스트 위상 보정 회로.

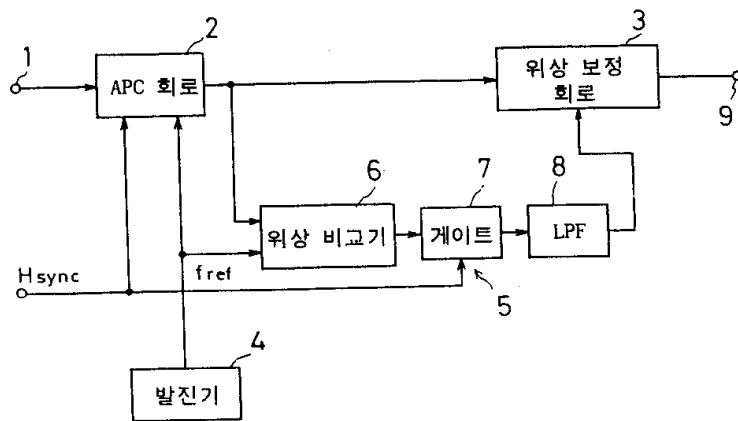
청구항 13

색 신호를 받아서 제어 신호에 따른 지연 시간으로 상기 색 신호를 지연하여 색 신호를 출력하는 제1 가변 지연 수단, 기준 신호를 발생하는 기준 신호 발생 수단, 상기 기준 신호를 90도 이상하는 제1 이상 수단, 타이밍 신호를 공급하는 타이밍 신호 부여 수단, 상기 타이밍 신호에 응답하여 상기 가변 지연 수단의 출력 위상 및 상기 제1 이상 수단의 출력 위상을 비교해서 양 위상의 차에 따른 신호를 출력하는 제1 위상 비교 수단, 상기 제1 위상 비교 수단으로부터 상기 신호를 받는 제1 지연 통과 필터, 및 상기 제1 지연 통과 필터의 출력에 포함되는 교류 성분만을 상기 제1 가변 지연수단에 상기 제어 신호로서 공급하는 컨덴서를 구비하는 것을 특징으로 하는 TV 신호 처리 장치.

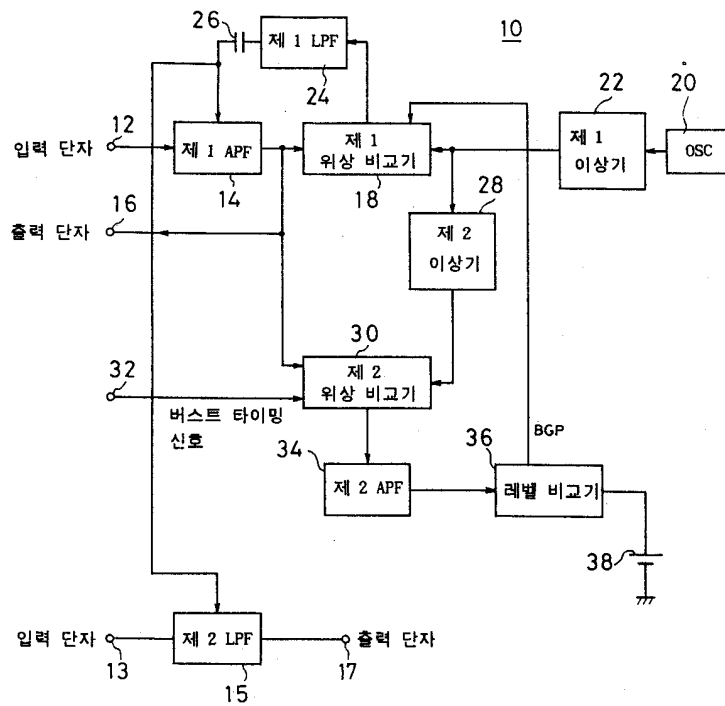
도면

도면1

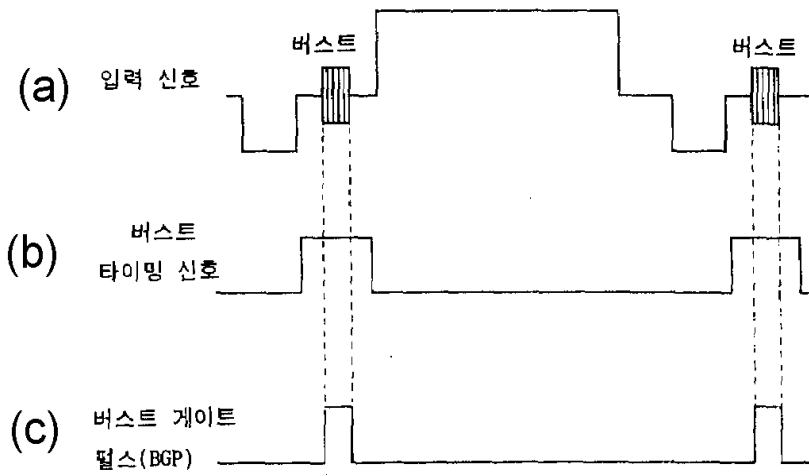
(종래 기술)



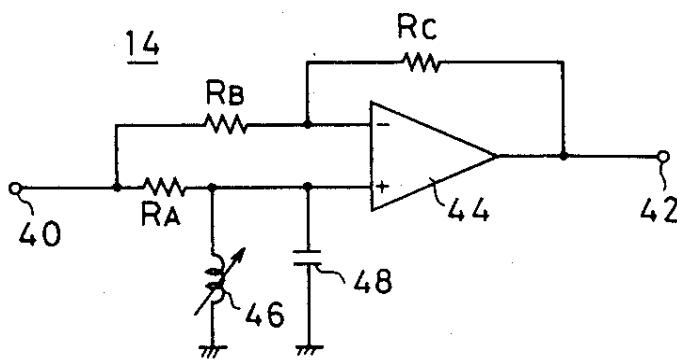
도면2



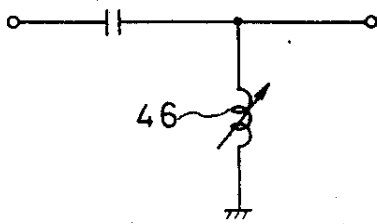
도면3



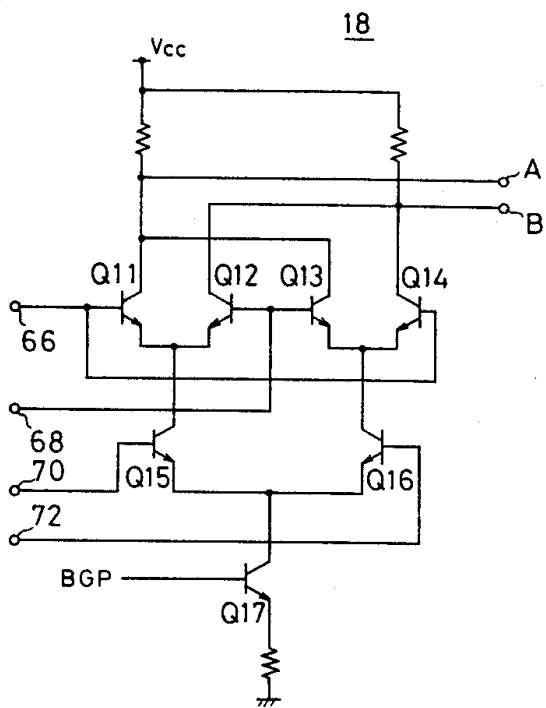
도면4



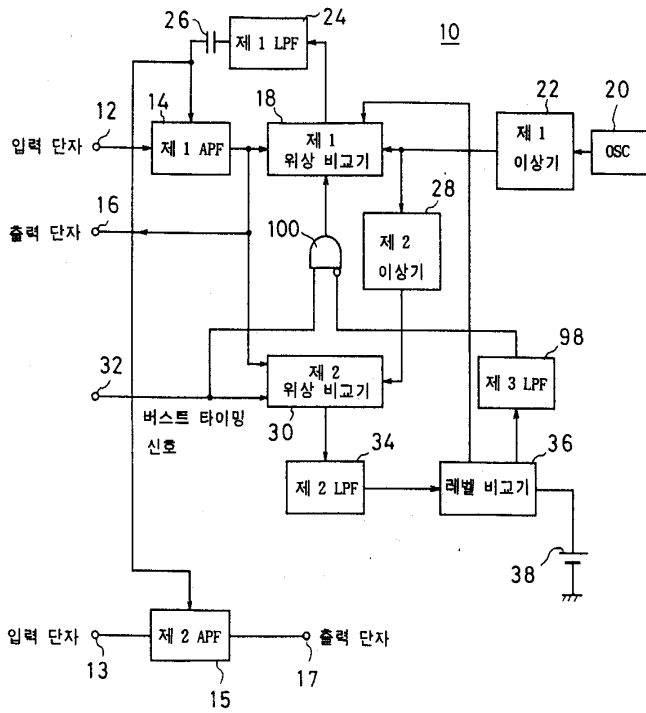
도면8



도면9



도면 14



도면 15

