(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2004-524715
(P2004-524715A)
(43)公表日　平成16年8月12日(2004.8.12)

(51)Int.Cl.[7]	F I	テーマコード（参考）
H03K 19/177	H03K 19/177	5J042

審査請求 未請求　予備審査請求 有　（全 64 頁）

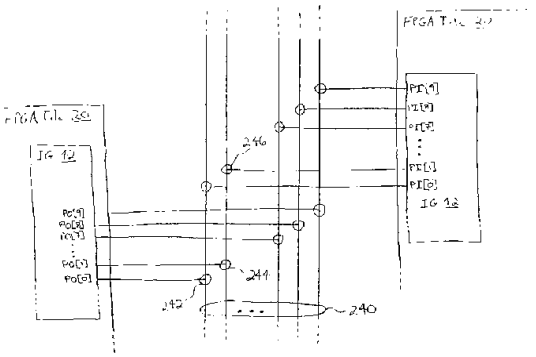
(21)出願番号	特願2002-525998(P2002-525998)
(86)(22)出願日	平成13年8月31日(2001.8.31)
(85)翻訳文提出日	平成15年2月28日(2003.2.28)
(86)国際出願番号	PCT/US2001/027172
(87)国際公開番号	WO2002/021694
(87)国際公開日	平成14年3月14日(2002.3.14)
(31)優先権主張番号	09/654,240
(32)優先日	平成12年9月2日(2000.9.2)
(33)優先権主張国	米国(US)

(71)出願人　591099555
アクテル・コーポレイション
アメリカ合衆国・カリフオルニア・９４０４３－４６５５・マウンテン・ビュー・スティアリン・コート・２０６１
(74)代理人　100064908
弁理士　志賀　正武
(74)代理人　100108578
弁理士　高橋　詔男
(74)代理人　100089037
弁理士　渡邊　隆
(74)代理人　100101465
弁理士　青山　正和
(74)代理人　100094400
弁理士　鈴木　三義

最終頁に続く

(54)【発明の名称】タイル敷き詰め可能なフィールド・プログラマブル・ゲート・アレイのアーキテクチャ

(57)【要約】
フィールド・プログラマブル・ゲート・アレイ（ＦＰＧＡ）を含んだ装置において、ＦＰＧＡは、第１ＦＰＧＡタイルを備え、該第１ＦＰＧＡタイルは、それぞれが通常の入力信号を受け取るように構成され、論理演算を実行し、通常の出力信号を生成する、行と列とに配列された複数の機能グループ（ＦＧ）と、ＦＧに結合されて、通常の出力信号を受け取り、また第１ＦＰＧＡタイルないで信号の経路選択をし、また通常の入力信号をＦＧに与えるように構成された、通常の経路選択用構造部と、一つのＩＧが、各行と列の各端部に置かれ、またＩＧの各々が、通常の経路選択用構造部に結合され、また通常の経路選択用構造部から第１ＦＰＧＡタイルの外部へ信号を転送するように構成されるように、複数のＦＧの周囲に置かれた複数のインターフェイスグループとを含むことを特徴とする装置。



【特許請求の範囲】
【請求項１】
フィールド・プログラマブル・ゲート・アレイ（ＦＰＧＡ）を含んだ装置において、前記ＦＰＧＡは、第１ＦＰＧＡタイルを備え、該第１ＦＰＧＡタイルは、
それぞれが通常の入力信号を受け取るように構成され、論理演算を実行し、通常の出力信号を生成する、行と列とに配列された複数の機能グループ（ＦＧ）と、
ＦＧに結合されて、通常の出力信号を受け取り、また第１ＦＰＧＡタイル内で信号の経路選択をし、また通常の入力信号をＦＧに与えるように構成された、通常の経路選択用構造部と、
一つのＩＧが、各行と列の各端部に置かれ、またＩＧの各々が、通常の経路選択用構造部に結合され、また通常の経路選択用構造部から第１ＦＰＧＡタイルの外部へ信号を転送するように構成されるように、複数のＦＧの周囲に置かれた複数のインターフェイスグループ（ＩＧ）と
を含むことを特徴とする装置。
【請求項２】
前記ＩＧの各々が、さらに、
通常の経路選択用構造部から受け取った信号を選択し、選択した信号をＦＰＧＡタイルの外部へ与えるように構成された複数の出力マルチプレクサを備えることを特徴とする請求項１記載の装置。
【請求項３】
前記ＩＧの各々が、さらに、
ＦＰＧＡタイルの外部から受け取った信号を選択し、選択した信号をＦＰＧＡタイルの内部にある通常の経路選択用構造部へ与えるように構成された複数の入力マルチプレクサを備えることを特徴とする請求項１記載の装置。
【請求項４】
さらに、複数の入出力パッド（Ｉ／Ｏ）を備え、入力マルチプレクサの各々は、Ｉ／Ｏの少なくとも一つに直接に結合されることを特徴とする請求項３記載の装置。
【請求項５】
前記ＦＰＧＡは、さらに、
複数のＦＧを含む第２ＦＰＧＡタイルと、通常の経路選択用構造部と、第１ＦＰＧＡタイルと実質的に同様の方法で配置された複数のＩＧとを備え、第１ＦＰＧＡタイルの少なくとも一つのＩＧが、第２ＦＰＧＡタイルの少なくとも一つのＩＧに結合されることを特徴とする請求項１記載の装置。
【請求項６】
前記ＦＰＧＡは、さらに、
複数のＦＧを含む第３ＦＰＧＡタイルと、通常の経路選択用構造部と、第１ＦＰＧＡタイルと実質的に同様の方法で配置された複数のＩＧとを備え、第１ＦＰＧＡタイルの少なくとも一つのＩＧは、第３ＦＰＧＡタイルの少なくとも一つのＩＧに結合されることを特徴とする請求項５記載の装置。
【請求項７】
前記装置は、さらに、システムオンチップ（ＳＯＣ）を備えることを特徴とする請求項１記載の装置。
【請求項８】
前記ＦＧの各々は、さらに、
通常の出力信号の一つを、ＦＧ第２経路選択信号として選択するように構成されたマルチプレクサを備えることを特徴とする請求項１記載の装置。
【請求項９】
前記第１ＦＰＧＡタイルは、さらに、
通常の経路選択用構造部から独立して、ＦＧ第２経路選択信号を第１ＦＰＧＡタイルの周囲で選択し、かつ経路選択するように構成される、第２経路選択用構造部を備えることを

特徴とする請求項８記載の装置。
【請求項１０】
前記ＩＧの各々は、さらに、
ＦＰＧＡタイルの外部から受け取った信号をＩＧ第２経路選択信号として選択するように構成されたマルチプレクサを備え、第２経路選択用構造部は、ＩＧ第２経路選択信号を第１ＦＰＧＡタイルの周囲で選択し、かつ経路選択することを特徴とする請求項９記載の装置。
【請求項１１】
前記第２経路選択用構造部は、さらに、
各ＦＧの第２経路選択入力に結合される第２経路選択バスを備えることを特徴とする請求項９記載の装置。
【請求項１２】
前記第２経路選択用構造部は、さらに、
ＦＧの各行に対応した異なる第１バスを持ち、各ＦＧからのＦＧ第２経路選択信号を受け取るように結合された複数の第１バスと、
各第１バスに結合されて、そこからの信号を選択する少なくとも一つの第２マルチプレクサを持った複数の第２マルチプレクサと、
各第２マルチプレクサに結合されて、第２経路選択バスに結合される出力を持つ、異なるバッファを持った複数のバッファと
を備えることを特徴とする請求項１１記載の装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、フィールド・プログラマブル・ゲート・アレイ（ｆｉｅｌｄ－ｐｒｏｇｒａｍｍａｂｌｅ　ｇａｔｅ　ａｒｒａｙ）に関し、特に、タイル敷き詰め可能なフィールド・プログラマブル・ゲート・アレイのアーキテクチャに関する。
【０００２】
【従来の技術および発明が解決しようとする課題】
フィールド・プログラマブル・ゲート・アレイ（ＦＰＧＡ）は、セル或いは論理ブロックと呼ばれる２次元配列の汎用の論理回路を含んだ集積回路であり、その機能はプログラム可能なものである。それらのセルは、プログラム可能なバスによって互いに接続される。セルの種類は、いくつかの変数のブール関数を全て実現できる小さな多機能回路（或いは構成可能な機能的ブロック或いは機能的ブロック）で良い。セルの種類は、ゲートに限定されるものでは無い。例えば、構成可能な機能的グループには、通常、メモリセルと接続トランジスタとが含まれ、それらは、加算、減算等の論理関数をＦＰＧＡの内部で構成するのに使用することができる。一つのセルは、また、一つ或いは２つのフリップフロップを含むことができる。ＦＰＧＡの中に見出される論理セルの種類は、マルチプレクサを基にしたものと、プログラム可能な読み出し専用メモリ（ＰＲＯＭ）のテーブル参照メモリに基づくものとがある。消去可能なＦＰＧＡは、何回も再プログラム可能である。この技術は、新製品や少数の製造に対して試作品の設計を開発したりデバッグしたりするときに、特に便利である。
【０００３】
ＦＰＧＡは、通常、ひな形を含んでおり、その中には、回路の配列や、未使用の経路選択用内部接続のセットや、回路と経路選択用内部接続の両方に関連するユーザーがプログラム可能なスイッチのセットが含まれる。これらのスイッチが、正しくプログラムされるとき（オン状態あるいはオフ状態に設定されるとき）、ＦＰＧＡのひな型あるいは下部の回路と内部接続が、特定の固有の機能を実行するべく固有化されるか構成される。これらのスイッチのオン－オフ状態を再プログラムすることによって、ＦＰＧＡは、多くの異なる機能を実行することができる。一旦、ＦＰＧＡの特定の構成が決定されると、その一つの特定の機能を実行するように構成することができる。

【０００４】
ＦＰＧＡの中のユーザーがプログラム可能なスイッチは、様々な技術によって実現することができ、その中には、ＯＮＯアンチヒューズ（ａｎｔｉｆｕｓｅ）と、Ｍ－Ｍアンチヒューズと、ＳＲＡＭメモリセルと、フラッシュＥＰＲＯＭメモリセルと、ＥＥＰＲＯＭメモリセルとがある。ヒューズやアンチヒューズをスイッチとして使用するＦＰＧＡは、一度だけプログラム可能である。ＦＰＧＡをメモリセルが制御するスイッチで実現するものは、繰り返して再プログラム可能である。このやり方では、ＮＭＯＳトランジスタは、通常、回路の２つの選択された点（Ａ，Ｂ）を接続するか切るスイッチに使用される。ＮＭＯＳのソースとドレインのノードは、それぞれ点ＡとＢに接続され、ゲートは、メモリセルに直接或いは間接に接続される。メモリセルの状態を論理“１”あるいは“０”のいずれかに設定することによって、スイッチは、オンあるいはオフすることができ、点ＡとＢは、接続するか切ることができる。こうして、これらのスイッチをプログラムする能力が、非常に柔軟な素子に対して備わる。
【０００５】
ＦＰＧＡは、ＦＰＧＡチップ上のＲＡＭあるいはＰＲＯＭ内で実現する回路を決定するプログラムを蓄えることができる。この構成メモリＣＭ内のデータのパターンは、セルの機能と、内部接続の配線を決定する。ＣＭの各ビットは、いくつかのセル機能を選択するかいくつかの接続をしたり（切ったり）することのできる対象の回路内のトランジスタスイッチを制御する。ＣＭの内容を置き換えることによって、設計者は、設計変更をしたり設計誤りを直したりすることができる。ＣＭは、外部ソースからダウンロードするか、チップ上に記憶されている。ＦＰＧＡの種類は、繰り返して再プログラムすることができ、これによって開発と製造の費用を著しく減らすことができる。
【０００６】
概して、ＦＰＧＡは、プログラム可能な論理素子（ＰＬＤ）の一種である、すなわち、いかなる希望の組合せ機能或いは順序機能をも実現するように、内部接続を構成或いは“プログラムする”ことが可能な、多くのゲート或いは汎用セルを備えた素子である。その名前から分かるように、ＦＰＧＡは、“フィールド・プログラマブル”であり、この素子が一般に設計者またはエンドユーザによって、小さな低価格のプログラムユニットを使って“フィールドで（現場で）”プログラムされることを意味している。これは、ＩＣチップの製造プロセスに特別な段階を必要とする、マスクプログラム可能な素子と対称的である。
【０００７】
フィールド・プログラミングのユニットは、通常、ＦＰＧＡをプログラムするのに設計ソフトウェアを使用する。この設計ソフトウェアは、特定のユーザー設計、すなわち、エンドユーザによってプログラム可能なスイッチの特定の構成をＦＰＧＡ構成データへとコンパイルする。設計ソフトウェアは、構成データをビットストリームすなわち１と０とのストリームへとアセンブルし、これがＦＰＧＡの中に与えられてプログラム可能なスイッチ用の構成メモリをプログラムするのに使用される。このビットストリームは、各メモリセルが“１”あるいは“０”を記憶しているかどうかを決定する、構成メモリＣＭの中にデータのパターンを作る。各ＣＭの中に記憶されたビットは、その関連するトランジスタスイッチがオンあるいはオフするのを制御する。通常、エンドユーザは、設計ソフトウェアを使用して、異なる設計を試験し、ＦＰＧＡのシミュレーションを実行する。
【０００８】
ある特定の機能を実行するようにプログラムされたＦＰＧＡが、同じ特定の機能を実行するように設計されまた製造された特定用途向け集積回路（ＡＳＩＣ）と比較される時、ＦＰＧＡは、必然的にＡＳＩＣよりも大きさ素子となるだろう。これは、ＦＰＧＡが、多くの異なる機能を実現することのできる柔軟な素子であり、また、アルゴリズム特定の機能を実行する時に使用されなかったり、配線された接続で置き換えられたりされるかも知れない位の大量の余分の回路を含んでいるためである。そのような余分の回路には、通常、多くのプログラム可能なトランジスタスイッチと、それに対応して或る特定の機能を実現

するのに使用されるメモリセルと、機能グループ内部のメモリセルと、ＦＰＧＡプログラム回路とが含まれる。この余分の回路は、ＡＳＩＣを小さな素子にする、ＡＳＩＣの設計では、通常、排除される。他方で、ＡＳＩＣは、柔軟性のある素子ではない。言い換えると、一度ＡＳＩＣが設計されて製造されると、ＦＰＧＡでは可能な、別の機能を実現するために再構成することはできない。

【０００９】

ＦＰＧＡの設計者は（他のＰＬＤと同様に）、自分の回路設計を、通常ＦＰＧＡを二つの異なる方法で製造するＩＣ製造者にしばしば与える。最初に、ＦＰＧＡ設計は、ＩＣパッケージに含まれる他の素子とは別に、自身のチップとして製造されるだろう。第２に、ＦＰＧＡ設計は、より大きなＩＣに埋め込まれるだろう。そのような大きなＩＣの一例は、いくつかの他の部品と同様に埋め込まれたＦＰＧＡを含んだチップ上システム（ＳＯＣ）である。いくつかの他の部品には、例えば、マイクロプロセッサやメモリや論理演算ユニット（ＡＬＵ）やステートマシーン等が含まれる。この２番目のやり方では、埋め込まれたＦＰＧＡは、全体のＳＯＣの小部分に過ぎないであろう。

【００１０】

ＦＰＧＡが自身のＩＣとして製造されるか、より大きなＩＣの中に埋め込まれるかのどちらにせよ、目標とするＩＣの応用分野／使用法によって、必要なＦＰＧＡの大きさと複雑さとが決定される。いくつかの場合には、大きなＦＰＧＡが必要となり、他の場合には、小さなＦＰＧＡが必要となる。従来のＦＰＧＡが通常目標とする応用分野／使用法によって設計されるために、小さなＦＰＧＡに対する要求を満たすのに設計されるＦＰＧＡは、より大きなＦＰＧＡが必要となる使用に対しては、実質的に、再設計されなくてはならない。従って、大きなＦＰＧＡを必要とするＩＣと小さなＦＰＧＡを必要とするＩＣの両方に使うように容易に適合させられるＦＰＧＡの装置と方法とがあれば、非常に有利であろう。さらに、そのようなＦＰＧＡ装置と方法を、ＦＰＧＡが自身のＩＣとして製造される場合と、ＦＰＧＡが大きなＩＣに埋め込まれる場合の両方で使用できるならば、非常に有利であろう。

【００１１】

【課題を解決するための手段】

本発明は、フィールド・プログラマブル・ゲート・アレイ（ＦＰＧＡ）を含む装置を提供する。ＦＰＧＡには、第１ＦＰＧＡタイルが含まれ、この第１ＦＰＧＡタイルには、複数の機能グループ（ＦＧ）と、通常の経路選択構造部（ｒｏｕｔｉｎｇ ｓｔｒｕｃｔｕｒｅ）と、複数のインターフェイスグループ（ＩＧ）とが含まれる。複数のＦＧは、行と列とから配列され、ＦＧの各々は、通常の入力信号を受け取り、論理処理を実行し、通常の出力信号を出力するように構成される。通常の経路選択構造部は、ＦＧと結合され、通常の出力信号を受け取り、第１ＦＰＧＡタイル内に信号の経路選択を行い、通常の入力信号をＦＧに与えるように構成される。複数のＩＧは、複数のＦＧを囲んで、一つのＩＧが各行と列の端部に位置するようになる。各ＩＧは、通常の経路選択構造部に結合されて、通常の経路選択構造部からの信号を第１ＦＰＧＡタイルへと転送するように構成される。

【００１２】

以下の本発明の詳細な説明と添付する図面とで、本発明が利用される原理における実施例を説明しているが、これを参考にすることによって、より良く本願の特徴と利点とを理解することができるだろう。

【００１３】

【発明の実施の形態】

図１を参照すると、本発明によるフィールド・プログラマブル・ゲート・アレイ（ＦＰＧＡ）タイル２０が図示されている。ＦＰＧＡタイル２０によって、従来のＦＰＧＡの欠点の多くが解決され、そこでは、大きなＦＰＧＡを必要とする集積回路（ＩＣ）と小さなＦＰＧＡを必要とするＩＣの両方での使用に対して容易に適合できる。さらに、ＦＰＧＡタイル２０は、ＦＰＧＡが自身のＩＣとして製造される場合と、ＦＰＧＡが大きなＩＣの中に埋め込まれるような場合（例えば、チップ上のシステム（ＳＯＣ））に使用することが

できる。

【００１４】

ＦＰＧＡタイル２０が柔軟かつ適合性のあるものとなっている一つの特徴は、“タイル敷き詰め可能（ｔｉｌｅａｂｌｅ）”であることである。ここで、使用されている用語“タイル敷き詰め可能”とは、ＦＰＧＡタイル２０が、大きなＦＰＧＡを作るために他のＦＰＧＡタイルと結合することができるという意味である。例えば、図２は、２つのＦＰＧＡタイル２０を結合して作られるＦＰＧＡ２２を図示している。２つのＦＰＧＡタイル２０は、一緒に動作して、互いに連絡して、大きなＦＰＧＡ２２を形成する。いかなる数のＦＰＧＡ２０も、本発明に従って結合して、大きなＦＰＧＡを形成することができることを理解されたい。例えば、図３Ａは、４つのＦＰＧＡタイル２０を結合して作られるＦＰＧＡ２４を図示している。

【００１５】

本発明によって、ＦＰＧＡタイル２０は結合されて、自身のＩＣとして製造されるか、大きなＩＣの中に埋め込まれるべき大きなＦＰＧＡを形成するために結合することができる。例えば、後者の場合に関して、ＦＰＧＡ２２，２４は、ＳＯＣに埋め込むことができる。図３Ｂは、中に埋め込まれたＦＰＧＡ２４を持ったＳＯＣ２５を示している。ＳＯＣ２５には、いくつかの他の部品が含まれる。他の部品には、例えば、読み出し専用メモリ（ＲＯＭ）２７とランダムアクセスメモリ（ＲＡＭ）２９とマイクロプロセッサ３１と他の部品３３が含まれる。特定の種類の他の部品と、ＳＯＣ２５上に含まれる他の部品の数は、特定の応用分野によって大きく変わるであろうことを理解されたい。前の場合、図４は、自身のＩＣとして製造されたＦＰＧＡ２６を図示している。特に、ＦＰＧＡ２６には、４つのＦＰＧＡタイル２０と４つのパッドリング２８，３０，３２，３４が含まれる。パッドリング２８，３０，３２，３４は、ＦＰＧＡタイル２０をＦＰＧＡ２６のＩＣパッケージピンへ結合するのに使われる。

【００１６】

また、図４には、全域信号経路選択構造部（ｇｌｏｂａｌ ｓｉｇｎａｌ ｒｏｕｔｉｎｇ ｓｔｒｕｃｔｕｒｅ）３６が図示される。全域信号経路選択構造部３６は、以下により詳細に説明するが、一般的に、ＦＰＧＡタイル２０間のタイル間全域信号を経路選択するのに使用される。全域信号経路選択構造部３６は、例えばＦＰＧＡ２２，２４を含む、本発明によるＦＰＧＡタイル２０のいかなる組合せにも含まれることを理解されたい。さらに、全域信号経路選択構造部３６は、結合されたＦＰＧＡタイル２０が自身のＩＣとして製造されても、大きなＩＣの中に埋め込まれても使用することができる。

【００１７】

結合されるＦＰＧＡタイルは、本発明に従って、同じであって（ＦＰＧＡ２２，２４，２６の中のタイルのように）も、異なる大きさと設計であっても良い。同じＦＰＧＡタイルを用いる利点は、目標とする使用法／応用分野に適切な大きさを持ったＦＰＧＡを提供するための経済的な解決法を提供するということである。そのような解決法は、ただ一つのＦＰＧＡタイルを設計するだけで良く、また、必要とするタイル数が結合された一つのＦＰＧＡを形成するために経済的である。加えて、“ＦＰＧＡタイル”は、ここでは、一つのＦＰＧＡと考えられることを理解されたい。言い換えると、一つのＦＰＧＡタイル２０は、それ自身で使用して一つのＦＰＧＡを形成することができる。

【００１８】

図５を参照すると、ＦＰＧＡタイル２０の内部部品のいくつかが図示されている。特にＦＰＧＡタイル２０には、いくつかのインターフェイスグループ（ＩＧ）４２に囲まれた、いくつかの機能グループ（ＦＧ）４０が含まれる。ＦＧ４０は、多くの或いは全てのブール関数を実現することのできる小さな多機能回路である。ＦＧ４０には、加算や減算等の論理関数を構成するのに使用するメモリセルに加えて、参照テーブル（ＬＵＴ）と、ブール関数を実現することのできる他の回路とが含まれる。ＩＧ４２は、ＦＰＧＡタイル２０と他のＦＰＧＡタイル或いは他の素子とのインターフェイス、もしくは、ＦＰＧＡタイル２０をＩＣパッケージピンへ接続するためのパッドリングとのインターフェイスに使用さ

れる。一般的に、ＦＰＧＡタイル２０の論理構造が、ＦＧ４０とＩＧ４２によって提供される。また、ＦＰＧＡタイル２０に含まれるが、図５に示されないものに、いくつかの水平及び垂直の通常の経路選択バスと、経路選択内部接続領域と、スイッチングトランジスタと、全域信号配付部とがあり、これらは全て以下に説明される。

【００１９】

図６を参照すると、ＦＧ４０の一例には、通常の経路選択信号４４と、タイル内全域信号４６と、タイル間全域信号４８とが含まれる。通常の経路選択信号４４には、通常の入力信号ＥＵＩ［０：４］（上位入力）とＥＢＩ［０：４］（下位入力）とが含まれる。これらの信号は、基本的な入力であり、それに対して、ブール関数とＦＧ４０の論理動作が実行される。通常の経路選択信号４４には、また、通常の出力信号Ｙ［０：４］が含まれる。これらの信号は、基本的な出力であり、ブール関数とＦＧ４０の論理動作の結果を運ぶ。通常の経路選択信号４４は、ＦＰＧＡタイル２０の内部で、水平及び垂直の通常の経路選択バスと経路選択用内部接続領域上を運ばれる。もし、通常の経路選択信号４４のいずれかが異なるＦＰＧＡタイルへと送られるならば、それらはＩＧ４２を通過する。

【００２０】

タイル内全域信号４６には、入力信号ＬＧＧ［０：５］と出力信号ＬＩＮＴとが含まれる。ＬＩＮＴ信号は、第２経路選択資源である。特に、ある状況では、通常の経路選択出力信号Ｙ［０：４］は、目標のＦＧ４０には送ることができない、というのは、通常の経路選択バスと経路選択用内部接続領域は、必要な接続を提供しないからである。あるいは、他の状況では、システムの中央処理ユニット（ＣＰＵ）の時間を使って、信号を通常の経路選択バスと経路選択用内部接続領域を通して送るのは望ましくない。これらの状況では、通常の経路選択出力信号Ｙ［０：４］の内の必要なものは、ＬＩＮＴ信号として選択することができる。ＬＩＮＴ信号は、通常の経路選択出力信号Ｙ［０：４］を経路選択するのに使用される通常の経路選択用バスと経路選択用内部接続領域とから分離した経路選択構造部によって、ＦＰＧＡタイル２０の周囲に経路が決められる。従って、ＬＩＮＴ信号は通常の経路選択用バスと経路選択用内部接続領域が必要な接続をするかどうかに係わらず、ＦＧ４０もしくはＩＧ４２へ送ることができる。ＬＩＮＴ信号は、ＬＩＮＴ信号の経路選択構造部の一部である入力信号ＬＧＧ［０：５］上のＦＧ４０によって受け取られる。その名前から分かるように、タイル内全域信号４６は、ＦＰＧＡタイル２０の境界内で経路選択され、また、ＦＰＧＡタイル間で経路選択されないのが好ましい。タイル内全域信号４６とＬＩＮＴ信号の生成及び使用とは、以下に詳細に説明される。

【００２１】

タイル内全域信号４８には、入力信号［０：７］が含まれる。これらの信号は、全てのＦＰＧＡタイル内のあらゆるＦＧ４０に送られる。以下に説明するが、入力信号ＧＧ［０：７］の内の選択された一つは、各ＦＧ４０に含まれるフリップフロップのクロック／イネーブル／プリセット／クリア（Ｃ／Ｅ／Ｐ／Ｃ）入力を制御するのに使用される。

各ＦＧ４０は、またＣＬ入力とＣＯ出力とを含む。これらの信号の目的は、論理資源をより速く利用するためにキャリー・チェーンを実行することにある。

【００２２】

図７を参照すると、各ＦＧ４０は、４つの論理ユニット（ＬＵ）５０，５２，５４，５６を含むのが望ましい。ＬＵ５０，５２，５４，５６は、ＦＧ４０のブール関数と論理演算を提供する。ＬＵ５０，５２，５４，５６の各々には、それによってブール関数と論理演算とが実行されるいくつかの入力が含まれる。示されているように、ＬＵ５０，５２，５４，５６の各々には、２０個ほどの入力が含まれるが、入力の数は、本発明に従って変動することを理解されたい。特に、ＬＵ５０，５２，５４，５６の各々は、上述した通常の入力信号ＥＵＩ［０：４］とＥＢＩ［０：４］に対応する入力信号ＵＩ［０：４］とＢＩ［０：４］を受け取る。さらに、ＬＵ５０，５２，５４，５６の各々は、入力信号ＧＩ［０：１］を受け取る。入力信号［０：１］は、入力信号ＬＧＧ［０：５］の内の二つを選択するＬＧＧ選択回路５８によって生成される。上記したように、入力信号ＬＧＧ［０：５］は、ＬＩＮＴ信号の内の選択された一つを運ぶ。最後に、ＬＵ５０，５２，５４，５

６の各々は、入力信号ＪＩ［０：７］を受け取る。入力信号ＪＩ［０：７］には、ＬＵ５０，５２，５４，５６の各々からの２つの出力信号が含まれる。こうして、ＬＵ５０，５２，５４，５６の各々の２つの出力信号は、ＪＩ［０：７］を経由して、入力にフィードバックされる。

【００２３】

ＬＵ５０，５２，５４，５６の各々は、また、クロック／イネーブル／プリセット／クリア（Ｃ／Ｅ／Ｐ／Ｃ）入力を持っている。この入力は、ＬＵ５０，５２，５４，５６の各々の内部に含まれるフリップフロップを制御するのに使用される。Ｃ／Ｅ／Ｐ／Ｃ入力は、Ｃ／Ｅ／Ｐ／Ｃ選択回路６０によって生成される。Ｃ／Ｅ／Ｐ／Ｃ選択回路６０は、入力ＥＵＩ［０：４］，ＥＢＩ［０：４］，ＪＩ［０：７］，ＧＩ［０：１］，ＧＧ［０：７］を受け取る。これらの信号から、Ｃ／Ｅ／Ｐ／Ｃ選択回路６０は、Ｃ／Ｅ／Ｐ／Ｃ信号として使用する４つの信号を選択する。

【００２４】

ＬＵ５０，５２，５４，５６の各々には、３つの出力Ｙ，ＪＰＯ，ＪＯが含まれる。これらの出力は、ＬＵによって実行されるブール関数と論理演算の結果を運ぶ。既述したように、ＬＵ５０，５２，５４，５６の各々からのＪＰＯとＪＯの出力は、互いにまとめられて、ＬＵ５０，５２，５４，５６の入力へとフィードバックされるＪＩ［０：７］バスを作る。ＬＵ５０，５２，５４，５６の各々からのＹ出力は、まとめられてＹ［０：４］バスのＹ［０：３］を作る。Ｙ［４］信号は、ＪＩ［０：７］バスから選択するマルチプレクサ（或いは選択回路）６２を用いて選択される。ＪＩ［０：７］バスからＹ［４］信号を選択する利点は、それによって素子に柔軟性ができることである。言い換えると、いずれかのＬＵ５０，５２，５４，５６のＪＯ或いはＪＰＯ出力は、Ｙ［４］信号として選択することができる。

【００２５】

ＬＩＮＴ信号は、マルチプレクサ６４を用いて、Ｙ［０：４］のいずれか一つとして選択することができる。ＬＩＮＫ信号を使用することで、ＦＰＧＡタイル２０に夥しい柔軟性が加わるが、これは、ＬＩＮＴ信号を、ＦＧ４０或いはＩＧ４２のいずれかに送ることができるからである。これは、Ｙ［０：４］バスから分離し独立した経路選択構造部を用いてＦＰＧＡタイル２０の周囲で、ＬＩＮＴ信号を経路選択することができるからである。Ｙ［０：４］バス上の信号の一つを希望する場所に遅れない場合、或いは、ＣＰＵ時間を節約しなくてはならない場合のような状況で、マルチプレクサ６４は、信号を希望する場所に送るために、Ｙ［０：４］信号の上記の一つをＬＩＮＴ信号として選択するのに使用することができる。

【００２６】

図８を参照すると、ＬＧＧ選択回路５８の一つの例には、２つの６－１マルチプレクサ６６，６８が含まれる。各マルチプレクサ６６，６８は、入力信号ＬＧＧ［０：５］の一つを選択する。マルチプレクサ６６によって選択される信号は、ＧＩ［０］になり、マルチプレクサ６８によって選択される信号は、ＧＩ［１］になる。ＬＧＧ［０：５］バスは、マルチプレクサ６６と６８の両方に与えられるので、信号ＧＩ［０］とＧＩ［１］が同じ信号になる可能性がある。上述したように、ＬＧＧ［０：５］バスは、ＬＩＮＴ信号がＦＧ４０あるいはＩＧ４２のいずれかからＦＧ４０あるいはＩＧ４２のいずれかに送られるための通り道である。図示されるＬＧＧ選択回路５８の一例は、ＧＩ［０：１］バスを経由してＬＵ５０，５２，５３，５６に送るためのこれらＬＩＮＴ信号のいずれか二つを選択することができる。しかし、様々な異なる設計のＬＧＧ選択回路５８は、本発明に従ってＬＵ５０，５２，５４，５６へのＬＧＧ［０：５］バスからの様々な異なる数の信号を選択するのに使用することができる。

【００２７】

図９を参照すると、Ｃ／Ｅ／Ｐ／Ｃ選択回路６０の一例が示されている。回路６０には、二つの２－１マルチプレクサ７０，７２が含まれる。各マルチプレクサ７０，７２は、バスＥＵＩ［０：４］，ＥＢＩ［０：４］，ＪＩ［０：７］，ＧＩ［０：１］から、一つの

信号を選択する。マルチプレクサ７０によって選択される信号は、信号ＧＸ［０］になり、マルチプレクサ７２によって選択される信号は、信号ＧＸ［１］になる。バスＧＸ［０：１］は、４つの７－１マルチプレクサ７４，７６，７８，８０の入力に与えられる。また、マルチプレクサ７４，７６，７８，８０の４つの入力に与えられるのは、バスＧＧ［０：７］と接地信号である。マルチプレクサ７４によって選択される信号は、クロック信号ＣＬＫになり、マルチプレクサ７６によって選択される信号は、信号Ｅになり、マルチプレクサ７８によって選択される信号は、プリセット信号ＰＲＳＴＮになり、マルチプレクサ８０によって選択される信号は、クリア信号ＣＬＲＮになる。４つのマルチプレクサ７４，７６，７８，８０を使用することによって、信号ＧＸ［０：１］，ＧＧ［０：７］，接地が、Ｃ／Ｅ／Ｐ／Ｃ信号の一つとして選択可能となる。

【００２８】

先述したように、ＧＧ［０：７］バスは、全てのＦＰＧＡタイル内のあらゆるＦＧ４０に送られる、タイル間全域バスである。ＧＧ［０：７］内の信号は、しばしば、Ｃ／Ｅ／Ｐ／Ｃ信号として選択される。加えて、Ｃ／Ｅ／Ｐ／Ｃ選択回路６０は、有利なことに、２つの信号ＧＸ［０：１］をＣ／Ｅ／Ｐ／Ｃ信号として選択することができる。２つの信号ＧＸ［０：１］は、バスバスＥＵＩ［０：４］，ＥＢＩ［０：４］，ＪＩ［０：７］，ＧＩ［０：１］のいずれかから選択することができる。従って、Ｃ／Ｅ／Ｐ／Ｃ選択回路６０によって、様々な異なる信号を、非常に柔軟な素子のためのＣ／Ｅ／Ｐ／Ｃ信号として選択することができる。しかし、図示したＣ／Ｅ／Ｐ／Ｃ選択回路６０は、そのような選択回路の単なる一例に過ぎず、様々な設計のＣ／Ｅ／Ｐ／Ｃ選択回路６０を、本発明に従って、様々な異なる信号を選択するのに使用することができることを良く理解されたい。

【００２９】

図１０を参照すると、ＬＵ５０の一例が図示されている。ＬＵ５０，５２，５４，５６は、全て同じ設計であるのが好ましいが、それは本発明に従って必要なのではないことを理解されたい。ＬＵ５０には、２つの参照テーブル（ＬＵＴ）８２，８４が含まれる。各参照テーブル８２，８４には、３つの入力Ａ，Ｂ，Ｃと、一つの出力Ｙと、いくつかの内部メモリセル（図示されず）とが含まれる。ＬＵ８２，８４は、内部のメモリセルをプログラムすることによって構成され、内部のメモリセルの特定の設定は、互いに、各ＬＵＴ８２，８４に特定の構成を与えている。内部のメモリセルをプログラムするのに使用される構成データは、設計ソフトウェアによって生成される。一旦、内部のメモリセルの特定の構成が決定されると、入力Ａ，Ｂ，Ｃは、希望する論理機能に従って、出力Ｙを生成するのに使用することができる。

【００３０】

ＬＵＴ８２の入力Ａ，Ｂ，Ｃは、２０－１マルチプレクサ８６，８８，９０によってそれぞれ与えられ、ＬＵＴ８４の入力Ａ，Ｂ，Ｃは、それぞれ２０－１マルチプレクサ９２，９４，９６によって与えられる。マルチプレクサ８６，８８，９０，９２，９４，９６の各々は、入力として４つのバスＥＵＩ［０：４］，ＥＢＩ［０：４］，ＪＩ［０：７］，ＧＩ［０：１］を受け取る。従って、３つの信号は、これら２０の信号から、ＬＵＴ８２，８４の各々の入力Ａ，Ｂ，Ｃとして選択される。

【００３１】

３つの入力ＬＵＴのみが必要な時、ＬＵＴ８２は、それ自身使用することが可能であり、ＬＵＴ８４は必要でない。ＬＵＴ８２のＹ出力を、ＬＵ５０のＪＯ出力へ直接に送るか、あるいは、ＬＵＴ８２のＹ出力が、ＬＵＴ８２のＹ出力を選択するために２－１マルチプレクサ１０４を使用してＬＵ５０のＹ出力へと送ることができる。加えて、ＬＵＴ８２のＹ出力を、ＬＵＴ８２のＹ出力を選択する２－１マルチプレクサ９８と、マルチプレクサ９８の出力を選択する２－１マルチプレクサ１０２とを使って、ＬＵ５０のＪＰＯ出力へと送ることができる。こうして、マルチプレクサ９８，１０２，１０４を、ＬＵＴ８２のＹ出力を、ＬＵ５０の出力Ｙ，ＪＯ，ＪＰＯのいずれかに送るのに使用することができる。

【００３２】

ＬＵ５０内に２つのＬＵＴ８２，８４を含むことの目的の一つは、４入力ＬＵＴを提供するのに一緒に使用することができることである。特に、ＬＵＴ８２のＹ出力とＬＵＴ８４のＹ出力は、２－１マルチプレクサ９８の入力へと接続される。マルチプレクサ９８は、入力として４つのバスＥＵＩ［０：４］，ＥＢＩ［０：４］，ＪＩ［０：７］，ＧＩ［０：１］を受け取る、２－１マルチプレクサ１００によって制御される。ＬＵＴ８２，８４の両方は、Ａ，Ｂ，Ｃ入力において、第１、第２、第３入力を受け取り、マルチプレクサ１００は、第４入力を選択して、それをマルチプレクサ９８の制御入力に与えるようにプログラムされている。良く知られるブール論理技術とシャノン展開（Ｓｈａｎｎｏｎ Ｅｘｐａｎｓｉｏｎ）に従って、このやり方で３入力ＬＵＴ８２，８４を接続することで、一つの４入力ＬＵＴをシミュレートしてマルチプレクサ９８の出力において生成される結果を得るだろう。マルチプレクサ９８の出力は、マルチプレクサ１０２を通してＬＵ５０のＪＰＯ出力へと与えるか、マルチプレクサ１０２，１０４を通してＬＵ５０のＹ出力へ与えることができる。

【００３３】

フリップフロップ１０６もまた、ＬＵ５０に含まれるのが望ましい。特にフリップフロップ１０６のＤ入力は、マルチプレクサ９８の出力に接続され、フリップフロップ１０６のＱ出力は、マルチプレクサ１０２の入力の一つに接続される。フリップフロップ１０６のクロック、イネーブル、セット、リセットの入力は、Ｃ／Ｅ／Ｐ／Ｃバスの対応する信号に接続される。フリップフロップ１０６の一つの目的は、マルチプレクサ９８の出力データを記憶することである。このデータは記憶されて、後に、マルチプレクサ１０２に関してＱ出力を選択することによってＬＵ５０のＪＰＯ出力へと送ることができる。この記憶されたデータは、また、マルチプレクサ１０４に関してＪＰＯ信号を選択することによって、ＬＵ５０のＹ出力へと送ることができる。ＬＵ５０内のフリップフロップ１０６を含むことによって、ＬＵ５０の出力データを記憶して後に使用することができるという、素子の柔軟性を増す。

【００３４】

図１１を参照すると、ＩＧ４２の一つの一例である内部部品が図示されている。上述したように、ＩＧ４２は、ＦＰＧＡタイル２０が他のＦＰＧＡタイル或いは素子へ、もしくは、ＦＰＧＡタイル２０をＩＣパッケージピンへと接続するためにパッドリングへとインターフェイスするのに使用することができる。ＰＩ［０：９］バスは、ＦＰＧＡタイル２０の外部からデータを受け取り、そのデータをＦＰＧＡタイル２０の内部にある通常の経路選択用構造部へＣＩ［０：９］バスを経由して渡すのに使用することができる。ＣＯ［０：９］バスは、ＦＰＧＡタイル２０の内部にある通常の経路選択用構造部からデータを受け取り、そのデータをＦＰＧＡタイル２０の外部へＰＯ［０：９］バスを経由して渡すのに使用することができる。

【００３５】

ＦＧ４０と同様に、ＩＧ４２もまた、ＬＩＮＴ信号とＬＧＧバスとを含む。特に、ＦＰＧＡタイル２０の中に入る信号に関して、ＰＩ［０：９］バスは、ＣＩ［０：９］バスを形成する信号を選択する１０個の１２－１マルチプレクサ１１０に結合される。しかし、もし、ＣＩ［０：９］バスに結合される通常の経路選択用構造部が、ＦＰＧＡタイル２０内の希望する場所へ信号を経路決定することができないならば、信号は、１２－１マルチプレクサ１１２によって“ｂＬＩＮＴ”信号として選択することができる。ｂＬＩＮＴ信号は、ＦＧ４０によって生成されるＬＩＮＴ信号を経路選択するのに使用される、同じ第２経路選択用構造部によって経路選択される。そのように、ｂＬＩＮＴ信号は、この第２経路選択用構造部に沿って、ＦＰＧＡタイル２０内のＦＧ４０及び／またはＩＧ４２のいずれかへ経路選択することができる。これによって、たとえＣＩ［０：９］バスを運ぶ通常の経路選択用構造部によって行き先へパスが提供されなくても、入力される信号ＰＩ［０：９］のいずれかを、ＦＰＧＡタイル２０内部のいずれの行き先へ経路選択する方法が与えられる。

【００３６】

同様に、ＦＰＧＡタイル２０を出ていく信号のために、ＣＧ［０：９］バスは、ＰＯ［０：９］バスを形成する信号を選択する１０個の１２－１マルチプレクサ１１４に結合される。しかし、もし、ＰＯ［０：９］バスに結合される経路選択用構造部が、信号をＦＰＧＡタイル２０外部の希望する場所（例えば、となりのＦＰＧＡタイル内）に経路選択することができなければ、信号は、１２－１マルチプレクサ１１６によって“ｔＬＩＮＴ”信号として選択することができる。ｔＬＩＮＴ信号は、となりのＦＰＧＡタイル内のＬＩＮＴ信号を経路選択するのに使用される第２経路選択用構造部によって経路選択され、またｔＬＩＮＴ信号は、隣のＦＰＧＡタイル内のＦＧおよび／またはＩＧのいずれかに経路選択することができる。これによって、たとえＰＯ［０：９］バスを運ぶ通常の経路選択用構造部によって行き先へパスが提供されなくても、出力する信号ＣＯ［０：９］のいずれかを、隣のＦＰＧＡタイル内部のいずれの行き先へ経路選択する方法が与えられる。

【００３７】

上述したように、ＦＰＧＡタイル２０内部のＬＩＮＴ信号を運ぶ第２経路選択用構造部には、ＬＧＧ［０：５］バスが含まれる。特に、ＦＰＧＡタイル２０の周囲に経路選択する必要があるいくつかのＬＩＮＴ信号は、一緒にまとめられて、ＬＧＧ［０：５］バスを形成する。ＬＧＧ［０：５］バスは、ＬＩＮＴ信号が全ての素子へ送られるように、あらゆるＦＧ４０とＩＧ４２とへ与えられる。ＩＧ４２は、入力ｂＬＧＧ［０：５］において、ＦＰＧＡタイル２０の内部からのＬＧＧ［０：５］を受け取る。ｂＬＧＧ［０：５］入力は、６－１マルチプレクサ１１８，１２０へと結合されるが、これは、マルチプレクサ１１４，１１６へ結合される出力を備えている。このようにして、ＦＰＧＡタイル２０内部で生成されるＬＩＮＴ信号は、いずれもＰＯ［０：９］バス上あるいはｔＬＩＮＴ信号として、適当なマルチプレクサ１１８，１２０の出力を選択するために適当なマルチプレクサ１１４，１１６をプログラムすることによって、ＦＰＧＡタイル２０の外部へ送ることができる。

【００３８】

同様に、隣のＦＰＧＡタイル内のＬＧＧバスは、ＩＧ４２のｔＬＧＧ［０：５］入力に接続することができる。ｔＬＧＧ［０：５］入力は、６－１マルチプレクサ１２２，１２４に結合されるが、これらは、マルチプレクサ１１０，１１２に結合される出力を備えている。この様にして、ＦＰＧＡタイル２０の外部で生成されるいずれのＬＩＮＴ信号も、ＣＩ［０：９］バス上あるいはｂＬＩＮＴ信号として、適当なマルチプレクサ１２２，１２４の出力を選択するために適当なマルチプレクサ１１０，１１２をプログラムすることによって、ＦＰＧＡタイル２０の内部へ送ることができる。

【００３９】

ある状況においては、ｔＬＩＮＴ信号とｔＬＧＧ［０：５］バスは、必要では無く、本発明によって、ＩＧ４２から外すことができる。これが図１２に図示されており、ｔＬＩＮＴ或いはｔＬＧＧ［０：５］入力の無い別のＩＧ４２’を示している。ｔＬＩＮＴ信号とｔＬＧＧ［０：５］バスが必要ではない状況の例は、ＩＧ４２’がＦＰＧＡタイル２０をパッドリング２８，３０，３２，３４の一つのようなパッドリングへ結合するのに使用される場合である。この場合、ＰＯ［０：９］出力とＰＩ［０：９］入力とは、パッドリングを通してＩＣパッケージのＩ／Ｏ（すなわちＩＣパッケージの入出力ピン）へと結合されるだろう。これは、ＰＩ［０：９］バスの図に示されており、そこでは、ＰＩ［０：９］バスは、いくつかのＩ／Ｏ・１０１，１０３，１０５，１０７，１０９へ結合されている。これは、典型的には、ｔＬＩＮＴ信号とｔＬＧＧ［０：５］バスを利用するパッドリング内に第２経路選択構造部が無い。マルチプレクサ１１６，１２２，１２４は省かれ、マルチプレクサ１１０，１１２は、１０－１マルチプレクサ１２６，１２８と置き換えられる。

【００４０】

図１２は、また本発明の他の重要な特徴を示している。特に、ＦＰＧＡタイル２０の側部がＩ／Ｏの目的でパッドリングに結合される第２の場合、Ｉ／Ｏ・１０１，１０３，１０５，１０７，１０９は、ＩＧ４２’に直接結合することができる。さらに、Ｉ／Ｏ・１０

１，１０３，１０５，１０７，１０９は、マルチプレクサ１２６，１２８に直接結合することができる。言い換えると、Ｉ／Ｏ・１０１，１０３，１０５，１０７，１０９は、経路選択用チャネルへの第１接続無しに、マルチプレクサ１２６，１２８へ直接に結合することができる。経路選択用チャネルへの接続は、ＩＧ４２’とマルチプレクサ１２６，１２８の後に行う。こうして、この場合には、Ｉ／Ｏは、マルチプレクサ１２６，１２８へ直接に結合されて、経路選択用チャネルあるいは他の経路選択用資源へと進む。

【００４１】

また、隣のＦＰＧＡタイルのＩＧを、本発明に従って一つのＩＧに結合することができることを理解されたい。例えば、図１１に示されるＩＧ４２に対して、ＰＯ［０：９］バスとＰＩ［０：９］バスとｔＬＧＧ［０：５］バスとｔＬＩＮＴ信号は、典型的には、隣のタイルの分離したＩＧに結合されないが、むしろ、これらの信号は、隣のＦＰＧＡタイルの経路選択用構造部の中に結合され、ＩＧ４２は、また隣のタイルのＩＧとして使われる。

【００４２】

例として、例えば、マルチプレクサ８６，８８，９０，９２，９４，９６，９８，１００，１０２，１０４のような、ここで登場するマルチプレクサ（選択回路）のいずれも、１９９９年２月１２日出願、発明者Ｃｈｕｎｇ－ｙｕａｎ Ｓｕｎ、同時係属出願の米国特許第０９／２５０，７８１号“ＭＵＬＴＩ－ＤＩＭＥＮＳＩＯＮＡＬ ＰＲＯＧＲＡＭＭＡＢＬＥ ＩＮＰＵＴ ＳＥＬＥＣＴＩＯＮ ＡＰＰＡＲＡＴＵＳ ＡＮＤ ＭＥＴＨＯＤ”に記載されている選択回路のいずれかを備えており、上記出願は、ここに共通に割り当てられ、その開示された全ては、ここに参照のために本明細書に組み入れられる。

【００４３】

図１３を参照すると、ＦＰＧＡタイル２０の一例である約１／４を示す、より詳細な図が示されている。図示されるＦＰＧＡタイル２０の一部は、図５において１２９と示されている。当業者ならば、ＦＰＧＡタイル２０の残りの部分は、図示された１２９の鏡像であることを理解されよう。

【００４４】

図１３は、ＦＧ４０の通常の経路選択信号４４を経路選択するのに使用される、ＦＰＧＡタイル２０の通常の経路選択構造部を図示したものである。上述したように、通常の経路選択信号４４には、入力信号ＥＵＩ［０：４］とＥＢＩ［０：４］と出力信号Ｙ［０：４］が含まれる。ＦＰＧＡタイル２０の通常の経路選択用構造部は、またＩＧ４２へ／からのＣＯ［０：９］バスとＣＩ［０：９］バスの経路選択を扱う。

【００４５】

ＦＰＧＡタイル２０の通常の経路選択構造部には、いくつかの水平の通常の経路選択バス１５０，１５２，１５４，１５６およびいくつかの垂直の通常の経路選択バス１５８，１６０，１６２が含まれる。例として、水平の経路選択バス１５０，１５２，１５４，１５６は、各々、ラインのＸの数を含み、水平の経路選択バス１６４は、ラインのＡの数を含み、垂直の経路選択バス１６０，１６２は、各々、ラインのＹの数を含み、垂直の経路選択バス１５８は、ラインのＢの数を含む。さらに別の例として、水平の経路選択バス１５０，１５２，１５４，１５６は、各々、５０ラインを含み、水平の経路選択バス１６４は、７０ラインを含み、垂直の経路選択バス１６０，１６２は、各々、６０ラインを含み、垂直の経路選択バス１５８は、７０ラインを含む。

【００４６】

ある経路選択バスから、他の経路選択バスあるいはＦＧ４０かＩＧ４２へ、データを転送するために、いくつかの経路選択用内部接続領域１３０，１３２，１３４，１３６，１３８，１４０，１４２，１４４，１４６，１４８が、ＦＰＧＡタイル２０の中に含まれる。経路選択用内部接続領域１３０，１３８，１４４，１４６は、垂直経路選択バスの一つから水平経路選択バスの一つへデータを転送するのに使用される。他の経路選択用内部接続領域１３２，１３４，１３６，１４０，１４２，１４８は、ＩＧ４２の一つ或いはＦＧ４０の一つから／へと、垂直経路選択バスの一つもしくは水平経路選択バスの一つから／へ

とデータを転送するのに使用される。一般的に、経路選択バスと経路選択用内部接続領域は、ＦＰＧＡタイル２０の通常の経路選択構造部を形成する。

【００４７】

図１４は、経路選択用内部接続領域１３０，１３２，１３４のための構造部の一例を示している。この例では、水平経路選択バス１５２には、５０ラインが含まれ、垂直経路選択バス１６０には、６０ラインが含まれる。しかし、経路選択バスのいずれかにおけるラインの特定の本数は、本発明に従って変化することを良く理解されたい。さらに、信号バス、例えば、ＥＵＩ［０：４］，ＥＢＩ［０：４］，Ｙ［０：４］，ＬＧＧ［０：５］，ＧＧ［０：７］，ＪＩ［０：７］，ＧＩ［０：１］，ＣＯ［０：９］，ＣＩ［０：９］，ＰＯ［０：９］，ＰＩ［０：９］のいずれかにおけるラインの特定の本数は、本発明に従って変化することを良く理解されたい。

【００４８】

経路選択用内部接続領域１３０，１３２，１３４の各々には、様々なバスの間で接続を行うのに使用されるいくつかののトランジスタスイッチと、メモリセルが含まれる。それぞれのトランジスタスイッチとメモリセルは、図の中で、互いに結合される信号線の交点で、円（或いは泡）で描かれている。これを示すために、図１５では、１７０で示される円の詳細が示されている。円１７２，１７４，１７６，１７８，１８０には、トランジスタスイッチＭ２，Ｍ４，Ｍ６，Ｍ８，Ｍ１０がそれぞれ含まれる。トランジスタスイッチＭ２，Ｍ４，Ｍ６，Ｍ８，Ｍ１０の各々には、交差する信号線に結合されるソースとドレイン、および、対応するメモリセル１８２，１８４，１８６，１８８，１９０に結合されるゲートが備わる。メモリセルの各々は、構成データの１ビットを記憶して、対応するトランジスタスイッチがオンするかしないかオフするかしないかを制御する。トランジスタスイッチがオンすると、それが接続されるラインは、互いに結合される。

【００４９】

図１４を再び参照すると、経路選択バスと経路選択用内部接続領域が、以下に、より詳細に説明される。ＦＧ４０の一つと、その近くの経路選択用内部接続領域１３０，１３２，１３４が図示されている。ＦＧ４０のＹ［０：４］は、経路選択用内部接続領域１３４と結合され、ＦＧ４０のＥＢＩ［０：４］は、経路選択用内部接続領域１３２に結合される。典型的な例では、ＦＧ４０は、データをＹ［０：４］バスに出力し、経路選択用内部接続領域１３４は、そのデータをバス１６０に転送するのに使用される。これは、信号線の適当な交点にある円（或いは、泡）で図示された内部のトランジスタスイッチをオンすることによって行われる。各トランジスタスイッチは、対応するメモリセルをプログラムすることでオンされる。同様に、経路選択用内部接続領域１３２は、データをバス１５２からＦＧ４０のＥＢＩ［０：４］に転送するのに使用される。繰り返すと、これは、メモリセルをプログラムして、適当な交点にあるトランジスタスイッチをオンすることで達成される。経路選択用内部接続領域１３０は、繰り返すと、メモリセルをプログラムして、適当な交点にあるトランジスタスイッチをオンすることにより、データをバス１６０からバス１５２へ転送するのに使用される。

【００５０】

図示されているように、経路選択用内部接続領域１３０，１３２，１３４には、信号線の多くの交点にトランジスタスイッチとメモリセルとが含まれるが、全ての交点にでは無い。（繰り返すと、トランジスタスイッチとメモリセルとは、図示されたタ円或いは泡の中にある。）トランジスタスイッチとメモリセルとが、信号線の各交点にあると、これは、“全面（ｆｕｌｌｙ ｐｏｐｕｌａｔｅｄ）”経路選択用内部接続部として知られるものである。全面経路選択用内部接続部は、１９２における、経路選択用内部接続領域１３２に示される。トランジスタスイッチとメモリセルとを持つように選択され、その領域が全面であるような特定の交点は、本発明に従って広く変化し得るということを良く理解されたい。言い換えると、トランジスタスイッチとメモリセルの異なる多くのパターンは、本発明に従って、経路選択用内部接続領域１３０，１３２，１３４において使用することができる。

【００５１】
ＦＰＧＡタイル２０内の他の経路選択用内部接続領域１３６，１３８，１４０，１４２，１４４，１４６，１４８は、経路選択用内部接続領域１３０．１３２．１３４と同様である。しかし、いくつかのものは、信号線と交点の数が異なるだろう。例えば、経路選択用内部接続領域１３６，１４４は、部分的に、ＩＧ４２のＣＯ［０：９］バスに転送される（５つの代わりに）１０個の信号のせいで、水平バス１６４の中の信号線の数が多くなる。同様に、経路選択用内部接続領域１４６，１４８は、行の最後にあるために、入力および／または出力の数が少ない。
【００５２】
使用されるトランジスタの数と、ＦＰＧＡタイル２０内の位置は、本発明によって変化し得る。ＩＧと、ＦＧと、経路選択バスと、経路選択用内部接続領域と、経路選択用内部接続領域内のスイッチングトランジスタとの、特定の配列と位置付けは、特定用途によって大きく変わる。ここで図中に示される構成は、一例であることを理解されたい。
【００５３】
図１６Ａと図１６Ｂでは、ＦＰＧＡタイル２０の第２経路選択構造部が示されている。上述したように、第２経路選択構造部は、通常の経路選択バスから分離されており、経路選択用内部接続領域は、通常の経路選択出力信号Ｙ［０：４］を経路選択するのに使用される。第２経路選択構造部は、入力信号ＬＧＧ［０：５］と出力信号ＬＩＮＴを含んだ、タイル内全域信号４６を経路選択するのに使用される。ＬＩＮＴ信号は、通常の経路選択出力信号Ｙ［０：４］が希望する行き先へ信号を送るのに使用できないような状況のときに、信号を送るのに使用することができる第２経路選択資源である。これは、トランジスタスイッチとメモリセルが、一つ或いは二つ以上の通常の経路選択用内部接続領域１３０，１３２，１３４，１３６，１３８，１４０，１４２，１４４，１４６，１４８内の信号線の必要な交点に置かれなかったゆえに、起こる。もし、必要な交点が通常の経路選択用内部接続領域で作れないと、信号は、上述したように通常の経路選択出力信号Ｙ［０：４］の必要な一つをＬＩＮＴ信号として選択し、それを第２経路選択用構造部に送ることによって、ＦＧ４０および／またはＩＧ４２のいずれかに送ることができる。
【００５４】
６個の素子のＬＩＮＴ信号は、ＦＧ４０および／またはＩＧ４２のいずれかの組み合わせであって良く、ＬＧＧ［０：５］バスを形成するために集められる。ＬＧＧ［０：５］バスが６本のバスとして図示されているが、ＬＧＧバスの信号の数は、本発明に従って変化し得るということを良く理解されたい。さらに、ＬＧＧバスは、ＦＧ４０からのＬＩＮＴ信号と、ＩＧ４２からのｂＬＩＮＴ信号とからできている。上述したように、ＩＧ４２のｂＬＩＮＴ信号の“ｂ”の記号の意味するところは、これらの信号が、外部のｔＬＩＮＴ信号の反対に、ＦＰＧＡタイル２０に対して内部であるということである。従って、ＬＧＧ［０：５］バスの構成を議論するときは、通常、“ＬＩＮＴ”という用語は、ＦＧ４０が生成するＬＩＮＴ信号と、ＩＧ４２が生成するｂＬＩＮＴ信号の両方を包含することを意図している。
【００５５】
ＬＧＧ［０：５］バスは、以下の様にまとめられる。ＩＧ４２の第一列は、８本の信号バス２００に結合される、それらのｂＬＩＮＴ出力を持っている。６個の８－１マルチプレクサは、対応する３ステートのバッファ２００に結合される。マルチプレクサ２０２の各々の出力は、対応する３ステートのバッファ２０４に結合される。３ステートのバッファの２０４の出力は、ＬＧＧ［０：５］バスに結合される。ＦＧ４０と２つのＩＧ４２の第２列において、各ＦＧ４０のＬＩＮＴ出力と各ＩＧ４２のｂＬＩＮＴ出力とは、１０本の信号バス２０６に結合される。６個の１０－１マルチプレクサ２０８は、バス２０６に結合される。マルチプレクサ２０８の各々の出力は、対応する３ステートのバッファ２０４に結合され，これは、次にＬＧＧ［０：５］バスに結合される。
【００５６】
同様にして、ＩＧ４２の最後の列は、８本の信号バス２１０に結合されるｂＬＩＮＴ出力

を持っている。６個の８－１マルチプレクサ２０２と３ステートのバッファ２０４は、バス２１０をＬＧＧ［０：５］バスへ結合する。ＦＧ４０と２つのＩＧ４２の最後から２番目の列では、各ＦＧ４０のＬＩＮＴ出力と各ＩＧ４２のｂＬＩＮＴ出力が、１０本の信号バス２１２に結合され、これは、次にＬＧＧ［０：５］バスに、６個の１０－１マルチプレクサ２０８と３ステートのバッファ２０４を介して結合される。図１６Ａと図１６Ｂとに示されるＦＰＧＡタイル２０内のＦＧ４０とＩＧ４２の残りは、同様にして、ＬＧＧ［０：５］バスに接続されることを理解されたい。

【００５７】

動作中、マルチプレクサ２０２，２０８の各々は，その入力バス、すなわち、バス２００，２０６，２１０，２１２の内のそれぞれ一つからＬＩＮＴ信号を選択する。これらの選択されたＬＩＮＴ信号の６個までが、ＬＧＧ［０：５］バス上に乗せられる。これは、６個の３ステートのバッファ２０４を伝導状態にし、残りの３ステートのバッファを非伝導状態にすることによって、行われる。伝導状態にある６個の３ステートのバッファ２０４は、希望するＬＩＮＴ信号を選択したマルチプレクサ２０２，２０８に対応するはずである。

【００５８】

ＬＧＧ［０：５］バスは、ＦＰＧＡタイル２０内の全てのＦＧ４０とＩＧ４２とに経路選択される。このようにして、ＦＧ４０とＩＧ４２のいずれかからのＬＩＮＴ信号は、Ｙ［０：４］バスに使用される通常の経路選択用構造部とは独立して、ＦＧ４０とＩＧ４２のいずれかへと送ることができる。

【００５９】

図１６Ａと図１６Ｂは、また、ＧＧ［０：７］バスの経路選択を示している。上述したように、ＧＧ［０：７］バスによって、タイル間全域信号が４８が作られる。これらの信号は、全てのＦＰＧＡタイル内のあらゆるＦＧ４０に送られる。こうして、ＧＧ［０：７］バスは、他のＦＰＧＡタイルに行くことができるように，２１４で示されるＦＰＧＡタイル２０の境界を通って延びる。ＧＧ［０：７］バスは、ＩＧ４２を通らずに、ＦＰＧＡタイル２０の境界を通って延びる。上述したように、入力信号ＧＧ［０：７］の選択された一つは、各ＦＧ４０に含まれるフリップフロップのクロック／イネーブル／プリセット／クリア（Ｃ／Ｅ／Ｐ／Ｃ）入力を制御するのに使用される。ＧＧ［０：７］バスには、本発明に従って、多くの或いは少しの信号が含まれるであろうことは、理解されたい。

【００６０】

図１７を参照すると、全域信号経路選択用構造部３６が、より詳細に示される。上述したように、全域信号経路選択用構造部３６は、ＦＰＧＡタイル２０間のタイル間全域信号の経路選択をするのに使用される。例えば、ＧＧ［０：７］バス（これは、タイル間の全域信号４８を形成する）は、全域信号経路選択用構造部３６に含まれ、これは全ての４つのＦＰＧＡタイル２０に接続されることが示される。ＧＧ［０：７］バス上を送られるべき信号は、入力２２０，２２２に結合することができる。入力２２０，２２２のうちの選択された一つは、トランジスタスイッチとメモリセルを用いて、ＧＧ［０：７］バスの選択された信号に結合することができ、この例として、マルチプレクサ２２４，２２６で示されるものがある。

【００６１】

示されるように、全域信号経路選択用構造部３６は、また、パッドリングに接続するために、バス２３０を含む。

２つのＦＰＧＡタイル２０が互いに結合されるとき、一つのタイルのＩＧ出力は、典型的には、他のタイルのＩＧ入力に直接に結合される。あるいは、上述したように、二つのタイルのＩＧは、一つのＩＧとして結合することもできる。図１８には、二つのＦＰＧＡタイル２０を互いに結合するための、他の選択肢が示されている。特に、中間の経路選択用トラック２４０を使用することができる。一つのタイル２０のＩＧ４２の出力ＰＯ［０：９］バスは、トラック２４０に結合され、他のタイル２０のＩＧ４２の入力ＰＩ［０：９］バスは、異なる場所のトラック２４０に結合される。例えば点２４２，２４４，２４６

におけるような、トラック２４０への接続は、上述したように，トランジスタスイッチとメモリセルによる、配線接続によって行うことができる。もちろん、後者は、プログラム可能である。中間の経路選択用トラック２４０を使用することは選択肢であることは、理解されたい。

【００６２】

以下の同時係属出願の米国特許出願をの全面的開示は、ここに、本出願に参考のために組み入れられる。米国特許出願第０９／２３１，９９８号、１９９９年1月１５日出願、”ＳＴＯＲＡＧＥ ＣＥＬＬＳ ＵＴＩＬＩＺＩＮＧ ＲＥＤＵＣＥＤ ＰＡＳＳ ＧＡＴＥ ＶＯＬＴＡＧＥＳ ＦＯＲ ＲＥＡＤ ＷＲＩＴＥ ＯＰＥＲＡＴＩＯＮＳ”、これは、ここに共に割り当てられる；米国特許出願第０９／２８１，００８号，１９９９年3月３０日出願、”ＭＥＴＨＯＤ ＡＮＤ ＡＰＰＡＲＡＴＵＳ ＦＯＲ ＩＮＣＲＥＡＳＩＮＧ ＴＨＥ ＳＰＥＥＤ ＯＦ ＦＩＥＬＤ－ＰＲＯＧＲＡＭＭＡＢＬＥ ＧＡＴＥ ＡＲＲＡＹＳ”、これは、ここに共に割り当てられる；米国特許出願第０９／２８５，５６３号、１９９９年４月2日出願、”ＭＥＴＨＯＤ ＡＮＤ ＡＰＰＡＲＡＴＵＳ ＦＯＲ ＳＴＯＲＩＮＧ Ａ ＶＡＬＩＤＡＴＩＯＮ ＮＵＭＢＥＲ ＩＮ Ａ ＦＩＥＬＤ－ＰＲＯＧＲＡＭＭＢＬＥ ＧＡＴＥ ＡＲＲＡＹ”、これは、ここに共に割り当てられる；米国特許出願第０９／３１８，１９８号，１９９９年5月２５日出願、”ＩＮＴＥＧＲＡＴＥＤ ＣＩＲＣＵＩＴ ＴＨＡＴ ＩＮＣＬＵＤＥＳ Ａ ＦＩＥＬＤ－ＰＲＯＧＲＡＭＭＢＬＥ ＧＡＴＥ ＡＲＲＡＹ ＡＮＤ Ａ ＨＡＲＤ ＧＡＴＥ ＡＲＲＡＹ ＨＡＶＩＮＧ ＴＨＥ ＳＡＭＥ ＵＮＤＥＲＬＹＩＮＧ ＳＴＲＵＣＴＵＲＥ”これは、ここに共に割り当てられる。

【００６３】

ここに記載した本発明の実施形態の様々な代案は、本発明を実施する際に使用することができることを理解されたい。以下の特許請求の範囲は、本発明の範囲を定義するということと、これらの特許請求の範囲の範囲内にある構成と方法及びその等価物は、それによって保護されるということを意図している。

【図面の簡単な説明】

【図１】本発明によるＦＰＧＡタイルを図示したブロック図である。

【図２】本発明によるＦＰＧＡタイルの様々な構成を図示したブロック図である。

【図３Ａ】本発明によるＦＰＧＡタイルの様々な構成を図示したブロック図である。

【図３Ｂ】本発明によるＦＰＧＡタイルの様々な構成を図示したブロック図である。

【図４】本発明によるＦＰＧＡタイルの様々な構成を図示したブロック図である。

【図５】図１で示されるＦＰＧＡタイルのさらに詳細なブロック図である。

【図６】図５で示される機能グループ（ＦＧ）の一つのさらに詳細なブロック図である。

【図７】図６で示されるＦＧの一つのさらに詳細なブロック図である。

【図８】図７で示されるＬＧＧ選択回路のさらに詳細なブロック図である。

【図９】図７で示されるＣ／Ｅ／Ｐ／Ｃ選択回路のさらに詳細なブロック図である。

【図１０】図７で示される論理ユニット（ＬＵ）の一つのさらに詳細なブロック図である。

【図１１】図５で示されるインターフェイスグループ（ＩＧ）の一つのさらに詳細なブロック図である。

【図１２】図５で示されるインターフェイスグループ（ＩＧ）の一つの別のバージョンのさらに詳細なブロック図である。

【図１３Ａ】図５で示されるＦＰＧＡ回路の一部のさらに詳細な図である。

【図１３Ｂ】図５で示されるＦＰＧＡ回路の一部のさらに詳細な図である。

【図１４】図１３で示される通常の経路選択構造部の一部のさらに詳細な図である。

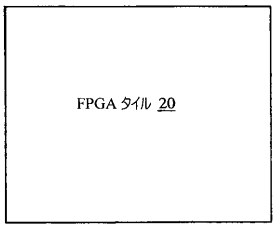
【図１５】図１４で示される通常の経路選択構造部の一部のさらに詳細な図である。

【図１６Ａ】図１３で示されるＦＰＧＡタイルに含まれる第２の経路選択構造部のさらに詳細な図である。

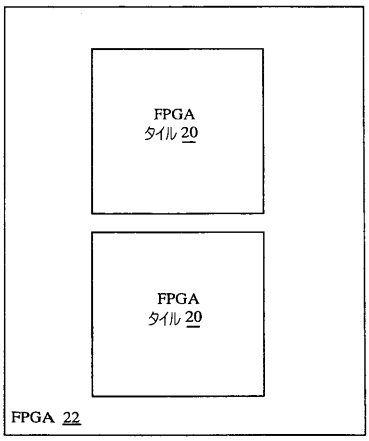
【図１６Ｂ】図１３で示されるＦＰＧＡタイルに含まれる第２の経路選択構造部のさらに詳細な図である。

【図１７】図４で示される全域信号経路選択構造部のさらに詳細な図である。
【図１８】２つのＦＰＧＡタイルを互いに結合する選択的な方法を示す図である。
【符号の説明】
２０…ＦＰＧＡタイル
２４，２６…ＦＰＧＡ
２５…ＳＯＣ
２７…ＲＯＭ
２９…ＲＡＭ
３１…マイクロプロセッサ
３３…他の部品
３６…全域信号経路選択構造部
２８，３０，３２，３４…パッドリング
３６…全域信号経路選択用構造部
４０…ＦＧ（機能グループ）
４２…ＩＧ（インターフェイスグループ）
５０，５２，５４，５６…ＬＵ（論理ユニット）
５８…ＬＧＧ選択回路
６０…Ｃ／Ｅ／Ｐ／Ｃ選択回路
６２，６４，２０２，２２４，２２６…マルチプレクサ
６６，６８，１１８，１２０，１２２，１２４…６－１マルチプレクサ
７４，７６，７８，８０…１１－１マルチプレクサ
８２，８４…参照テーブル（ＬＵＴ）
８６，８８，９０，９２，９４，９６，１００…２０－１マルチプレクサ
７０，７２，９８，１０２，１０４…２－１マルチプレクサ
１０１，１０３，１０５，１０７，１０９…Ｉ／Ｏ
１０６…フリップフロップ
１１０，１１２，１１４，１１６…１２－１マルチプレクサ
１２６，１２８，２０８…１０－１マルチプレクサ
１３０，１３２，１３４，１３６，１３８，１４０，１４２，１４４，１４６，１４８…経路選択用内部接続領域
１５０，１５２，１５４，１５６…水平の通常の経路選択バス
１５８，１６０，１６２…垂直の通常の経路選択バス
１８２，１８４，１８６，１８８，１９０…メモリセル
２００…信号バス
２０４…３ステートのバッファ
２２０，２２２…入力
２３０…バス
２４０…経路選択用トラック
Ｍ２，Ｍ４，Ｍ６，Ｍ８，Ｍ１０…トランジスタスイッチ

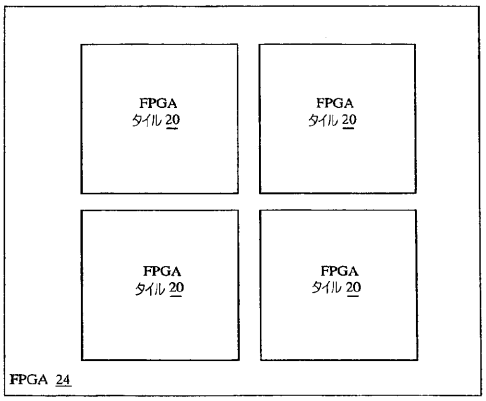
【図１】



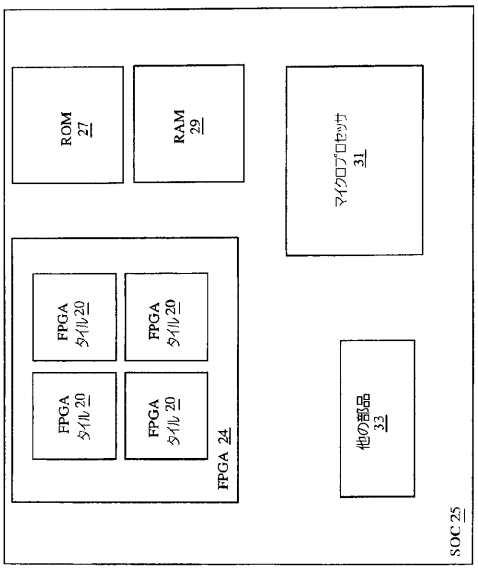
【図２】



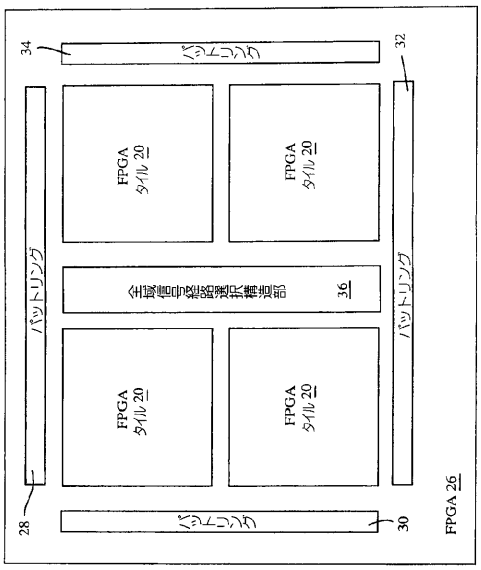
【図３Ａ】



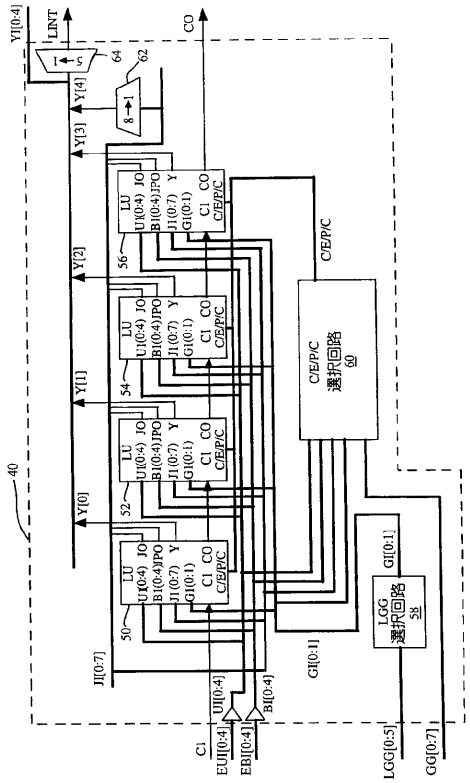
【図３Ｂ】



【図４】



【図７】



【図１３Ａ】

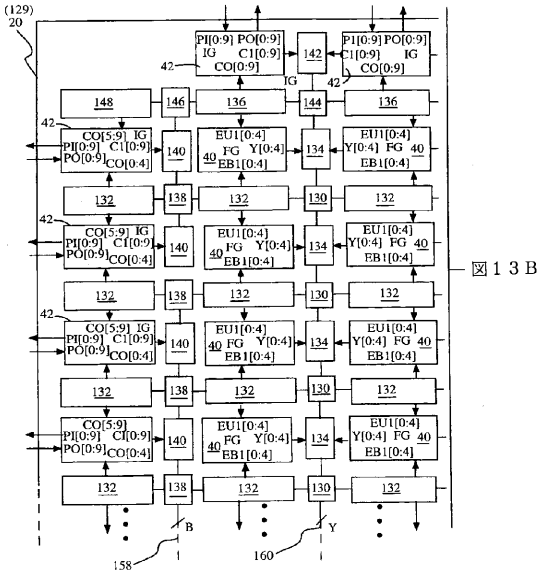


図１３Ｂ

【図１３Ｂ】

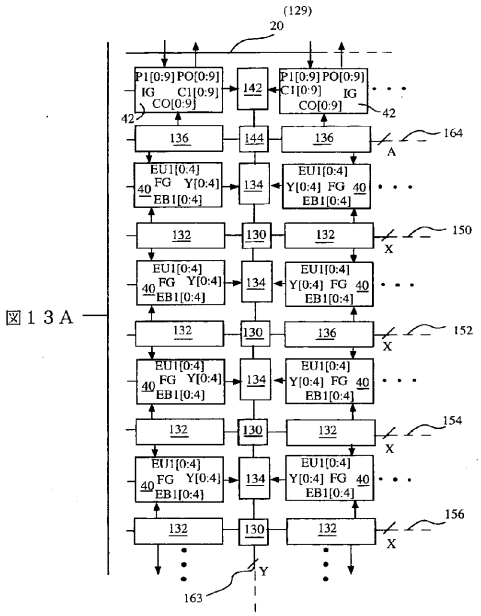
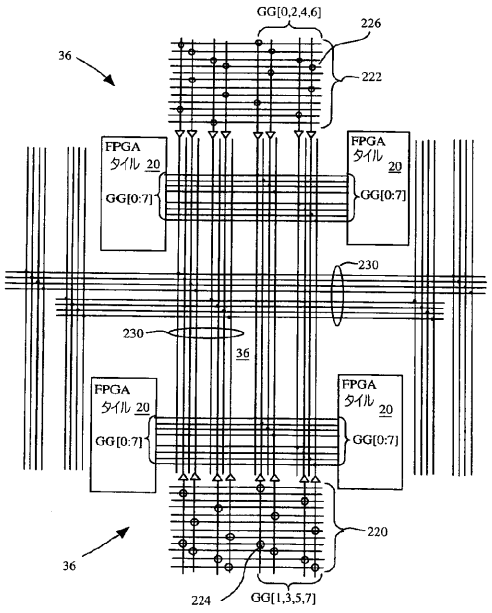
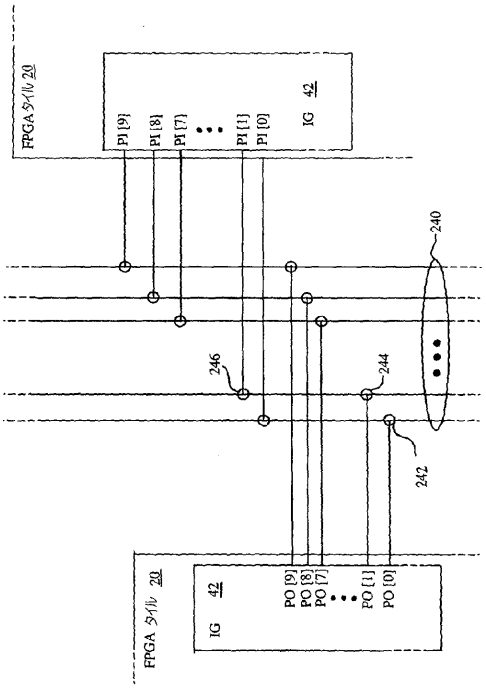


図１３Ａ

【図１７】



【図１８】


FPGA タイル 20
IG 42
PI [9]
PI [8]
PI [7]
PI [1]
PI [0]
240
246
244
242
FPGA タイル 20
IG 42
PO [9]
PO [8]
PO [7]
PO [1]
PO [0]

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
14 March 2002 (14.03.2002)

PCT

(10) International Publication Number
WO 02/21694 A2

(51) International Patent Classification⁷: H03K 19/177

(21) International Application Number: PCT/US01/27172

(22) International Filing Date: 31 August 2001 (31.08.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/654,240 2 September 2000 (02.09.2000) US

(71) Applicant: ACTEL CORPORATION [US/US]; 955 East Arques Avenue, Sunnyvale, CA 94086 (US).

(72) Inventor: LIEN, Fran; 955 East Arques Avenue, Sunnyvale, CA 94086 (US).

(74) Agents: D'ALESSANDRO, Kenneth et al.; Sierra Patent Group, Ltd., Box 6149, Stateline, NV 89449 (US).

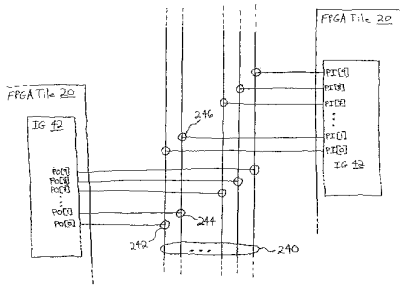
(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
— *without international search report and to be republished upon receipt of that report*

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: TILEABLE FIELD-PROGRAMMABLE GATE ARRAY ARCHITECTURE



(57) Abstract: An apparatus includes a field-programmable gate array (FPGA). The FPGA includes a first FPGA tile, and the first FPGA tile includes a plurality of functional groups (FGs), a regular routing structure, and a plurality of interface groups (IGs). The plurality of FGs are arranged in rows and columns with each of the FGs being configured to receive regular input signals, perform a logic operation, and generate regular output signals. The regular routing structure is coupled to the FGs and configured to receive the regular output signals, route signals within the first FPGA tile, and provide the regular input signals to the FGs. The plurality of IGs surround the plurality of FGs such that one IG is positioned at each end of each row and column. Each of the IGs is coupled to the regular routing structure and configured to transfer signals from the regular routing structure to outside of the first FPGA tile.

WO 02/21694 A2

SPECIFICATION
TILEABLE FIELD-PROGRAMMABLE GATE ARRAY ARCHITECTURE

Background of the Invention

1. Field of the Invention

The present invention relates to field-programmable gate arrays, and more particularly, to an architecture for tileable field-programmable gate arrays.

2. Description of the Related Art

A field-programmable gate array (FPGA) is an integrated circuit (IC) that includes a two-dimensional array of general-purpose logic circuits, called cells or logic blocks, whose functions are programmable. The cells are linked to one another by programmable buses. The cell types may be small multifunction circuits (or configurable functional blocks or groups) capable of realizing all Boolean functions of a few variables. The cell types are not restricted to gates. For example, configurable functional groups typically include memory cells and connection transistors that may be used to configure logic functions such as addition, subtraction, etc., inside of the FPGA. A cell may also contain one or two flip-flops. Two types of logic cells found in FPGAs are those based on multiplexers and those based on programmable read only memory (PROM) table-lookup memories. Erasable FPGAs can be reprogrammed many times. This technology is especially convenient when developing and debugging a prototype design for a new product and for small-scale manufacture.

FPGAs typically include a physical template that includes an array of circuits, sets of uncommitted routing interconnects, and sets of user programmable switches associated with both the circuits and the routing interconnects. When these switches are properly programmed (set to on or off states), the template or the underlying circuit and interconnect of the FPGA is customized or configured to perform specific customized functions. By reprogramming the on-off states of these switches, an FPGA can perform many different functions. Once a specific configuration of an FPGA has been decided upon, it can be configured to perform that one specific function.

The user programmable switches in an FPGA can be implemented in various technologies, such as ONO antifuse, M-M antifuse, SRAM memory cell, Flash EPROM memory cell, and EEPROM memory cell. FPGAs that employ fuses or antifuses as switches can be programmed only once. A memory cell controlled switch implementation of an FPGA can be reprogrammed repeatedly. In this scenario, an NMOS transistor is typically used as the switch to either connect or disconnect two selected points (A, B) in the circuit. The NMOS' source and drain nodes are connected to points A, B respectively, and its gate node is directly or indirectly connected to the memory cell. By setting the state of the memory cell to either logical "1" or "0", the

switch can be turned on or off and thus point A and B are either connected or disconnected. Thus, the ability to program these switches provides for a very flexible device.

FPGAs can store the program that determines the circuit to be implemented in a RAM or PROM on the FPGA chip. The pattern of the data in this configuration memory CM determines the cells' functions and their interconnection wiring. Each bit of CM controls a transistor switch in the target circuit that can select some cell function or make (or break) some connection. By replacing the contents of CM, designers can make design changes or correct design errors. The CM can be downloaded from an external source or stored on-chip. This type of FPGA can be reprogrammed repeatedly, which significantly reduces development and manufacturing costs.

In general, an FPGA is one type of programmable logic device (PLD), i.e., a device that contains many gates or other general-purpose cells whose interconnections can be configured or "programmed" to implement any desired combinational or sequential function. As its name implies, an FPGA is "field-programmable", meaning that the device is generally programmed by designers or end users "in the field" via small, low-cost programming units. This is in contrast to mask programmable devices which require special steps in the IC chip-manufacturing process.

A field-programming unit typically uses design software to program the FPGA. The design software compiles a specific user design, i.e., a specific configuration of the programmable switches desired by the end-user, into FPGA configuration data. The design software assembles the configuration data into a bit stream, i.e., a stream of ones and zeros, that is fed into the FPGA and used to program the configuration memories for the programmable switches. The bit stream creates the pattern of the data in the configuration memory CM that determines whether each memory cell stores a "1" or a "0". The stored bit in each CM controls whether its associated transistor switch is turned on or off. End users typically use design software to test different designs and run simulations for FPGAs.

When an FPGA that has been programmed to perform one specific function is compared to an application specific integrated circuit (ASIC) that has been designed and manufactured to perform that same specific function, the FPGA will necessarily be a larger device than the ASIC. This is because FPGAs are very flexible devices that are capable of implementing many different functions, and as such, they include a large amount of excess circuitry that is either not used or could be replaced with hard-wired connections when performing one specific function. Such excess circuitry generally includes the numerous programmable transistor switches and corresponding memory cells that are not used in implementing the one specific function, the memory cells inside of functional groups, and the FPGA programming circuitry. This excess circuitry is typically eliminated in the design of an ASIC which makes the ASIC a smaller device.

An ASIC, on the other hand, is not a flexible device. In other words, once an ASIC has been designed and manufactured it cannot be reconfigured to perform a different function like is possible with an FPGA.

Designers of FPGAs (as well as other PLDs) often provide their circuit designs to IC manufacturers who typically manufacture the FPGAs in two different ways. First, an FPGA design may be manufactured as its own chip with no other devices being included in the IC package. Second, an FPGA design may be embedded into a larger IC. An example of such a larger IC is a system on a chip (SOC) that includes the embedded FPGA as well as several other components. The several other components may include, for example, a microprocessor, memory, arithmetic logic unit (ALU), state machine, etc. In this scenario the embedded FPGA may be only a small part of the whole SOC.

Whether an FPGA is to be manufactured as its own IC or embedded into a larger IC (e.g., an SOC), the intended application/use of the IC will determine the size and complexity of the FPGA that is needed. In some scenarios a large FPGA is needed, and in other scenarios a small FPGA is needed. Because conventional FPGAs are typically designed for their intended application/use, an FPGA designed to fulfill a need for a small FPGA must be substantially redesigned for use where a larger FPGA is needed. Therefore, it would be highly advantageous to have an FPGA apparatus and method that could be easily adapted for use in both ICs requiring large FPGAs and ICs requiring small FPGAs. Furthermore, it would be highly advantageous if such FPGA apparatus and method could be used in both the scenario where the FPGA is to be manufactured as its own IC and the scenario where the FPGA is to be embedded into a larger IC.

BRIEF SUMMARY OF THE INVENTION

The present invention provides an apparatus that includes a field-programmable gate array (FPGA). The FPGA includes a first FPGA tile, and the first FPGA tile includes a plurality of functional groups (FGs), a regular routing structure, and a plurality of interface groups (IGs). The plurality of FGs are arranged in rows and columns with each of the FGs being configured to receive regular input signals, perform a logic operation, and generate regular output signals. The regular routing structure is coupled to the FGs and configured to receive the regular output signals, route signals within the first FPGA tile, and provide the regular input signals to the FGs. The plurality of IGs surround the plurality of FGs such that one IG is positioned at each end of each row and column. Each of the IGs is coupled to the regular routing structure and configured to transfer signals from the regular routing structure to outside of the first FPGA tile.

A better understanding of the features and advantages of the present invention will be obtained by reference to the following detailed description of the invention and accompanying drawings which set forth an illustrative embodiment in which the principles of the invention are utilized.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a block diagram illustrating an FPGA tile in accordance with the present invention.

FIGS. 2, 3A, 3B and 4 are block diagrams illustrating various configurations of FPGA tiles in accordance with the present invention.

FIG. 5 is a block diagram illustrating in further detail the FPGA tile shown in FIG. 1.

FIG. 6 is a block diagram illustrating in further detail one of the functional groups (FGs) shown in FIG. 5.

FIG. 7 is a schematic diagram illustrating in further detail the FG shown in FIG. 6.

FIG. 8 is a schematic diagram illustrating in further detail the LGG selection circuit shown in FIG. 7.

FIG. 9 is a schematic diagram illustrating in further detail the C/E/P/C selection circuit shown in FIG. 7.

FIG. 10 is a schematic diagram illustrating in further detail one of the logic units (LU) shown in FIG. 7.

FIG. 11 is a block diagram illustrating in further detail one of the interface groups (IGs) shown in FIG. 5.

FIG. 12 is a block diagram illustrating in further detail an alternative version of one of the interface groups (IGs) shown in FIG. 5.

FIG. 13 is a schematic diagram illustrating in further detail a portion of the FPGA tile shown in FIG. 5.

FIG. 14 is a schematic diagram illustrating in further detail a portion of the regular routing structure shown in FIG. 13.

FIG. 15 is a schematic diagram illustrating in further detail a portion of the regular routing structure shown in FIG. 14.

FIGS. 16A and 16B are schematic diagrams illustrating the secondary routing structure included in the FPGA tile shown in FIG. 5.

FIG. 17 is a schematic diagram illustrating in further detail the global signal routing structure shown in FIG. 4.

FIG. 18 is a schematic diagram illustrating an optional method of coupling two FPGA tiles together.

DETAILED DESCRIPTION OF THE INVENTION

Referring to FIG. 1, there is illustrated a field-programmable gate array (FPGA) tile 20 in accordance with the present invention. The FPGA tile 20 overcomes many of the disadvantages of conventional FPGAs in that it can be easily adapted for use in both integrated circuits (ICs) requiring large FPGAs and ICs requiring small FPGAs. Furthermore, the FPGA tile 20 can be used where the FPGA is to be manufactured as its own IC and where the FPGA is to be embedded into a larger IC (e.g., a system on a chip (SOC)).

One feature of the FPGA tile 20 that makes it such a flexible and adaptable device is that it is "tileable". As used herein, the term "tileable" means that the FPGA tile 20 can be combined with other FPGA tiles to form a larger FPGA. For example, FIG. 2 illustrates an FPGA 22 that is formed by combining two FPGA tiles 20. The two FPGA tiles 20 work together and communicate with each other to form the larger FPGA 22. It should be well understood that any number of FPGA tiles 20 may be combined in accordance with the present invention to form a larger FPGA. For example, FIG. 3A illustrates an FPGA 24 that is formed by combining four FPGA tiles 20.

In accordance with the present invention, FPGA tiles 20 may be combined to form a larger FPGA that is to be manufactured as its own IC or that is to be embedded into a larger IC. For example, with respect to the later scenario, the FPGAs 22, 24 may be embedded into SOCs. FIG. 3B shows an SOC 25 having the FPGA 24 embedded therein. The SOC 25 includes several other components. The other components may include, for example, a read only memory (ROM) 27, a random access memory (RAM) 29, a microprocessor 31, and any other components 33. It should be well understood that the specific types of other components and the number of other components included on the SOC 25 will vary greatly depending on the particular application. With respect to the former scenario, FIG. 4 illustrates an FPGA 26 that has been manufactured as its own IC. Specifically, the FPGA 26 includes four FPGA tiles 20 and four pad rings 28, 30, 32, 34. The pad rings 28, 30, 32, 34 are used to couple the FPGA tiles 20 to the IC package pins of the FPGA 26.

Also illustrated in FIG. 4 is a global signal routing structure 36. The global signal routing structure 36 will be described in more detail below, but in general, it is used to route inter-tile global signals between the FPGA tiles 20. It should be understood that the global signal routing structure 36 may be included in any combination of FPGA tiles 20, including for example the FPGAs 22, 24, in accordance

with the present invention. Furthermore, the global signal routing structure 36 may be used whether the combined FPGA tiles 20 are manufactured as their own IC or embedded into a larger IC.

The FPGA tiles that are combined may be identical (as are the tiles in the FPGAs 22, 24, 26), or of different sizes and designs in accordance with the present invention. An advantage of using identical FPGA tiles is that it provides an economical solution for providing FPGAs having sizes that are appropriate for the intended uses/applications. Such a solution is economical because only one FPGA tile needs to be designed, and then the necessary number of tiles are combined to form an FPGA. Additionally, it should be understood that an "FPGA tile" is considered herein to be an FPGA. In other words, a single FPGA tile 20 can be used by itself to form an FPGA.

Referring to FIG. 5, there is illustrated some of the internal components of the FPGA tile 20. Specifically, the FPGA tile 20 includes several functional groups (FGs) 40 that are surrounded by several interface groups (IGs) 42. The FGs 40 are small multifunction circuits that are capable of realizing many or all Boolean functions. The FGs 40 include look-up tables (LUTs) and other circuits capable of realizing Boolean functions, as well as memory cells that are used to configure logic functions such as addition, subtraction, etc. The IGs 42 are used for interfacing the FPGA tile 20 to other FPGA tiles or devices, or to pad rings for connecting the FPGA tile 20 to IC package pins. In general, the logic structure of the FPGA tile 20 is provided by the FGs 40 and the IGs 42. Also included in the FPGA tile 20, but not shown in FIG. 5, are several horizontal and vertical regular routing buses, routing interconnect areas, switching transistors, and global signal distribution, all of which will be discussed below.

Referring to FIG. 6, an exemplary version of the FG 40 includes regular routing signals 44, intra-tile global signals 46, and inter-tile global signals 48. The regular routing signals 44 include regular input signals EUI[0:4] (upper input) and EBI[0:4] (bottom input). These signals are the basic inputs on which the Boolean functions and logic operation of the FG 40 are performed. The regular routing signals 44 also include regular output signals Y[0:4]. These signals are the basic outputs which carry the result of the Boolean functions and logic operation of the FG 40. The regular routing signals 44 are carried within the FPGA tile 20 on horizontal and vertical regular routing buses and routing interconnect areas. If any of the regular routing signals 44 are to be sent to a different FPGA tile, they are passed through an IG 42.

The intra-tile global signals 46 include input signals LGG[0:5] and output signal LINT. The LINT signal is a second routing resource. Specifically, in some situations the regular routing output signals Y[0:4] cannot be sent to the intended FG 40 because the regular routing buses and routing interconnect areas do not provide the necessary connections. Or, in other situations, it may be desirable not to use the system central processing unit (CPU) time to send a signal through the regular routing buses

and routing interconnect areas. In these situations, the needed one of the regular routing output signals Y[0:4] can be selected as the LINT signal. The LINT signal is routed around the FPGA tile 20 by a routing structure that is separate from the regular routing buses and routing interconnect areas used to route the regular routing output signals Y[0:4]. Therefore, the LINT signal can be sent to any FG 40 or IG 42 regardless of whether the regular routing buses and routing interconnect areas provide the necessary connections. The LINT signals are received by the FG 40 on input signals LGG[0:5] which are part of the routing structure of the LINT signals. As its name implies, the intra-tile global signals 46 are routed within the boundaries of the FPGA tile 20 and are preferably not routed between FPGA tiles. The intra-tile global signals 46 and the generation and use of the LINT signal will be discussed in more detail below.

The inter-tile global signals 48 include the input signals GG[0:7]. These signals are sent to every FG 40 in all FPGA tiles. As will be discussed below, selected ones of the input signals GG[0:7] are used to control the clock/enable/preset/clear (C/E/P/C) inputs of flip-flops included in each FG 40.

Each FG 40 also includes a CL input and a CO output. The purpose of these signals is to implement a carry chain for faster utilization of logic resources.

Referring to FIG. 7, each FG 40 preferably includes four logic units (LU) 50, 52, 54, 56. The LUs 50, 52, 54, 56 provide the Boolean functions and logic operations of the FG 40. Each of the LUs 50, 52, 54, 56 includes several inputs on which Boolean functions and logic operations are performed. As shown, each of the LUs 50, 52, 54, 56 includes twenty such inputs, but it should be understood that the number of inputs may vary in accordance with the present invention. Specifically, each of the LUs 50, 52, 54, 56 receives input signals UI[0:4] and BI[0:4] which correspond to regular input signals EUI[0:4] and EBI[0:4] discussed above. Furthermore, each of the LUs 50, 52, 54, 56 receives input signals GI[0:1]. The input signals GI[0:1] are generated by the LGG selection circuit 58 which selects two of the input signals LGG[0:5]. As mentioned above, the input signals LGG[0:5] carry selected ones of the LINT signals. Finally, each of the LUs 50, 52, 54, 56 receives input signals JI[0:7]. The input signals JI[0:7] include two output signals from each of the LUs 50, 52, 54, 56. Thus, two output signals of each of the LUs 50, 52, 54, 56 are fed back to the inputs by way of JI[0:7].

Each of the LUs 50, 52, 54, 56 also includes a clock/enable/preset/clear (C/E/P/C) input. This input is used to control a flip-flop included inside each of the LUs 50, 52, 54, 56. The C/E/P/C input is generated by a C/E/P/C selection circuit 60. The C/E/P/C selection circuit 60 receives inputs EUI[0:4], EBI[0:4], JI[0:7], GI[0:1], and GG[0:7]. From these signals, the C/E/P/C selection circuit 60 selects four signals to be used as the C/E/P/C signals.

Each of the LUs 50, 52, 54, 56 includes three outputs: Y, JPO, and JO. These outputs carry the result of the Boolean functions and logic operations performed by the

LU. As already mentioned, the JPO and JO outputs from each of the LUs 50, 52, 54, 56 are grouped together to form the JI[0:7] bus which is fed back into the inputs of the LUs 50, 52, 54, 56. The Y output from each of the LUs 50, 52, 54, 56 are grouped together to form Y[0:3] of the Y[0:4] bus. The Y[4] signal is selected using a multiplexer (or selection circuit) 62 to select from the JI[0:7] bus. An advantage of selecting the Y[4] signal from the JI[0:7] bus is that it adds flexibility to the device. In other words, the JO or JPO output of any of the LUs 50, 52, 54, 56 can be chosen as the Y[4] signal.

The LINT signal can be selected to be any one of the Y[0:4] signals using a multiplexer 64. The use of the LINT signal adds a tremendous amount of flexibility to the FPGA tile 20 because the LINT signal can be sent to any of the FGs 40 or IGs 42. This is because the LINT signal is routed around the FPGA tile 20 using a routing structure that is separate and independent from that of the Y[0:4] bus. In those situations where one of the signals on the Y[0:4] bus cannot be sent to the desired destination or CPU time needs to be conserved, the multiplexer 64 can be used to select that one of the Y[0:4] signals as the LINT signal in order to send the signal to the desired destination.

Referring to FIG. 8, one exemplary version of the LGG selection circuit 58 includes two six-to-one multiplexers 66, 68. Each multiplexer 66, 68 selects one of the input signals LGG[0:5]. The signal selected by multiplexer 66 becomes the signal GI[0], and the signal selected by multiplexer 68 becomes the signal GI[1]. Because the LGG[0:5] bus is supplied to both multiplexers 66, 68, it is possible for the signals GI[0] and GI[1] to be the same signal. As mentioned above, the LGG[0:5] bus is a way for LINT signals from any FG 40 or IG 42 to be sent to any FG 40 or IG 42. The exemplary version of the LGG selection circuit 58 shown can select any two of these LINT signals for sending to the LUs 50, 52, 54, 56 via the GI[0:1] bus. It should be understood, however, that various different designs of the LGG selection circuit 58 may be used to select various different numbers of signals from the LGG[0:5] bus for the LUs 50, 52, 54, 56 in accordance with the present invention.

Referring to FIG. 9, there is illustrated an exemplary version of the C/E/P/C selection circuit 60. The circuit 60 includes two twenty-to-one multiplexers 70, 72. Each multiplexer 70, 72 selects one signal from the buses EUI[0:4], EBI[0:4], JI[0:7], and GI[0:1]. The signal selected by multiplexer 70 becomes the signal GX[0], and the signal selected by multiplexer 72 becomes the signal GX[1]. The bus GX[0:1] is supplied to the inputs of four eleven-to-one multiplexers 74, 76, 78, 80. Also supplied to the inputs of the four multiplexers 74, 76, 78, 80 are the GG[0:7] bus and a ground signal. The signal selected by multiplexer 74 becomes the clock signal CLK, the signal selected by multiplexer 76 becomes the enable signal E, the signal selected by multiplexer 78 becomes the preset signal PRSTN, and the signal selected by multiplexer

80 becomes the clear signal CLRN. The use of the four multiplexers 74, 76, 78, 80 allows any of the signals GX[0:1], GG[0:7], and ground to be selected as one of the C/E/P/C signals.

As discussed above, the GG[0:7] bus is an inter-tile global bus that is sent to every FG 40 in all FPGA tiles. The signals in the GG[0:7] bus are often selected as the C/E/P/C signals. In addition, the C/E/P/C selection circuit 60 advantageously allows the two signals GX[0:1] to be selected as the C/E/P/C signals. And the two signals GX[0:1] can be selected from any of the buses EUI[0:4], EBI[0:4], JI[0:7], and GI[0:1]. Therefore, the C/E/P/C selection circuit 60 allows numerous different signals to be selected as the C/E/P/C signals which provides for a very flexible device. It should be well understood, however, that the illustrated C/E/P/C selection circuit 60 is just one exemplary version of such a selection circuit and that various different designs of the C/E/P/C selection circuit 60 may be used to select various different signals in accordance with the present invention.

Referring to FIG. 10, there is illustrated an exemplary version of the LU 50. The LUs 50, 52, 54, 56 are preferably all of the same design, but it should be understood that such is not required in accordance with the present invention. The LU 50 includes two look-up tables (LUT) 82, 84. Each LUT 82, 84 includes three inputs A, B, C, an output Y, and several internal memory cells (not shown). The LUTs 82, 84 are configured by programming the internal memory cells, and the specific setting of the internal memory cells taken together provides a specific configuration for each of the LUTs 82, 84. The configuration data used to program the internal memory cells is generated by design software. Once a specific configuration of the internal memory cells is decided upon, the inputs A, B, C may be used to generate the output Y in accordance with the desired logic function.

The inputs A, B, C of the LUT 82 are provided by the twenty-to-one multiplexers 86, 88, 90, respectively, and the inputs A, B, C of the LUT 84 are provided by the twenty-to-one multiplexers 92, 94, 96, respectively. Each of the multiplexers 86, 88, 90, 92, 94, 96 receives as inputs the four buses EUI[0:4], EBI[0:4], JI[0:7], and GI[0:1]. Therefore, three signals are selected from these twenty signals as the inputs A, B, C for each of the LUTs 82, 84.

When only a three input LUT is needed, the LUT 82 can be used by itself and the LUT 84 is not needed. The Y output of the LUT 82 can be sent directly to the JO output of the LU 50, or the Y output of the LUT 82 can be sent to the Y output of the LU 50 by using the two-to-one multiplexer 104 to select the Y output of the LUT 82. Additionally, the Y output of the LUT 82 can be sent to the JPO output of the LU 50 by using the two-to-one multiplexer 98 to select the Y output of the LUT 82 and the two-to-one multiplexer 102 to select the output of the multiplexer 98. Thus, the multiplexers

98, 102, 104 can be used to send the Y output of the LUT 82 to any of the outputs Y, JO, JPO of the LU 50.

One purpose of including two LUTs 82, 84 in the LU 50 is so that they can be used together to provide a four-input LUT. Specifically, the Y output of the LUT 82 and the Y output of the LUT 84 are connected to the inputs of the two-to-one multiplexer 98. The multiplexer 98 is controlled by the twenty-to-one multiplexer 100 which receives as its inputs the four buses EUI[0:4], EBI[0:4], JI[0:7], and GI[0:1]. The LUTs 82, 84 both receive the first, second and third inputs at their A, B, C inputs, and the multiplexer 100 is programmed to select the fourth input and provide it to the control input of the multiplexer 98. According to well-known Boolean logic techniques and the Shannon Expansion, connecting the three-input LUTs 82, 84 in this manner will simulate a single four-input LUT with the result being generated at the output of the multiplexer 98. The output of the multiplexer 98 can be provided to the JPO output of the LU 50 by way of the multiplexer 102 or to the Y output of the LU 50 by way of the multiplexers 102, 104.

A flip-flop 106 is preferably also included in the LU 50. Specifically, the D input of the flip-flop 106 is connected to the output of the multiplexer 98, and the Q output of the flip-flop 106 is connected to one of the inputs of the multiplexer 102. The clock, enable, set and reset inputs of the flip-flop 106 are connected to the corresponding signals of the C/E/P/C bus. One purpose of the flip-flop 106 is to store the output data of the multiplexer 98. This data can be stored and later sent to the JPO output of the LU 50 by selecting the Q output with the multiplexer 102. The stored data can also be sent to the Y output of the LU 50 by selecting the JPO signal with the multiplexer 104. The inclusion of the flip-flop 106 in the LU 50 adds to the flexibility of the device in that output data of the LU 50 can be stored and used at a later time.

Referring to FIG. 11, there is illustrated the internal components of an exemplary version of one of the IGs 42. As mentioned above, the IGs 42 are used for interfacing the FPGA tile 20 to other FPGA tiles or devices, or to pad rings for connecting the FPGA tile 20 to IC package pins. The PI[0:9] bus is used to receive data from outside of the FPGA tile 20 and pass the data to the regular routing structure inside of the FPGA tile 20 via the CI[0:9] bus. The CO[0:9] bus is used to receive data from the regular routing structure inside of the FPGA tile 20 and pass the data to outside of the FPGA tile 20 via the PO[0:9] bus.

Similar to the FG 40, the IG 42 also includes LINT signals and LGG buses. Specifically, for signals coming into the FPGA tile 20, the PI[0:9] bus is coupled to ten, twelve-to-one multiplexers 110 that select the signals which form the CI[0:9] bus. If, however, the regular routing structure that is coupled to the CI[0:9] bus is unable to route a signal to the desired location within the FPGA tile 20, the signal can be selected as the "bLINT" signal by the twelve-to-one multiplexer 112. The bLINT signal is routed by the same secondary routing structure that is used to the route the LINT

signals generated by the FGs 40. As such, the bLINT signal can be routed along this secondary routing structure to any of the FGs 40 and/or IGs 42 in the FPGA tile 20. This provides a way to route any of the incoming signals PI[0:9] to any destination within the FPGA tile 20 even if the regular routing structure carrying the CI[0:9] bus does not provide a path to that destination.

Similarly, for signals leaving the FPGA tile 20, the CO[0:9] bus is coupled to ten, twelve-to-one multiplexers 114 that select the signals which form the PO[0:9] bus. If, however, the routing structure that is coupled to the PO[0:9] bus is unable to route a signal to the desired location outside of the FPGA tile 20 (e.g., in a neighboring FPGA tile), the signal can be selected as the "tLINT" signal by the twelve-to-one multiplexer 116. The tLINT signal is routed by a secondary routing structure that is used to route the LINT signals in the neighboring FPGA tile, and as such, the tLINT signal can be routed to any of the FGs and/or IGs in the neighboring FPGA tile. This provides a way to route any of the outgoing signals CO[0:9] to any destination within the neighboring FPGA tile even if the regular routing structure carrying the PO[0:9] bus does not provide a path to that destination.

As mentioned above, the secondary routing structure within the FPGA tile 20 that carries LINT signals includes the LGG[0:5] bus. Specifically, several LINT signals that need to be routed around the FPGA tile 20 are grouped together to form the LGG[0:5] bus. The LGG[0:5] bus is provided to every FG 40 and IG 42 so that LINT signals can be sent to every device. The IGs 42 receive the LGG[0:5] bus from inside of the FPGA tile 20 at input bLGG[0:5]. The bLGG[0:5] input is coupled to the six-to-one multiplexers 118, 120, which have their outputs coupled to the multiplexers 114, 116. In this way, any LINT signal generated within the FPGA tile 20 can be sent outside of the FPGA tile 20 on the PO[0:9] bus or as the tLINT signal by programming the appropriate multiplexers 114, 116 to select the outputs of the appropriate multiplexers 118, 120.

Similarly, an LGG bus in a neighboring FPGA tile can be connected to the tLGG[0:5] input of the IG 42. The tLGG[0:5] input is coupled to the six-to-one multiplexers 122, 124, which have their outputs coupled to the multiplexers 110, 112. In this way, any LINT signal generated outside of the FPGA tile 20 can be sent inside the FPGA tile 20 on the CI[0:9] bus or as the bLINT signal by programming the appropriate multiplexers 110, 112 to select the outputs of the appropriate multiplexers 122, 124.

It should be understood that in certain situations the tLINT signal and tLGG[0:5] bus may not be needed and can be eliminated from the IG 42 in accordance with the present invention. This is illustrated in FIG. 12 which shows an alternative IG 42' having no tLINT or tLGG[0:5] inputs. An example of a situation where the tLINT signal and tLGG[0:5] bus are not needed is where the IG 42' is used to couple the

FPGA tile 20 to a pad ring, such as one of the pad rings 28, 30, 32, 34. In this scenario the PO[0:9] outputs and the PI[0:9] inputs will be coupled through the pad ring to the IC package I/Os (i.e., the IC package input/output pins). This is illustrated in the figure for the PI[0:9] bus in that the PI[0:9] bus is coupled to several I/Os 101, 103, 105, 107, 109. There will typically be no secondary routing structure in the pad rings to make use of the tLINT signal and tLGG[0:5] bus. The multiplexers 116, 122, 124 are eliminated, and the multiplexers 110, 112 are replaced with ten-to-one multiplexers 126, 128.

FIG. 12 also illustrates another important feature of the present invention. Specifically, in the scenario where a side of the FPGA tile 20 is to be coupled to a pad ring for I/O purposes, the I/Os 101, 103, 105, 107, 109 may be directly coupled to the IG 42'. Furthermore, the I/Os 101, 103, 105, 107, 109 may be directly coupled to the multiplexers 126, 128. In other words, the I/Os 101, 103, 105, 107, 109 can be directly coupled to the multiplexers 126, 128 without first connecting to a routing channel. The connection to a routing channel is made after the IG 42' and multiplexers 126, 128. Thus, in this scenario, I/Os are directly coupled to the multiplexers 126, 128 and then go on to the routing channel or other routing resources.

It should also be understood that the IGs of two neighboring FPGA tiles may be combined into one IG in accordance with the present invention. For example, with the IG 42 shown in FIG. 11, the PO[0:9], PI[0:9], tLGG[0:5] buses and the tLINT signal will typically not be coupled to a separate IG of a neighboring tile, but rather, these signals will be coupled into the routing structures of the neighboring FPGA tile and the IG 42 will also serve as the IG of the neighboring tile.

By way of example, any of the multiplexers (selection circuits) discussed herein, such as for example multiplexers 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, may comprise any of the selection circuits described in copending U.S. Patent Application No. 09/250,781, filed February 12, 1999, entitled "MULTI-DIMENSIONAL PROGRAMMABLE INPUT SELECTION APPARATUS AND METHOD", invented by Chung-yuan Sun, and commonly assigned herewith, the full disclosure of which is hereby incorporated into the present application by reference.

Referring to FIG. 13, there is illustrated a more detailed diagram showing approximately one-quarter of an exemplary version of the FPGA tile 20. The portion of the FPGA tile 20 that is illustrated is designated by 129 in FIG. 5. It will be appreciated by those of ordinary skill in the art that the remaining portions of the FPGA tile 20 are mirror images of the illustrated portion 129.

FIG. 13 illustrates the regular routing structure of the FPGA tile 20 that is used to route the regular routing signals 44 of the FGs 40. As discussed above, the regular routing signals 44 include the input signals EUI[0:4], EBI[0:4], and the output signals Y[0:4]. The regular routing structure of the FPGA tile 20 also handles routing of the CO[0:9] and CI[0:9] buses to and from the IGs 42.

The regular routing structure of the FPGA tile 20 includes several horizontal regular routing buses 150, 152, 154, 156 and several vertical regular routing buses 158, 160, 162. By way of example, the horizontal routing buses 150, 152, 154, 156 may each include X number of lines, the horizontal routing bus 164 may include A number of lines, the vertical routing buses 160, 162 may each include Y number of lines, and the vertical routing bus 158 may include B number of lines. By way of further example, the horizontal routing buses 150, 152, 154, 156 may each include 50 lines, the horizontal routing bus 164 may include 70 lines, the vertical routing buses 160, 162 may each include 60 lines, and the vertical routing bus 158 may include 70 lines.

In order to transfer data from one routing bus to another routing bus or to an FG 40 or an IG 42, several routing interconnect areas 130, 132, 134, 136, 138, 140, 142, 144, 146, 148 are included in the FPGA tile 20. The routing interconnect areas 130, 138, 144, 146 are used to transfer data from one of the vertical routing buses to one of the horizontal routing buses. The other routing interconnect areas 132, 134, 136, 140, 142, 148 are used to transfer data to or from one of the IGs 42 or one of the FGs 40 to or from one of the vertical routing buses or one of the horizontal routing buses. In general, the routing buses and the routing interconnect areas form the regular routing structure of the FPGA tile 20.

FIG. 14 illustrates an exemplary structure for the routing interconnect areas 130, 132, 134. In this example, the horizontal routing bus 152 includes 50 lines and the vertical routing bus 160 includes 60 lines. It should be well understood, however, that the specific number of lines in any of the routing buses may vary in accordance with the present invention. Furthermore, it should be well understood that the specific number of lines in any of the signal buses, such as for example EUI[0:4], EBI[0:4], Y[0:4], LGG[0:5], GG[0:7], JI[0:7], GI[0:1], CO[0:9], CI[0:9], PO[0:9], PI[0:9], may vary in accordance with the present invention.

Each of the routing interconnect areas 130, 132, 134 includes several transistor switches and corresponding memory cells which are used for making the connections between the various buses. Each transistor switch and memory cell is illustrated in the figure as a circle (or bubble) drawn at the intersection of signal lines to be coupled together. In order to illustrate this, FIG. 15 shows a detail of the circles designated by 170. The circles 172, 174, 176, 178, 180 includes transistor switches M2, M4, M6, M8, M10, respectively. Each of the transistor switches M2, M4, M6, M8, M10 has its source and drain coupled to intersecting signal lines and its gate coupled to a corresponding memory cell 182, 184, 186, 188, 190. Each of the memory cells stores one bit of configuration data to control whether or not its corresponding transistor switch is turned on or off. When a transistor switch is turned on, the lines to which it is connected are coupled together.

Referring back to FIG. 14, the operation of the routing buses and the routing interconnect areas will be described in further detail. One of the FGs 40 and its nearby routing interconnect areas 130, 132, 134 are illustrated. The Y[0:4] bus of the FG 40 is coupled to the routing interconnect area 134, and the EBI[0:4] bus of the FG 40 is coupled to the routing interconnect area 132. In a typical scenario, the FG 40 outputs data onto the Y[0:4] bus and the routing interconnect area 134 is used to transfer that data onto bus 160. This is done by turning on the transistor switch inside the illustrated circle (or bubble) at the appropriate intersection of signal lines. Each transistor switch is turned on by programming its corresponding memory cell. Similarly, the routing interconnect area 132 is used to transfer data from bus 152 onto the EBI[0:4] bus of the FG 40. Again, this is accomplished by programming the memory cell to turn on the transistor switch at the appropriate intersection. The routing interconnect area 130 is used to transfer data from bus 160 onto bus 152, again by programming the memory cell to turn on the transistor switch at the appropriate intersection.

As illustrated, the routing interconnect areas 130, 132, 134 includes transistor switches and memory cells at many intersections of signal lines, but not at all intersections. (Again, the transistor switches and memory cells are inside the illustrated circles or bubbles). When a transistor switch and memory cell is included at every intersection of signal lines, this is known as a "fully populated" routing interconnect portion. A fully populated routing interconnect portion is shown in the routing interconnect area 132 at 192. It should be well understood that the specific intersections chosen to have a transistor switch and memory cell, and which areas are fully populated (if any), may vary widely in accordance with the present invention. In other words, many different patterns of transistor switches and memory cells may be used in the routing interconnect areas 130, 132, 134 in accordance with the present invention.

The other routing interconnect areas 136, 138, 140, 142, 144, 146, 148 in the FPGA tile 20 are similar to the routing interconnect areas 130, 132, 134. Some, however, will have different numbers of signal lines and intersections. For example, the routing interconnect areas 136, 144 may have a greater number of signal lines in the horizontal bus 164 due in part to ten signals (instead of five) being transferred to the CO[0:9] bus of the IGs 42. Similarly, the routing interconnect areas 146, 148 will have fewer inputs and/or outputs because they are located at the end of a row.

The number of transistor switches used and their positioning in the FPGA tile 20 can change in accordance with the present invention. The specific arrangement and positioning of IGs, FGs, routing buses, routing interconnect areas, and switching transistors within routing interconnect areas will vary greatly depending on the particular application. It should be understood that the configurations illustrated in the figures herein are example configurations.

FIGS. 16A and 16B illustrate the secondary routing structure of the FPGA tile 20. As discussed above, the secondary routing structure is separate from the regular routing buses and routing interconnect areas used to route the regular routing output signals Y[0:4]. The secondary routing structure is used for routing the intra-tile global signals 46 which include input signals LGG[0:5] and output signal LINT. The LINT signal is a second routing resource that can be used to send a signal in situations when the regular routing output signals Y[0:4] cannot be used to send a signal to the intended destination. This may occur because a transistor switch and memory cell may not have been placed at the needed intersection of signal lines in one or more of the regular routing interconnect areas 130, 132, 134, 136, 138, 140, 142, 144, 146, 148. If the needed connections cannot be made with the regular routing interconnect areas, the signal can be sent to any of the FGs 40 and/or IGs 42 by selecting the needed one of the regular routing output signals Y[0:4] as the LINT signal as described above and sending it over the secondary routing structure.

The LINT signals of six devices, which can be any combination of FGs 40 and/or IGs 42, are assembled to form the LGG[0:5] bus. While the LGG[0:5] bus is illustrated as a six-signal bus, it should be well understood that the number of signals in the LGG bus may vary in accordance with the present invention. Furthermore, the LGG bus is made up of LINT signals from the FGs 40 and bLINT signals from the IGs 42. As discussed above, the "b" designation on the bLINT signals of the IGs 42 indicates that these signals are internal to the FPGA tile 20 as opposed to the external tLINT signals. Therefore, when discussing the formation of the LGG[0:5] bus, use of the term "LINT" will generally be intended to cover both the LINT signal generated by the FGs 40 and the bLINT signal generated by the IGs 42.

The LGG[0:5] bus is assembled as follows. The first column of IGs 42 has their bLINT outputs coupled to an eight-signal bus 200. Six, eight-to-one multiplexers 202 are coupled to bus 200. The output of each of the multiplexers 202 is coupled to a corresponding tri-state buffer 204. The outputs of the tri-state buffers 204 are coupled to the LGG[0:5] bus. In the second column of FGs 40 and two IGs 42, the LINT output of each FG 40 and the bLINT output of each IG 42 are coupled to a ten-signal bus 206. Six, ten-to-one multiplexers 208 are coupled to bus 206. The output of each of the multiplexers 208 is coupled to a corresponding tri-state buffer 204, which in turn are coupled to the LGG[0:5] bus.

In a similar manner, the last column of IGs 42 has their bLINT outputs coupled to an eight-signal bus 210. Six, eight-to-one multiplexers 202 and tri-state buffers 204 couple bus 210 to the LGG[0:5] bus. In the second to last column of FGs 40 and two IGs 42, the LINT output of each FG 40 and the bLINT output of each IG 42 are coupled to a ten-signal bus 212, which in turn is coupled to the LGG[0:5] bus via

six, ten-to-one multiplexers 208 and tri-state buffers 204. It should be understood that the rest of the FGs 40 and IGs 42 in the FPGA tile 20 that are not shown in FIGS. 16A and 16B are connected to the LGG[0:5] bus in a similar manner.

During operation, each of the multiplexers 202, 208 selects a LINT signal from its input bus, that is, the respective one of buses 200, 206, 210, 212. Up to six of these selected LINT signals may be placed onto the LGG[0:5] bus. This is done by placing six of the tri-state buffers 204 into a conducting state and placing the remaining tri-state buffers into a non-conducting state. The six tri-state buffers 204 that are placed into a conducting state should correspond to the multiplexers 202, 208 that have selected the desired LINT signals.

The LGG[0:5] bus is routed to all of the FGs 40 and IGs 42 in the FPGA tile 20. In this way, a LINT signal from any of the FGs 40 and IGs 42 can be sent to any of the FGs 40 and IGs 42, independent of the regular routing structure used for the Y[0:4] bus.

FIGS. 16A and 16B also show the routing of the GG[0:7] bus. As discussed above, the GG[0:7] bus forms the inter-tile global signals 48. These signals are sent to every FG 40 in all FPGA tiles. Thus, the GG[0:7] bus extends through the border of the FPGA tile 20 as indicated at 214 so that it can go to other FPGA tiles. The GG[0:7] bus extends through the border of the FPGA tile 20 without going through an IG 42. As discussed above, selected ones of the input signals GG[0:7] may be used to control the clock/enable/preset/clear (C/E/P/C) inputs of flip-flops included in each FG 40. It should be understood that the GG[0:7] bus may include more or fewer signals in accordance with the present invention.

Referring to FIG. 17, the global signal routing structure 36 is illustrated in more detail. As mentioned above, the global signal routing structure 36 is used to route inter-tile global signals between the FPGA tiles 20. For example, the GG[0:7] bus (which forms the inter-tile global signals 48) is included in the global signal routing structure 36 and is shown connecting to all four FPGA tiles 20. Signals that are to be sent on the GG[0:7] bus can be coupled to inputs 220, 222. Selected ones of the inputs 220, 222 can be coupled to selected signals of the GG[0:7] bus by means of transistor switches and memory cells (such as is described above), examples of which are indicated by circles 224, 226.

As shown, the global signal routing structure 36 also includes bus 230 to connect to the pad ring.

When two FPGA tiles 20 are coupled together, the IG outputs of one tile are typically coupled directly to the IG inputs of the other tile. Or, as discussed above, the IGs of the two tiles can be combined as one IG. FIG. 18 illustrates another option for coupling two FPGA tiles 20 together. Specifically, an intermediate routing track 240 may be used. The output PO[0:9] bus of the IG 42 of one tile 20 is coupled to the track

240, and the input PI[0:9] bus of the IG 42 of the other tile 20 is coupled to the track 240 at a different location. The connections to the track 240, for example at points 242, 244, 246, may be by way of hard wired connections for by way of transistor switches and memory cells as described above. The later would, of course, be programmable. It should be understood that the use of the intermediate routing track 240 is optional.

The full disclosures of the following copending U.S. patent applications are hereby incorporated into the present application by reference: U.S. Patent Application No. 09/231,998, filed January 15, 1999, entitled "STORAGE CELLS UTILIZING REDUCED PASS GATE VOLTAGES FOR READ AND WRITE OPERATIONS", and commonly assigned herewith; U.S. Patent Application No. 09/281,008, filed March 30, 1999, entitled "METHOD AND APPARATUS FOR INCREASING THE SPEED OF FIELD-PROGRAMMABLE GATE ARRAYS", and commonly assigned herewith; U.S. Patent Application No. 09/285,563, filed April 2, 1999, entitled "METHOD AND APPARATUS FOR STORING A VALIDATION NUMBER IN A FIELD-PROGRAMMABLE GATE ARRAY", and commonly assigned herewith; and U.S. Patent Application No. 09/318,198, filed May 25, 1999, entitled "INTEGRATED CIRCUIT THAT INCLUDES A FIELD-PROGRAMMABLE GATE ARRAY AND A HARD GATE ARRAY HAVING THE SAME UNDERLYING STRUCTURE", and commonly assigned herewith.

It should be understood that various alternatives to the embodiments of the invention described herein may be employed in practicing the invention. It is intended that the following claims define the scope of the invention and that structures and methods within the scope of these claims and their equivalents be covered thereby.

CLAIMS

What is claimed is:

1. An apparatus including a field-programmable gate array (FPGA), the FPGA comprising:

a first FPGA tile that includes:

a plurality of functional groups (FGs) arranged in rows and columns, each of the FGs being configured to receive regular input signals, perform a logic operation, and generate regular output signals;

a regular routing structure coupled to the FGs and configured to receive the regular output signals, route signals within the first FPGA tile, and provide the regular input signals to the FGs; and

a plurality of interface groups (IGs)surrounding the plurality of FGs such that one IG is positioned at each end of each row and column, each of the IGs being coupled to the regular routing structure and configured to transfer signals from the regular routing structure to outside of the first FPGA tile.

2. An apparatus in accordance with claim 1, wherein each of the IGs further comprises:

a plurality of output multiplexers configured to select signals received from the regular routing structure and provide the selected signals to outside of the FPGA tile.

3. An apparatus in accordance with claim 1, wherein each of the IGs further comprises:

a plurality of input multiplexers configured to select signals received from outside of the FPGA tile and provide the selected signals to the regular routing structure inside of the FPGA tile.

4. An apparatus in accordance with claim 3, wherein the apparatus further comprises a plurality of input/output pads (I/Os) and each of the input multiplexers is coupled directly to at least one of the I/Os.

5. An apparatus in accordance with claim 1, wherein the FPGA further comprises:

a second FPGA tile that includes a plurality of FGs, a regular routing structure, and a plurality of IGs arranged in a manner substantially similar to the first FPGA tile, wherein at least one IG of the first FPGA tile is coupled to at least one IG of the second FPGA tile.

6. An apparatus in accordance with claim 5, wherein the FPGA further comprises:

a third FPGA tile that includes a plurality of FGs, a regular routing structure, and a plurality of IGs arranged in a manner substantially similar to the first

FPGA tile, wherein at least one IG of the first FPGA tile is coupled to at least one IG of the third FPGA tile.

7. An apparatus in accordance with claim 1, wherein the apparatus further comprises a system-on-a-chip (SOC).

8. An apparatus in accordance with claim 1, wherein each of the FGs further comprises:

a multiplexer configured to select one of the regular output signals as an FG secondary routing signal.

9. An apparatus in accordance with claim 8, wherein the first FPGA tile further comprises:

a secondary routing structure that is independent of the regular routing structure and that is configured to select and route the FG secondary routing signal around the first FPGA tile.

10. An apparatus in accordance with claim 9, wherein each of the IGs further comprises:

a multiplexer configured to select a signal received from outside of the FPGA tile as an IG secondary routing signal, wherein the secondary routing structure configured to select and route the IG secondary routing signal around the first FPGA tile.

11. An apparatus in accordance with claim 9, wherein the secondary routing structure further comprises:

a secondary routing bus coupled to a secondary routing input of each FG.

12. An apparatus in accordance with claim 11, wherein the secondary routing structure further comprises:

a plurality of first buses with a different first bus corresponding to each row of FGs and that is coupled to receive the FG secondary routing signal from each FG;

a plurality of secondary multiplexers with at least one secondary multiplexer being coupled to each first bus to select a signal therefrom; and

a plurality of buffers with a different buffer being coupled to each secondary multiplexer and having an output coupled to the secondary routing bus.

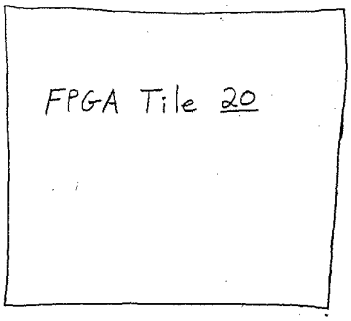


FIG. 1

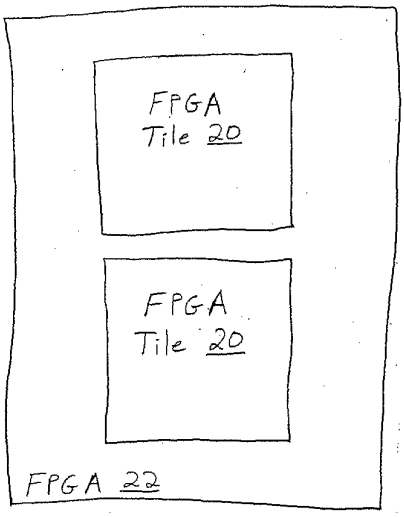


FIG. 2

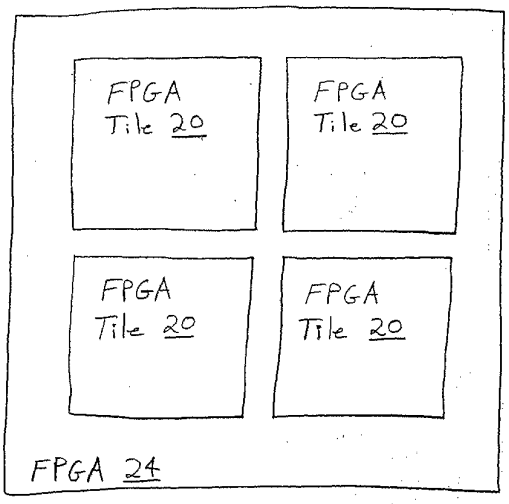


FIG. 3A

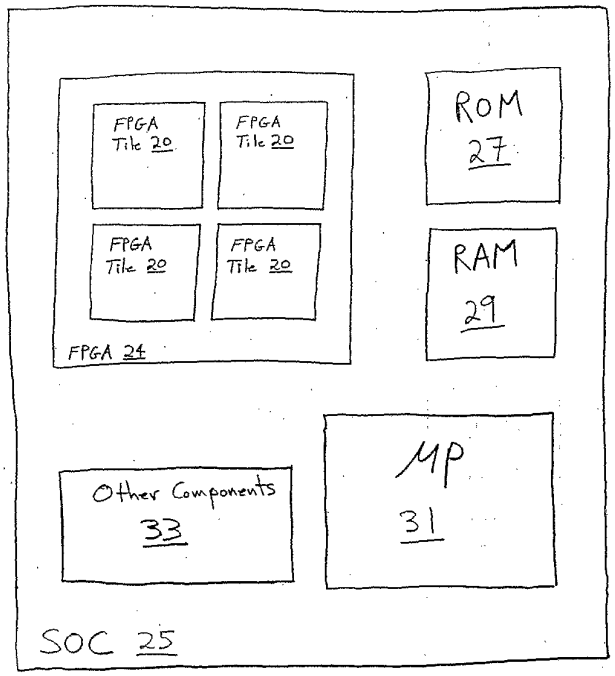

FPGA Tile 20
FPGA Tile 20
FPGA Tile 20
FPGA Tile 20
FPGA 24
ROM 27
RAM 29
MP 31
Other Components 33
SOC 25

FIG. 3B

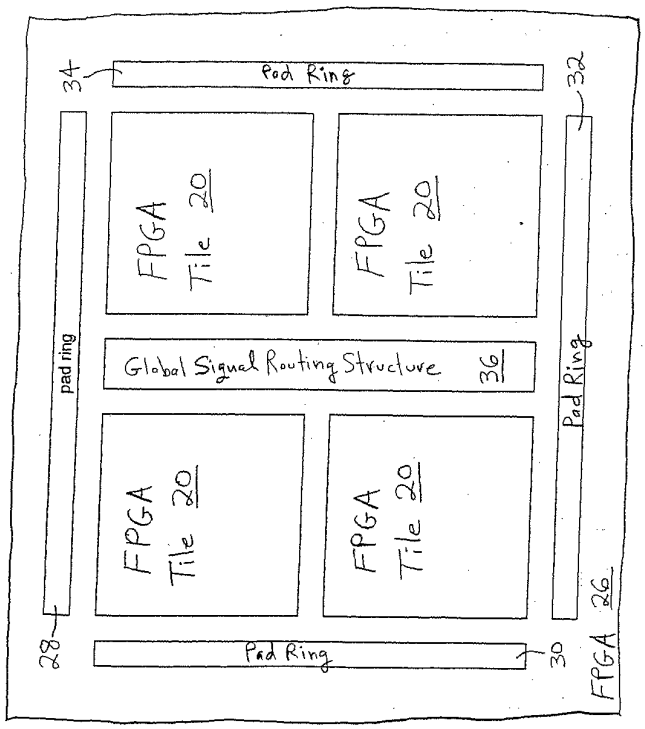

34
Pad Ring
32
FPGA Tile 20
FPGA Tile 20
pad ring
Global Signal Routing Structure 36
Pad Ring
FPGA Tile 20
FPGA Tile 20
28
Pad Ring
30
FPGA 26

FIG. 4

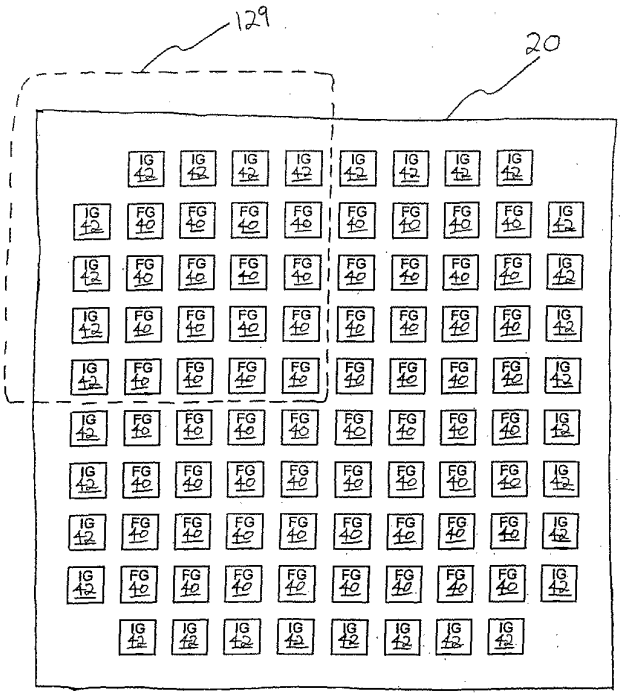


FIG. 5

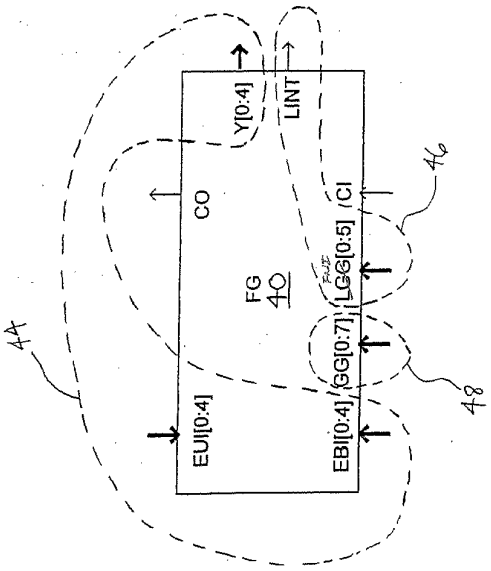


FIG. 6

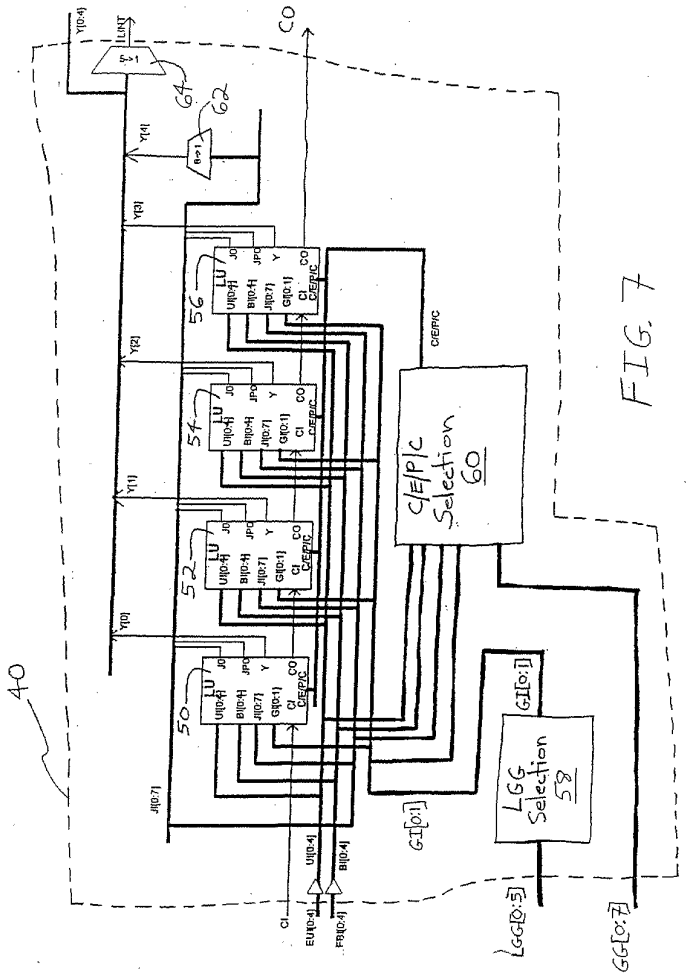

40
50
52
54
56
60
58
62
64
C/E/P/C Selection
LGG Selection
CO
CI
GI[0:1]
GG[0:7]
LGG[0:5]
UI[0:4]
BI[0:4]
JI[0:7]
GI[0:1]
CE/PC
Y[0:4]
Y[4]
Y[3]
Y[2]
Y[1]
Y[0]
LUT
S=1
S=0
LU
JO
JPO
Y
CO
CI
CE/PC

FIG. 7

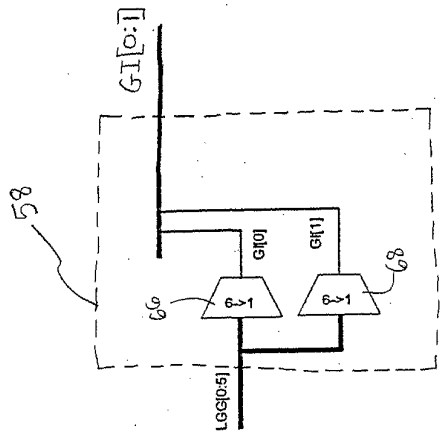


FIG. 8

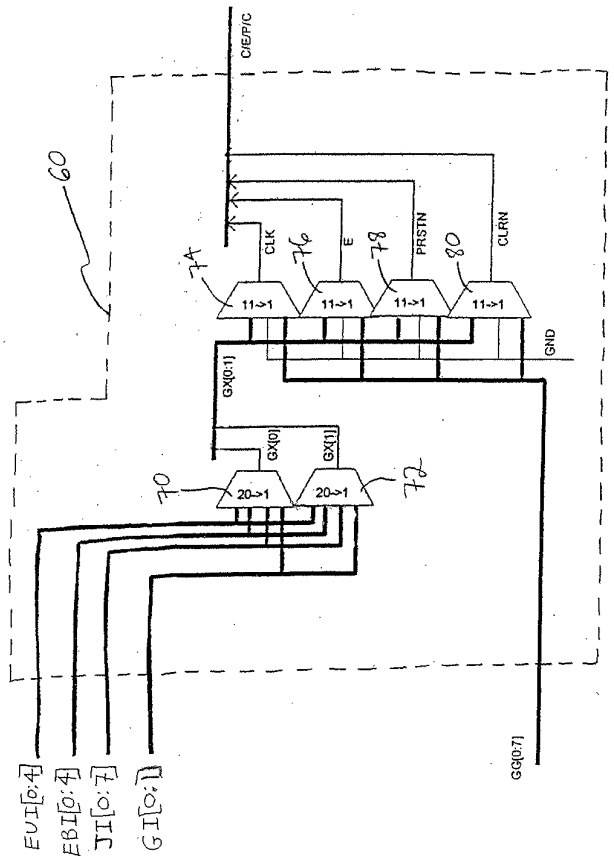

C/E/P/C
60
CLK
E
PRSTN
CLRN
74
76
78
80
11->1
11->1
11->1
11->1
GND
GX[0:1]
GX[0]
GX[1]
70
72
20->1
20->1
EVI[0:4]
EBI[0:4]
JII[0:7]
GII[0:1]
GG[0:7]

FIG. 9

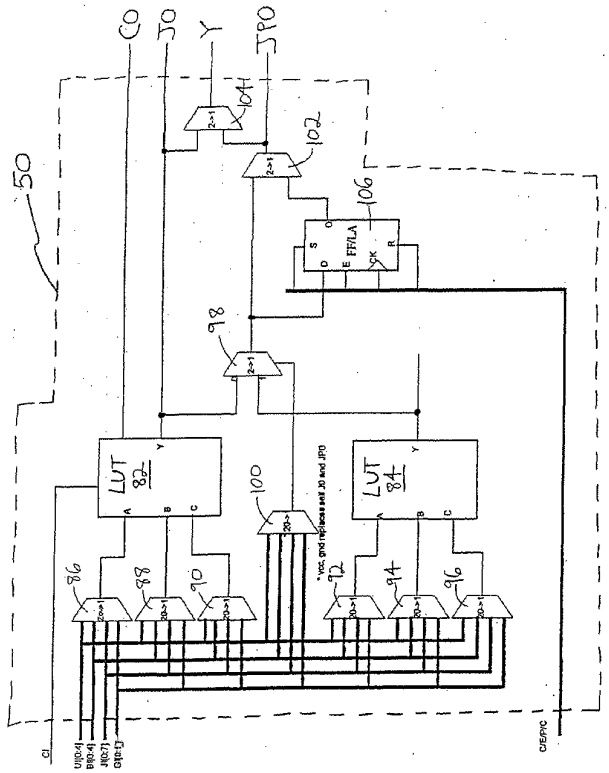

CO
JO
Y
JTO
50
104
102
106
FF/LA
98
LUT 82
LUT 84
100
96
88
90
92
94
96
CI
OFB/YC

FIG. 10

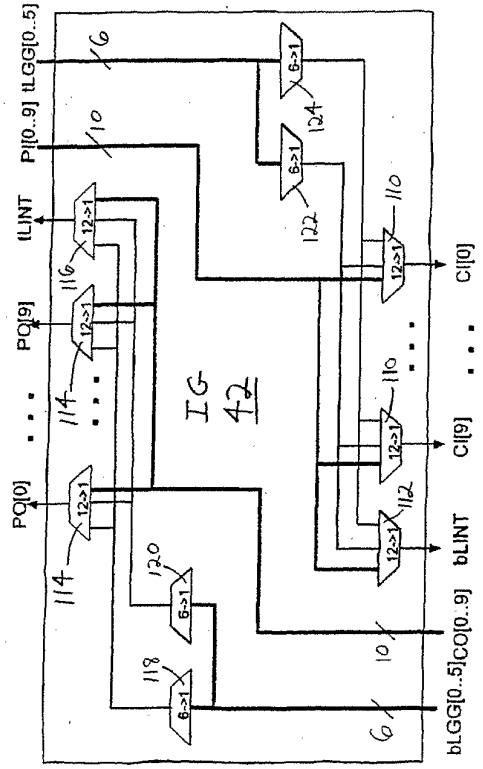


FIG. 11

IG 4-2

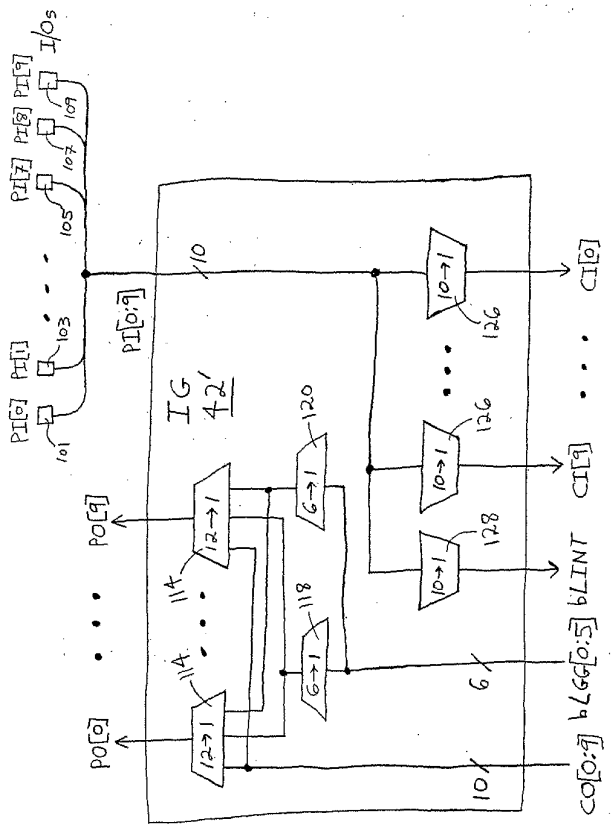
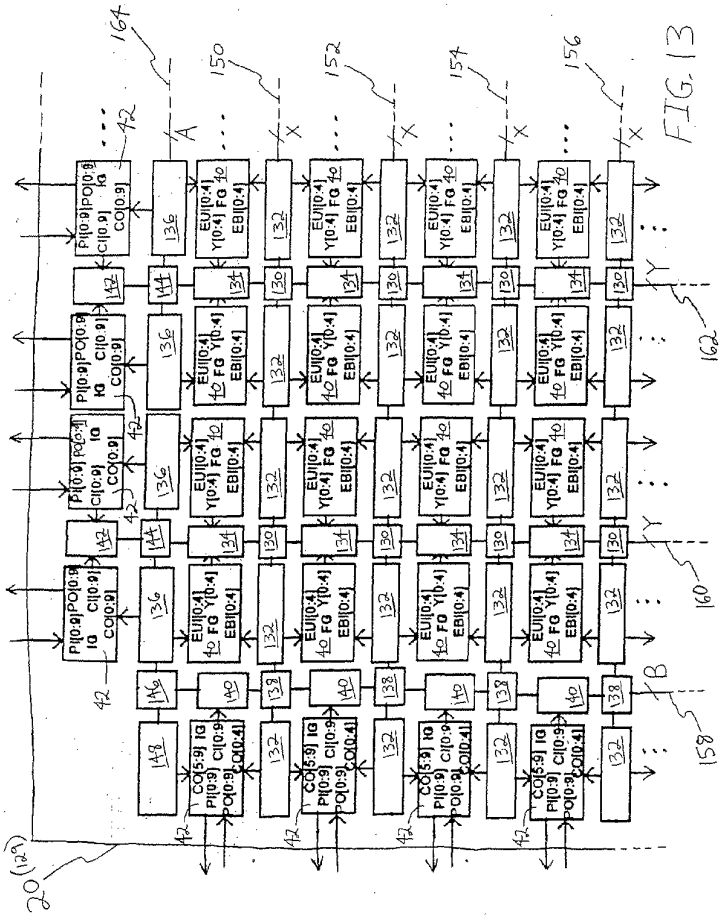

I/Os
PI[9]
PI[8]
PI[7]
PI[1]
PI[0]
101
103
105
107
109
PI[0:9]
110
IG
42'
PO[9]
PO[0]
12→1
114
120
G→1
118
10→1
126
128
CI[9]
CI[0]
6LINT
6
CO[0:9]
10

FIG. 12


FIG. 13
164
150
152
154
156
162
160
158
A
B
X
Y
20
(129)
42
132
134
136
138
140
142
144
146
148
EUI[0:4]
FG
Y[0:4]
EBI[0:4]
PI[0:9]
PO[0:9]
CI[0:9]
CO[0:9]
IG
CO[5:9]
PI[0:9]
CI[0:9]
PO[0:9]
CO[0:4]

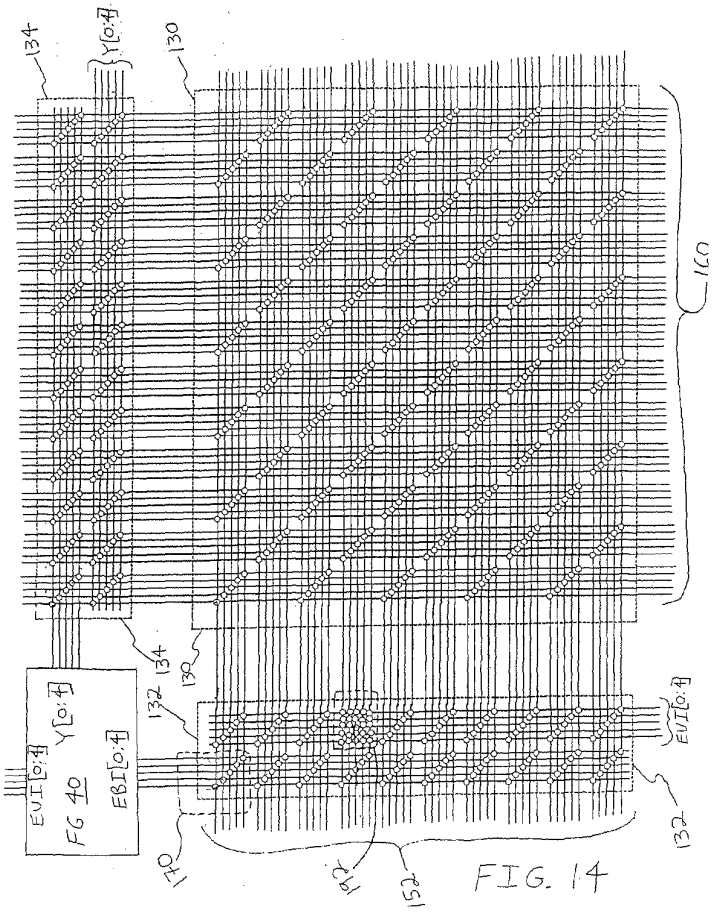

134
Y[0:4]
130
170
134
132
EVI[0:4]
FG 40
Y[0:4]
EBI[0:4]
132
EVI[0:4]
170
152
152

FIG. 14

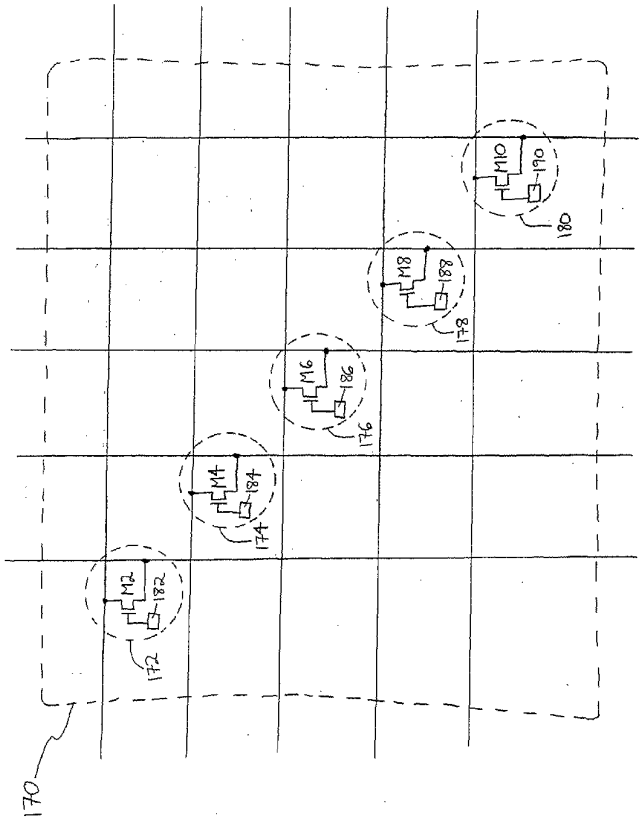


FIG. 15

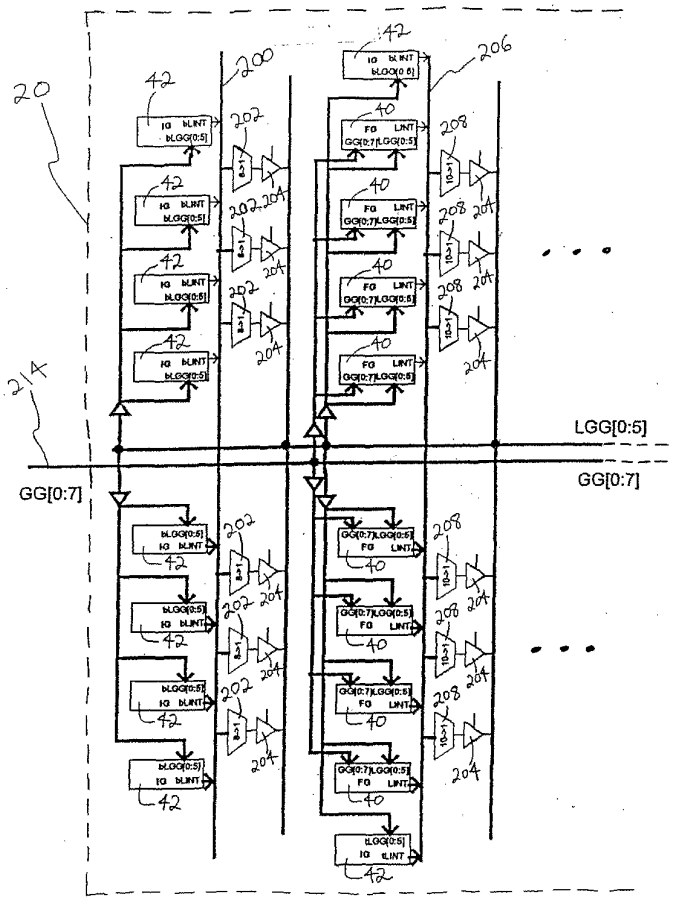


FIG. 16A

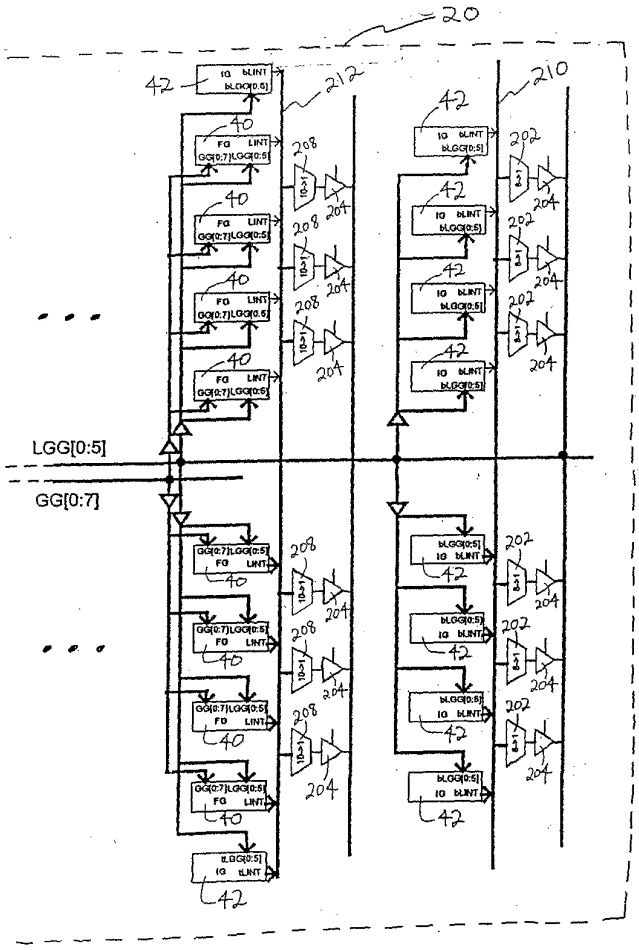


FIG. 16B

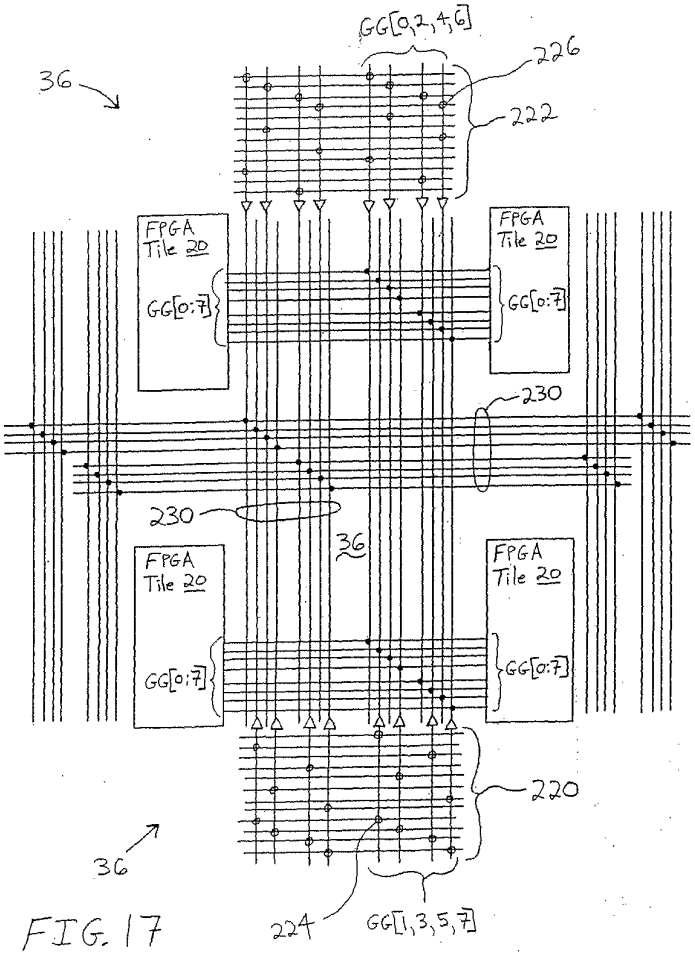

GG[0,2,4,6]
36
226
222
FPGA Tile 20
GG[0:7]
FPGA Tile 20
GG[0:7]
230
230
36
FPGA Tile 20
GG[0:7]
FPGA Tile 20
GG[0:7]
220
36
224
GG[1,3,5,7]

FIG. 17

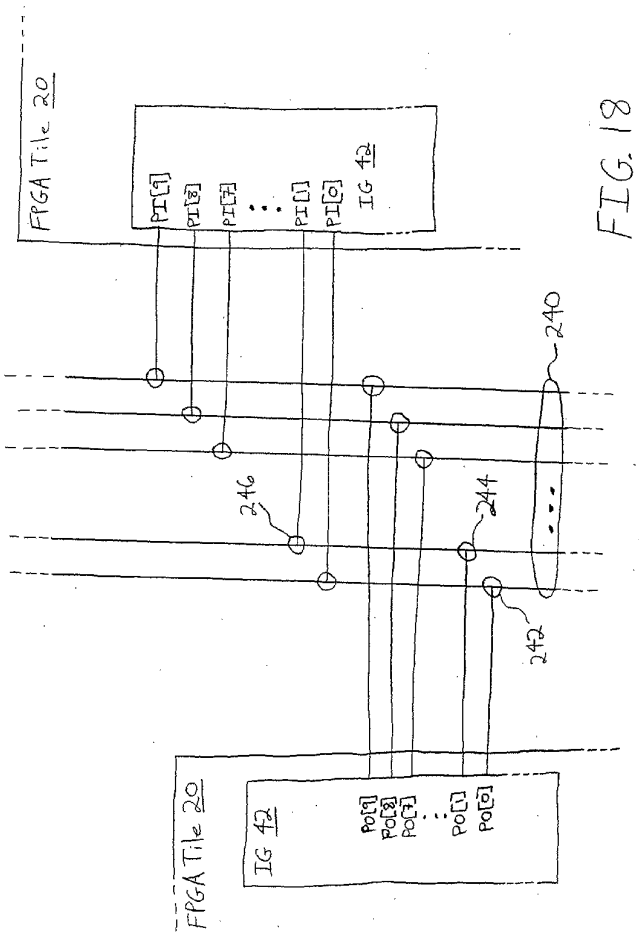

FPGA Tile 20
PI[9]
PI[8]
PI[7]
PI[1]
PI[0]
IG 42
240
246
244
242
FPGA Tile 20
IG 42
PO[9]
PO[8]
PO[7]
PO[1]
PO[0]

FIG. 18

【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
14 March 2002 (14.03.2002)

PCT

(10) International Publication Number
WO 02/021694 A3

(51) International Patent Classification⁷: H03K 19/177

(21) International Application Number: PCT/US01/27172

(22) International Filing Date: 31 August 2001 (31.08.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/654,240 2 September 2000 (02.09.2000) US

(71) Applicant: ACTEL CORPORATION [US/US]; 955 East Arques Avenue, Sunnyvale, CA 94086 (US).

(72) Inventor: LIEN, Fran; 955 East Arques Avenue, Sunnyvale, CA 94086 (US).

(74) Agents: D'ALESSANDRO, Kenneth et al.; Sierra Patent Group, Ltd., Box 6149, Stateline, NV 89449 (US).

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

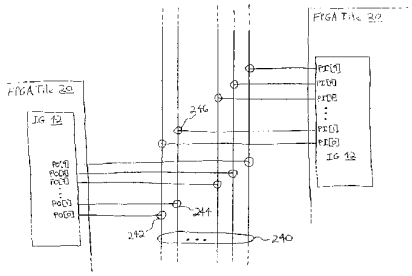
(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
— with international search report

(88) Date of publication of the international search report:
14 August 2003

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: TILEABLE FIELD-PROGRAMMABLE GATE ARRAY ARCHITECTURE



(57) Abstract: An apparatus includes a field-programmable gate array (FPGA). The FPGA includes a first FPGA tile, and the first FPGA tile includes a plurality of functional groups (FGs), a regular routing structure, and a plurality of interface groups (IGs). The plurality of FGs are arranged in rows and columns with each of the FGs being configured to receive regular input signals, perform a logic operation, and generate regular output signals. The regular routing structure is coupled to the FGs and configured to receive the regular output signals, route signals within the first FPGA tile, and provide the regular input signals to the FGs. The plurality of IGs surround the plurality of FGs such that one IG is positioned at each end of each row and column. Each of the IGs is coupled to the regular routing structure and configured to transfer signals from the regular routing structure to outside of the first FPGA tile.

WO 02/021694 A3

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Int[illegible]nal Application No
PCT/US 01/27172

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03K19/177

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 874 834 A (NEW BERNARD J) 23 February 1999 (1999-02-23) figures 4,5	1-3
X	GB 2 346 240 A (NIPPON ELECTRIC CO) 2 August 2000 (2000-08-02) page 10, paragraph 2; figures 4-7	1,2

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 February 2003	04/03/2003

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer
Brown, J

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inte nal Application No
PCT/US 01/27172

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 5874834	A	23-02-1999	WO 9839843 A1		11-09-1998
			US 6091262 A		18-07-2000
			US 6242945 B1		05-06-2001
GB 2346240	A	02-08-2000	JP 2000224025 A		11-08-2000
			US 6281703 B1		28-08-2001

Form PCT/ISA/210 (patent family annex) (July 1992)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CR,CU,CZ,DE,DK,DM,DZ,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(74)代理人 100107836
弁理士 西 和哉
(74)代理人 100108453
弁理士 村山 靖彦
(74)代理人 100110364
弁理士 実広 信哉
(72)発明者 ジュンーチェウン・リエン
アメリカ合衆国・カリフォルニア・９４０８６・サニーベイル・イースト・アークウイス・アベニュー・９５５

Ｆターム(参考) 5J042 BA01 BA08 BA11 CA00 CA02 CA07 CA20 DA04