

發明專利說明書

中文說明書替換頁(101年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095133099

※ 申請日期：95.9.7

※IPC 分類：G09G 3/18(2006.01)

一、發明名稱：(中文/英文)

顯示裝置之驅動器及顯示裝置

DRIVER FOR DISPLAY APPARATUS AND DISPLAY APPARATUS
INCLUDING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星顯示器有限公司

SAMSUNG DISPLAY CO., LTD.

代表人：(中文/英文)

申相澈

SHIN, SANG CHEOL

住居所或營業所地址：(中文/英文)

韓國京畿道龍仁市器興區三星二路95號

95, SAMSUNG 2 RO, GIHEUNG-GU, YONGIN-CITY, GYEONGGI-DO,

446-711 KOREA

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 1 人)

姓 名：(中文/英文)

金聖萬

KIM, SUNG-MAN

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2005年09月07日；10-2005-0083039
- 2.

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種用於顯示裝置之驅動器及一種具有該驅動器之顯示裝置。該驅動器包括：複數條傳輸閘極信號之閘極線；及第一和第二閘極驅動器，該第一和第二閘極驅動器分別連接至該複數條閘極線中奇數編號及偶數編號之閘極線並根據複數個時鐘信號來產生該等閘極信號，其中該複數個時鐘信號中兩個毗鄰之時鐘信號具有等於或大於 180° 且小於 360° 之相位差。

相應地，藉由容許兩個毗鄰之時鐘信號間相互具有一預定之時間延遲來使得因回掃電壓所引起之電壓降僅出現一次，由此正的資料電壓與負的資料電壓係相同，從而防止出現閃爍或斑點。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (6A) 圖。

(二)本代表圖之元件符號簡單說明：

LSTV, RSTV 掃描開始信號

LCLK1, RCLK1, 第一至第二時鐘信號

LCLK2, RCLK2

● 八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種用於顯示裝置之驅動器及一種具有該驅動器之顯示裝置。

【先前技術】

一般而言，液晶顯示器("LCD")裝置包括兩個設置有像素電極及一共用電極之面板、及一夾置於該兩個面板之間具有介電各向異性之液晶層。該等像素電極排列成一矩陣形式。該等像素電極連接至例如薄膜電晶體("TFT")等開關元件，以便以一像素列為單位依序向該等像素電極施加資料電壓。共用電極設置於面板之整個表面上並被施以一共用電壓。就電路理論而言，像素電極及共用電極連同夾置於其間之液晶層構成一液晶電容器。該液晶電容器連同與其相連之開關元件形成一像素單元。

在液晶顯示裝置中，對兩個電極(例如像素電極及共用電極)施加電壓以在液晶層中產生一電場。藉由控制電場強度以調節穿過液晶層之光之透射率，獲得一所需影像。若在一個方向上對液晶層施加電場達一長的時間週期，則影像品質可能會出現劣化。因此，需要以訊框、像素列、或像素為單位相對於施加至共用電極之共用電壓來反轉資料電壓之極性。

液晶顯示裝置包括：一閘極驅動器，其用於向閘極線傳輸一閘極信號以使各個像素之開關元件導通及關斷；一灰度電壓產生器，其用於產生複數個灰度電壓；一資料驅動

器，其用於自該等灰度電壓中選擇一對應於影像資料之電壓並對各顯示信號線中的一資料線施加一資料電壓；及一用於控制該等組件之信號控制器。

閘極驅動器係在與用於形成像素開關元件的相同的製程中形成，且因此，隨後將閘極驅動器整合入面板內。將資料線之數量減半而非使閘極線加倍，藉以達成相同之解析度並降低成本。此外，在面板之左側及右側上設置一對對置之閘極驅動器來施加閘極信號。為將閘極信號施加一個訊框之時間週期，藉由在施加前一閘極信號之後已經過一預定時間之後使下一閘極信號與前一閘極信號相交疊來傳輸下一閘極信號。

當該等信號線相交疊時，會在像素中形成寄生電容。在施加一資料電壓之後，該資料電壓會因寄生電容在下降緣處所產生之回掃電壓而略微降低，並在此後因在下一閘極信號之下降緣處之回掃電壓而再次降低。此會在正的像素電壓與負的像素電壓之間造成一電壓差，從而引起閃爍。此外，殘餘影像或指紋可能會使螢幕出現斑點。

相應地，需要一種能防止螢幕出現閃爍或斑點的用於顯示裝置之驅動器、及一種具有該種驅動器之顯示裝置。

【發明內容】

本發明旨在提供一種具有防止螢幕出現閃爍或斑點之優點的用於一顯示裝置之驅動器及一種具有該種驅動器之顯示裝置。

本發明之一實例性實施例提供一種用於顯示裝置之驅動

器。

根據本發明之一實例性實施例，一種用於一顯示裝置之驅動器包括：複數條用於傳輸閘極信號之閘極線；及第一和第二閘極驅動器，其分別連接至該複數條閘極線中的奇數編號及偶數編號之閘極線，該第一及第二閘極驅動器根據複數個時鐘信號來產生該等閘極信號。該複數個時鐘信號中兩個相鄰之時鐘信號具有一等於或大於 180° 且小於 360° 之相位差。

另外，該複數個時鐘信號中兩個不相鄰之時鐘信號可具有一 180° 之相位差。

該複數個時鐘信號可分別具有一50%之負荷比。

該複數個時鐘信號包括第一至第四時鐘信號，且第一與第二時鐘信號或第三與第四時鐘信號可具有等於或大於 180° 且小於 360° 之相位差。

第一與第三時鐘信號或者第二與第四時鐘信號可具有 180° 之相位差。

第一及第三時鐘信號可輸入至該第一閘極驅動器，第二及第四時鐘信號可輸入至該第二閘極驅動器，第一及第二輸出啟動信號可分別輸入至該第一及該第二閘極驅動器，且該第一及該第二輸出啟動信號可具有一等於或大於 180° 且小於 360° 之相位差。

本發明之另一實例性實施例提供一種顯示裝置，其包括：複數個排列成一矩陣形式之像素；複數條用於向該等像素傳輸一閘極信號之閘極線；複數條用於向該等像素傳

輸一資料信號之資料線；及第一及第二閘極驅動器，其分別連接至該複數條閘極線中之奇數編號閘極線及偶數編號閘極線，該第一及該第二閘極驅動器根據複數個時鐘信號來產生該閘極信號。該複數個時鐘信號中兩個相鄰之時鐘信號具有一等於或大於 180° 且小於 360° 之相位差。

另外，該複數個時鐘信號中兩個不相鄰之時鐘信號可具有一 180° 之相位差。

該複數個時鐘信號可分別具有一50%之負荷比。

該複數個時鐘信號可包括第一至第四時鐘信號，且第一與第二時鐘信號或第三與第四時鐘信號可具有等於或大於 180° 且小於 360° 之相位差。

第一與第三時鐘信號或者第二與第四時鐘信號可具有 180° 之相位差。

第一及第三時鐘信號可輸入至該第一閘極驅動器，且第二及第四時鐘信號可輸入至該第二閘極驅動器。

第一及第二輸出啟動信號可分別輸入至該第一及該第二閘極驅動器，且該第一及該第二輸出啟動信號可具有一等於或大於 180° 且小於 360° 之相位差。

該複數個像素中在一列方向上設置於兩條相鄰資料線之間的兩個鄰接像素("一對相鄰像素")可連接至同一資料線，且該兩個像素可連接至彼此不同之閘極線。

該顯示裝置可進一步包括一用於產生該資料信號之資料驅動器，其中該資料驅動器將該資料信號施加至位於沿行方向佈置之複數個像素列中一第一像素列中兩個鄰接像素

之間的一首先接收到該閘極信號之像素。

該第一及該第二閘極驅動器可整合入該顯示裝置中。

【實施方式】

下文將參照附圖來說明本發明之一實例性實施例。然而，本發明可以諸多不同之形式來實施且不應被理解為侷限於本文所述之實例性實施例。更確切地說，提供此等實例性實施例旨在使本揭示內容更透徹及完整，並向熟習此項技術者全面傳達本發明之範疇。在所有附圖中，相同之參考編號皆指代相同之元件。

應瞭解，當稱一元件"在"另一元件"上"時，該元件可直接在該另一元件上或可能存在中間元件。相反，當稱一元件"直接位於"另一元件"上"時，則不存在中間元件。本文中所使用措詞"及/或"包括所列舉相關物項中一或多個物項之任一及全部組合。

應瞭解，儘管本文中使用的第一、第二等措詞來闡述各種元件、組件、區域、層及/或區段，但此等元件、組件、區域、層及/或區段不應受限於此等措詞。此等措詞僅用來使各元件、組件、區域、層或區段相互區分。因此，可將下文中所討論之第一元件、組件、區域、層或區段稱作第二元件、組件、區域、層或區段，此並不背離本發明之教示。

本文中所使用之術語僅係出於闡述特定實施例之目的而並非意欲限定本發明。本文中所使用之單數形式"一(a)"、"一(an)"及"該(the)"亦意欲包括複數形式，除非上下文明

確指明。應進一步瞭解，措詞"包括(comprise)"及/或"包括(comprising)"或"包含(include)"及/或"包含(including)"當用於本說明書中時係規定所述形體、區域、整數、步驟、作業、要素、及/或組件之存在，但不排除一或多個其他形體、區域、整數、步驟、作業、要素、組件及/或其群組之存在。

此外，例如"下部"或"底部"及"上部"或"頂部"等相對性措詞在本文中可用於描述附圖中一個元件相對於另一元件之關係。應瞭解，相對性措詞旨在除圖中所示定向外亦囊括該器件之不同定向。例如，若在其中一個圖中將器件顛倒，則闡述為在其它元件"下部"側上之元件將定向在該等其它元件之"上"側上。因此，實例性措詞"下部"可端視圖之特定取向而囊括"下部"與"上部"兩個取向。同樣，若將其中一個圖中之器件顛倒，則闡述為位於其他元件"下方"或"以下"之元件將定向在該等其它元件"上方"。因此，實例性措詞"下方"或"以下"可囊括上方及下方兩個定向。

除非另有規定，否則本文中所使用之全部措詞(包括技術術語與科學術語)具有與熟習本發明所屬技術領域之一般人士所共知之相同含義。應進一步瞭解，應將術語(諸如在常用字典中所定義之彼等術語)解釋為具有與其在相關技術及本發明環境中之含義相一致之含義，而不應以理想化或過分形式化之意義來解釋，除非本文中明確規定如此。

下文將參考附圖闡述本發明。

首先，將參照圖1及3來說明一作為根據本發明一實例性實施例之顯示裝置之一實例之液晶顯示裝置。

圖1係一顯示一根據本發明一實例性實施例之液晶顯示裝置之方塊圖。圖2係一顯示一根據本發明一實例性實施例之液晶顯示裝置中一像素之等效電路示意圖。圖3顯示一根據本發明一實例性實施例之液晶顯示裝置之結構。

如在圖1中所示，一根據本發明該實例性實施例之液晶顯示裝置包括一液晶面板總成300、連接至液晶面板總成300之閘極驅動器400L和400R以及一資料驅動器500、一連接至資料驅動器500之灰度電壓產生器800及一用於控制該等組件之信號控制器600。

如參見圖1及3所最易看出，液晶面板總成300包括複數條信號線 G_1 至 G_{2n} 、 D_1 至 D_m 、L1及L2。此外，複數個與其相連之像素PX基本上排列成一矩陣形式。

信號線 G_1 至 G_{2n} 、 D_1 至 D_m 、L1及L2包括複數條用於傳輸閘極信號(有時稱作"掃描信號")之閘極線 G_1 至 G_{2n} 及用於傳輸資料信號之複數條資料線 D_1 至 D_m 和虛設線L1及L2。閘極線 G_1 至 G_{2n} 基本上沿列方向相互平行地延伸，且資料線 D_1 至 D_m 及虛設線L1和L2基本上沿行方向相互平行地延伸。

如在圖3中所示，一印刷電路板("PCB")550設置於具有閘極線 G_1 至 G_{2n} 、資料線 D_1 至 D_m 及虛設線L1和L2之液晶面板總成300之一上部部分處。PCB 550包括若干電路元件，例如一用於驅動液晶顯示裝置之信號控制器600、一驅動

電壓產生器及一灰度電壓產生器(二者皆未在圖中示出)。
虛設線L1及L2分別在液晶面板總成300之最左邊緣及最右邊緣處基本上沿一行方向相互平行地延伸，並基本上平行於資料線D₁至D_m。

液晶面板總成300與PCB 550經由一撓性印刷電路("FPC")基板510相互進行電連接及實體連接。

FPC基板510係安裝有一構成資料驅動器500之資料驅動積體電路晶片540，並經形成有複數條資料傳輸線521。各資料傳輸線521分別連接至形成於液晶面板總成300上之資料線D₁至D_m，以經由一接點部分C1傳輸對應之資料電壓。

信號傳輸線522a、522b、523a及523b形成於FPC基板510中於資料驅動積體電路晶片540之最左側位置及最右側位置處。信號傳輸線522a、522b、523a及523b係經由一對應之接點部分C3而連接至形成於PCB 550中之信號傳輸線551a及551b。

形成於FPC基板510之最左側中之信號傳輸線522a經由一接點部分C2連接至最左側資料線D1，並經由接點部分C3連接至信號傳輸線551a及523a，以便經由接點部分C1連接至一虛設線L2。

形成於基板510之最右側中之信號傳輸線523b經由接點部分C2連接至最右側資料線D_m，並經由接點部分C3連接至信號傳輸線551b及523b，以便經由接點部分C1連接至一虛設線L1。

如在圖2及3中所示，每一像素PX皆包括一連接至顯示信號線 G_1 至 G_{2n} 及 D_1 至 D_m 以及虛設線L1和L2之開關元件Q、一與其相連之液晶電容器Clc及一儲存電容器Cst。然而，可視需要省去儲存電容器Cst。

開關元件Q(例如薄膜電晶體)設置於一薄膜電晶體面板之下部面板100上。作為一三埠式元件，其控制埠連接至 G_1 至 G_{2n} 之一、其輸入埠連接至資料線 D_1 至 D_m 之一以及虛設線L1和L2，且其輸出埠連接至液晶電容器Clc及儲存電容器Cst。

液晶電容器Clc之兩個埠係下部面板100之一像素電極191及一上部面板200(其係一共用電極面板)之一共用電極270。一夾置於該兩個電極191與270之間的液晶層3用作一介電構件。像素電極191連接至開關元件Q，而共用電極270則設置於上部面板200之整個表面上以接納一共用電壓Vcom。不同於圖2中所示，共用電極270可設置於下部面板100而非上部面板200上，且在此種情形中，該兩個電極191及270中之至少一個可形成為一條線或條狀物之形狀。

具有一用於液晶電容器Clc之輔助功能之儲存電容器Cst係藉由使一單獨的信號線(未圖示)及設置於下部面板100上之像素電極191與一夾置於其間之絕緣構件相交疊來構造而成，且一預定電壓(例如共用電壓Vcom)施加至該單獨之信號線。另一選擇為，儲存電容器Cst可藉由使像素電極191及一剛好設置於其上方之正面閘極線與一夾置於其間之絕緣構件相交疊來構造而成。

如在圖3中所示，一對閘極線 G_{j+1} 及 G_{j+2} 以及 G_{j+3} 及 G_{j+4} 分

別設置於單列像素電極191之上方及下方。另外，每一資料線 D_1 至 D_m 皆設置於兩行相鄰之像素電極191之間。換言之，在一對像素行之間設置一條資料線。現在，將詳細說明閘極線 G_1 至 G_{2n} 與像素電極191之間的連接以及資料線 D_1 至 D_m 與像素電極191之間的連接。

複數對連接於像素電極191上方及下方之閘極線 G_1 至 G_{2n} 經由設置於每一像素電極191上方及下方之開關元件Q連接至像素電極191。

換言之，在一奇數編號的像素列中，設置於各條資料線 D_1 至 D_m 之左側之開關元件Q連接至上部閘極線 G_1 、 G_5 、...、 G_{4m+1} ，而設置於各條資料線 D_1 至 D_m 之右側之開關元件Q連接至下部閘極線 G_2 、 G_6 、...、 G_{4m+2} 。相反，在一偶數編號的像素列中，上部閘極線 G_3 、 G_7 、...、 G_{4m-1} 及下部閘極線 G_4 、 G_8 、...、 G_{4m} 以一種與奇數編號的像素列相反之方式連接至開關元件Q。換言之，設置於各條資料線 D_1 至 D_m 之右側之開關元件Q連接至上部閘極線 G_3 、 G_7 、...、 G_{4m-1} ，而設置於各條資料線 D_1 至 D_m 之左側之開關元件Q連接至下部閘極線 G_4 、 G_8 、...、 G_{4m} 。

在奇數編號之列中，一設置於資料線 D_1 至 D_m 左側之像素電極191經由其開關元件Q連接至第一相鄰資料線 D_1 至 D_m ，而一設置於 D_1 至 D_m 右側之像素電極191連接至第二相鄰資料線 D_1 至 D_m 。在偶數編號的列中，一設置於資料線 D_1 至 D_m 左側之像素電極191經由其開關元件Q連接至前一相鄰資料線 D_1 至 D_m ，而一設置於 D_1 至 D_m 右側之像素電極

191連接至第一相鄰資料線 D_1 至 D_m 。另外，一位於第一行及偶數編號列中之像素電極191連接至與最末虛設線 D_m 相連之虛設線L1，而一位於最末行及奇數編號列中之像素電極191連接至與第一虛設資料線 D_1 相連之虛設線L2。

如上文所述，分別形成於每一像素PX中之開關元件Q之形成方式使其可容易地連接至資料線 D_1 至 D_m 或虛設線L1及L2，換言之，其具有一盡可能短的連接距離。因此，在圖3中，開關元件Q在每一像素列及行中設置於不同之位置處。換言之，在奇數編號之像素對中，一開關元件Q形成於一設置於資料線 D_1 至 D_m 左側處之像素PX之右上側處，而一設置於資料線 D_1 至 D_m 右側處之像素PX形成於一設置於資料線 D_1 至 D_m 右側處之像素PX之右下側處部分處。

另一方面，一設置於偶數編號列中之像素PX之開關元件Q相對於其相鄰像素列形成於相反之位置上。換言之，在偶數編號之像素對中，一設置於資料線 D_1 至 D_m 之左側處之像素PX在左下部分處包括其開關元件Q，而一設置於資料線 D_1 至 D_m 之右側處之像素在左上部分處包括其開關元件Q。

簡言之，在圖3所示之像素電極191及資料線 D_1 至 D_m 中，設置於每一像素列之兩條相鄰資料線之間的兩個像素PX之開關元件Q連接至同一資料線。換言之，在奇數編號之像素列中，形成於該兩條資料線之間的該兩個像素PX之開關元件Q連接至右側資料線，而在偶數編號之像素列中，形成於該兩條資料線之間的該兩個像素PX之開關元件Q連接

至左側資料線。

圖3所示佈置僅為一實例，且因而像素電極191、奇數編號及偶數編號之資料線 D_1 至 D_m 以及閘極線 G_1 至 G_{2n} 可按一種不同之方式連接。

另一方面，為實施彩色顯示，每一像素PX皆唯一地顯示其中一種原色(分空間)，或者每一像素PX皆隨時間交替地顯示各種原色(分時)。

可藉由原色之空間或時間組合來獲得所期望之顏色。圖2顯示一分空間之實例，其中每一像素PX皆在對應於像素電極191之區域中包含一紅色、綠色或藍色濾色器230。濾色器230可如在圖2中所示設置於下部面板100上方或者另一方式為設置於下部面板100下方。

在圖3中，用於一對應像素PX之每一濾色器230皆在列方向上以紅色、綠色及藍色之原色次序排列，且每一像素行皆以一種其中該像素行中之每一濾色器230皆僅包括其中一種原色之條帶方式線性排列。

至少一個用於使光偏振之偏振器(未顯示)設置於該兩個面板100及200中至少一個之外表面上。

返回參見圖1，灰度電壓產生器800產生對應於像素PX之透射率之兩組灰度電壓(兩組參考灰度)。其中一組灰度相對於共用電壓 V_{com} 為正值，而另一組灰度電壓則相對於共用電壓 V_{com} 為負值。

該對閘極驅動器400L及400R分別設置於液晶面板總成300之左側及右側上，並分別連接至奇數編號之閘極線

G_1 、 G_3 、...、 G_{2n-1} 及偶數編號之閘極線 G_2 、 G_4 、...、 G_{2n} ，以便對閘極線 G_1 至 G_{2n} 施加一閘極信號，該閘極信號由一外部閘極導通電壓 V_{on} 及一外部閘極關斷電壓 V_{off} 構成。閘極驅動器400L及400R包括複數個沿列方向基本上排列成一移位暫存器之級，且在與形成像素PX之開關元件Q相同之製程中形成。然而，閘極驅動器400L及400R也可佈置成積體電路("IC")形式。

資料驅動器500連接至液晶面板總成300之資料線 D_1 至 D_m 以自灰度電壓產生器800選擇灰度電壓並將該等灰度電壓作為資料信號施加至資料線 D_1 至 D_m 。另一選擇為，在其中灰度電壓產生器800僅產生一預定數量之參考灰度電壓而非所有灰度電壓之情形中，資料驅動器500可藉由劃分該等參考灰度電壓並從所產生灰度電壓中選擇資料信號來產生用於所有灰度之灰度電壓。

信號控制器600控制閘極驅動器400L及400R、資料驅動器500及灰度電壓產生器800。

每一驅動器500、600及800皆可直接以一或多個驅動IC晶片之形式安裝於LCD面板總成300上。另一選擇為，驅動器500、600及800可以一捲帶式封裝("TCP")形式安裝於LCD面板總成300中的一撓性印刷電路("FPC")膜(未顯示)上，或者可安裝於一單獨之印刷電路板(未顯示)上。另一選擇為，驅動器500、600及800連同顯示信號線 G_1 至 G_{2n} 及 D_1 至 D_m ，且薄膜電晶體開關元件Q可直接安裝於LCD面板總成300上。

另外，驅動器400、500、600及800可積體成單個晶片形式，且在此種情形中，所述驅動器中之至少一個或者其至少一個電路元件可存在於該單個晶片之外。

現在，將參照圖1來說明液晶顯示裝置之運作。

信號控制器600自一外部圖形控制器(未顯示)接收輸入影像信號R、G及B及用於控制其顯示之控制信號。作為輸入控制信號之一實例，存在一豎直同步信號Vsync、一水平同步信號Hsync、一主時鐘信號MCLK及一資料啟用信號DE。

信號控制器600根據該等輸入控制信號及該等輸入影像信號R、G及B、按照液晶面板總成300之運作條件來處理該等輸入影像信號R、G及B，以產生一閘極控制信號CONT1、一資料控制信號CONT2、及類似信號，且隨後將所產生之閘極控制信號CONT1傳輸至閘極驅動器400並將所產生之資料控制信號CONT2及經處理之影像信號DAT傳輸至資料驅動器500。

閘極控制信號CONT1包括一用於指示掃描開始之掃描開始信號STV及至少一個用於控制閘極導通電壓Von之輸出週期之時鐘信號。閘極控制信號CONT1可進一步包括一用於界定閘極導通電壓Von之持續時間之輸出啟用信號OE。

資料控制信號CONT2包括一用於指示(一對)一個像素列之資料傳輸之水平同步開始信號STH、一用於命令對資料線D₁至D_m施加相關聯資料電壓之負載信號LOAD及一資料時鐘信號HCLK。資料控制信號CONT2可進一步包括一反

相信號RVS，以用於使資料信號之電壓極性相對於共用電壓Vcom反相(在下文中將"資料信號相對於共用電壓Vcom之電壓極性"簡稱為"資料信號極性")。

響應於來自信號控制器600之資料控制信號CONT2，資料驅動器500接收一用於(一對)一個像素列之數位影像信號DAT並選擇對應於該數位影像信號DAT之灰度電壓，以便將該數位影像信號DAT轉換成一相關聯之類比資料信號。然後，將該類比資料信號施加至相關聯之資料線 D_1 至 D_m 。

閘極驅動部分400L及400R根據來自信號控制器600之閘極控制信號CONT1對閘極線 G_1 - G_n 施加閘極導通電壓Von，並導通連接至閘極線 G_1 - G_n 之開關元件Q。由此，將施加至資料線 D_1 至 D_m 之資料信號經由所導通之開關元件Q施加至相關聯之像素PX。

施加至像素PX之資料信號之電壓與共用電壓Vcom之間的差變成液晶電容器C_{lc}之電荷電壓，即像素電壓。液晶分子之配准根據像素電壓之強度而變化。因此，穿過液晶層3之光之偏振會發生變化。由於偏振器附裝至液晶面板總成300上，因而偏振之變化會引起光透射率之變化。

以一個水平週期(或1H)－即水平同步信號Hsync及資料啟用信號DE的一個週期－為單位，重複執行前述作業，以依序對所有閘極線 G_1 至 G_{2n} 施加閘極導通電壓Von，以便對所有像素施加資料信號。由此顯示一影像中的一個訊框。

當一個訊框結束時，下一訊框開始，並控制施加至資料

驅動器 500 之反相信號 RVS 之狀態，以使施加至每一像素之資料信號之極性與前一訊框中之極性相反(訊框反相)。此時，甚至在一個訊框中，也可根據反相信號 RVS 之特性將流過一條資料線之資料信號之極性反相(例如列反相及點反相)。另外，施加至一個像素列之各資料信號之極性可互不相同(例如行反相及點反相)。

現在，將參照圖 4 至 6 來說明一種根據本發明一實例性實施例之液晶顯示裝置。

圖 4 係一根據本發明一實例性實施例之閘極驅動器之方塊圖。圖 5 係一根據本發明一實例性實施例之閘極驅動器之移位暫存器中一第 j 級之電路示意圖。圖 6A 及 6B 顯示圖 4 所示閘極驅動器之信號波形。

該閘極驅動器包括第一及第二閘極驅動器 400L 及 400R，第一及第二閘極驅動器 400L 及 400R 分別為圖 4 中所示之移位暫存器 400L 及 400R。移位暫存器 400L 及 400R 分別接收第一掃描開始信號 LSTV 及第二掃描開始信號 RSTV，並對應於第一至第四時鐘信號 LCLK1、RCLK1、LCLK2 及 RCLK2。每一移位暫存器 400L 及 400R 皆包括排列成一行之複數個級 410L 及 410R，且該複數個級 410L 及 410R 中之每一個級分別連接至對應之閘極線。

如在圖 6A 中所示，在輸入至左側移位暫存器 400L 之第一掃描開始信號 LSTV 及輸入至右側移位暫存器 400R 之第二掃描開始信號 RSTV 中，在一個訊框中包含一個寬度為 1H 之脈衝。該第二掃描開始信號 RSTV 相對於第一掃描開

始信號 LSTV 延遲一預定時間 t 。第一至第四時鐘信號 LCLK1、RCLK1、LCLK2 及 RCLK2 中之每一者皆具有一 50% 之負荷比及一等於 $2H$ 之週期。第一時鐘信號 LCLK1 與第二時鐘信號 RCLK1 之相位差等於或大於 180° 。第三時鐘信號 LCLK2 與第四時鐘信號 RCLK2 之相位差亦等於或大於 180° 。另一方面，第一時鐘信號 LCLK1 與第三時鐘信號 LCLK2、及第二時鐘信號 RCLK1 與第四時鐘信號 RCLK2 之相位差分別為 180° 。

輸入至左側移位暫存器 400L 之第一級 410L 之第一豎直同步信號 LSTV 在第一時鐘信號 LCLK1 為低位準時處於高位準，而在第一時鐘信號 LCLK1 變為高位準時變為低位準。另外，輸入至右側移位暫存器 400R 之第一級 410R 之第二豎直同步信號 RSTV 在第二時鐘信號 RCLK1 為低位準時處於高位準，而在第二時鐘信號 RCLK1 變為高位準時變為低位準。

各個移位暫存器之第二級 410L 及 410R 分別接收相互不同之時鐘信號 LCLK1、RCLK1、LCLK2 及 RCLK2。舉例而言，第一時鐘信號 LCLK1 輸入至左側移位暫存器 400L 之第一級，第三時鐘信號 LCLK2 輸入至左側移位暫存器 400L 之第二級，第二時鐘信號 RCLK1 輸入至右側移位暫存器 400R 之第一級，且第四時鐘信號 RCLK2 輸入至右側移位暫存器 400R 之第二級。

為驅動像素之開關元件 Q ，每一時鐘信號 LCLK1、RCLK1、LCLK2 及 RCLK2 可在高位準期間為閘極導通電壓

Von，並可在低位準期間為閘極關斷電壓 Voff。

每一級 410L 及 410R 皆具有一設定埠 S、一閘極電壓埠 GV、一對時鐘埠 CK1 及 CK2、一重設埠 R、一訊框重設埠 FR、一閘極輸出埠 OUT1 及一進位輸出埠 OUT2。

在每一級中，例如在第 j 級 ST(j) 中，設定埠 S 被施以前一級 ST(j-2) 之進位輸出，即前一級進位輸出 Cout(j-2)，且重設埠 R 被施以下一級 ST(j+2) 之閘極輸出，即下一級閘極輸出 Gout(j+2)。另外，時鐘埠 CK1 及 CK2 分別被施以時鐘信號 LCLK1 及 LCLK2，且閘極電壓埠 GV 被施以閘極關斷電壓 Voff。閘極輸出埠 OUT1 傳輸一閘極輸出 Gout(j)，且進位輸出埠 OUT2 向下一級 (STj+2) 之設定埠 S 傳輸一進位輸出 Cout(j)。

然而，級群組 410L 及 410R 之第一級分別被施以掃描開始信號 LSTV 及 RSTV 而非前一級閘極輸出。當第 j 級 ST(j) 之時鐘埠 CK1 及 CK2 被分別施以時鐘信號 LCLK1 及 LCLK2 時，毗鄰第 j 級 ST(j) 之第 (j-2) 級 ST(j-2) 及第 (j+2) 級 ST(j+2) 分別被施以時鐘信號 LCLK2 及 LCLK1。

現在參見圖 5，根據本發明該實例性實施例之閘極驅動器 400 中之每一級 (例如第 j 級) 皆包括一輸入部分 420、一上拉驅動器 430、一下拉驅動器 440 及一輸出部分 450。每一上述元件皆包括一或多個 NMOS 電晶體 T1 至 T14。下拉驅動器 440 及輸出部分 450 進一步包括電容器 C1 至 C3。可使用 PMOS 電晶體來取代 NMOS 電晶體 T1 至 T14。另外，電容器 C1 及 C3 可為在生產製程中形成於汲電極與源電極之間

的寄生電容器。

輸入部分420包括三個分別連接至設定埠S及閘極電壓埠GV之串聯電晶體T11、T10及T5。電晶體T11及T5之閘極連接至時鐘埠CK2，且電晶體T10之閘極連接至時鐘埠CK1。電晶體T11與電晶體T10之間的一接觸點連接至一接觸點J1，且電晶體T10與電晶體T5之間的接觸點連接至一接觸點J2。

上拉驅動器430包括連接於設定埠S與接觸點J1之間的電晶體T4、連接於時鐘埠CK1與一接觸點J3之間的電晶體T12及連接於時鐘埠CK1與一接觸點J4之間的電晶體T7。電晶體T4之閘極及汲極共同連接至設定埠S，且其源極連接至接觸點J1。電晶體T12之閘極及汲極共同連接至時鐘埠CK1，且其源極連接至接觸點J3。電晶體T7之閘極連接至接觸點J3並經由電容器C1連接至時鐘埠CK1，其汲極連接至時鐘埠CK1，且其源極連接至接觸點J4。電容器C2連接於接觸點J3與接觸點J4直接。

下拉驅動器440包括複數個電晶體T6、T9、T13、T8、T3及T2，以經由其源極接收閘極關斷電壓V_{off}來輸出至接觸點J1、J2、J3及J4。電晶體T6之閘極連接至訊框重設埠FR，且其汲極連接至接觸點J1。電晶體T9之閘極連接至重設埠R，且其汲極連接至接觸點J1。電晶體T13及T8之閘極共同連接至接觸點J2，且其汲極分別連接至接觸點J3及J4。電晶體T3之閘極連接至接觸點J4及電晶體T8之汲極，且電晶體T2之閘極連接至重設埠R。該兩個電晶體T3及T2

之汲極連接至接觸點J2。

輸出部分450包括一對電晶體T1及T14，該對電晶體T1及T14之汲極及源極分別連接至時鐘埠CK1及連接於輸出埠OUT1及OUT2且其閘極連接至接觸點J1。電容器C3連接於電晶體T1之閘極與汲極之間，即連接於接觸點J1與接觸點J2之間。

現在將闡述各個級之運作。

為更好地進行理解及易於進行說明，將一對應於時鐘信號LCLK1、LCLK2、RCLK1及RCLK2之高位準之電壓稱作高電壓，並將一對應於LCLK1、LCLK2、RCLK1及RCLK2之低位準之電壓稱作低電壓，其等於閘極關斷電壓Voff。

首先，當時鐘信號LCLK2及前一級進位輸出Cout(j-2)處於高位準時，電晶體T11、T5及T4導通。相應地，該兩個電晶體T11及T4將高電壓傳輸至接觸點J1，且電晶體T5將低電壓傳輸至接觸點J2。因此，電晶體T1及T14導通，且時鐘信號LCLK1輸出至輸出埠OUT1及OUT2。此時，由於接觸點J2與時鐘信號LCLK1兩者皆具有低電壓，因而輸出電壓Gout(j)及Cout(j)變為低電壓。同時，電容器C3被充以一電壓，該電壓等於高電壓與低電壓之差。

此時，時鐘信號LCLK1及下一級閘極輸出Gout(j+2)處於低位準，且接觸點J2亦處於低位準，從而使所有其閘極連接至時鐘信號LCLK1或下一級閘極輸出(j+2)之電晶體T10、T9、T12、T13、T8及T2皆處於關斷狀態。

隨後，當時鐘信號LCLK2處於低位準時，電晶體T11及

T5導通。在此種狀態中，若時鐘信號LCLK1變為高位準，則電晶體T1之輸出電壓及接觸點J2之電壓變為高電壓。此時，高電壓施加至電晶體T10之閘極，但連接至接觸點J2之其源極亦具有相同之高電壓。因此，閘極與源極之間的電位差變為0，且因此電晶體T10維持關斷狀態。相應地，接觸點J1變為一浮動狀態，且因此接觸點J1之電位升高一等於該高電壓之量。

同時，由於時鐘信號LCLK1及接觸點J2之電位為高電壓，因而電晶體T12、T13及T8導通。在此種狀態中，電晶體T12與T13串聯連接以具有一介於高電壓與低電壓之間的電壓，且因此接觸點J3處之電位具有一藉由該兩個電晶體T12及T13之導通電阻值來劃分之電壓。若將該兩個電晶體T13之導通電阻值確定成明顯高於電晶體T12之導通電阻值，例如高出約10,000倍，則接觸點J3處之電壓與高電壓幾乎相同。相應地，電晶體T7導通，且因此串聯連接至電晶體T8。因此，接觸點J4之電位等於藉由該兩個電晶體T7及T8之導通電阻值所劃分之電壓。在此種情形中，若將該兩個電晶體T7及T8之導通電阻值確定成幾乎相同，則接觸點J4之電位等於高電壓與低電壓之間的一中值，且因此電晶體T3維持關斷狀態。此時，由於下一閘極輸出Gout(j+2)仍處於低位準，因而電晶體T9及T2亦維持關斷狀態。因此，輸出埠OUT1及OUT2僅連接至時鐘信號LCLK1並與低電壓隔絕，從而傳輸高電壓。

電容器C1及C2分別被充以一等於其該兩個埠之間的電

位差之電壓。此處，接觸點J3處之電壓低於接觸點J5處之電壓。

接下來，下一開極輸出 $G_{out}(j+2)$ 及時鐘信號 LCLK2 處於高位準且時鐘信號 LCLK1 處於低位準，因而電晶體 T9 及 T2 導通以向接觸點 J1 及 J2 傳輸低電壓。在此種情形中，接觸點 J1 處之電壓被電容器 C3 放電，並降低至低電壓。由於電容器 C3 之充電時間，使所述電壓完全降低至低電壓需要經過一定時間。出於此種原因，該兩個電晶體 T1 及 T14 在下一開極輸出 $G_{out}(j+2)$ 變為高位準之後仍保持處於導通狀態一段時間，且因此輸出埠 OUT1 及 OUT2 連接至時鐘信號 LCLK1，從而傳輸低電壓。接下來，當電容器 C3 完全放電且接觸點 J1 處之電位達到低電壓時，電晶體 T14 關斷，且輸出埠 OUT2 與時鐘信號 LCLK1 隔絕。因此，進位輸出 $C_{out}(j)$ 變為浮動狀態，從而保持低電壓。由於甚至當電晶體 T1 關斷時輸出埠 OUT1 亦經由電晶體 T2 連接至低電壓，因而輸出埠 OUT1 持續地傳輸低電壓。

由於電晶體 T12 及 T13 關斷，因而接觸點 J3 變為浮動狀態。另外，接觸點 J5 處之電壓變得低於接觸點 J4 處之電壓，且接觸點 J3 處之電壓保持低於接觸點 J5 處之電壓，從而使電晶體 T7 關斷。在此種情形中，由於電晶體 T8 亦變遷至關斷狀態，因而接觸點 J4 處之電壓亦同樣降低，且電晶體 T3 亦保持關斷狀態。此外，電晶體 T10 之開極連接至時鐘信號 LCLK1 之低電壓，且接觸點 J2 處之電壓處於低位準。因此，電晶體 T10 亦保持關斷狀態。

接下來，當時鐘信號LCLK1處於高位準時，電晶體T12及T7導通，且接觸點J4處之電壓升高。因此，電晶體T3導通從而向接觸點J2傳輸低電壓，且因此輸出埠OUT1持續地傳輸低電壓。換言之，甚至當下一閘極輸出Gout(j+2)處於低位準時，接觸點J2處之電壓亦可能為低電壓。

同時，電晶體T10之閘極連接至時鐘信號LCLK1之高電壓，且接觸點J2處之電壓為低電壓。因此，電晶體T10導通以將接觸點J2處之低電壓傳輸至接觸點J1。該兩個電晶體T1及T14之汲極與時鐘埠CK1相連，從而持續地接收時鐘信號LCLK1。具體而言，電晶體T1之大小相對大於其餘電晶體，且此可增大其閘極與汲極之間的寄生電容。因此，汲極之電壓變化可影響閘極電壓。相應地，當時鐘信號LCLK1變為高位準時，閘極與汲極之間的寄生電容可能會使閘極電壓升高，從而使電晶體T1導通。因此，藉由將接觸點J2處之低電壓傳輸至接觸點J1，可使電晶體T1之閘極電壓保持為低電壓，從而防止電晶體T1導通。

此後，接觸點J1處之電壓保持處於低電壓，直至前一級進位輸出Cout(j-2)變為高位準為止。當時鐘信號LCLK1處於高位準且時鐘信號LCLK2處於低位準時，接觸點J2處之電壓經由電晶體T3變為低電壓。否則，接觸點J1處之電壓經由電晶體T4保持處於低電壓。

電晶體T6接收一自最末虛設狀態(未顯示)所產生之程式化信號INT，並將閘極關斷電壓Voff傳輸至接觸點J1，從而使接觸點J1處之電壓再次保持處於低電壓。

藉由此種方式，級410L根據與時鐘信號LCLK1及LCLK2同步之前一級進位輸出 $C_{out}(j-2)$ 及下一級閘極輸出 $G_{out}(j+2)$ 產生進位輸出 $C_{out}(j)$ 及閘極輸出 $G_{out}(j)$ 。

圖7A顯示根據本發明一實例性實施例之閘極信號及資料電壓之波形。圖7B顯示根據先前技術之閘極信號及資料電壓之波形。

如在圖3中所示，閘極信號指示施加至一構成一個像素之像素組(Pa, Pb)之第j個輸出 $G_{out}(j)$ 及第(j+1)個輸出 $G_{out}(j+1)$ ，該像素組(Pa, Pb)位於同一像素列中並連接至相同之資料線 D_1 至 D_m 。另外，資料電壓指示施加至每一像素組(Pa, Pb)之正資料電壓Vda及負資料電壓Vdb(表示為("-")或("+"))。

參見圖7A，第一時鐘信號LCLK1與第二時鐘信號RCLK1彼此相隔一預定時間t。該預定時間t可等於或大於0並小於1H。以相位差來表示，此可等於或大於 180° 並小於 360° 。作為一實例，在圖式中該預定時間t為1H/2，其表示第一時鐘信號LCLK1與第二時鐘信號RCLK1之間的間隔，即 270° 。

在像素組(Pa, Pb)中，像素Pb—此後被施加一閘極信號—之資料電壓基本上不受寄生電容影響。圖7B中同樣如此。然而，像素Pa—首先被施加一閘極信號—之資料電壓卻因一回掃電壓而升高或降低。

換言之，對於施加至像素Pa之資料電壓Vda，首先在閘極輸出 $G_{out}(j)$ 自低位準變遷至高位準時施加一預充電電

壓，並隨後在閘極輸出 $G_{out}(j)$ 之高位準之前半級 (或 $1H/2$) 消逝時施加一目標電壓。此後，實施主充電。

接下來，當閘極輸出 $G_{out}(j)$ 自高位準變遷至低位準時，導線之間的寄生電容所產生之回掃電壓使像素電壓降低。然而，當該預定時間 t 消逝之後下一級閘極電壓 $G_{out}(j+1)$ 自低位準變遷至高位準時，在點 P1 處所產生之回掃電壓使像素電壓升高 (正的回掃電壓)。此外，當下一級閘極電壓 $G_{out}(j+1)$ 處於低位準時在點 P2 處所產生之回掃電壓使像素電壓降低降低 (負的回掃電壓)，從而在升高之前返回至像素電壓。然後，如在圖 7A 中所示，正的像素電壓 V_{ap} 與負的像素電壓 V_{an} 變得基本上相同，從而防止出現閃爍或斑點。在此種情形中，由於藉由考量到因大約出現一次之回掃電壓而引起之電壓降低來預先確定共用電壓 V_{com} ，因而正像素電壓 V_{ap} 與負像素電壓 V_{an} 變得基本相同。

另外，若預定時間 t 為 0，換言之，閘極輸出 $G_{out}(j)$ 之下降緣與閘極輸出 $G_{out}(j+1)$ 之上升緣重合，因而正回掃電壓與負回掃電壓在上升或下降時相互抵消，且因此資料電壓既不升高亦不降低。其結果與在具有預定時間 t 時之情形相同，乃因負回掃電壓僅在閘極輸出 $G_{out}(j+1)$ 之下降緣處產生，從而僅使資料電壓降低一次。

參見圖 7B，該兩個閘極信號 $G_{out}(j)$ 與 $G_{out}(j+1)$ 中每一個之一部分相互交疊。因此，如在圖中所示，電壓會多降低一次—不僅在閘極輸出 $G_{out}(j)$ 下降時降低且亦在下一級閘極輸出 $G_{out}(j+1)$ 降低時降低。相應地，電壓降低會出現

兩次，且因此正像素電壓 V_{ap} 與負像素電壓 V_{an} 之間的電壓差變得遠大於圖 7A 中所示。正像素電壓 V_{ap} 與負像素電壓 V_{an} 之間的電壓差可造成閃爍。

圖 8 顯示根據本發明一實例性實施例之第一閘極輸出 $Gout1$ 至第八閘極輸出 $Gout8$ 。

參見圖 8，第二閘極輸出 $Gout2$ 交疊第三閘極電壓 $Gout3$ 及第五閘極輸出 $Gout5$ 。另外，第四閘極輸出 $Gout4$ 部分地交疊第五閘極輸出 $Gout5$ 及第七閘極輸出 $Gout7$ 。當對一接收第三閘極電壓 $Gout3$ 之像素施加一資料電壓時，一接收第二閘極輸出 $Gout2$ 之像素得到預充電。當對一接收第二閘極輸出 $Gout2$ 之像素施加資料電壓時，一接收第五閘極電壓 $Gout5$ 之像素得到預充電。同樣地，第五閘極信號 $Gout5$ 及第七閘極信號 $Gout7$ 亦以相同之方式得到預充電。

然而，沒有信號與第一閘極輸出 $Gout1$ 交疊。另外，在高位準之前半級 $1H/2$ 中，沒有信號與第三閘極輸出 $Gout3$ 交疊。在此種情形中，一接收閘極信號 $Gout1$ 及 $Gout3$ 之像素不會得到預充電。為解決此問題，可對第一像素列施加一資料電壓等於或大於 $1H$ ，例如 $3H/2$ 。藉由此種方式，可將第一像素列中之像素預充電至一施加至像素自身之資料電壓，並可將第三像素列中之像素預充電至一施加至第一像素列中像素之資料電壓。

以此種方式，藉由以一預定時間延遲對像素組 (P_a , P_b) 分別施加閘極信號，由寄生電容引起之電壓降僅會出現一次。因此，負的像素電壓可與正的像素電壓相同，從而防

止出現閃爍或斑點。

儘管上文係說明本發明之實例性實施例及經修改之實例，然而本發明並非僅限於該等實例性實施例及實例，而是亦可按各種形式加以修改，此並不背離本發明之隨附申請專利範圍、實施方式及附圖之範疇。因此，此等修改形式自然亦歸屬於本發明之範疇內。

【圖式簡單說明】

藉由參考附圖更詳細地闡述本發明之實例性實施例，本發明之上述及其他特徵及優點將變得更加顯而易見，附圖中：

圖1係一顯示根據本發明一實例性實施例之液晶顯示裝置之方塊圖；

圖2係一顯示一根據本發明一實例性實施例之液晶顯示裝置中一像素之等效電路示意圖；

圖3顯示一根據本發明一實例性實施例之液晶顯示裝置之結構；

圖4係一根據本發明一實例性實施例之閘極驅動器之方塊圖；

圖5係一根據本發明一實例性實施例用於一閘極驅動器之移位暫存器中第j級之電路示意圖；

圖6A及6B顯示圖4所示閘極驅動器之信號波形；

圖7A及7B分別顯示一根據本發明一實例性實施例及先前技術之閘極信號和資料電壓之波形；及

圖8顯示一根據本發明一實例性實施例用於一閘極驅動

器之閘極信號輸出之部分波形。

【主要元件符號說明】

3	液晶層
100	下部面板
191	像素電極
200	上部面板
230	濾色器
270	共用電極
300	面板總成
400L, 400R	閘極驅動器
410L, 410R	級
500	資料驅動器
510	FPC基板
521	資料傳輸線
522a, 522b,	信號傳輸線
523a, 523b	
540	資料驅動積體電路晶片
551a, 551b	信號傳輸線
600	信號控制器
800	灰度電壓產生器
LSTV, RSTV	掃描開始信號
R, G, B	輸入影像資料
DE	資料啟用信號
MCLK	主時鐘

Hsync	水平同步信號
Vsync	豎直同步信號
CONT1	閘極控制信號
CONT2	資料控制信號
DAT	經處理之影像資料
Clc	液晶電容器
Cst	儲存電容器
Q	開關元件
L1 , L2	虛設線
LCLK1, RCLK1, LCLK2, RCLK2	第一至第二時鐘信號

十、申請專利範圍：

102年8月30日修(更)正本
第1-4頁

1. 一種用於一顯示裝置之驅動器，其包括：

複數條傳輸閘極信號之閘極線；及

第一及第二閘極驅動器，其分別連接至該複數條閘極線中奇數編號及偶數編號之閘極線，該第一及第二閘極驅動器根據複數個時鐘信號來產生該等閘極信號，

其中用於指示該第一閘極驅動器之掃描開始的一第一掃描開始信號被輸入至該第一閘極驅動器，且用於指示該第二閘極驅動器之掃描開始的一第二掃描開始信號被輸入至該第二閘極驅動器，

該第二掃描開始信號在一預先決定之時間後被施加，該預先決定之時間自該第一掃描信號之一下降邊緣起算大於0，以及

一第一閘極開啟脈衝係施加至一奇數閘極線且一第二閘極開啟脈衝係施加至配置於該奇數閘極線旁的一偶數閘極線，該第一閘極開啟脈衝及該第二閘極開啟脈衝之間的一距離大於0H小於1H，其中1H代表一水平週期。

2. 如請求項1之驅動器，其中該複數個時鐘信號中的兩個不相毗鄰時鐘信號具有一 180° 之相位差。
3. 如請求項2之驅動器，其中該複數個時鐘信號分別具有一50%之負荷比。
4. 如請求項1之驅動器，其中該複數個時鐘信號包括第一至第四時鐘信號，且該第一與第二時鐘信號或該第三與第四時鐘信號具有大於 180° 且小於 360° 之相位差。

5. 如請求項4之驅動器，其中該第一與第三時鐘信號或該第二與第四時鐘信號具有 180° 之相位差。
6. 如請求項5之驅動器，其中該第一與第三時鐘信號輸入至該第一閘極驅動器，且該第二與該第四時鐘信號輸入至該第二閘極驅動器。
7. 如請求項6之驅動器，其中該第一與第二輸出啟動信號具有一大於 180° 且小於 360° 之相位差。
8. 一種顯示裝置，其包括：

複數個排列成一矩陣形式之像素；

複數條用於向該等像素傳輸一閘極信號之閘極線；

複數條用於向該等像素傳輸一資料信號之資料線；及

第一及第二閘極驅動器，其分別連接至該複數條閘極線中奇數編號及偶數編號之閘極線，該第一及第二閘極驅動器係根據複數個時鐘信號來產生該等閘極信號，

其中用於指示該第一閘極驅動器之掃描開始的一第一掃描開始信號被輸入至該第一閘極驅動器，且用於指示該第二閘極驅動器之掃描開始的一第二掃描開始信號被輸入至該第二閘極驅動器，

該第二掃描開始信號在一預先決定之時間後被施加，該預先決定之時間自該第一掃描信號之一下降邊緣起算大於0，以及

一第一閘極開啟脈衝係施加至一奇數閘極線且一第二閘極開啟脈衝係施加至配置於該奇數閘極線旁的一偶數閘極線，該第一閘極開啟脈衝及該第二閘極開啟脈衝之

間的一距離大於0H小於1H，其中1H代表一水平週期。

9. 如請求項8之顯示裝置，其中該複數個時鐘信號中兩個不相毗鄰之時鐘信號具有一 180° 之相位差。
10. 如請求項9之顯示裝置，其中該複數個時鐘信號分別具有一50%之負荷比。
11. 如請求項8之顯示裝置，其中該複數個時鐘信號包括第一至第四時鐘信號，且該第一與第二時鐘信號或該第三與第四時鐘信號具有大於 180° 且小於 360° 之相位差。
12. 如請求項11之顯示裝置，其中該第一與第三時鐘信號或該第二與第四時鐘信號具有 180° 之相位差。
13. 如請求項12之顯示裝置，其中該第一與第三時鐘信號輸入至該第一閘極驅動器，且該第二與該第四時鐘信號輸入至該第二閘極驅動器。
14. 如請求項13之顯示裝置，其中該第一與第二輸出啟動信號具有一大於 180° 且小於 360° 之相位差。
15. 如請求項14之顯示裝置，其中該複數個像素中兩條毗鄰資料線之間沿一列方向所設置的兩個鄰近像素係連接至同一資料線。
16. 如請求項15之顯示裝置，其中該兩個鄰近像素係連接至相互不同之閘極線。
17. 如請求項16之顯示裝置，其進一步包括一用於產生該資料信號之資料驅動器，

其中該資料驅動器將該資料信號施加至首先接收到該閘極信號之一像素之一時間較該兩個連續像素之該另一

者長，該兩個連續像素位於沿一行方向所設置之複數個像素列中之一第一像素列中。

18. 如請求項8之顯示裝置，其中該第一及第二閘極驅動器係整合至該顯示裝置中。

十一、圖式：

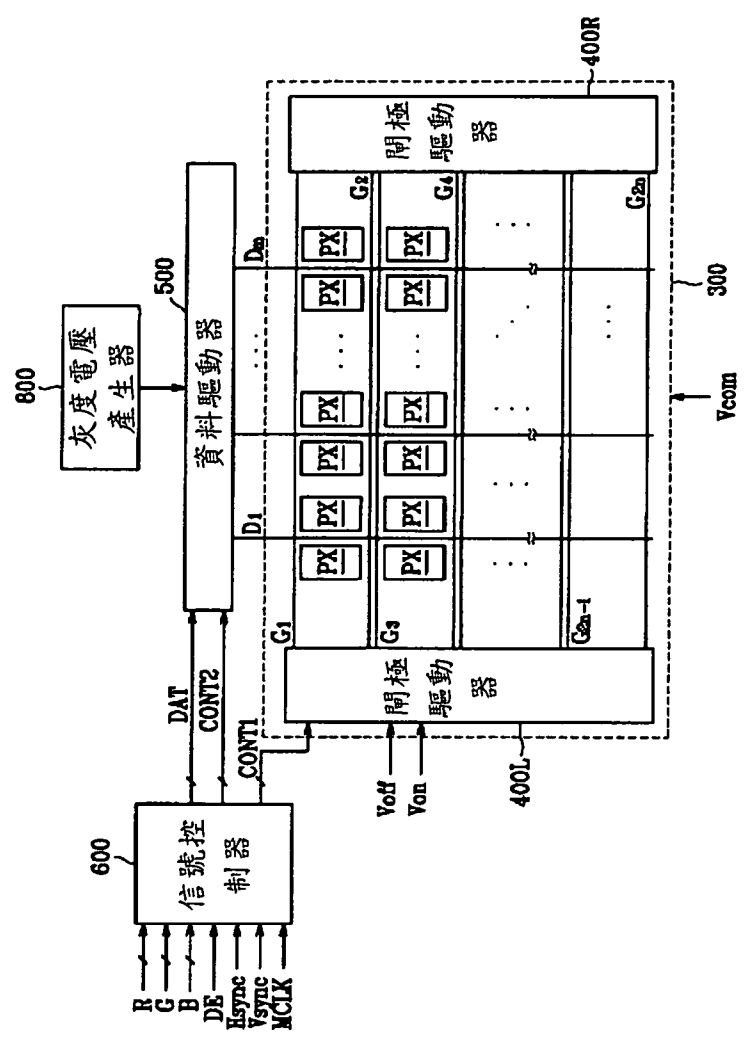


圖 1

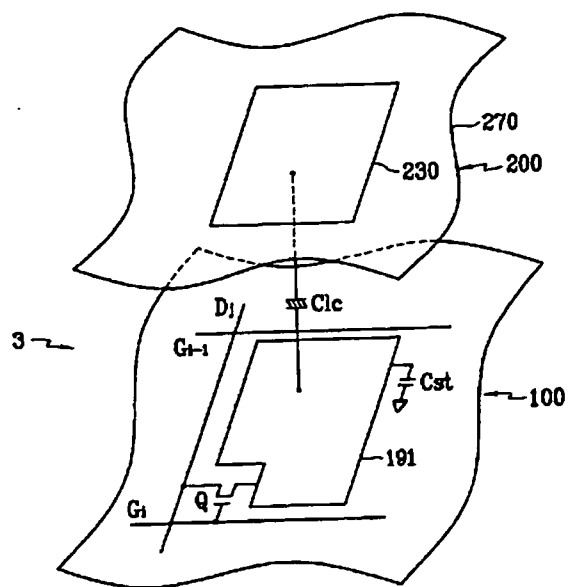


圖2

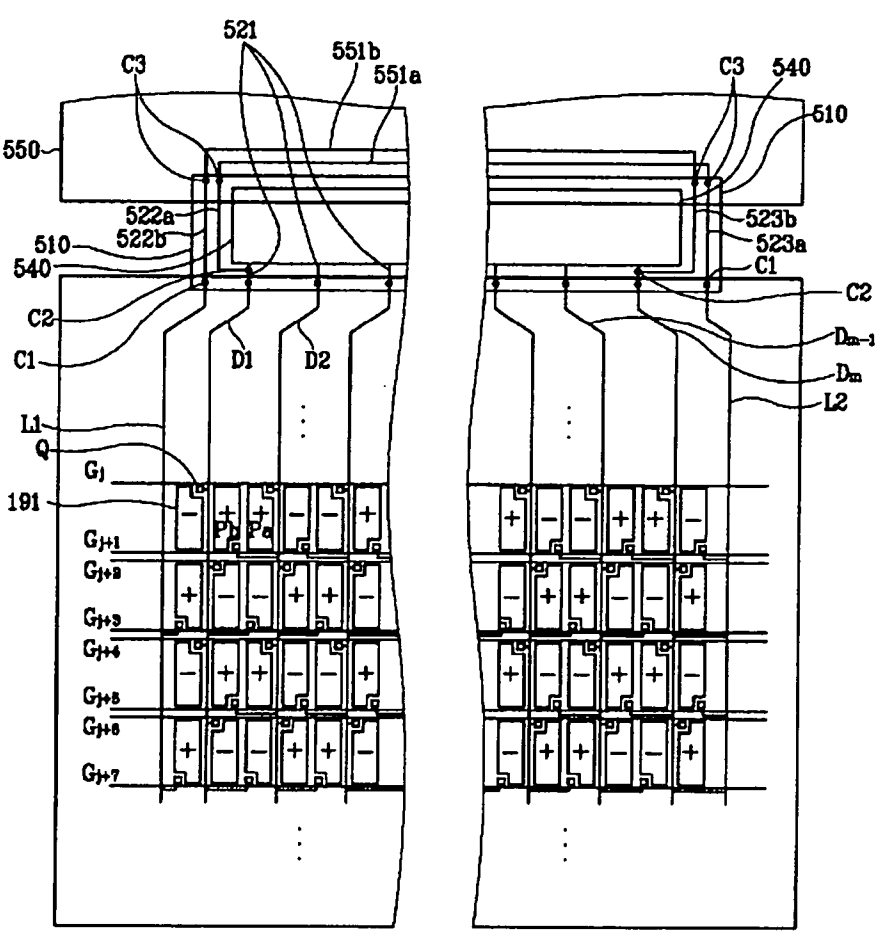


圖3

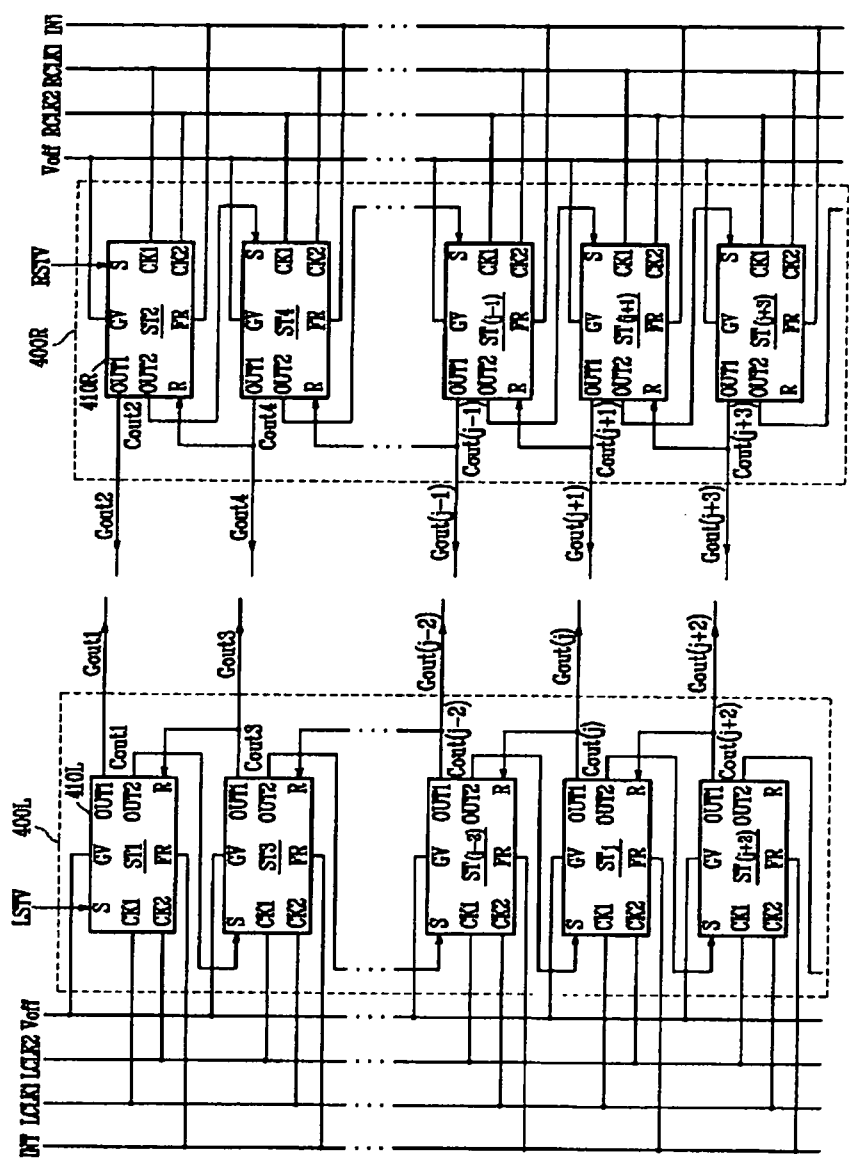


圖 4

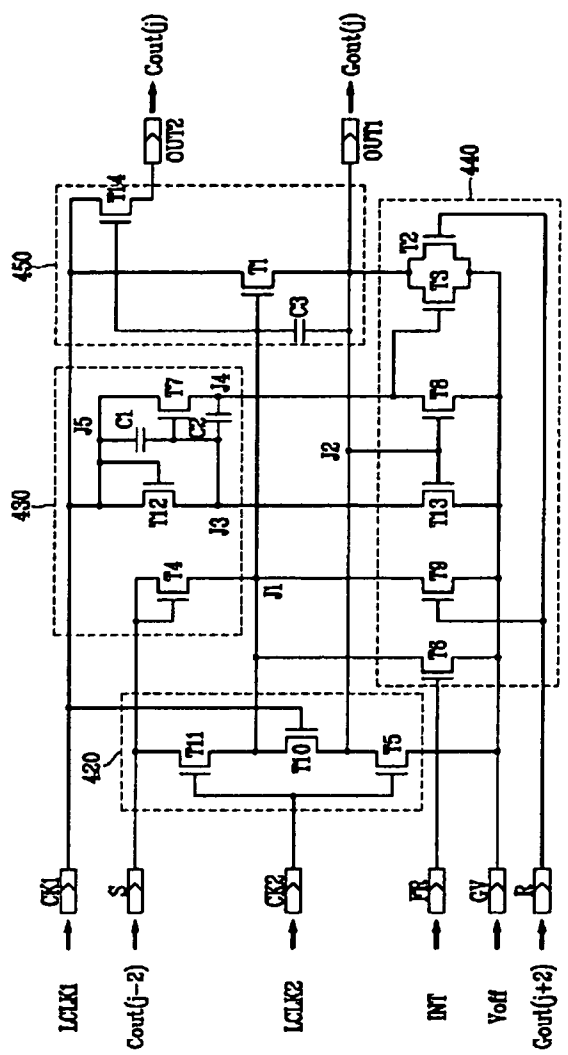


圖 5

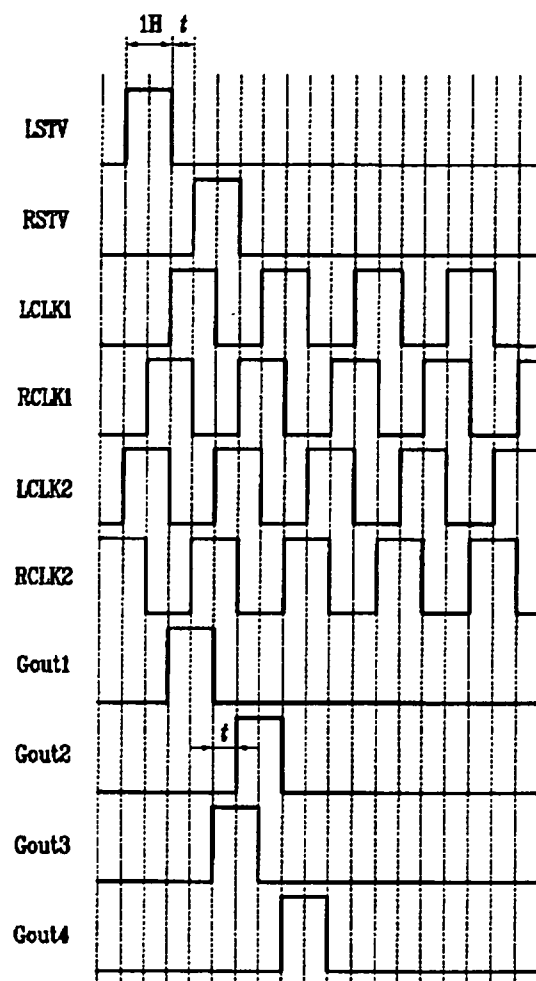


圖6A

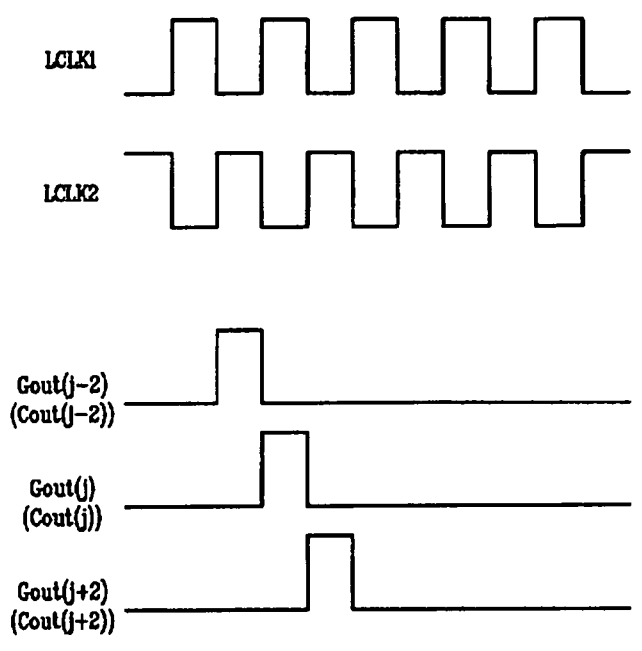


圖 6B

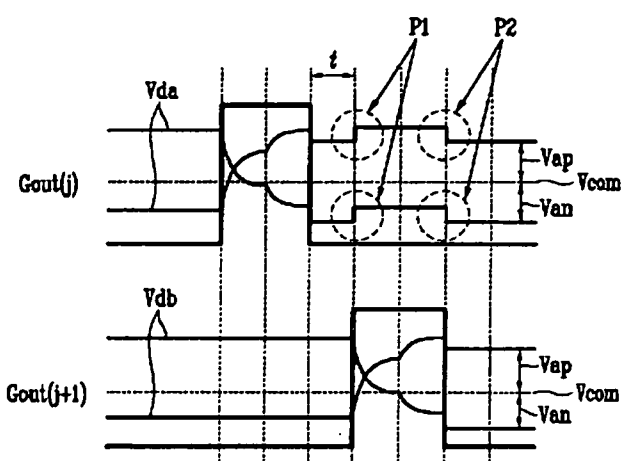


圖 7A

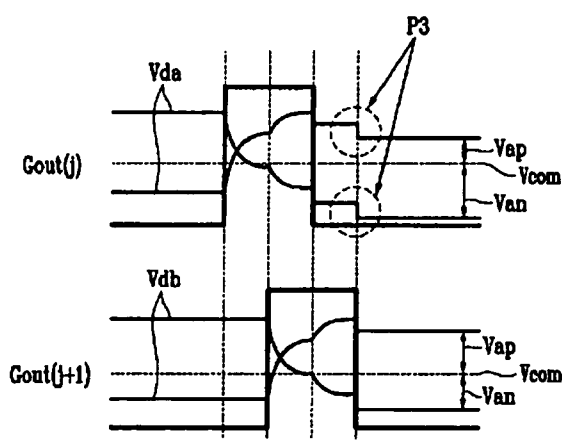


圖 7B (先前技術)

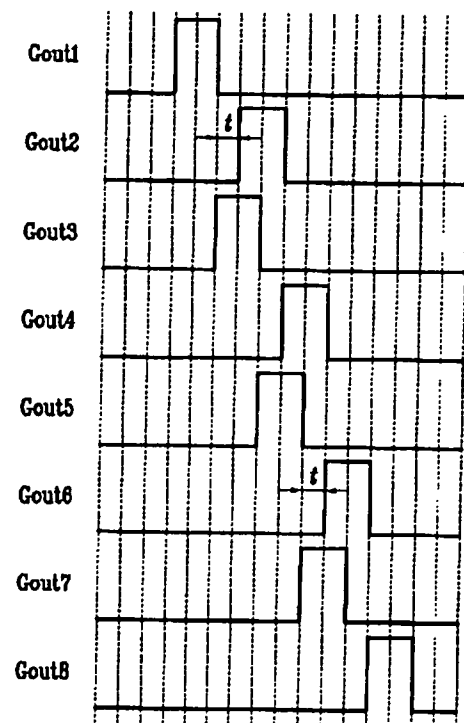


圖 8