(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117999657 A
(43)申请公布日 2024.05.07

(21)申请号 202380013775.X

(22)申请日 2023.04.12

(30)优先权数据
2022-066313 2022.04.13 JP

(85)PCT国际申请进入国家阶段日
2024.03.26

(86)PCT国际申请的申请数据
PCT/JP2023/014827 2023.04.12

(87)PCT国际申请的公布数据
WO2023/199932 JA 2023.10.19

(71)申请人 富士电机株式会社
地址 日本神奈川县川崎市

(72)发明人 吉川功

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
专利代理师 周爽 金玉兰

(51)Int.Cl.
H01L 29/78(2006.01)
H01L 21/336(2006.01)
H01L 21/8234(2006.01)
H01L 27/06(2006.01)
H01L 27/088(2006.01)
H01L 29/739(2006.01)
H01L 29/861(2006.01)
H01L 29/868(2006.01)

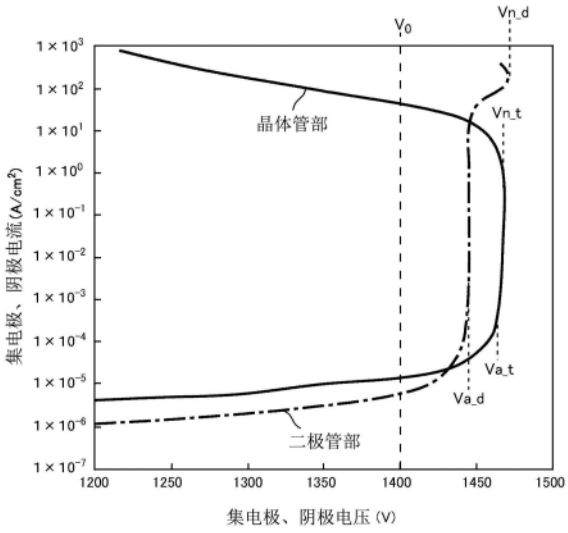
权利要求书3页 说明书23页 附图21页
按照条约第19条修改的权利要求书3页

(54)发明名称

半导体装置及制造方法

(57)摘要

本发明提供一种半导体装置,其具备:半导体基板,其具有上表面和下表面,并设置有第一导电型的漂移区;晶体管部,其具有与所述半导体基板的所述下表面相接的第二导电型的集电区、以及与所述半导体基板的所述上表面相接地设置且掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的发射区;以及二极管部,其具有与所述半导体基板的所述下表面相接的第一导电型的阴极区,所述二极管部中的雪崩耐压为所述晶体管部中的雪崩耐压的0.7倍以上且小于所述晶体管部中的雪崩耐压的1倍。



CN 117999657 A

1.一种半导体装置,其特征在于,具备:

半导体基板,其具有上表面和下表面,并设置有第一导电型的漂移区;

晶体管部,其具有与所述半导体基板的所述下表面相接的第二导电型的集电区、以及与所述半导体基板的所述上表面相接地设置且掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的发射区;以及

二极管部,其具有与所述半导体基板的所述下表面相接的第一导电型的阴极区,

所述二极管部中的雪崩耐压为所述晶体管部中的雪崩耐压的0.7倍以上且小于所述晶体管部中的雪崩耐压的1倍。

2.根据权利要求1所述的半导体装置,其特征在于,

所述二极管部到达负阻区的阴极电压为所述晶体管部到达负阻区的集电极电压以上。

3.根据权利要求1所述的半导体装置,其特征在于,

所述二极管部和所述晶体管部在所述半导体基板的所述上表面具有以沿排列方向具有间隔的方式配置的多个沟槽部。

4.根据权利要求3所述的半导体装置,其特征在于,

所述晶体管部中的至少一部分所述沟槽部在所述排列方向上以第一间隔进行配置,

所述二极管部中的至少一部分所述沟槽部在所述排列方向上以比所述第一间隔大的第二间隔进行配置。

5.根据权利要求4所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区中的至少一者,

所述中间区具有晶体管侧区域,该晶体管侧区域与所述晶体管部相接,并且以所述第一间隔配置有一个以上的所述沟槽部。

6.根据权利要求4所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区中的至少一者,

所述中间区具有晶体管侧区域,该晶体管侧区域与所述晶体管部相接,并且以比所述第一间隔小的间隔配置有一个以上的所述沟槽部。

7.根据权利要求5所述的半导体装置,其特征在于,

所述中间区中的所述阴极区与所述集电区之间的边界位置配置于所述晶体管侧区域。

8.根据权利要求7所述的半导体装置,其特征在于,

所述边界位置配置于所述晶体管侧区域的一个以上的所述沟槽部中的最靠所述二极管部侧的所述沟槽部的下方。

9.根据权利要求7所述的半导体装置,其特征在于,

所述晶体管侧区域包括所述排列方向上的间隔在所述中间区中最小的第一所述沟槽部和第二所述沟槽部,

所述边界位置配置在从所述第一沟槽部的下方起直到所述第二沟槽部的下方为止的区域。

10.根据权利要求5至9中任一项所述的半导体装置,其特征在于,

越靠近所述二极管部,所述中间区中的所述多个沟槽部的所述排列方向上的间隔越

大。

11.根据权利要求4至9中任一项所述的半导体装置,其特征在于,

所述第二间隔为所述第一间隔的2倍以上。

12.根据权利要求3所述的半导体装置,其特征在于,

所述晶体管部中的至少一部分所述沟槽部在所述半导体基板的深度方向上具有第一长度,

所述二极管部中的至少一部分所述沟槽部在所述深度方向上具有比所述第一长度大的第二长度。

13.根据权利要求12所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区,

所述中间区具有与所述晶体管部相接的晶体管侧区域,

所述晶体管侧区域具有所述第一长度的所述沟槽部。

14.根据权利要求12所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区,

所述中间区具有与所述晶体管部相接的晶体管侧区域,

所述晶体管侧区域具有长度比所述第一长度小的所述沟槽部。

15.根据权利要求13所述的半导体装置,其特征在于,

所述中间区中的所述阴极区与所述集电区之间的边界位置配置于所述晶体管侧区域。

16.根据权利要求13至15中任一项所述的半导体装置,其特征在于,

越靠近所述二极管部,所述中间区中的所述多个沟槽部的所述深度方向上的长度越大。

17.根据权利要求3至9中任一项所述的半导体装置,其特征在于,

所述晶体管部具有第二导电型的第一下端区,所述第一下端区与至少一个所述沟槽部的下端相接地设置,

所述二极管部的至少一个所述沟槽部的下端不与第二导电型的区域相接。

18.根据权利要求17所述的半导体装置,其特征在于,

所述二极管部的所有的所述沟槽部的下端不与第二导电型的区域相接。

19.根据权利要求3至9中任一项所述的半导体装置,其特征在于,

所述二极管部具有第一导电型的第二下端区,所述第二下端区与至少一个所述沟槽部的下端相接地设置,并且掺杂浓度比所述漂移区的掺杂浓度高,

所述晶体管部的至少一个所述沟槽部的下端不与掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的区域相接。

20.根据权利要求19所述的半导体装置,其特征在于,

所述晶体管部具有:

第二导电型的基区,其设置在所述发射区与所述漂移区之间;以及

第一导电型的蓄积区,其设置在所述基区与所述漂移区之间,且掺杂浓度比所述漂移区的掺杂浓度高,

所述第二下端区的掺杂浓度比所述蓄积区的掺杂浓度低。

21.根据权利要求1至9中任一项所述的半导体装置,其特征在于,

所述二极管部在所述半导体基板的所述上表面侧具有调整载流子的寿命的寿命调整部。

22.一种半导体装置,其特征在于,具备:

半导体基板,其具有上表面和下表面,并设置有第一导电型的漂移区;

晶体管部,其具有与所述半导体基板的所述下表面相接的第二导电型的集电区、以及与所述半导体基板的所述上表面相接地设置且掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的发射区;以及

二极管部,其具有与所述半导体基板的下表面相接的第一导电型的阴极区,

所述二极管部和所述晶体管部在所述半导体基板的上表面具有以沿排列方向具有间隔的方式配置的多个沟槽部,

所述晶体管部具有与至少一个所述沟槽部的下端相接地设置的第二导电型的第一下端区,

所述二极管部的至少一个所述沟槽部的下端不与第二导电型的区域相接。

23.一种制造方法,其特征在于,是在半导体基板具有晶体管部和二极管部的半导体装置的制造方法,

针对所述晶体管部的耐压与所述二极管部的耐压相等的第一半导体装置,通过非钳位感性开关试验获取所述半导体装置不被破坏的非破坏最大能量密度,

以所述第一半导体装置为基准,以所述非破坏最大能量密度大于所述第一半导体装置的非破坏最大能量密度的方式,设定所述二极管部与所述晶体管部的雪崩耐压之比,

以满足所设定的所述雪崩耐压之比的方式设计第二半导体装置中的所述晶体管部和所述二极管部,

基于所述设计来制造所述第二半导体装置。

半导体装置及制造方法

技术领域

[0001] 本发明涉及半导体装置及制造方法。

背景技术

[0002] 以往,已知有在单一半导体基板设置有IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)等晶体管部和二极管部的反向导通IGBT(RC-IGBT)(例如,参照专利文献1、2)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2018-78230号公报

[0006] 专利文献2:日本特开2015-135954号公报

发明内容

[0007] 技术问题

[0008] 期望在反向导通IGBT等半导体装置中不易产生破坏。

[0009] 技术方案

[0010] 为了解决上述课题,在本发明的第一方式中,提供一种半导体装置。半导体装置可以具备半导体基板,所述半导体基板具有上表面和下表面,并设置有第一导电型的漂移区。半导体装置可以具备晶体管部,所述晶体管部具有与所述半导体基板的所述下表面相接的第二导电型的集电区、以及与所述半导体基板的所述上表面相接地设置且掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的发射区。上述任一半导体装置可以具备二极管部,所述二极管部具有与所述半导体基板的下表面相接的第一导电型的阴极区。在上述任一半导体装置中,所述二极管部中的雪崩耐压可以为所述晶体管部中的雪崩耐压的0.7倍以上且小于所述晶体管部中的雪崩耐压的1倍。

[0011] 在上述任一半导体装置中,所述二极管部到达负阻区的阴极电压可以为所述晶体管部到达负阻区的集电极电压以上。

[0012] 在上述任一半导体装置中,所述二极管部和所述晶体管部可以在所述半导体基板的上表面具有以沿排列方向具有间隔的方式配置的多个沟槽部。

[0013] 在上述任一半导体装置中,所述晶体管部中的至少一部分所述沟槽部可以在所述排列方向上以第一间隔进行配置。在上述任一半导体装置中,所述二极管部中的至少一部分所述沟槽部可以在所述排列方向上以比所述第一间隔大的第二间隔进行配置。

[0014] 上述任一半导体装置可以具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区中的至少一者。在上述任一半导体装置中,所述中间区可以具有晶体管侧区域。在上述任一半导体装置中,该晶体管侧区域可以与所述晶体管部相接,并且以所述第一间隔配置有一个以上的所述沟槽部。

[0015] 上述任一半导体装置可以具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区中的至少一者。在上述任一半导体装置中,所述中间区可以具有晶体管侧区域。在上述任一半导体装置中,该晶体管侧区域可以与所述晶体管部相接,并且以比所述第一间隔小的间隔配置有一个以上的所述沟槽部。

[0016] 在上述任一半导体装置中,所述中间区中的所述阴极区与所述集电区之间的边界位置可以配置于所述晶体管侧区域。

[0017] 在上述任一半导体装置中,所述边界位置可以配置于所述晶体管侧区域的一个以上的所述沟槽部中的最靠所述二极管部侧的所述沟槽部的下方。

[0018] 在上述任一半导体装置中,所述晶体管侧区域可以包括所述排列方向上的间隔在所述中间区中最小的第一所述沟槽部和第二所述沟槽部。在上述任一半导体装置中,所述边界位置可以配置在从所述第一沟槽部的下方起直到所述第二沟槽部的下方为止的区域。

[0019] 在上述任一半导体装置中,越靠近所述二极管部,所述中间区中的所述多个沟槽部的所述排列方向上的间隔可以越大。

[0020] 在上述任一半导体装置中,所述第二间隔可以为所述第一间隔的2倍以上。

[0021] 在上述任一半导体装置中,所述晶体管部中的至少一部分所述沟槽部可以在所述半导体基板的深度方向上具有第一长度。在上述任一半导体装置中,所述二极管部中的至少一部分所述沟槽部可以在所述深度方向上具有比所述第一长度大的第二长度。

[0022] 上述任一半导体装置可以具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区。在上述任一半导体装置中,所述中间区可以具有与所述晶体管部相接的晶体管侧区域。在上述任一半导体装置中,所述晶体管侧区域可以具有所述第一长度的所述沟槽部。

[0023] 上述任一半导体装置可以具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区。在上述任一半导体装置中,所述中间区可以具有与所述晶体管部相接的晶体管侧区域。在上述任一半导体装置中,所述晶体管侧区域可以具有长度比所述第一长度小的所述沟槽部。

[0024] 在上述任一半导体装置中,所述中间区中的所述阴极区与所述集电区之间的边界位置可以配置于所述晶体管侧区域。

[0025] 在上述任一半导体装置中,越靠近所述二极管部,所述中间区中的所述多个沟槽部的所述深度方向上的长度可以越大。

[0026] 在上述任一半导体装置中,所述晶体管部可以具有第二导电型的第一下端区,所述第一下端区与至少一个所述沟槽部的下端相接地设置。在上述任一半导体装置中,所述二极管部的至少一个所述沟槽部的下端可以不与第二导电型的区域相接。

[0027] 在上述任一半导体装置中,所述二极管部的所有的所述沟槽部的下端可以不与第二导电型的区域相接。

[0028] 在上述任一半导体装置中,所述二极管部可以具有与至少一个所述沟槽部的下端相接地设置且掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的第二下端区。在上述任一半导体装置中,所述晶体管部的至少一个所述沟槽部的下端可以不与掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的区域相接。

[0029] 在上述任一半导体装置中,所述晶体管部可以具有设置在所述发射区与所述漂移区之间的第二导电型的基区。在上述任一半导体装置中,所述晶体管部可以具有第一导电型的蓄积区,所述第一导电型的蓄积区设置在所述基区与所述漂移区之间,且掺杂浓度比所述漂移区的掺杂浓度高。在上述任一半导体装置中,所述第二下端区的掺杂浓度可以比所述蓄积区的掺杂浓度低。

[0030] 在上述任一半导体装置中,所述二极管部可以在所述半导体基板的所述上表面侧具有调整载流子的寿命的寿命调整部。

[0031] 在本发明的第二方式中,提供一种半导体装置。半导体装置可以具备半导体基板,所述半导体基板具有上表面和下表面,并设置有第一导电型的漂移区。半导体装置可以具备晶体管部,所述晶体管部可以具有与所述半导体基板的所述下表面相接的第二导电型的集电区、以及与所述半导体基板的所述上表面相接地设置且掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的发射区。上述任一半导体装置可以具备二极管部,所述二极管部可以具有与所述半导体基板的下表面相接的第一导电型的阴极区。在上述任一半导体装置中,所述二极管部和所述晶体管部可以在所述半导体基板的上表面具有以沿排列方向具有间隔的方式配置的多个沟槽部。所述晶体管部可以具有与至少一个所述沟槽部的下端相接地设置的第二导电型的第一下端区。在上述任一半导体装置中,所述二极管部的至少一个所述沟槽部的下端可以不与第二导电型的区域相接。

[0032] 在本发明的第三方式中,提供一种在半导体基板具有晶体管部和二极管部的半导体装置的制造方法。在制造方法中,对于所述晶体管部的耐压与所述二极管部的耐压相等的第一所述半导体装置,可以通过非钳位感性开关试验获取所述半导体装置不被破坏的非破坏最大能量密度。在制造方法中,可以以所述第一所述半导体装置为基准,以所述非破坏最大能量密度大于所述第一半导体装置的非破坏最大能量密度的方式设定所述二极管部与所述晶体管部的雪崩耐压之比。在上述任一制造方法中,可以以满足所设定的所述雪崩耐压之比的方式设计第二所述半导体装置中的所述晶体管部和所述二极管部。在上述任一制造方法中,可以基于所述设计来制造第二所述半导体装置。

[0033] 上述发明内容并未列举本发明的全部必要特征。另外,这些特征组的子组合也能够成为发明。

附图说明

[0034] 图1是示出本发明的一个实施方式的半导体装置100的一例的俯视图。

[0035] 图2是图1中的区域D的放大图。

[0036] 图3是示出图2中的e-e截面的一例的图。

[0037] 图4是参考例的晶体管部70和二极管部80的电流密度-电压特性的一例。

[0038] 图5是实施例的晶体管部70和二极管部80的电流密度-电压特性的一例。

[0039] 图6是示出实施例的e-e截面的一例的图。

[0040] 图7是示出实施例的e-e截面的另一例的图。

[0041] 图8是示出实施例的e-e截面的另一例的图。

[0042] 图9是示出实施例的e-e截面的另一例的图。

[0043] 图10是示出实施例的e-e截面的另一例的图。

[0044] 图11是示出实施例的e-e截面的另一例的图。

[0045] 图12是示出实施例的e-e截面的另一例的图。

[0046] 图13是示出实施例的e-e截面的另一例的图。

[0047] 图14是示出实施例的e-e截面的另一例的图。

[0048] 图15是示出实施例的e-e截面的另一例的图。

[0049] 图16是示出实施例的e-e截面的另一例的图。

[0050] 图17是示出实施例的e-e截面的另一例的图。

[0051] 图18是示出晶体管部70和二极管部80中的沟槽间隔与晶体管部70和二极管部80中的雪崩耐压之间的关系的图。

[0052] 图19是示出晶体管部70和二极管部80中的沟槽长度与晶体管部70和二极管部80中的雪崩耐压之间的关系的图。

[0053] 图20是示出晶体管部70和二极管部80中的沟槽间隔与晶体管部70和二极管部80中的雪崩耐压之间的关系的图。

[0054] 图21是示出二极管部80中的第二下端区204中的剂量(或掺杂浓度)与二极管部80中的雪崩耐压之间的关系的图。

[0055] 图22是说明半导体装置100的非破坏最大能量密度的图。

[0056] 图23示出二极管部80中的雪崩耐压Va_d与非破坏最大能量密度之间的关系。

[0057] 图24是示出半导体装置100的制造方法的一例的图。

[0058] 符号说明

[0059] 10:半导体基板;11:阱区;12:发射区;14:基区;15:接触区;16:蓄积区;18:漂移区;20:缓冲区;21:上表面;22:集电区;23:下表面;24:集电电极;29:直线部分;30:虚设沟槽部;31:前端部;32:虚设绝缘膜;34:虚设导电部;38:层间绝缘膜;39:直线部分;40:栅极沟槽部;41:前端部;42:栅极绝缘膜;44:栅极导电部;52:发射电极;54:接触孔;60、61、62:台面部;70:晶体管部;80:二极管部;81:延长区;82:阴极区;90:边缘终端结构部;100:半导体装置;130:外周栅极布线;131:有源侧栅极布线;160:有源部;162:端边;164:栅极焊盘;190:连接区;200:中间区;201:晶体管侧区域;202:第一下端区;204:第二下端区;206:晶格缺陷;208:寿命调整部;212:下端;213:侧壁

具体实施方式

[0060] 以下,虽然通过发明的实施方式对本发明进行说明,但是以下的实施方式并不限定权利要求所涉及的发明。另外,实施方式中所说明的特征的全部组合未必是发明的技术方案所必须的。

[0061] 在本说明书中,将与半导体基板的深度方向平行的方向上的一侧称为“上”,将另一侧称为“下”。在基板、层或其他部件的两个主表面之中,将一个表面称为上表面,将另一个表面称为下表面。“上”、“下”的方向不限于重力方向或半导体装置实际安装时的方向。

[0062] 在本说明书中,有时使用X轴、Y轴以及Z轴的直角坐标轴来说明技术事项。直角坐标轴只不过确定构成要素的相对位置,并不限定特定的方向。例如,Z轴并不限定表示相对于地面的高度方向。应予说明,+Z轴方向与-Z轴方向是彼此相反的方向。在不记载正负而记载为Z轴方向的情况下,是指与+Z轴和-Z轴平行的方向。

[0063] 在本说明书中,将与半导体基板的上表面和下表面平行的正交轴设为X轴和Y轴。另外,将与半导体基板的上表面和下表面垂直的轴设为Z轴。在本说明书中,有时将Z轴的方向称为深度方向。另外,在本说明书中,有时将包括X轴和Y轴而与半导体基板的上表面和下表面平行的方向称为水平方向。

[0064] 另外,有时将从半导体基板的深度方向上的中心起到半导体基板的上表面为止的区域称为上表面侧。同样地,有时将从半导体基板的深度方向上的中心起到半导体基板的下表面为止的区域称为下表面侧。

[0065] 在本说明书中,在称为“同一”或者“相等”的情况下,也可以包括具有因制造偏差等而引起的误差的情况。该误差例如在10%以内。

[0066] 在本说明书中,将掺杂了杂质的掺杂区的导电型设为P型或N型而进行说明。在本说明书中,杂质有时特别指N型的施主和P型的受主中的某一种,有时记载为掺杂剂。在本说明书中,掺杂是指向半导体基板导入施主或受主而形成为呈现N型的导电型的半导体或呈现P型的导电型的半导体。

[0067] 在本说明书中,掺杂浓度是指热平衡状态下的施主的浓度或受主的浓度。在本说明书中,净掺杂浓度是指在将施主浓度设为正离子的浓度并将受主浓度设为负离子的浓度而包含电荷的极性相加所得的实质的浓度。作为一例,若将施主浓度设为N_D,并将受主浓度设为N_A,则任意位置处的实质的净掺杂浓度成为N_D-N_A。在本说明书中,有时将净掺杂浓度仅记载为掺杂浓度。

[0068] 施主具有向半导体供给电子的功能。受主具有从半导体获取电子的功能。施主和受主不限于杂质本身。例如,存在于半导体中的空位(V)、氧(O)以及氢(H)结合而成的VOH缺陷作为供给电子的施主而发挥功能。在本说明书中,有时将VOH缺陷称为氢施主。氢施主可以是至少结合空位(V)和氢(H)而得的施主。

[0069] 在本说明书中,半导体基板整体上分布有N型的体施主。体施主是在制造成为半导体基板的基础的晶锭时,由在晶锭内大致均匀地含有的掺杂剂所形成的施主。本例的体施主是除氢以外的元素。虽然体施主的掺杂剂是例如磷、锑、砷、硒或硫,但是不限于此。本例的体施主是磷。体施主也包含在P型的区域中。半导体基板可以是从半导体的晶锭切出的晶片,也可以是将晶片单片化而成的芯片。半导体的晶锭可以利用直拉单晶制造法(CZ法)、磁控拉晶法(MCZ法)、悬浮区熔法(FZ法)中的任一种来制造。本例中的晶锭是利用MCZ法制造的。利用MCZ法制造出的基板所包含的氧浓度为$1\times10^{17}\sim7\times10^{17}/cm^3$。利用FZ法制造出的基板所包含的氧浓度为$1\times10^{15}\sim5\times10^{16}/cm^3$。氧浓度高的情况会有易于产生氢施主的倾向。体施主浓度可以使用分布在整个半导体基板的体施主的化学浓度,也可以是该化学浓度的90%至100%之间的值。另外,半导体基板也可以使用不包含磷等掺杂剂的无掺杂基板。在该情况下,无掺杂基板的体施主浓度(D0)为例如$1\times10^{10}/cm^3$以上且$5\times10^{12}/cm^3$以下。无掺杂基板的体施主浓度(D0)优选为$1\times10^{11}/cm^3$以上。无掺杂基板的体施主浓度(D0)优选为$5\times10^{12}/cm^3$以下。应予说明,本发明中的各浓度可以是室温下的值。作为一例,室温下的值可以使用300K(开尔文)(大约26.9℃)时的值。

[0070] 在本说明书中记载为P+型或N+型的情况下,意味着掺杂浓度比P型或N型的掺杂浓度高,在记载为P-型或N-型的情况下,意味着掺杂浓度比P型或N型的掺杂浓度低。另外,在本说明书中记载为P++型或N++型的情况下,意味着掺杂浓度比P+型或N+型的掺杂浓度高。

除非另有说明,否则本说明书中的单位制是SI单位制。虽然有时以cm来表示长度的单位,但是各计算可以换算为米(m)之后而进行。

[0071] 在本说明书中,化学浓度是指不依赖于电活化的状态而测定的杂质的原子密度。化学浓度能够通过例如二次离子质谱分析法(SIMS)来计测。上述净掺杂浓度能够通过电压-电容测定法(CV法)来测定。另外,可以将利用扩展电阻测定法(SR法)而计测的载流子浓度作为净掺杂浓度。通过CV法或SR法计测的载流子浓度可以作为热平衡状态下的值。另外,在N型的区域中,施主浓度远远大于受主浓度,因此也可以将该区域中的载流子浓度设为施主浓度。同样地,在P型的区域中,也可以将该区域中的载流子浓度设为受主浓度。在本说明书中,有时将N型区的掺杂浓度称为施主浓度,有时将P型区的掺杂浓度称为受主浓度。

[0072] 另外,在施主、受主或净掺杂的浓度分布具有峰的情况下,可以将该峰值作为该区域中的施主、受主或净掺杂的浓度。在施主、受主或净掺杂的浓度几乎均匀的情况下等,也可以将该区域中的施主、受主或净掺杂的浓度的平均值作为施主、受主或净掺杂的浓度。在本说明书中,在每单位体积的浓度表示中使用atoms/cm^3或/cm^3。该单位用于半导体基板内的施主或受主浓度、或者化学浓度。也可以省略atoms标记。

[0073] 通过SR法计测的载流子浓度可以低于施主或受主的浓度。在测定扩展电阻时电流流通的范围内,有半导体基板的载流子迁移率低于结晶状态的载流子迁移率的值的情况。由于晶格缺陷等引起的晶体结构的紊乱(无序)而使载流子散乱,从而产生载流子迁移率的下降。

[0074] 根据通过CV法或SR法计测的载流子浓度计算出的施主或受主的浓度可以低于表示施主或受主的元素的化学浓度。作为一例,在硅的半导体中成为施主的磷或砷的施主浓度、或者成为受主的硼(Boron)的受主浓度是它们的化学浓度的99%左右。另一方面,在硅的半导体中成为施主的氢的施主浓度是氢的化学浓度的0.1%至10%左右。

[0075] 图1是示出本发明的一个实施方式的半导体装置100的一例的俯视图。在图1中,示出将各部件投影到半导体基板10的上表面而得的位置。在图1中,仅示出半导体装置100的一部分部件,并省略一部分部件。

[0076] 半导体装置100具备半导体基板10。半导体基板10是由半导体材料形成的基板。作为一例,半导体基板10是硅基板。半导体基板10在俯视时具有端边162。在本说明书中简称为俯视的情况是指从半导体基板10的上表面侧观察的情况。本例的半导体基板10具有在俯视时彼此相对的两组端边162。在图1中,X轴和Y轴与某一端边162平行。另外,Z轴与半导体基板10的上表面垂直。

[0077] 在半导体基板10设置有有源部160。有源部160是在半导体装置100动作的情况下在半导体基板10的上表面与下表面之间供主电流沿深度方向流通的区域。在有源部160的上方设置有发射电极,但在图1中进行了省略。有源部160可以指在俯视时与发射电极重叠的区域。另外,在俯视时被有源部160所夹的区域也可以包含于有源部160。

[0078] 在有源部160设置有包括IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)等晶体管元件的晶体管部70。在有源部160可以还设置有包括续流二极管(FWD)等二极管元件的二极管部80。在图1的例子中,晶体管部70和二极管部80沿半导体基板10的上表面的预定的排列方向(在本例中为X轴方向)交替地配置。本例的半导体装置100是反向导通型IGBT(RC-IGBT)。

[0079] 在图1中,在配置晶体管部70的区域标注符号“I”,在配置二极管部80的区域标注符号“F”。在本说明书中,有时将在俯视下与排列方向垂直的方向称为延伸方向(在图1中为Y轴方向)。晶体管部70和二极管部80可以分别在延伸方向上具有长边。即,晶体管部70的Y轴方向上的长度比X轴方向上的宽度大。同样地,二极管部80的Y轴方向上的长度比X轴方向上的宽度大。晶体管部70和二极管部80的延伸方向与后述的各沟槽部的长边方向可以相同。

[0080] 二极管部80在与半导体基板10的下表面相接的区域具有N+型的阴极区。在本说明书中,将设置有阴极区的区域称为二极管部80。即,二极管部80是在俯视下与阴极区重叠的区域。在半导体基板10的下表面,在除阴极区以外的区域可以设置有P+型的集电区。在本说明书中,有时在二极管部80也包括使二极管部80沿Y轴方向延长到后述的栅极布线的延长区81。在延长区81的下表面设置有集电区。

[0081] 晶体管部70在与半导体基板10的下表面相接的区域具有P+型的集电区。另外,晶体管部70在半导体基板10的上表面侧周期性地配置有N型的发射区、P型的基区、具有栅极导电部和栅极绝缘膜的栅极结构。

[0082] 半导体装置100在半导体基板10的上方可以具有一个以上的焊盘。本例的半导体装置100具有栅极焊盘164。半导体装置100也可以具有阳极焊盘、阴极焊盘以及电流检测焊盘等焊盘。各焊盘配置在端边162的附近。端边162的附近是指俯视下的端边162与发射电极之间的区域。在实际安装半导体装置100时,各焊盘可以经由引线等布线与外部的电路连接。

[0083] 在栅极焊盘164施加栅极电位。栅极焊盘164与有源部160的栅极沟槽部的导电部电连接。半导体装置100具备将栅极焊盘164与栅极沟槽部连接的栅极布线。在图1中,在栅极布线上标注斜阴影线。

[0084] 本例的栅极布线具有外周栅极布线130和有源侧栅极布线131。外周栅极布线130在俯视时配置在有源部160与半导体基板10的端边162之间。本例的外周栅极布线130在俯视时包围有源部160。也可以将在俯视时被外周栅极布线130包围的区域设为有源部160。另外,在栅极布线的下方形成有阱区。阱区是指浓度比后述的基区的浓度高的P型区,并从半导体基板10的上表面形成至比基区深的位置。也可以将在俯视时被阱区包围的区域设为有源部160。

[0085] 外周栅极布线130与栅极焊盘164连接。外周栅极布线130配置在半导体基板10的上方。外周栅极布线130可以是含有铝等的金属布线。

[0086] 有源侧栅极布线131设置于有源部160。通过在有源部160设置有源侧栅极布线131,从而对于半导体基板10的各区域而言,能够降低从栅极焊盘164起算的布线长度的偏差。

[0087] 外周栅极布线130和有源侧栅极布线131连接于有源部160的栅极沟槽部。外周栅极布线130和有源侧栅极布线131配置在半导体基板10的上方。外周栅极布线130和有源侧栅极布线131可以是由掺杂有杂质的多晶硅等半导体形成的布线。

[0088] 有源侧栅极布线131可以与外周栅极布线130连接。本例的有源侧栅极布线131以在Y轴方向上的大致中央将有源部160横切的方式,从夹着有源部160的一侧的外周栅极布线130起沿X轴方向延伸设置到另一侧的外周栅极布线130为止。在利用有源侧栅极布线131

分割有源部160的情况下,在各分割区域,晶体管部70和二极管部80可以沿X轴方向交替地配置。

[0089] 半导体装置100可以具备:未图示的温度感测部,其是由多晶硅等形成的PN结二极管;以及未图示的电流检测部,其模拟设置在有源部160的晶体管部的动作。

[0090] 在俯视时,本例的半导体装置100在有源部160与端边162之间具备边缘终端结构部90。本例的边缘终端结构部90配置在外周栅极布线130与端边162之间。边缘终端结构部90缓和半导体基板10的上表面侧的电场集中。边缘终端结构部90可以具备包围有源部160而设置为环状的保护环、场板以及降低表面电场部中的至少一个。

[0091] 图2是图1中的区域D的放大图。区域D是包括晶体管部70、二极管部80、以及有源侧栅极布线131的区域。本例的半导体装置100在晶体管部70与二极管部80之间具备连接区190。本例的半导体装置100具备设置在半导体基板10的上表面侧的内部的栅极沟槽部40、虚设沟槽部30、阱区11、发射区12、基区14以及接触区15。栅极沟槽部40和虚设沟槽部30分别是沟槽部的一例。另外,本例的半导体装置100具备设置在半导体基板10的上表面的上方的发射电极52和有源侧栅极布线131。发射电极52和有源侧栅极布线131彼此分离地设置。

[0092] 在发射电极52与半导体基板10的上表面之间、以及有源侧栅极布线131与半导体基板10的上表面之间设置有层间绝缘膜,但是在图2中进行了省略。在本例的层间绝缘膜以贯穿该层间绝缘膜的方式设置有接触孔54。在图2中,对各接触孔54标注斜阴影线。

[0093] 发射电极52设置在栅极沟槽部40、虚设沟槽部30、阱区11、发射区12、基区14以及接触区15的上方。发射电极52通过接触孔54而与半导体基板10的上表面的发射区12、接触区15以及基区14接触。另外,发射电极52通过设置于层间绝缘膜的接触孔而与虚设沟槽部30内的虚设导电部连接。发射电极52在Y轴方向上的虚设沟槽部30的前端,可以与虚设沟槽部30的虚设导电部连接。虚设沟槽部30的虚设导电部可以不与发射电极52和栅极导电部连接,也可以被控制为与发射电极52的电位和栅极导电部的电位不同的电位。

[0094] 有源侧栅极布线131通过设置在层间绝缘膜的接触孔而与栅极沟槽部40连接。有源侧栅极布线131可以在栅极沟槽部40的Y轴方向上的前端部41与栅极沟槽部40的栅极导电部连接。有源侧栅极布线131不与虚设沟槽部30内的虚设导电部连接。

[0095] 发射电极52由包含金属的材料形成。在图2中示出设置有发射电极52的范围。例如,发射电极52的至少一部分区域由铝或铝-硅合金、例如AlSi、AlSiCu等金属合金形成。发射电极52在由铝等形成的区域的下层可以具有由钛或钛化合物等形成的阻挡金属。此外,在接触孔内,可以具有以与阻挡金属和铝等相接的方式埋入钨等而形成的插塞。

[0096] 阱区11与有源侧栅极布线131重叠地设置。阱区11在不与有源侧栅极布线131重叠的范围也以预定的宽度延伸地设置。本例的阱区11从接触孔54的Y轴方向一端向有源侧栅极布线131侧分离地设置。阱区11是掺杂浓度比基区14的掺杂浓度高的第二导电型的区域。阱区11可以从半导体基板10的上表面形成至比沟槽部的下端更深的位置。本例的基区14是P-型,阱区11是P+型。

[0097] 晶体管部70、连接区190以及二极管部80各自具有沿排列方向排列多个的沟槽部。在本例的晶体管部70,沿排列方向交替地设置有一个以上的栅极沟槽部40以及一个以上的虚设沟槽部30。在本例的连接区190,沿排列方向设置有多个虚设沟槽部30。在本例的二极管部80,沿排列方向设置有多个虚设沟槽部30。虽然在本例的连接区190和二极管部80未设

置栅极沟槽部40,但是在连接区190和二极管部80可以设置有栅极沟槽部40。

[0098] 本例的栅极沟槽部40可以具有沿与排列方向垂直的延伸方向延伸的两条直线部分39(沿延伸方向为直线状的沟槽部的部分)、以及将两条直线部分39连接的前端部41。图2中的延伸方向是Y轴方向。

[0099] 优选前端部41的至少一部分在俯视下被设置为曲线状。通过前端部41将两条直线部分39的Y轴方向上的端部彼此连接,从而能够缓和直线部分39的端部处的电场集中。

[0100] 在晶体管部70,虚设沟槽部30设置在栅极沟槽部40的各直线部分39之间。在各直线部分39之间可以设置有一条虚设沟槽部30,也可以设置有多条虚设沟槽部30。虚设沟槽部30可以具有沿延伸方向延伸的直线形状,也可以与栅极沟槽部40同样地具有直线部分29和前端部31。图2所示的半导体装置100包括不具有前端部31的直线形状的虚设沟槽部30、以及具有前端部31的虚设沟槽部30这两者。

[0101] 阱区11的扩散深度可以比栅极沟槽部40和虚设沟槽部30的深度深。栅极沟槽部40和虚设沟槽部30的Y轴方向上的端部在俯视下设置在阱区11。即,在各沟槽部的Y轴方向上的端部,各沟槽部的深度方向上的底部被阱区11覆盖。由此,能够缓和各沟槽部的该底部处的电场集中。

[0102] 在排列方向上在各沟槽部之间设置有台面部。台面部是指在半导体基板10的内部被沟槽部所夹的区域。作为一例,台面部的上端是半导体基板10的上表面。台面部的下端的深度位置与沟槽部的下端的深度位置相同。本例的台面部在半导体基板10的上表面,沿沟槽在延伸方向(Y轴方向)上延伸地设置。在本例中,在晶体管部70设置有台面部60,在二极管部80设置有台面部61,在连接区190设置有台面部62。在本说明书中简称为台面部的情况下,是指各个台面部60、台面部61以及台面部62。

[0103] 在各台面部都设置有基区14。将在台面部中露出于半导体基板10的上表面的基区14中的、配置于距有源侧栅极布线131最近的位置的区域设为基区14-e。在图2中,虽然示出了在各台面部的延伸方向上的一侧的端部配置的基区14-e,但是在各台面部的另一侧的端部也配置有基区14-e。在各台面部,在俯视下被基区14-e所夹的区域可以设置有第一导电型的发射区12和第二导电型的接触区15中的至少一者。本例的发射区12是N+型,接触区15是P+型。发射区12和接触区15在深度方向上可以设置在基区14与半导体基板10的上表面之间。

[0104] 晶体管部70的台面部60具有在半导体基板10的上表面露出的发射区12。发射区12与栅极沟槽部40相接地设置。在与栅极沟槽部40相接的台面部60可以设置有在半导体基板10的上表面露出的接触区15。

[0105] 台面部60中的各接触区15和各发射区12从X轴方向上的一侧的沟槽部起设置到另一侧的沟槽部为止。作为一例,台面部60的接触区15和发射区12沿沟槽部的延伸方向(Y轴方向)交替地配置。

[0106] 在其他例中,台面部60的接触区15和发射区12可以沿沟槽部的延伸方向(Y轴方向)设置为条状。例如在与沟槽部相接的区域设置有发射区12,在被发射区12所夹的区域设置有接触区15。

[0107] 在二极管部80的台面部61以及连接区190的台面部62不设置发射区12。在台面部61的上表面和台面部62的上表面可以设置有基区14和接触区15。在台面部61的上表面和台

面部62的上表面,在被基区14-e所夹的区域可以以与各基区14-e相接的方式设置有接触区15。在台面部61的上表面被接触区15所夹的区域可以设置有基区14。基区14可以配置在被接触区15所夹的整个区域。

[0108] 在各台面部的上方设置有接触孔54。接触孔54配置在被基区14-e所夹的区域。本例的接触孔54设置在接触区15、基区14以及发射区12这些各区域的上方。接触孔54不设置在与基区14-e和阱区11对应的区域。接触孔54可以配置在台面部60的排列方向(X轴方向)上的中央。

[0109] 在二极管部80中,在与半导体基板10的下表面邻接的区域设置有N+型的阴极区82。在半导体基板10的下表面,在未设置阴极区82的区域可以设置有P+型的集电区22。在连接区190中,在与半导体基板10的下表面邻接的区域可以设置有阴极区82,也可以设置有集电区22,还可以设置有阴极区82和集电区22这两者。阴极区82和集电区22设置在半导体基板10的下表面23与缓冲区20之间。在图2中,利用虚线示出阴极区82与集电区22之间的边界。

[0110] 阴极区82在Y轴方向上与阱区11分离地配置。由此,能够确保掺杂浓度比较高且形成到深的位置的P型的区域(阱区11)与阴极区82之间的距离,从而能够提高耐压。本例的阴极区82的Y轴方向上的端部比接触孔54的Y轴方向上的端部更远离阱区11地配置。在其他例中,阴极区82的Y轴方向上的端部可以配置在阱区11与接触孔54之间。

[0111] 图3是示出图2中的e-e截面的一例的图。在图3中示出参考例的结构。e-e截面是通过发射区12和阴极区82的XZ面。在e-e截面中包含晶体管部70、连接区190以及二极管部80。本例的半导体装置100在该截面具有半导体基板10、层间绝缘膜38、发射电极52以及集电电极24。

[0112] 层间绝缘膜38设置在半导体基板10的上表面。层间绝缘膜38是包括添加了硼或磷等杂质的硅酸盐玻璃等绝缘膜、热氧化膜、以及其他绝缘膜中的至少一层的膜。在层间绝缘膜38设置有在图2中说明的接触孔54。

[0113] 发射电极52设置在层间绝缘膜38的上方。发射电极52通过层间绝缘膜38的接触孔54而与半导体基板10的上表面21接触。集电电极24设置在半导体基板10的下表面23。发射电极52和集电电极24由铝等金属材料形成。在本说明书中,将连结发射电极52与集电电极24的方向(Z轴方向)称为深度方向。

[0114] 半导体基板10具有N型或N-型的漂移区18。漂移区18分别设置在晶体管部70、二极管部80以及连接区190。

[0115] 在晶体管部70的台面部60,从半导体基板10的上表面21侧起依次设置有N+型的发射区12和P-型的基区14。在基区14的下方设置有漂移区18。在台面部60可以设置有N+型的蓄积区16。蓄积区16配置在基区14与漂移区18之间。

[0116] 发射区12在半导体基板10的上表面21露出,并且与栅极沟槽部40相接地设置。发射区12可以与台面部60的两侧的沟槽部相接。发射区12的掺杂浓度比漂移区18的掺杂浓度高。在通过接触区15的XZ面,代替发射区12而设置有接触区15。

[0117] 基区14设置在发射区12的下方。本例的基区14与发射区12相接地设置。基区14可以与台面部60的两侧的沟槽部相接。

[0118] 蓄积区16设置在基区14的下方。蓄积区16是掺杂浓度比漂移区18的掺杂浓度高的

N+型的区域。即,蓄积区16的施主浓度比漂移区18的施主浓度高。通过在漂移区18与基区14之间设置高浓度的蓄积区16,从而能够提高载流子注入促进效应(IE效应),降低导通电压。蓄积区16可以以覆盖各台面部60中的基区14的整个下表面的方式设置。

[0119] 在二极管部80的台面部61,与半导体基板10的上表面21相接地设置有P-型的基区14。在基区14的下方设置有漂移区18。在台面部61,可以在基区14的下方设置有蓄积区16。另外,在台面部61中的上表面21,可以在接触孔54的下方设置有接触区15。通过设置接触区15,从而能够降低台面部61与发射电极52的接触电阻。

[0120] 在连接区190的台面部62,与半导体基板10的上表面21相接地设置有P-型的基区14。在基区14的下方设置有漂移区18。在台面部62,可以在基区14的下方设置有蓄积区16。另外,在台面部62中的上表面21,可以在接触孔54的下方设置有接触区15。

[0121] 在晶体管部70、二极管部80以及连接区190中,在漂移区18之下都可以设置有N+型的缓冲区20。缓冲区20的掺杂浓度比漂移区18的掺杂浓度高。缓冲区20可以具有掺杂浓度比漂移区18的掺杂浓度高的浓度峰。浓度峰的掺杂浓度是指浓度峰的顶点处的掺杂浓度。另外,漂移区18的掺杂浓度可以使用掺杂浓度分布大致平坦的区域中的掺杂浓度的平均值。

[0122] 缓冲区20可以在半导体基板10的深度方向(Z轴方向)上具有两个以上的浓度峰。缓冲区20的浓度峰可以设置在与例如氢(质子)或磷的化学浓度峰相同的深度位置。缓冲区20可以作为防止从基区14的下端扩展的耗尽层到达P+型的集电区22和N+型的阴极区82的场截止层而发挥功能。

[0123] 在晶体管部70中,在缓冲区20之下设置有P+型的集电区22。集电区22的受主浓度比基区14的受主浓度高。集电区22可以包含与基区14相同的受主,也可以包含与基区14不同的受主。集电区22的受主是例如硼。

[0124] 在二极管部80中,在缓冲区20之下设置有N+型的阴极区82。在连接区190中,在缓冲区20之下可以设置有集电区22,也可以设置有阴极区82。在本例中,在所有台面部62的下方都设置有集电区22。

[0125] 阴极区82的施主浓度比漂移区18的施主浓度高。阴极区82的施主是例如氢或磷。应予说明,成为各区域的施主和受主的元素不限于上述例子。集电区22和阴极区82在半导体基板10的下表面23露出,并且与集电电极24连接。集电电极24可以与半导体基板10的整个下表面23接触。发射电极52和集电电极24由铝等金属材料形成。

[0126] 在半导体基板10的上表面21侧,以在X轴方向上具有间隔的方式设置有一个以上的栅极沟槽部40以及一个以上的虚设沟槽部30。各沟槽部从半导体基板10的上表面21起贯穿基区14而设置到基区14的下方。在设置有发射区12、接触区15以及蓄积区16中的至少任一者的区域中,各沟槽部也贯穿这些掺杂区。沟槽部贯穿掺杂区不限于以在形成掺杂区之后形成沟槽部的顺序进行制造的方法。在形成沟槽部之后,在沟槽部之间形成掺杂区而成的方法也包含于沟槽部贯穿掺杂区的方法中。

[0127] 如上所述,在晶体管部70设置有栅极沟槽部40和虚设沟槽部30。在二极管部80和连接区190设置有虚设沟槽部30,并且未设置栅极沟槽部40。

[0128] 栅极沟槽部40具有设置在半导体基板10的上表面21的栅极沟槽、栅极绝缘膜42以及栅极导电部44。栅极绝缘膜42覆盖栅极沟槽的内壁而设置。栅极绝缘膜42可以是将栅极

沟槽的内壁的半导体氧化或氮化而形成。栅极导电部44在栅极沟槽的内部,设置在比栅极绝缘膜42更靠内侧的位置。即,栅极绝缘膜42将栅极导电部44与半导体基板10绝缘。栅极导电部44由多晶硅等导电材料形成。

[0129] 栅极导电部44在深度方向上可以设置得比基区14更长。该截面中的栅极沟槽部40在半导体基板10的上表面21被层间绝缘膜38覆盖。栅极导电部44与栅极布线电连接。若在栅极导电部44施加预定的栅极电压,则在基区14中的与栅极沟槽部40相接的界面的表层形成由电子的反型层形成的沟道。

[0130] 虚设沟槽部30在该截面可以具有与栅极沟槽部40相同的结构。虚设沟槽部30具有设置在半导体基板10的上表面21的虚设沟槽、虚设绝缘膜32以及虚设导电部34。虚设导电部34与发射电极52电连接。虚设绝缘膜32覆盖虚设沟槽的内壁而设置。虚设导电部34设置在虚设沟槽的内部,并且设置在比虚设绝缘膜32更靠内侧的位置。虚设绝缘膜32将虚设导电部34与半导体基板10绝缘。虚设导电部34可以由与栅极导电部44相同的材料形成。例如虚设导电部34由多晶硅等导电材料形成。虚设导电部34可以在深度方向上具有与栅极导电部44相同的长度。

[0131] 本例的栅极沟槽部40和虚设沟槽部30在半导体基板10的上表面21被层间绝缘膜38覆盖。应予说明,虚设沟槽部30和栅极沟槽部40的底部可以是向下侧凸出的曲面状(在截面中是曲线状)。在本说明书中,将栅极沟槽部40的下端的深度位置设为Zt。

[0132] 在图3的参考例中,各沟槽部的X轴方向上的间隔(即各台面部的宽度)相同。另外,各沟槽部的Z轴方向上的深度(即下端位置Zt)也相同。在具有本例这样的沟槽部的半导体装置100中,在被施加高电压时,在电场集中的沟槽部的下端附近易于发生雪崩击穿。在晶体管部70的下表面23设置有P型的集电区22,形成由例如基区14-漂移区18-集电区22构成的PNP晶体管。在晶体管部70和二极管部80中在沟槽部的间隔和深度等结构相同的情况下,由于PNP晶体管的电流放大的影响,晶体管部70的雪崩耐压变得比二极管部80的雪崩耐压低。雪崩耐压是指,在使集电电极24与发射电极52之间的电压逐渐上升而将各个电压施加了足够长的时间的情况下,在某一部位最先发生雪崩击穿的电压。即,雪崩耐压是指静态耐压。

[0133] 图4是参考例的晶体管部70和二极管部80的电流密度-电压特性的一例。在图4中,示出在将栅极电压设为0V以下的情况下使晶体管部70的集电极电压逐渐上升的情况下的集电极电流的变化以及使二极管部80的阴极电压逐渐上升的情况下的阴极电流的变化。集电极电压和阴极电压是集电电极24与发射电极52之间的电压。集电极电流和阴极电流是在集电电极24中流通的电流。

[0134] 如果晶体管部70的集电极电压达到晶体管部70的雪崩耐压Va_t,则在晶体管部70中耐压低的部位发生雪崩击穿,集电极电流急剧上升。同样地,如果二极管部80的阴极电压达到二极管部80的雪崩耐压Va_d,则在二极管部80发生雪崩击穿,阴极电流急剧上升。以使晶体管部70的雪崩耐压Va_t和二极管部80的雪崩耐压Va_d这两者都大于半导体装置100的耐压的规格值V_0的方式设计半导体装置100。

[0135] 晶体管部70的雪崩耐压Va_t可以定义为在图5所示的电流密度-电压特性中,集电极电压相对于集电极电流的增加成为大致恒定(平坦)的部分的电压中的最小的电压。电流密度-电压特性可以在室温(25℃)的周围温度环境下进行测定。二极管部80的雪崩耐压Va_

d可以定义为在图5所示的电流密度-电压特性中,阴极电压成为大致恒定(平坦)的部分的电压中的最小的电压。大致平坦是指例如相对于电流波动100倍而电压的波动为20V以下的情况。

[0136] 作为其他定义方法的例子,晶体管部70的雪崩耐压Va_t也可以定义为在图5所示的电流密度-电压特性中,集电极电压的波形相对于集电极电流的增加成为大致恒定(平坦)的部分的电压中的预先设定的集电极电流的值处的集电极电压的值。二极管部80的雪崩耐压Va_d也可以定义为在图5所示的电流密度-电压特性中,阴极电压相对于阴极电流的增加成为大致恒定(平坦)的部分的电压中的预先设定的阴极电流的值处的阴极电压的值。作为一例,在图5所示的电流密度-电压特性中,可以将集电极电流或阴极电流为1×10^{-3}(A/cm^2)的情况下的集电极电压或阴极电压设为雪崩耐压Va_t。预先设定的集电极电流或阴极电流的值在图5所示的电流密度-电压特性中可以为1×10^{-4}(A/cm^2)以上,也可以为1×10^{0}(A/cm^2)以下。

[0137] 如果在晶体管部70中发生雪崩击穿,并且集电极电流的电流密度增大而到达负阻区,则无法抑制电流增大,半导体装置100被破坏。同样地,在二极管部80中,如果阴极电流的电流密度到达负阻区(在图4中进行了省略),则无法抑制电流增大,半导体装置100被破坏。

[0138] 在晶体管部70中,能够从发生雪崩击穿的电压Va_t起上升到到达负阻区的电压Vn_t为止的电压(Vn_t-Va_t)为数V左右,能够上升的集电极电流也小。如果半导体基板10的温度上升,则到达负阻区的电压Vn_t也会上升,但在晶体管部70中,能够从雪崩击穿起上升到到达负阻区为止的电压和电流很小,因此无法使半导体基板10的温度充分上升,容易到达负阻区。

[0139] 另一方面,在二极管部80中,能够从发生雪崩击穿的电压Va_d起上升到到达负阻区的电压Vn_d为止的电压(ΔV=Vn_d-Va_d)比较大,能够上升的阴极电流也比较大。因此,对于二极管部80而言,与晶体管部70相比,即使在发生了雪崩击穿的情况下也难以到达负阻区,能够抑制半导体装置100被破坏。

[0140] 二极管部80到达负阻区的电压Vn_d是指,在二极管部80的阴极电流增大的情况下阴极电压从增大转变为减小的电压。在图5所示的特性中,电压Vn_d可以是阴极电压的最大值。晶体管部70到达负阻区的电压Vn_t是指,在晶体管部70的集电极电流增大的情况下,集电极电压(集电极-发射极间电压)从增大转变为减小的电压。在图5所示的特性中,电压Vn_t可以是集电极电压的最大值。

[0141] 在图4所示的参考例中,晶体管部70的雪崩耐压Va_t比二极管部80的雪崩耐压Va_d小。因此,晶体管部70先发生雪崩击穿。如果晶体管部70发生雪崩击穿,则瞬间到达负阻区,导致半导体装置100被破坏。

[0142] 图5是实施例的晶体管部70和二极管部80的电流密度-电压特性的一例。本例的二极管部80中的雪崩耐压Va_d比晶体管部70中的雪崩耐压Va_t小。由此,能够使二极管部80比晶体管部70更先发生雪崩击穿。因此,能够在发生雪崩击穿的情况下,抑制瞬间到达负阻区这一情况。

[0143] 在本例中,二极管部80中的雪崩耐压Va_d为晶体管部70中的雪崩耐压Va_t的0.7倍以上且小于晶体管部70中的雪崩耐压Va_t的1倍。通过减小二极管部80的雪崩耐压Va_d,

从而易于抑制晶体管部70中的雪崩击穿。雪崩耐压Va_d可以为雪崩耐压Va_t的0.98倍以下,也可以为雪崩耐压Va_t的0.96倍以下,还可以为雪崩耐压Va_t的0.9倍以下。如果使二极管部80的雪崩耐压Va_d过小,则半导体装置100的雪崩耐压变低。雪崩耐压Va_d可以为雪崩耐压Va_t的0.75倍以上,也可以为雪崩耐压Va_t的0.8倍以上,还可以为雪崩耐压Va_t的0.85倍以上。

[0144] 二极管部80的雪崩耐压Va_d比半导体装置100的雪崩耐压V_0的规格值大。雪崩耐压Va_d可以比雪崩耐压的规格值V_0与晶体管部70中的雪崩耐压Va_t的平均值大。能够利用二极管部80中的沟槽部的X轴方向上的间隔(或台面部61的X轴方向上的宽度)以及二极管部80的沟槽部的深度等来调整二极管部80的雪崩耐压Va_d。

[0145] 二极管部80到达负阻区的电压Vn_d可以为晶体管部70的雪崩耐压Va_t以上,也可以比晶体管部70的雪崩耐压Va_t大。二极管部80到达负阻区的电压Vn_d也可以为晶体管部70到达负阻区的电压Vn_t以上。由此,防止晶体管部70先到达负阻区。二极管部80到达负阻区的电压Vn_d可以比晶体管部70到达负阻区的电压Vn_t小,也可以与晶体管部70到达负阻区的电压Vn_t相同。

[0146] 可以使用通常的器件模拟来计算晶体管部70和二极管部80的电流密度-电压特性。可以通过在预定的边界条件、初始条件之下求解泊松公式以及与电子和空穴有关的电流连续性的公式来进行器件模拟。关于晶体管部70的电流密度-电压特性而言,可以对仅模仿晶体管部70的结构计算电流密度-电压特性。或者,也可以在模仿晶体管部70和二极管部80这两者的结构中进行计算,提取出仅与晶体管部70有关的电流密度-电压特性。关于二极管部80的电流密度-电压特性而言,可以对仅模仿二极管部80的结构计算电流密度-电压特性。或者,也可以在模仿晶体管部70和二极管部80这两者的结构中进行计算,提取出仅与二极管部80有关的电流密度-电压特性。

[0147] 图6是示出实施例的e-e截面的一例的图。在本例中,二极管部80中的沟槽部的间隔与图3的参考例不同。在本例中,可以具有中间区200来代替图3所示的参考例中的连接区190。中间区200和连接区190在X轴方向上的沟槽部的间隔不同。其他结构与在图1至图3中说明的例子相同。中间区200在X轴方向上配置在二极管部80与晶体管部70之间。在中间区200设置有多个沟槽部。

[0148] 将在俯视时包括设置有发射区12的台面部60以及与台面部60相邻的沟槽部在内的区域设为晶体管部70。在晶体管部70的下表面设置有集电区22。

[0149] 将在俯视时包括未设置发射区12的台面部61以及与台面部61相邻的沟槽部在内的区域设为二极管部80。在二极管部80的下表面设置有阴极区82。二极管部80中的多个沟槽部的X轴方向上的间隔为恒定值Xd。另外,二极管部80中的多个沟槽部的Z轴方向上的长度也恒定(下端的深度位置Zt)。二极管部80中的雪崩耐压Va_d比晶体管部70中的雪崩耐压Va_t小。

[0150] 将在俯视时包括未设置发射区12的台面部62以及与台面部62相邻的沟槽部在内的区域设为中间区200。在中间区200中的下表面23设置有集电区22和阴极区82中的至少一者。在中间区200中的下表面23,从与晶体管部70相接的位置起直到与二极管部80相接的位置为止可以设置有集电区22和阴极区82中的一者。在另一例中,在中间区200的下表面,可以在与晶体管部70相接的区域设置有集电区22,在与二极管部80相接的区域设置有阴极区

82。在该情况下,集电区22与阴极区82之间的边界配置于中间区200。

[0151] 中间区200与晶体管部70之间的边界是与发射区12相接的沟槽部中的、最靠近二极管部80的沟槽部(在本例中为虚设沟槽部30-1)的X轴方向上的中央。中间区200的沟槽部具有与二极管部80的沟槽部不同的结构。例如,对于中间区200的沟槽部而言,相邻的沟槽部的间隔和沟槽部的深度中的至少一者与二极管部80的沟槽部不同。或者,中间区200的沟槽部和二极管部80的沟槽部针对有无第一下端区202(参照图11)或第二下端区204(参照图13)也可以不同。中间区200与二极管部80之间的边界是结构发生变化的边界的沟槽部(在本例中为虚设沟槽部30-4)的X轴方向上的中央。中间区200的雪崩耐压可以比二极管部80的雪崩耐压大,且比晶体管部70的雪崩耐压小。在本说明书的各例中,也可以不设置中间区200。在该情况下,晶体管部70与二极管部80相接地设置。

[0152] 二极管部80、晶体管部70以及中间区200分别在半导体基板10的上表面21具有以沿排列方向(X轴方向)具有间隔的方式配置的多个沟槽部。

[0153] 晶体管部70中的至少一部分沟槽部在X轴方向上以第一间隔Xt进行配置。第一间隔Xt可以是晶体管部70中的沟槽部的间隔中的最大的间隔。在本例中,晶体管部70中的所有沟槽部都以第一间隔Xt进行配置。

[0154] 二极管部80中的至少一部分沟槽部在X轴方向上以比第一间隔Xt大的第二间隔Xd进行配置。在本例中,二极管部80的所有沟槽部都以第二间隔Xd进行配置。

[0155] 通过增大二极管部80中的沟槽部的第二间隔Xd,从而使更宽区域的载流子朝向一条沟槽部流动。因此,在二极管部80中,电场易于集中于一条沟槽部,雪崩耐压变小。在本例中,以二极管部80中的雪崩耐压Va_d小于晶体管部70中的雪崩耐压Va_t的1倍且为晶体管部70中的雪崩耐压Va_t的70%以上的方式,设定二极管部80中的沟槽部的第二间隔Xd。

[0156] 二极管部80中的沟槽部的第二间隔Xd可以比晶体管部70中的沟槽部的第一间隔Xt大,也可以为第一间隔Xt的1.2倍以上,还可以为第一间隔Xt的2倍以上,也可以为第一间隔Xt的3倍以上,还可以为第一间隔Xt的5倍以上。作为一例,第一间隔Xt为2.5μm以下,第二间隔Xd为5μm以上。但是,如果使第二间隔Xd过大,则二极管部80的耐压变得过小,因此第二间隔Xd可以为50μm以下,也可以为30μm以下。

[0157] 中间区200具有多个沟槽部。本例的中间区200具有多个虚设沟槽部30。如上所述,虚设沟槽部30-1配置在晶体管部70与中间区200之间的边界。将虚设沟槽部30-1的X轴方向上的中央设为晶体管部70与中间区200之间的边界位置。如上所述,虚设沟槽部30-4配置在二极管部80与中间区200之间的边界。将虚设沟槽部30-4的X轴方向上的中央设为二极管部80与中间区200之间的边界位置。在虚设沟槽部30-1与虚设沟槽部30-4之间,可以配置有一个或多个虚设沟槽部30,也可以不配置其他虚设沟槽部30。在图6的例子中,在虚设沟槽部30-1与虚设沟槽部30-4之间配置有虚设沟槽部30-2和虚设沟槽部30-3。

[0158] 中间区200具有一个以上的台面部62。在本例中,台面部62-1与晶体管部70相邻地配置,台面部62-3与二极管部80相邻地配置。在台面部62-1与台面部62-3之间,可以配置有一个或多个台面部62,也可以不配置其他台面部62。在图6的例子中,在台面部62-1与台面部62-3之间配置有台面部62-2。

[0159] 本例的中间区200从虚设沟槽部30-1起直到虚设沟槽部30-4为止,越接近二极管部80,沟槽间隔越单调地递增。即,本例的中间区200从台面部62-1起直到台面部62-3为止,

越接近二极管部80,台面宽度越单调地递增。沟槽间隔是在X轴方向上相邻的各沟槽部的中央位置彼此之间的距离。台面宽度是在X轴方向上被相邻的两个沟槽部所夹的区域的宽度。沟槽间隔单调地递增是指,在从虚设沟槽部30-1朝向虚设沟槽部30-4的方向上,沟槽间隔在至少一处增大,并且没有沟槽间隔减小的部位。即,在从虚设沟槽部30-1朝向虚设沟槽部30-4的方向上,也可以包含沟槽间隔不变化的区域。

[0160] 在图6的例子中,将虚设沟槽部30-k与虚设沟槽部30-k+1之间的沟槽间隔设为Xk。其中,k为1以上的整数。另外,虚设沟槽部30-k+1与虚设沟槽部30-k相邻地配置在更靠二极管部80侧的位置。沟槽间隔Xk可以随着k的增加而单调地递增。关于一个台面部62中的雪崩耐压,通过使沟槽间隔Xk单调地递增,从而能够使雪崩耐压在X轴方向上逐渐变化。由此,能够防止电场强度在中间区200集中。

[0161] 中间区200具有与晶体管部70相接的晶体管侧区域201。晶体管侧区域201以与晶体管部70中的沟槽间隔相同的第一间隔Xt配置有一个以上的沟槽部(在本例中为虚设沟槽部30)。在图6的例子中,沟槽间隔X1与第一间隔Xt相等。即,从虚设沟槽部30-1起直到虚设沟槽部30-2为止的区域为晶体管侧区域201。中间区200中的阴极区82与集电区22之间的X轴方向上的边界位置可以配置于晶体管侧区域201。

[0162] 最靠近二极管部80的部位处的沟槽间隔X3比沟槽间隔X1大。沟槽间隔X3比二极管部80中的第二间隔Xd小。

[0163] 在中间区200中,可以在一处增加沟槽间隔,也可以在多处增加沟槽间隔。在本例中,Xt＝X1＜X2＜X3＜Xd。即,本例的中间区200中的多个沟槽部的X轴方向上的沟槽间隔越靠近二极管部80就越大。也可以是X3＝Xd。在该情况下,直到虚设沟槽部30-3为止才是二极管部80。

[0164] 图7是示出实施例的e-e截面的另一例的图。在本例中,晶体管侧区域201中的沟槽间隔X1与图6的例子不同。其他结构可以与图6的例子相同。本例的晶体管侧区域201的沟槽间隔X1比晶体管部70中的第一间隔Xt小。在图7的例子中,晶体管侧区域201具有两个沟槽部,但也可以具有更多的沟槽部。在该情况下,晶体管侧区域201中的各个沟槽间隔Xk也比第一间隔Xt小。晶体管侧区域201中的各个沟槽间隔Xk可以是恒定的,也可以朝向二极管部80单调地递增。

[0165] 在中间区200中的与晶体管部70相邻的部分,电流比较易于流通。因此,通过减小晶体管侧区域201的沟槽间隔,从而能够增加该部位的耐压,抑制半导体装置100被破坏。

[0166] 在中间区200中,与晶体管侧区域201相邻的沟槽部的沟槽间隔X2比晶体管侧区域201的沟槽间隔X1大。沟槽间隔X2可以与第一间隔Xt相同,也可以比第一间隔Xt小,还可以比第一间隔Xt大。晶体管侧区域201的沟槽间隔X1是在中间区200中最小的沟槽间隔。在本例中,Xt＞X1＜X2＜X3＜Xd。也可以是X3＝Xd。集电区22与阴极区82之间的X轴方向上的边界位置可以配置在从虚设沟槽部30-1的下方起直到虚设沟槽部30-2的下方为止的区域。

[0167] 图8是示出实施例的e-e截面的另一例的图。在本例中,晶体管侧区域201的结构与图6的例子不同。其他结构可以与图6的例子相同。本例的晶体管侧区域201包括三个以上的沟槽部。在图8中,从虚设沟槽部30-1起直到虚设沟槽部30-4为止是晶体管侧区域201。晶体管侧区域201与图6的例子相同地,各沟槽间隔(在本例中为X1、X2、X3)可以与第一间隔Xt相同,也可以比第一间隔Xt小。阴极区82与集电区22之间的边界位置配置在晶体管侧区域201

的沟槽部中的最靠二极管部80侧的虚设沟槽部30-4的下方。

[0168] 图9是示出实施例的e-e截面的另一例的图。在本例中,二极管部80的沟槽部的Z轴方向上的长度与在图3至图8中说明的例子不同。此外,在本例中,代替图3所示的参考例中的连接区190而具有中间区200。本例的中间区200的沟槽部的Z轴方向上的长度与图6至图8中说明的例子不同。中间区200中的其他结构(例如沟槽间隔Xk)可以与图6至图8中说明的任一例相同,也可以与图3中说明的连接区190相同。

[0169] 晶体管部70中的至少一部分沟槽部在Z轴方向上以第一长度Ztt进行配置。第一长度Ztt可以是晶体管部70中的沟槽部的长度中的最大的长度。在本例中,晶体管部70中的所有的沟槽部都具有第一长度Ztt。

[0170] 二极管部80中的至少一部分沟槽部在Z轴方向上具有比第一长度Ztt大的第二长度Ztd。在本例中,二极管部80的所有的沟槽部都具有第二长度Ztd。

[0171] 通过增大二极管部80中的沟槽部的第二长度Ztd,从而使电流易于集中在二极管部的沟槽部的下端,雪崩耐压变小。在本例中,以二极管部80中的雪崩耐压Va_d小于晶体管部70中的雪崩耐压Va_t的1倍且为晶体管部70中的雪崩耐压Va_t的70%以上的方式,设定二极管部80中的沟槽部的第二长度Ztd。如图6至图8中说明的那样,在使二极管部80的沟槽间隔Xd与晶体管部70的沟槽间隔Xt进一步不同的情况下,以使二极管部80中的雪崩耐压Va_d小于晶体管部70中的雪崩耐压Va_t的1倍且为晶体管部70中的雪崩耐压Va_t的70%以上的方式,设定各沟槽部的长度以及沟槽间隔。

[0172] 第二长度Ztd可以为第一长度Ztt的1.5倍以上,也可以为第一长度Ztt的2倍以上。但是,如果使第二长度Ztd过大,则二极管部80的耐压变得过小,因此第二长度Ztd可以为第一长度Ztt的5倍以下,也可以为第一长度Ztt的4倍以下。

[0173] 中间区200具有多个沟槽部。本例的中间区200具有多个虚设沟槽部30。在本例中,虚设沟槽部30-1配置在晶体管部70与中间区200之间的边界,虚设沟槽部30-5配置在二极管部80与中间区200之间的边界。在虚设沟槽部30-1与虚设沟槽部30-5之间可以配置有一个或多个虚设沟槽部30,也可以不配置其他虚设沟槽部30。在图9的例子中,在虚设沟槽部30-1与虚设沟槽部30-5之间配置有虚设沟槽部30-2、虚设沟槽部30-3以及虚设沟槽部30-4。

[0174] 本例的中间区200从虚设沟槽部30-1起直到虚设沟槽部30-5为止,越接近二极管部80,沟槽部的Z轴方向上的长度越单调地递增。沟槽部的长度单调地递增是指,在从虚设沟槽部30-1朝向虚设沟槽部30-5的方向上,沟槽部的长度在至少一处增大,并且没有沟槽部的长度减小的部位。即,在从虚设沟槽部30-1朝向虚设沟槽部30-5的方向上,也可以包含沟槽部的长度不变化的区域。

[0175] 在图9的例子中,将虚设沟槽部30-k的Z轴方向上的长度设为Ztk。其中,k为1以上的整数。另外,虚设沟槽部30-k+1与虚设沟槽部30-k相邻地配置在更靠二极管部80侧的位置。长度Ztk可以随着k的增加而单调地递增。通过使沟槽长度Ztk单调地递增,从而能够使雪崩耐压在X轴方向上逐渐变化。

[0176] 中间区200具有与晶体管部70相接的晶体管侧区域201。晶体管侧区域201以与晶体管部70相同的第一长度Ztt配置有一个以上的沟槽部(在本例中为虚设沟槽部30)。在图9的例子中,沟槽长度Zt1和沟槽长度Zt2与第一长度Ztt相等。即,从虚设沟槽部30-1起直到

虚设沟槽部30-2为止的区域为晶体管侧区域201。中间区200中的阴极区82与集电区22之间的X轴方向上的边界位置可以配置于晶体管侧区域201。

[0177] 最接近二极管部80的位置处的沟槽长度Zt4比沟槽长度Zt1大。沟槽长度Zt4比二极管部80中的第二长度Ztd小。

[0178] 在中间区200,可以在一处增加沟槽长度,也可以在多处增加沟槽长度。在本例中,Ztt＝Zt1＝Zt2＜Zt3＝Zt4＜Ztd。在其他例子中,中间区200中的多个沟槽部的X轴方向上的沟槽间隔也可以越靠近二极管部80就越大。即,也可以是Ztt＝Zt1＜Zt2＜Zt3＜Zt4＜Ztd。

[0179] 图10是示出实施例的e-e截面的另一例的图。在本例中,晶体管侧区域201中的任一沟槽部的沟槽长度与图9的例子不同。其他结构可以与图9的例子相同。本例的晶体管侧区域201中的任一沟槽部的沟槽长度(在图10中为Zt2)比晶体管部70中的第一长度Ztt小。

[0180] 在图10的例子中,晶体管侧区域201中的一个虚设沟槽部30-2的沟槽长度Zt2比第一长度Ztt小。在其他例子中,晶体管侧区域201也可以包含多个沟槽长度比第一长度Ztt小的虚设沟槽部30。这些虚设沟槽部30的沟槽长度可以是恒定的,也可以朝向二极管部80单调地递增。

[0181] 在中间区200中的与晶体管部70相邻的部分,电流比较易于流通。因此,通过减小晶体管侧区域201的沟槽长度,从而能够增加该部位的耐压,抑制半导体装置100被破坏。

[0182] 与晶体管侧区域201相邻的沟槽部的沟槽长度Zt3比沟槽长度Zt2大。沟槽长度Zt3可以与第一间隔Xt相同,也可以大于第一间隔Xt。晶体管侧区域201的沟槽长度Zt2是在中间区200中最小的沟槽间隔。在本例中,Ztt＝Zt1＞Zt2＜Zt3＝Zt4＜Ztd。集电区22与阴极区82之间的X轴方向上的边界位置可以配置在从虚设沟槽部30-1的下方起直到虚设沟槽部30-2的下方为止的区域。

[0183] 图11是示出实施例的e-e截面的另一例的图。本例与图3至图10中说明的例子的不同之处在于,在晶体管部70和中间区200设置有第一下端区202。与图3中说明的例子同样地,在晶体管部70、二极管部80以及中间区200中,沟槽间隔Xt和沟槽长度可以是恒定的。晶体管部70、二极管部80以及中间区200可以具有与图6至图8中说明的例子相同的沟槽间隔,也可以具有与图9至图10中说明的例子相同的沟槽长度。

[0184] 晶体管部70具有与至少一个沟槽部的下端212相接地设置的P型的第一下端区202。第一下端区202以从沟槽部的下端212覆盖到沟槽部的侧壁213的一部分的方式设置。本例的晶体管部70的第一下端区202与蓄积区16相接。通过设置第一下端区202,从而能够缓和晶体管部70的沟槽部的下端212处的电场集中。第一下端区202的掺杂浓度可以比基区14的掺杂浓度低,也可以比基区14的掺杂浓度高。第一下端区202的掺杂浓度可以比集电区22的掺杂浓度低,也可以比接触区15的掺杂浓度低。

[0185] 可以在晶体管部70的所有的沟槽部设置有第一下端区202。设置于各个沟槽部的下端212的第一下端区202可以如图11所示地在X轴方向上彼此分离,也可以在X轴方向上彼此连接。

[0186] 在二极管部80的至少一个沟槽部的下端212不设置第一下端区202。即,该沟槽部的下端212不与P型的区域相接。在本例中,该沟槽部的下端212与漂移区18相接。在二极管部80的所有的沟槽部的下端212,可以不设置第一下端区202。

[0187] 通过在晶体管部70设置第一下端区202,并且在二极管部80不设置第一下端区202,从而能够提高晶体管部70的雪崩耐压,并相对降低二极管部80的雪崩耐压。根据这样的结构,也能够如图5所示那样地将二极管部80的雪崩耐压调整为小于晶体管部70的雪崩耐压的1倍且为晶体管部70的雪崩耐压的70%以上。能够利用第一下端区202的掺杂浓度等来调整晶体管部70的雪崩耐压。另外,也可以将如图6至图8中说明的沟槽间隔Xk的调整、图9至图10中说明的沟槽长度的调整以及图11中说明的使用了第一下端区202的调整中的两个以上的调整进行组合,将二极管部80的雪崩耐压调整为小于晶体管部70的雪崩耐压的1倍且为晶体管部70的雪崩耐压的70%以上。

[0188] 在中间区200的沟槽部,除了配置在中间区200与二极管部80之间的边界的虚设沟槽部30-3以外,还设置有第一下端区202。在图11的例子中,与虚设沟槽部30-1的下端212和虚设沟槽部30-2的下端212相接地设置有第一下端区202。中间区200的各个第一下端区202的掺杂浓度与晶体管部70的第一下端区202的掺杂浓度相同。在其他例子中,中间区200的第一下端区202的掺杂浓度也可以越接近二极管部80就越单调地递减。集电区22与阴极区82之间的X轴方向上的边界位置可以配置在从虚设沟槽部30-1的下方起直到虚设沟槽部30-2的下方为止的区域。

[0189] 图12是示出实施例的e-e截面的另一例的图。在本例中,中间区200的沟槽部的个数与图11的例子不同。其他结构与图11的例子相同。本例的中间区200具有3个以上的设置有第一下端区202的沟槽部。在图12中,在从虚设沟槽部30-1起直到虚设沟槽部30-4为止的4个虚设沟槽部30设置有第一下端区202。

[0190] 图13是示出实施例的e-e截面的另一例的图。本例与图3至图12中说明的例子的不同之处在于,在二极管部80设置有第二下端区204。与图3中说明的例子相同地,在晶体管部70、二极管部80以及中间区200中,沟槽间隔Xt和沟槽长度可以是恒定的。晶体管部70、二极管部80以及中间区200可以具有与图6至图8中说明的例子相同的沟槽间隔,也可以具有与图9至图10中说明的例子相同的沟槽长度。另外,与图11和图12中说明的例子相同地,可以在晶体管部70和中间区200设置有第一下端区202。

[0191] 二极管部80具有与至少一个沟槽部的下端212相接地设置的N型的第二下端区204。第二下端区204以从沟槽部的下端212覆盖到沟槽部的侧壁213的一部分的方式设置。第二下端区204的下端配置于比蓄积区16的下端更靠下表面23侧的位置。第二下端区204的掺杂浓度比漂移区18的掺杂浓度高。第二下端区204的掺杂浓度可以为漂移区18的掺杂浓度的2倍以上,也可以为漂移区18的掺杂浓度的5倍以上,还可以为漂移区18的掺杂浓度的10倍以上。第二下端区204的掺杂浓度可以比蓄积区16的掺杂浓度低。第二下端区204的掺杂浓度可以比阴极区82的掺杂浓度低。通过设置第二下端区204,从而能够促进二极管部80的沟槽部的下端212处的电场集中,降低二极管部80中的雪崩耐压。

[0192] 可以在二极管部80的沟槽部中的一半以上的沟槽部设置有第二下端区204,也可以在二极管部80的沟槽部中的90%以上的沟槽部设置有第二下端区204,还可以在二极管部80的所有沟槽部设置有第二下端区204。设置于各个沟槽部的下端212的第二下端区204可以如图13所示地在X轴方向上彼此分离,也可以在X轴方向上彼此连接。

[0193] 在晶体管部70的至少一个沟槽部的下端212不设置第二下端区204。即,该沟槽部的下端212不与掺杂浓度比漂移区18的掺杂浓度高的N型的区域相接。在本例中,该沟槽部

的下端212与漂移区18相接。在晶体管部70的所有的沟槽部的下端212，可以不设置第二下端区204。在中间区200的所有的沟槽部的下端212不设置第二下端区204。

[0194] 各第二下端区204的掺杂浓度可以是均匀的。在其他例子中，可以使多个第二下端区204的掺杂浓度彼此不同。作为一例，二极管部80的X轴方向的中央处的第二下端区204的掺杂浓度可以比二极管部80的X轴方向的端部处的第二下端区204的掺杂浓度高。由此，在远离晶体管部70的二极管部80的中央附近易于发生雪崩击穿。

[0195] 集电区22与阴极区82之间的边界位置配置于比第二下端区204更靠晶体管部70侧的位置。由此，能够将P+型的集电区22与N型的第二下端区204分离地配置，能够抑制载流子在集电区22与第二下端区204之间移动。

[0196] 根据本例的结构，也能够如图5所示那样地将二极管部80的雪崩耐压调整为小于晶体管部70的雪崩耐压的1倍且为晶体管部70的雪崩耐压的70％以上。能够利用第二下端区204的掺杂浓度等来调整晶体管部70的雪崩耐压。另外，也可以将如图6至图8中说明的沟槽间隔Xk的调整、图9至图10中说明的沟槽长度的调整、图11至图12中说明的使用了第一下端区202的调整以及图13中说明的使用了第二下端区204的调整中的两个以上的调整进行组合，将二极管部80的雪崩耐压调整为小于晶体管部70的雪崩耐压的1倍且为晶体管部70的雪崩耐压的70％以上。

[0197] 图14是示出实施例的e-e截面的另一例的图。本例与图3至图13中说明的例子的不同之处在于，在二极管部80设置有寿命调整部208。与图3中说明的例子相同地，在晶体管部70、二极管部80以及中间区200中，沟槽间隔Xt和沟槽长度可以是恒定的。晶体管部70、二极管部80以及中间区200可以具有与图6至图8中说明的例子相同的沟槽间隔，也可以具有与图9至图10中说明的例子相同的沟槽长度。与图11和图12中说明的例子相同地，在晶体管部70和中间区200可以设置有第一下端区202。与在图13中说明的例子相同地，在二极管部80可以设置有第二下端区204。

[0198] 寿命调整部208在半导体基板10的上表面21侧配置于比沟槽部的下端更靠下方的位置。寿命调整部208是在半导体基板10的深度方向上载流子寿命呈现极小值的区域。在大量残留晶格缺陷206的区域中，由于载流子被晶格缺陷206捕捉，因此载流子的寿命变短。通过调整载流子的寿命，从而能够调整半导体装置100的关断时间等特性。在本例中，通过向预定的深度位置照射氦离子束等带电粒子束，从而在该深度位置的附近形成晶格缺陷206，并形成寿命调整部208。本例的寿命调整部208在X轴方向上设置于整个二极管部80。寿命调整部208可以被设置为在X轴方向上延伸到整个中间区200。寿命调整部208可以被设置为在X轴方向上还延伸到晶体管部70的一部分。

[0199] 设置有寿命调整部208的区域的载流子寿命与未设置寿命调整部208的区域的载流子寿命相比，可以小于10％且为0.001％以上。例如，寿命调整部208中的载流子寿命与晶体管部70的漂移区18的深度方向的中央处的基准载流子寿命相比，小于10％且为0.001％以上。寿命调整部208中的载流子寿命可以为基准载流子寿命的1％以下，也可以为基准载流子寿命的0.1％以下。寿命调整部208中的载流子寿命也可以为基准载流子寿命的0.01％以上。

[0200] 如图3至图13中的例子那样，在未设置寿命调整部208的情况下，漂移区18中的载流子寿命大致均匀。大致均匀是指例如整个漂移区18中的载流子寿命相对于漂移区18的载

流子寿命的最大值分布在100％以下且10％以上的范围内。在不设置寿命调整部208的情况下，整个漂移区18中的载流子寿命相对于漂移区18的载流子寿命的最大值可以分布在100％以下且50％以上的范围内。

[0201] 图15是示出实施例的e-e截面的另一例的图。在本例中，在图9所示的结构设置有寿命调整部208。也可以在图10所示的结构设置寿命调整部208。

[0202] 图16是示出实施例的e-e截面的另一例的图。在本例中，在图11所示的结构设置有寿命调整部208。也可以在图12所示的结构设置寿命调整部208。

[0203] 图17是示出实施例的e-e截面的另一例的图。在本例中，在图13所示的结构设置有寿命调整部208。

[0204] 图18是示出晶体管部70和二极管部80中的沟槽间隔与晶体管部70和二极管部80中的雪崩耐压之间的关系的图。在图18中，利用四边形的描绘点和圆形的描绘点示出各样品的测定值。在晶体管部70和二极管部80中的任一者中，如果增大沟槽间隔，则雪崩耐压都降低。即，通过调整沟槽间隔，能够调整雪崩耐压。在本例中，在晶体管部70中的沟槽间隔为1μm的情况下，晶体管部70的耐压为1425V。与此相对，如果将二极管部80的沟槽间隔设为5.5μm以上，则能够使二极管部80的耐压小于1425V。二极管部80的沟槽间隔可以为晶体管部70的沟槽间隔的5.5倍以上，也可以为晶体管部70的沟槽间隔的6倍以上，还可以为晶体管部70的沟槽间隔的10倍以上。

[0205] 图19是示出晶体管部70和二极管部80中的沟槽长度与晶体管部70和二极管部80中的雪崩耐压之间的关系的图。在图19中，利用四边形的描绘点和圆形的描绘点示出各样品的测定值。在晶体管部70和二极管部80中的任一者中，如果增大沟槽长度，则雪崩耐压都降低。即，通过调整沟槽长度，能够调整雪崩耐压。在本例中，在晶体管部70中的沟槽长度为5μm的情况下，晶体管部70的耐压为1425V。与此相对，如果将二极管部80的沟槽间隔设为12μm以上，则能够使二极管部80的耐压小于1425V。二极管部80的沟槽长度可以为晶体管部70的沟槽长度的2.4倍以上，也可以为晶体管部70的沟槽长度的3倍以上，还可以为晶体管部70的沟槽长度的5倍以上。

[0206] 图20是示出晶体管部70和二极管部80中的沟槽间隔与晶体管部70和二极管部80中的雪崩耐压之间的关系的图。本例的二极管部80与图18的例子的二极管部80相同。图18的例子的晶体管部70未设置第一下端区202，但本例的晶体管部70设置有第一下端区202。本例的晶体管部70除了设置有第一下端区202以外，都与图18的例子的晶体管部70相同。如图18和图20所示，通过设置第一下端区202，从而使晶体管部70的雪崩耐压上升。即，通过设置第一下端区202，能够调整雪崩耐压。

[0207] 图21是示出二极管部80中的第二下端区204中的剂量(或掺杂浓度)与二极管部80中的雪崩耐压之间的关系的图。在图21中，利用四边形的描绘点示出未设置第二下端区204的情况下的雪崩耐压。如果增加第二下端区204的剂量，则雪崩耐压会降低。即，通过调整第二下端区204的剂量，能够调整雪崩耐压。

[0208] 图22是说明半导体装置100的非破坏最大能量密度的图。非破坏最大能量密度是指，在非钳位感性开关试验(UIS试验)中，在使施加于半导体装置100的能量逐渐增大的情况下，直至半导体装置100即将被破坏之前所施加的能量密度。

[0209] 如果使半导体装置100在时刻t1从导通状态转变为截止状态，则在半导体装置100

流通的主电流的电流密度逐渐减小,半导体装置100的集电极/发射极间电压上升。如图23的下侧的图表所示,对半导体装置100施加将主电流密度与集电极/发射极间电压之积(V×J)进行时间积分而得到的能量。

[0210] 如果使在半导体装置100为导通状态时流通的主电流的电流密度逐次上升而反复进行关断动作,则在某电流密度下的关断动作中,半导体装置100在时刻t2被破坏,主电流急剧增大。比在该关断动作中从时刻t1起到时刻t2为止被施加的能量稍小的能量为非破坏最大能量密度。可以将该关断动作中的施加能量设为非破坏最大能量密度,也可以从该关断动作中的施加能量减去预定的余量而将其设为非破坏最大能量密度,还可以将该关断动作的上一关断动作中的施加能量设为非破坏最大能量密度。

[0211] 图23示出二极管部80中的雪崩耐压Va_d与非破坏最大能量密度之间的关系。图23中的横轴表示利用晶体管部70中的雪崩耐压Va_t进行归一化而得的雪崩耐压Va_d(即Va_d/Va_t)。

[0212] 将二极管部80中的雪崩耐压Va_d与晶体管部70中的雪崩耐压Va_t相同的情况下(Va_d/Va_t=1)的非破坏最大能量密度设为基准值S_0。

[0213] 半导体装置100可以具有非破坏最大能量密度大于基准值S_0那样的二极管部80与晶体管部70的雪崩耐压比。作为一例,对于半导体装置100而言,二极管部80的雪崩耐压Va_d为晶体管部70的雪崩耐压Va_t的70%以上且小于晶体管部70的雪崩耐压Va_t的100%。

[0214] 半导体装置100可以具有非破坏最大能量密度为最大值S_{max}的80%以上那样的二极管部80与晶体管部70的雪崩耐压比。半导体装置100可以具有非破坏最大能量密度为最大值S_{max}的90%以上那样的二极管部80与晶体管部70的雪崩耐压比。半导体装置100也可以具有非破坏最大能量密度为基准值S_0与最大值S_{max}的中间值以上那样的二极管部80与晶体管部70的雪崩耐压比。对于半导体装置100而言,二极管部80的雪崩耐压Va_d可以为晶体管部70的雪崩耐压Va_t的75%以上,也可以为晶体管部70的雪崩耐压Va_t的80%以上。对于半导体装置100而言,二极管部80的雪崩耐压Va_d可以小于晶体管部70的雪崩耐压Va_t的100%,也可以为晶体管部70的雪崩耐压Va_t的95%以下,还可以为晶体管部70的雪崩耐压Va_t的90%以下。

[0215] 图24是示出半导体装置100的制造方法的一例的图。首先,在基准值获取步骤S302中,使用一个以上的半导体装置,获取在图22和图23中说明的非破坏最大能量密度的基准值S_0。在S302中,通过非钳位感性开关试验获取基准值S_0。将用于获取基准值S_0的一个以上的半导体装置称为第一半导体装置。

[0216] 接着,在设定步骤S304中,如图23中说明的那样,以非破坏最大能量密度大于基准值S_0的方式设定二极管部80与晶体管部70的雪崩耐压比。

[0217] 接着,在设定步骤S306中,以满足在S304中设定的雪崩耐压之比的方式设计二极管部80和晶体管部70的结构。在S306中,如图5至图17中说明的那样,通过调整沟槽部的间隔、沟槽部的深度、第一下端区202的配置、第二下端区204的配置、寿命调整部208的配置等,从而调整二极管部80与晶体管部70的雪崩耐压比。将调整了二极管部80与晶体管部70的雪崩耐压比的半导体装置称为第二半导体装置。

[0218] 接着,在制造步骤S308中,基于S306的设计来制造半导体装置100。半导体装置100是第二半导体装置。由此,能够制造出半导体装置100。半导体装置100具有在图5中说明的

雪崩耐压。

[0219] 以上,虽然利用实施方式对本发明进行了说明,但是本发明的技术范围不限于上述实施方式所记载的范围。对本领域技术人员来说,能够对上述实施方式施加各种变更或改良是显而易见的。根据权利要求书的记载可知,施加了这样的变更或改良的方式也能够包括在本发明的技术范围内。

[0220] 应当注意的是,在权利要求书、说明书和附图中所示的装置、系统、程序和方法中的动作、顺序、步骤和阶段等各处理的执行顺序只要未特别明示“在……之前”,“事先”等,另外,不是在之后的处理中使用之前的处理的结果,就可以按任意顺序来实现。即使为方便起见,对权利要求书、说明书和附图中的动作流程使用“首先”、“接下来”等进行说明,也不表示必须按照该顺序实施。

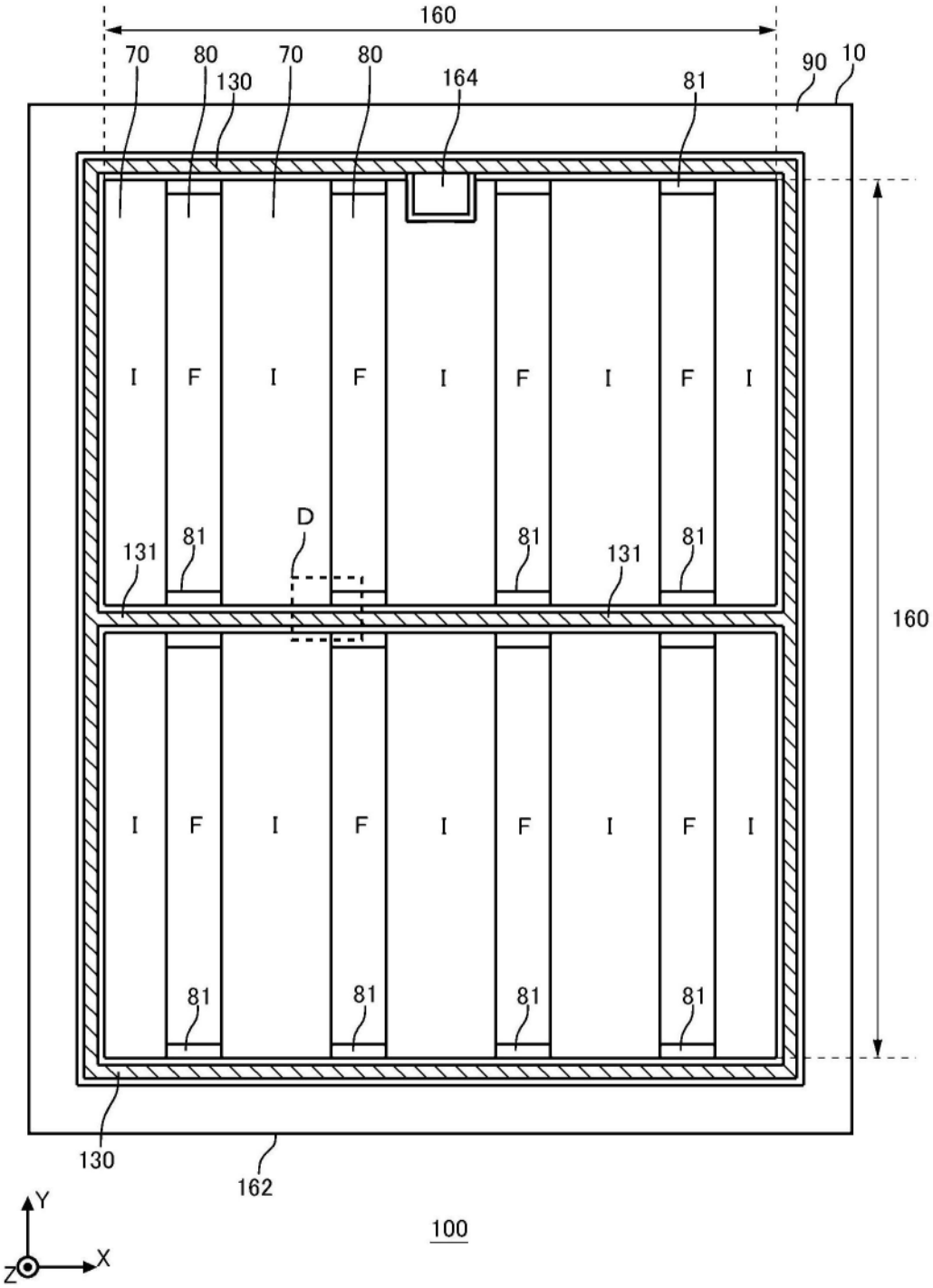

160
70
80
130
70
80
164
81
90
10
I
F
I
F
I
F
I
F
I
131
81
D
81
131
81
160
I
F
I
F
I
F
I
F
I
81
81
81
81
130
162
100
Y
X
Z

图1

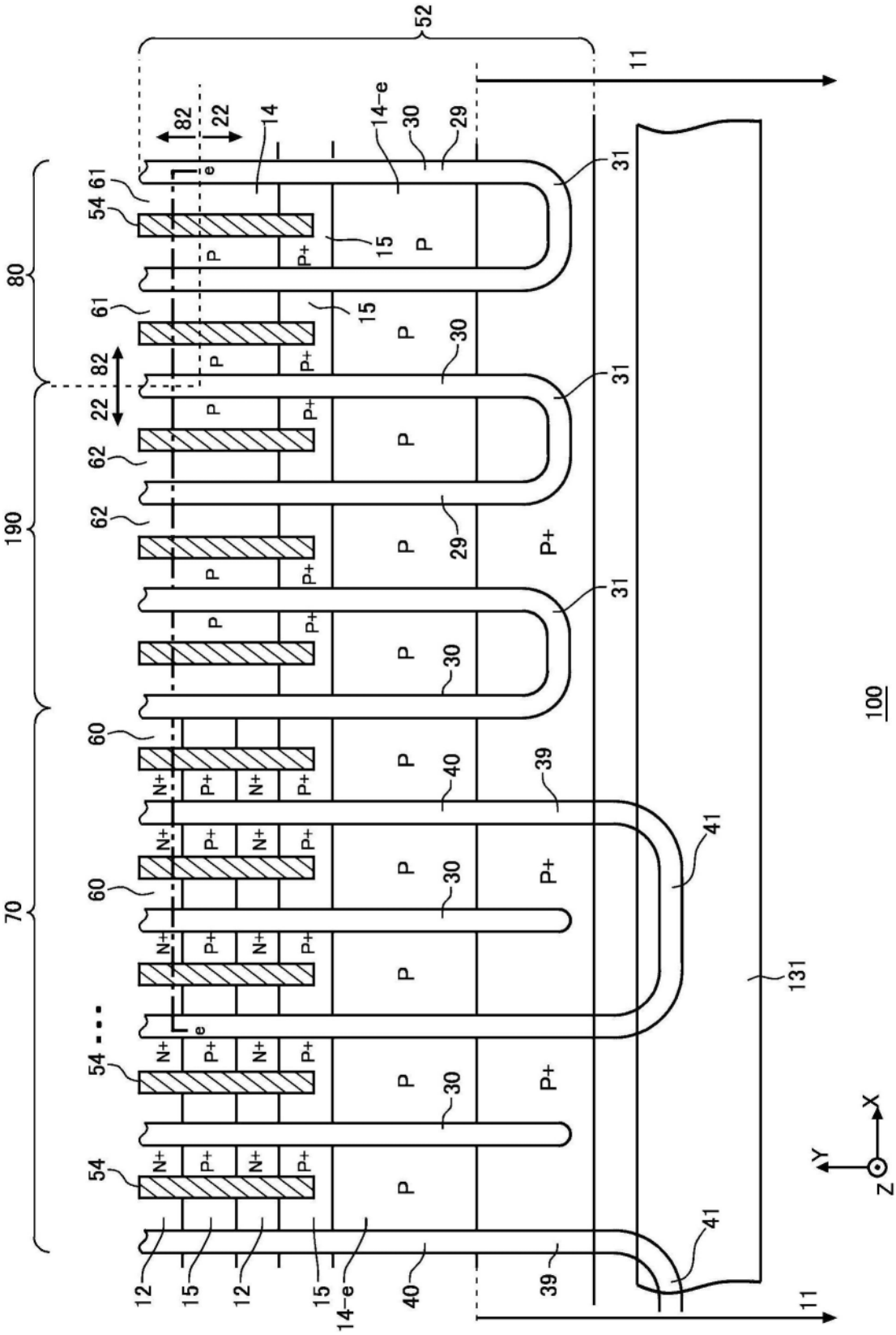

52
11
82
22
14
14-e
30
29
31
61
54
15
P
P+
80
190
70
62
60
N+
40
39
41
131
100
12
X
Y
Z

图2

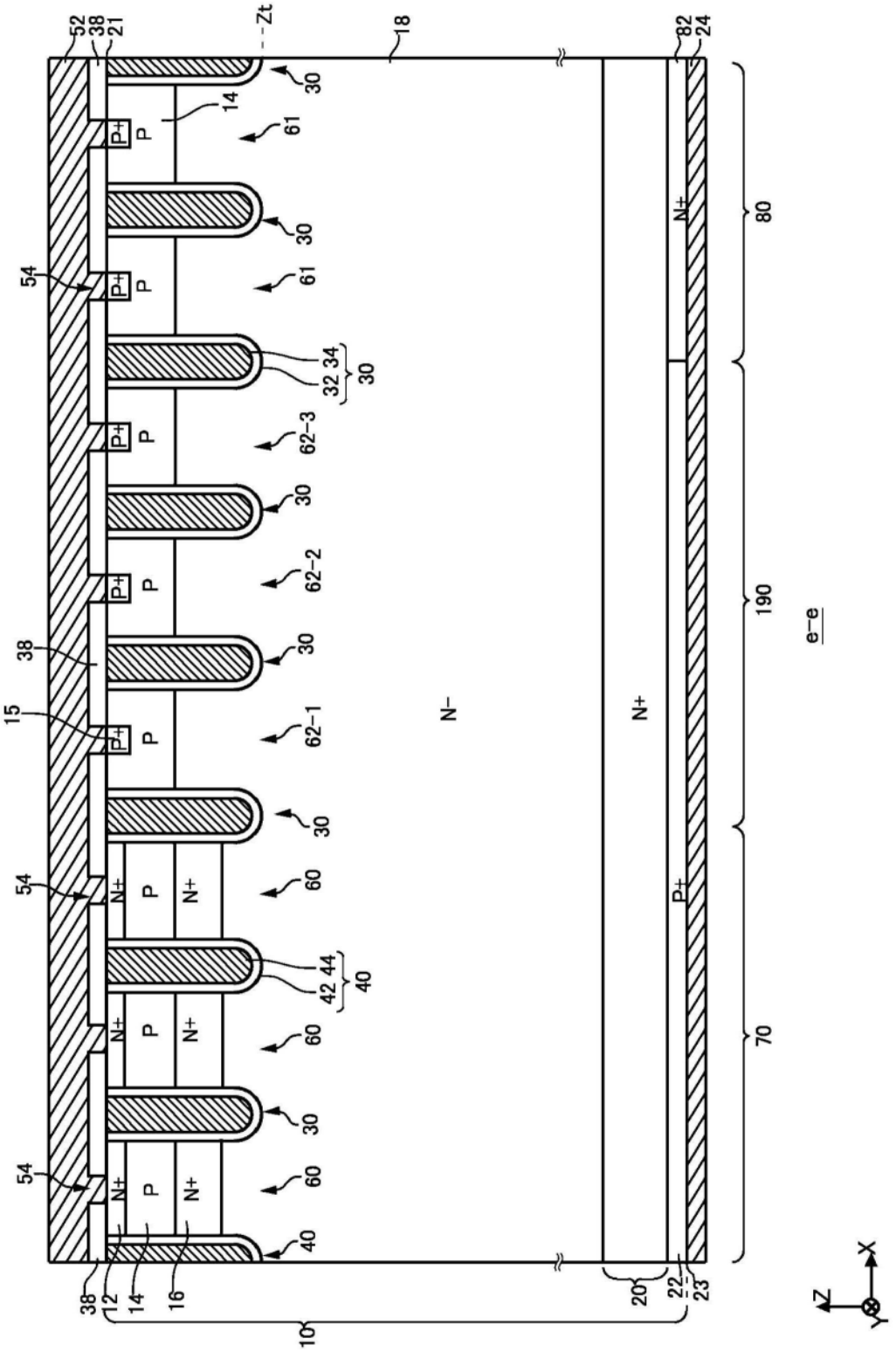

52
38
21
Zt
18
82
24
30
14
61
P+
P
N+
80
54
34
32
62-3
62-2
62-1
15
N-
190
e-e
60
44
42
40
70
20
22
23
12
16
10
X
Z
Y

图3

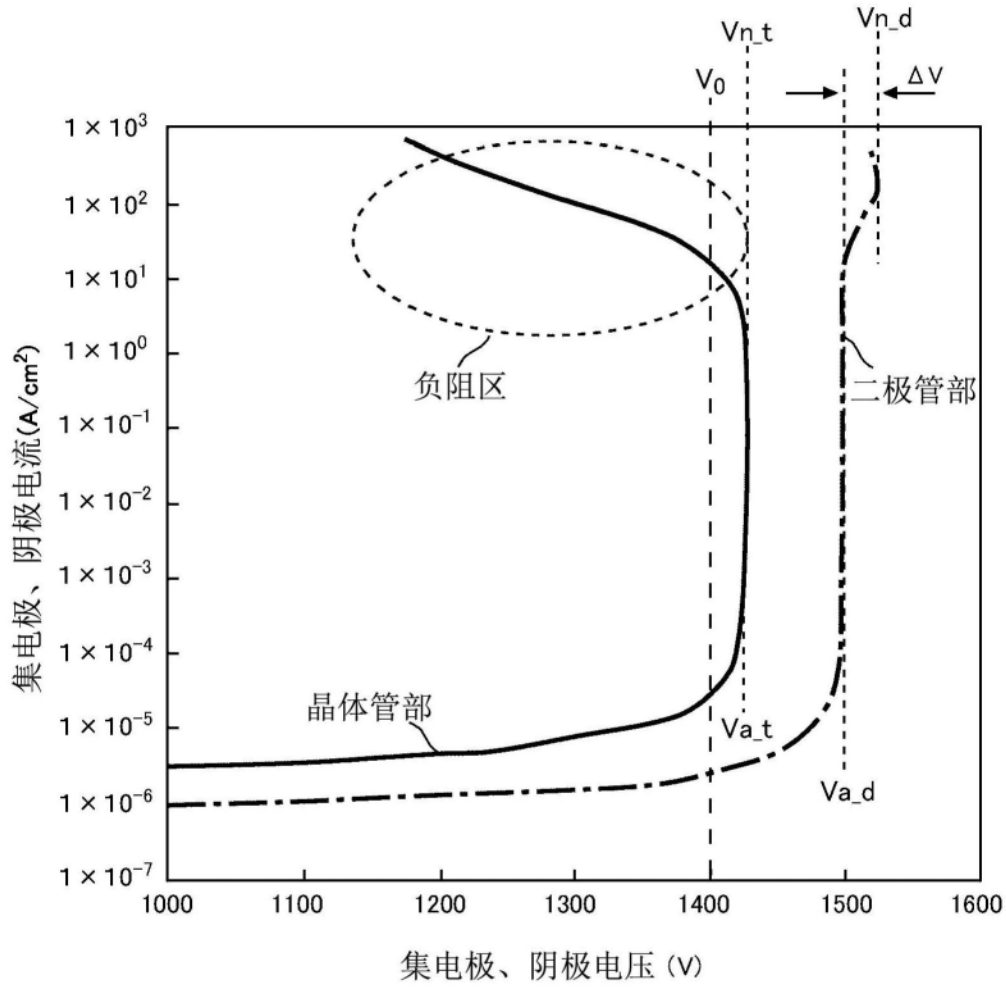

Vn_t
Vn_d
V0
ΔV
1×10^3
1×10^2
1×10^1
1×10^0
1×10^-1
1×10^-2
1×10^-3
1×10^-4
1×10^-5
1×10^-6
1×10^-7
集电极、阴极电流(A/cm²)
负阻区
二极管部
晶体管部
Va_t
Va_d
1000
1100
1200
1300
1400
1500
1600
集电极、阴极电压(V)

图4

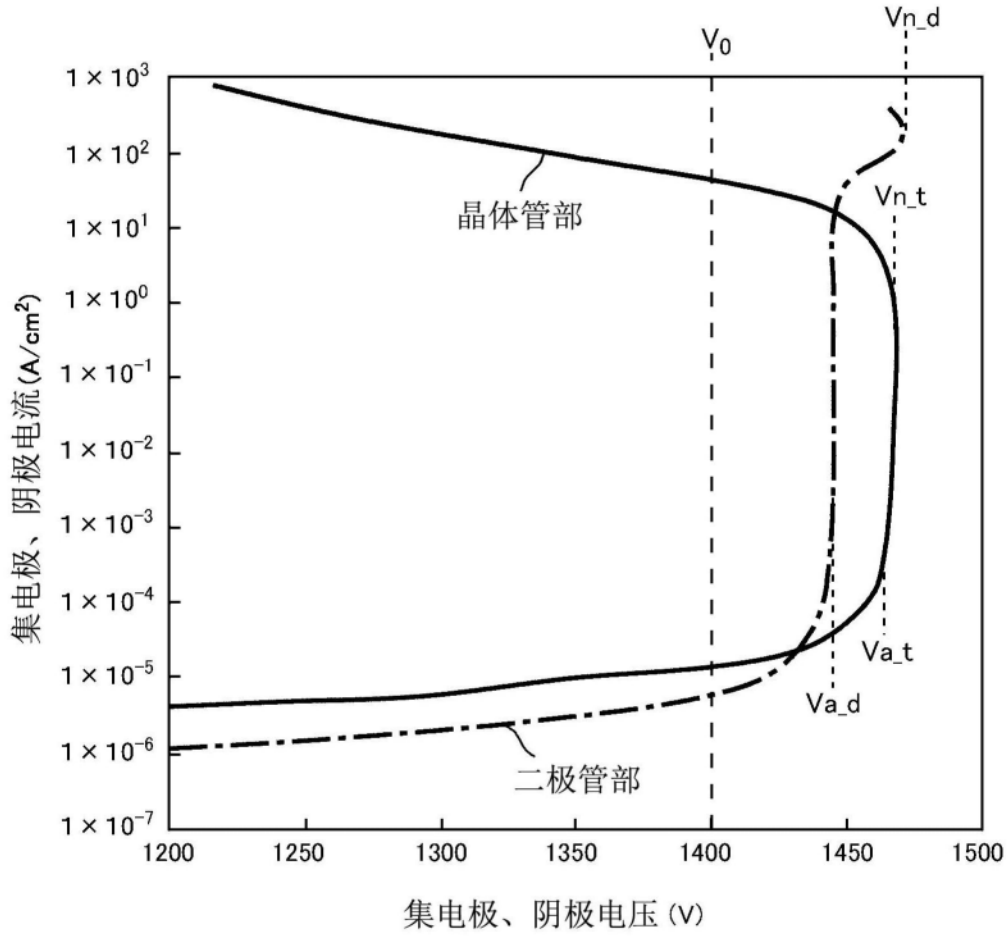

Vn_d
V0
Vn_t
晶体管部
Va_t
Va_d
二极管部
1×10^3
1×10^2
1×10^1
1×10^0
1×10^-1
1×10^-2
1×10^-3
1×10^-4
1×10^-5
1×10^-6
1×10^-7
集电极、阴极电流(A/cm^2)
1200
1250
1300
1350
1400
1450
1500
集电极、阴极电压(V)

图5

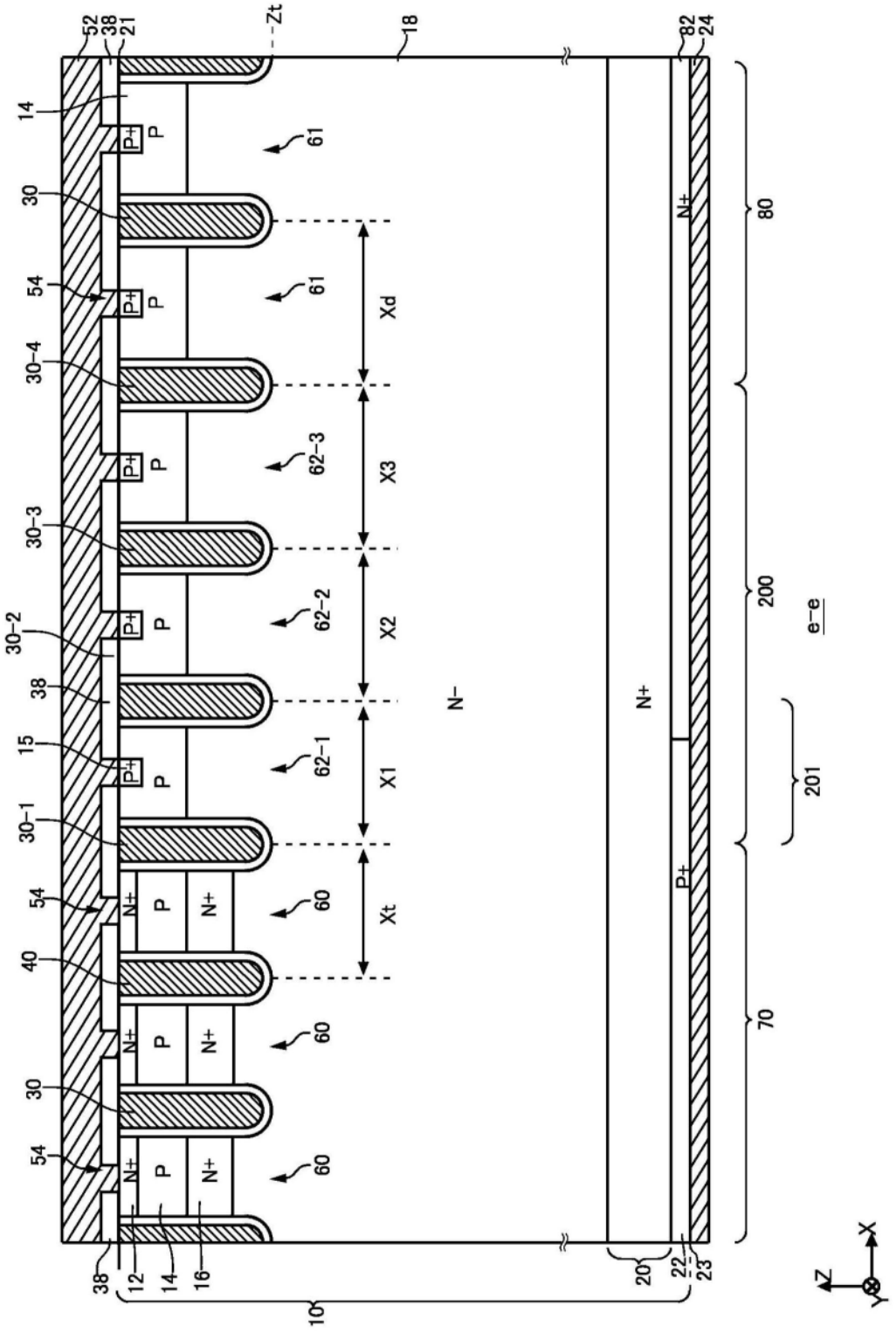

52
38
21
Zt
18
82
24
14
30
54
30-4
30-3
30-2
38
15
30-1
54
40
30
54
61
61
62-3
62-2
62-1
60
60
60
60
P+
P
N+
Xd
X3
X2
X1
Xt
N-
N+
P+
80
200
201
70
e-e
38
12
14
16
10
20
22
23
Z
X
Y

图6

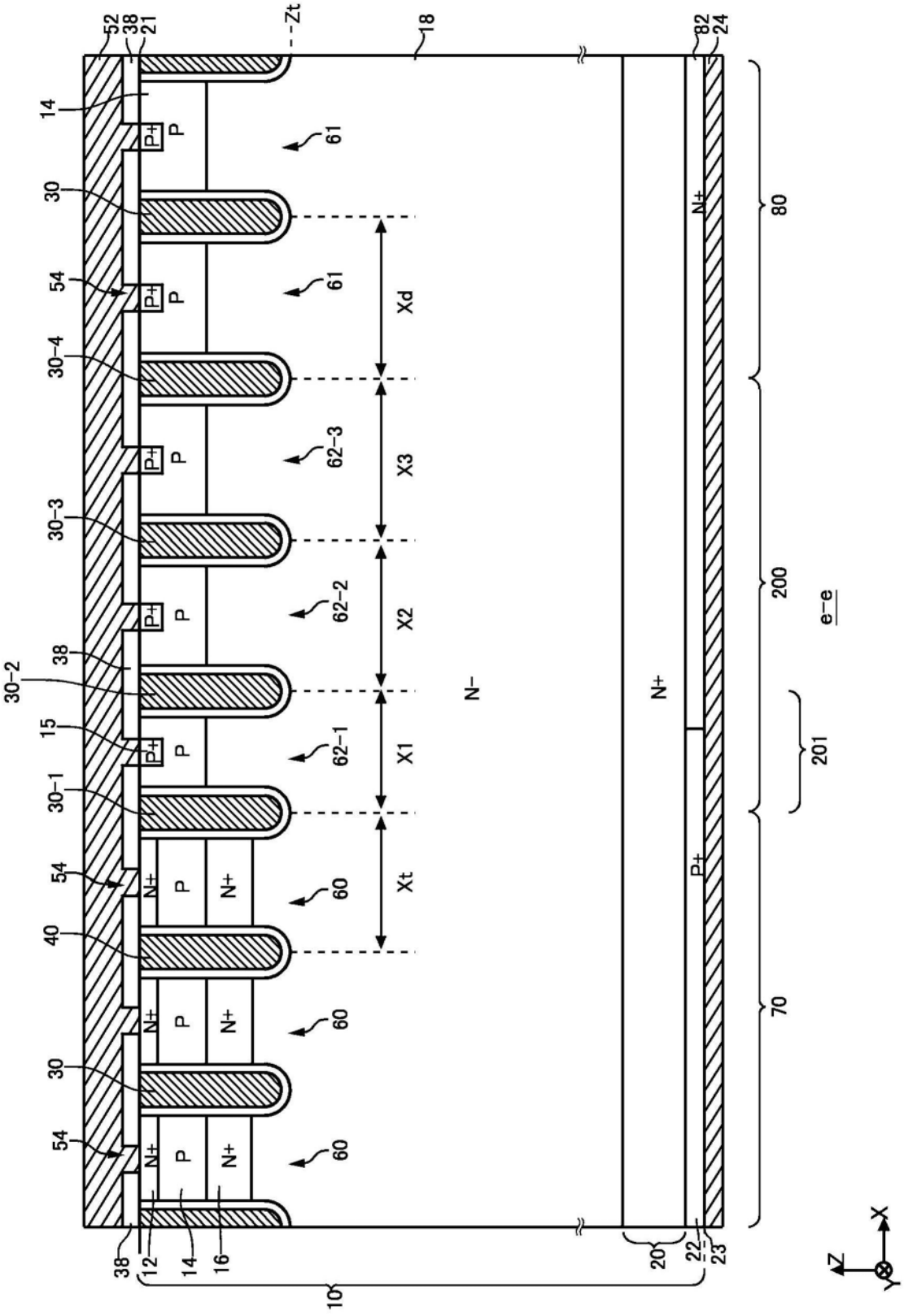

52
38
21
-Zt
18
82
24
14
30
54
30-4
30-3
30-2
38
15
30-1
54
40
30
54
38
12
14
16
10
20
22
23
P+
P
N+
N-
61
62-3
62-2
62-1
60
Xd
X3
X2
X1
Xt
80
200
201
70
e-e
X
Y
Z

图7

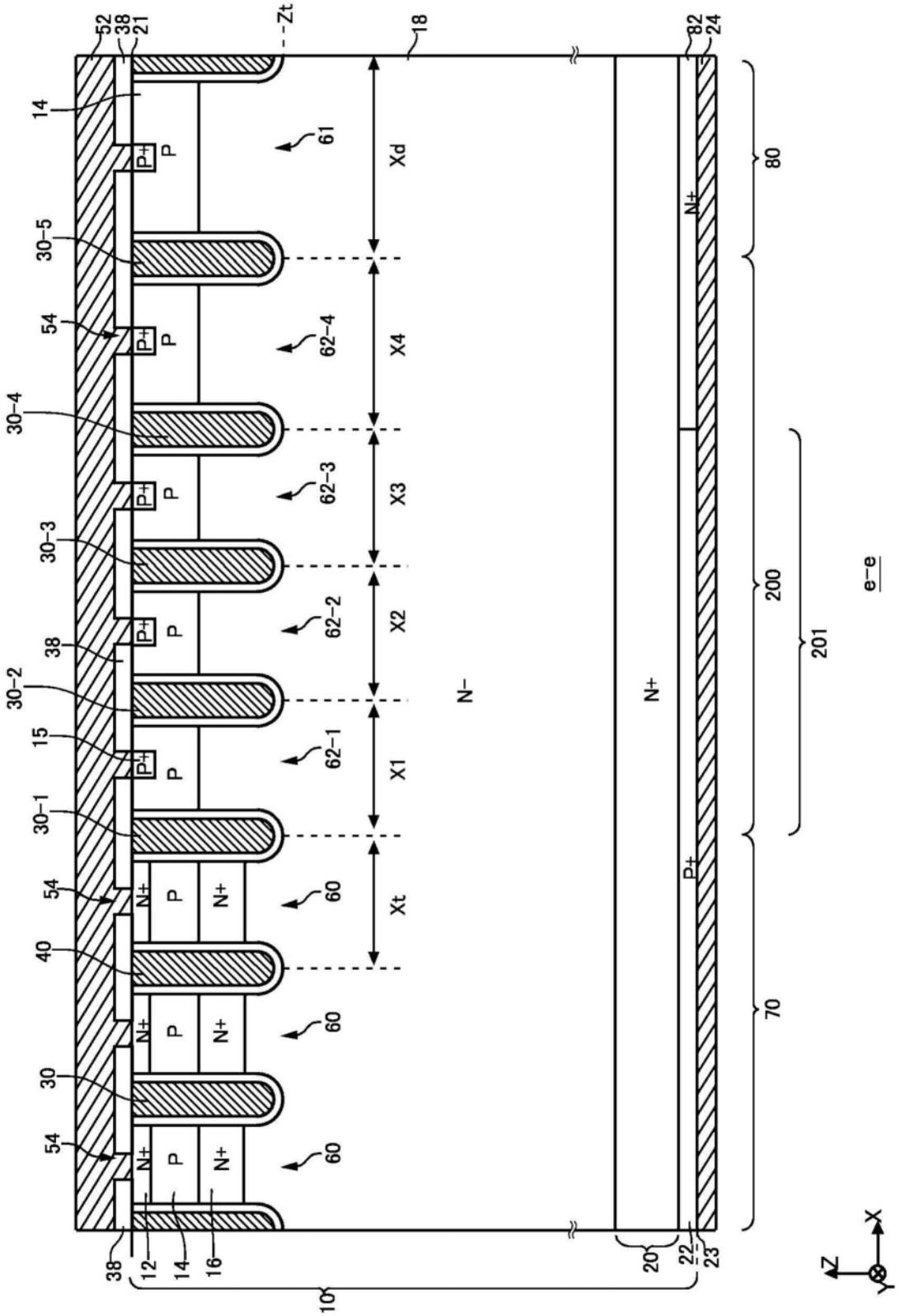

52
38
21
-Zt
18
82
24
14
61
Xd
80
30-5
54
62-4
X4
30-4
62-3
X3
30-3
62-2
X2
38
30-2
15
62-1
X1
30-1
54
60
Xt
40
30
54
60
60
N+
P+
P
N-
200
201
70
e-e
38
12
14
16
10
20
22
23
Z
X

图8

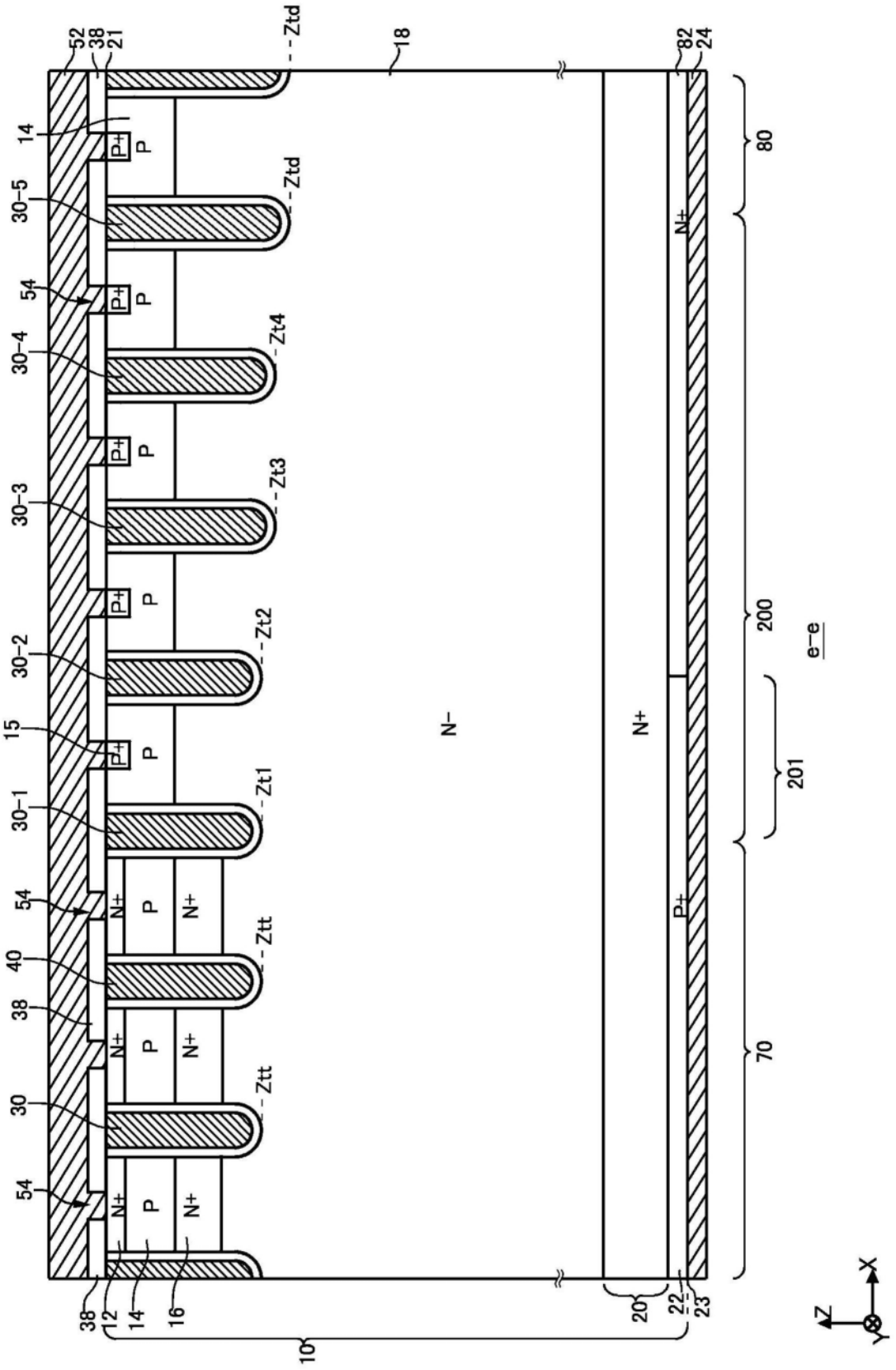

52
38
21
- -Ztd
18
82
24
14
P+
P
30-5
- Ztd
54
30-4
- Zt4
30-3
- Zt3
30-2
- Zt2
15
30-1
- Zt1
N+
P
40
- Ztt
30
N-
N+
P+
80
200
201
70
e-e
38
12
14
16
10
20
22
23
Z
X
Y

图9

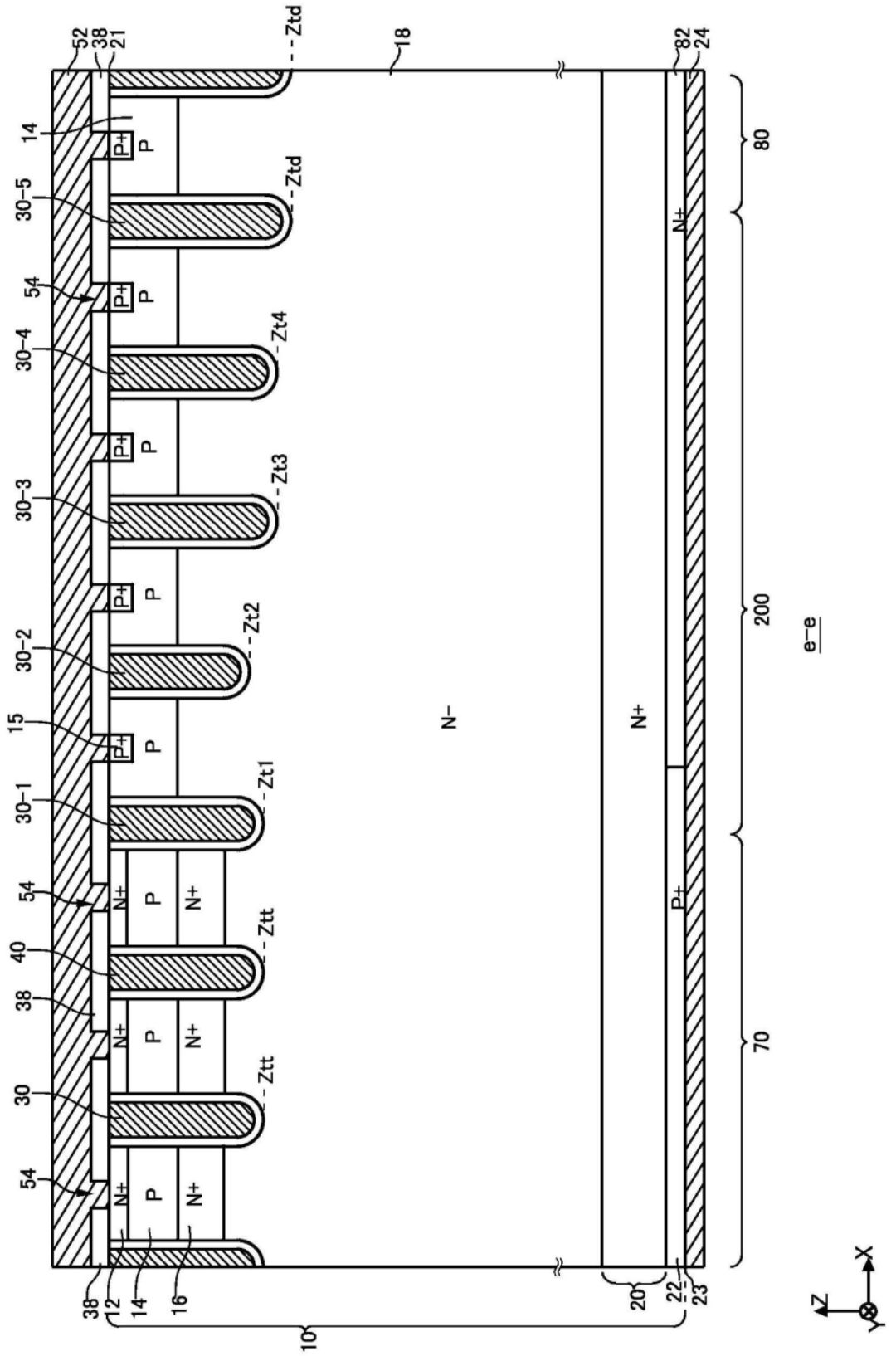

52
38
21
Ztd
18
82
24
14
P+
P
30-5
Ztd
54
30-4
Zt4
30-3
Zt3
30-2
Zt2
15
30-1
Zt1
N+
Ztt
40
38
30
54
N-
N+
P+
80
200
70
e-e
10
12
16
20
22
23
Z
X
Y

图10

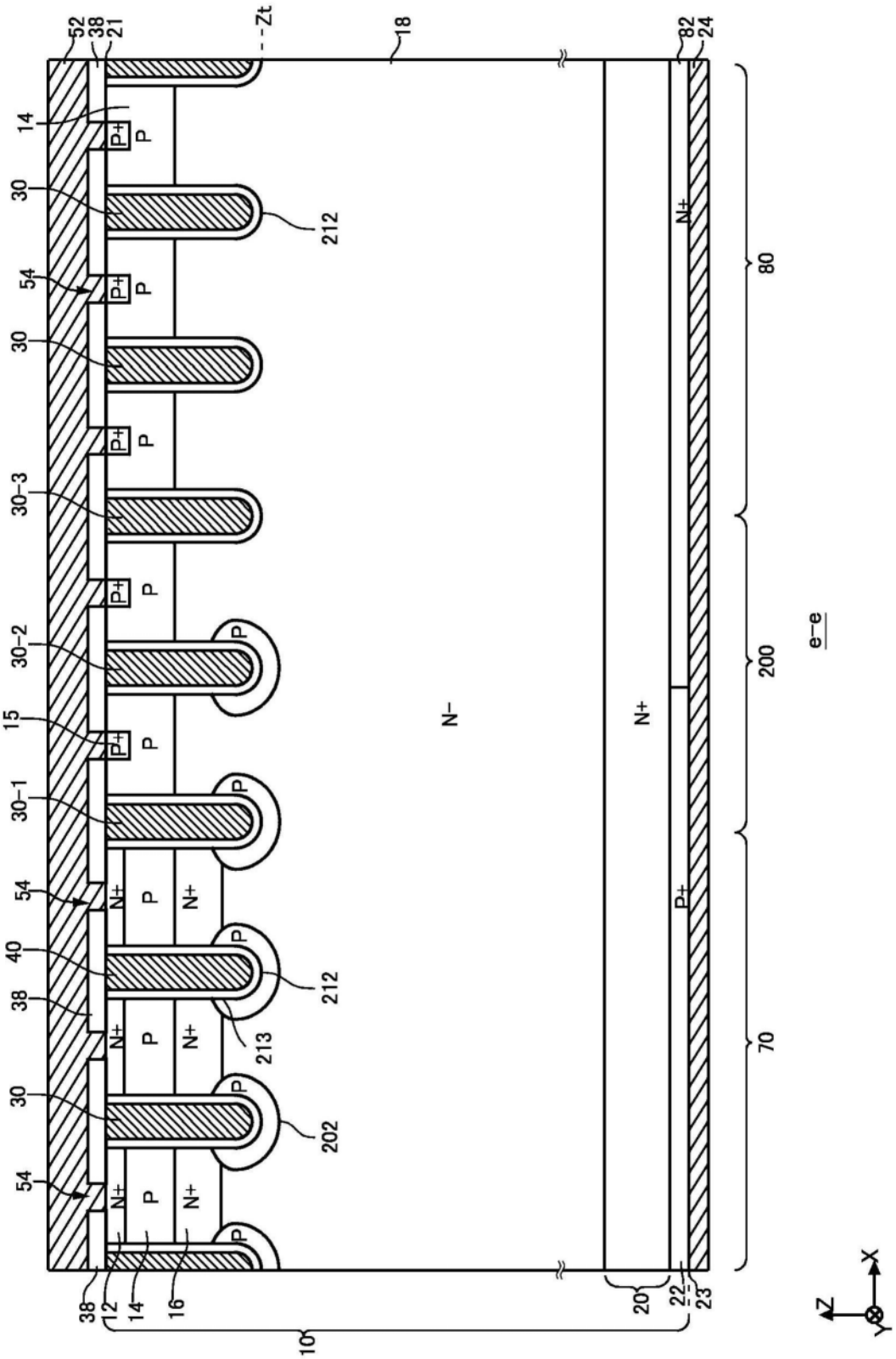

52
38
21
-Zt
18
82
24
14
30
212
54
30
30-3
30-2
15
30-1
54
40
38
213
30
202
54
P+
P
N+
N-
80
200
70
e-e
38
12
14
16
10
20
22
23
X
Z
Y

图11

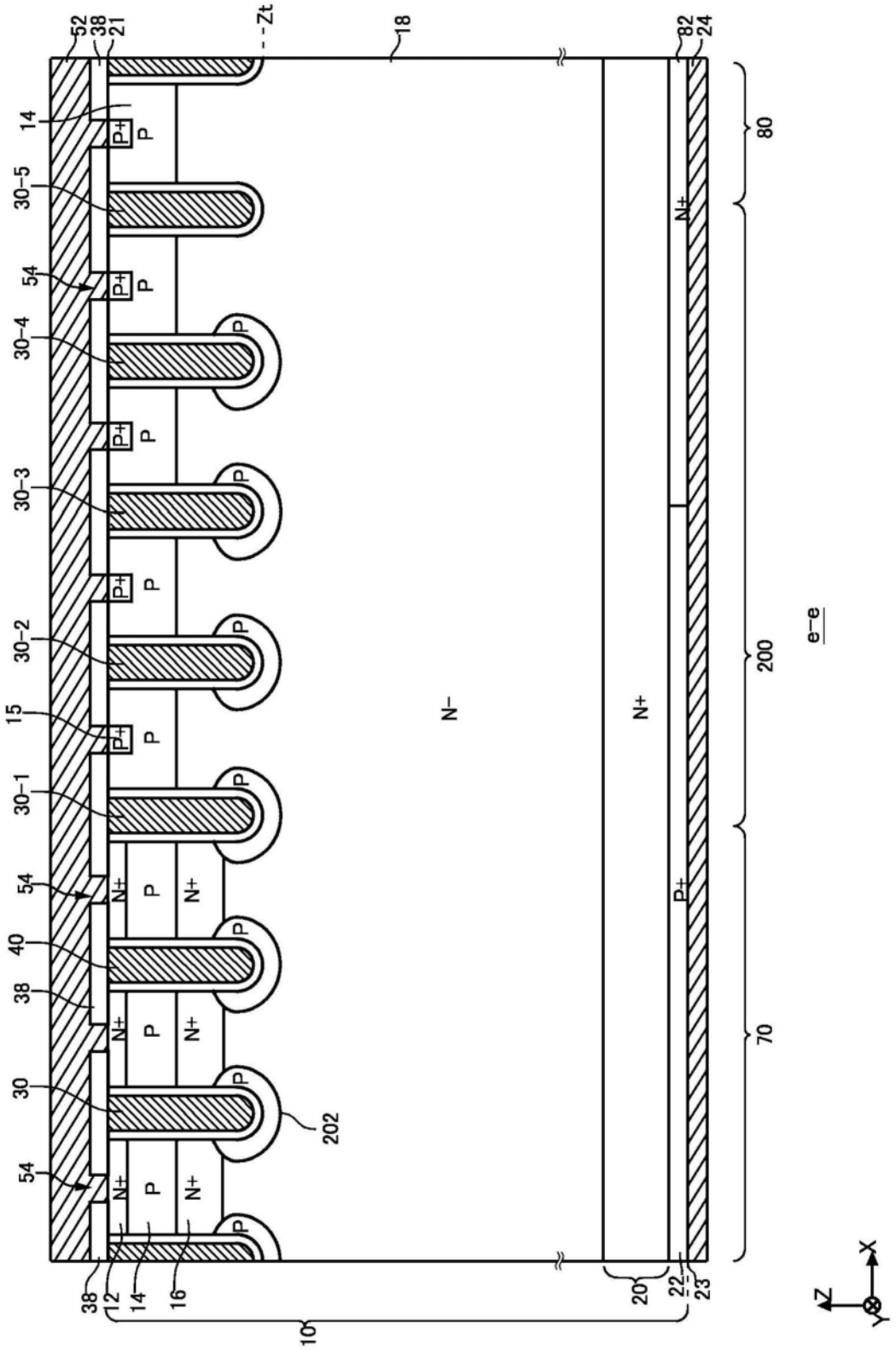

52
38
21
-Zt
18
82
24
14
30-5
54
30-4
30-3
30-2
15
30-1
54
40
38
30
54
P+
P
N+
N-
N+
P+
80
200
70
e-e
202
38
12
14
16
10
20
22
23
Z
X
Y

图12

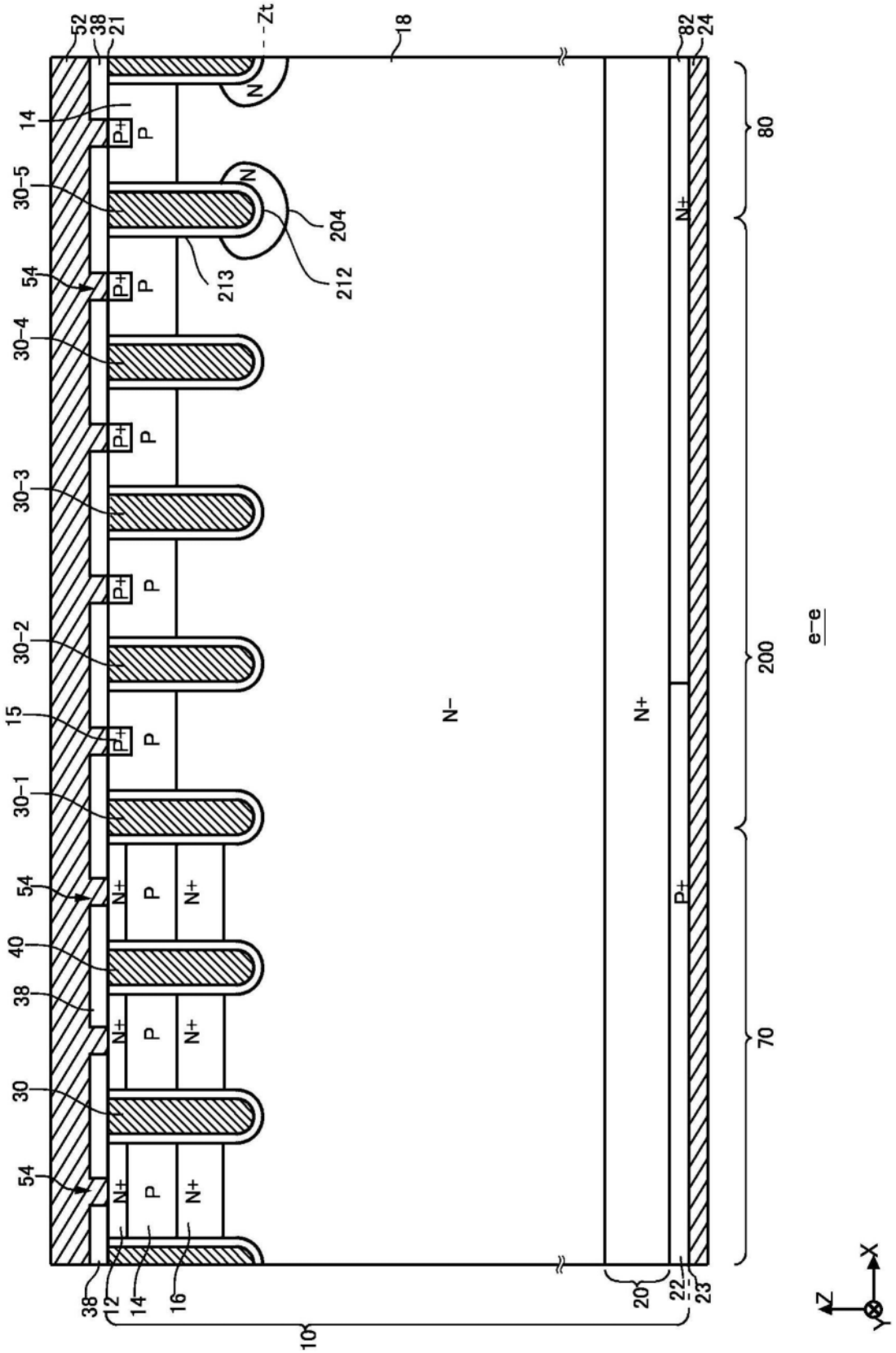

52
38
21
-Zt
18
82
24
14
30-5
54
30-4
30-3
30-2
15
30-1
54
40
38
30
54
N
P+
P
N+
204
213
212
80
200
70
N-
e-e
38
12
14
16
10
20
22
23
X
Z
Y

图13

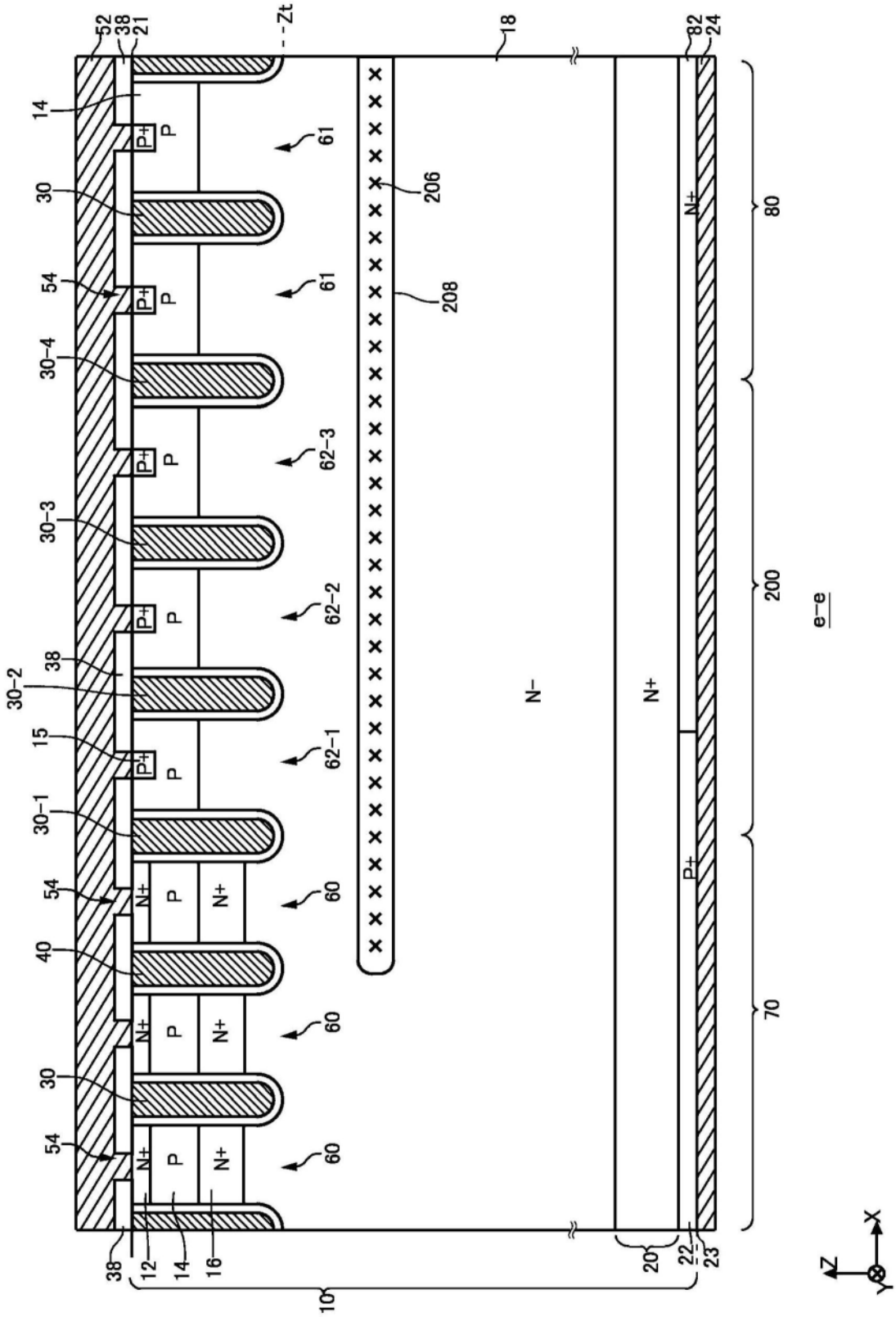

52
38
21
-Zt
18
82
24
14
30
54
30-4
30-3
38
30-2
15
30-1
54
40
30
54
38
12
14
16
10
20
22
23
61
206
208
62-3
62-2
62-1
60
P+
P
N+
N-
80
200
70
e-e
Z
X
Y

图14

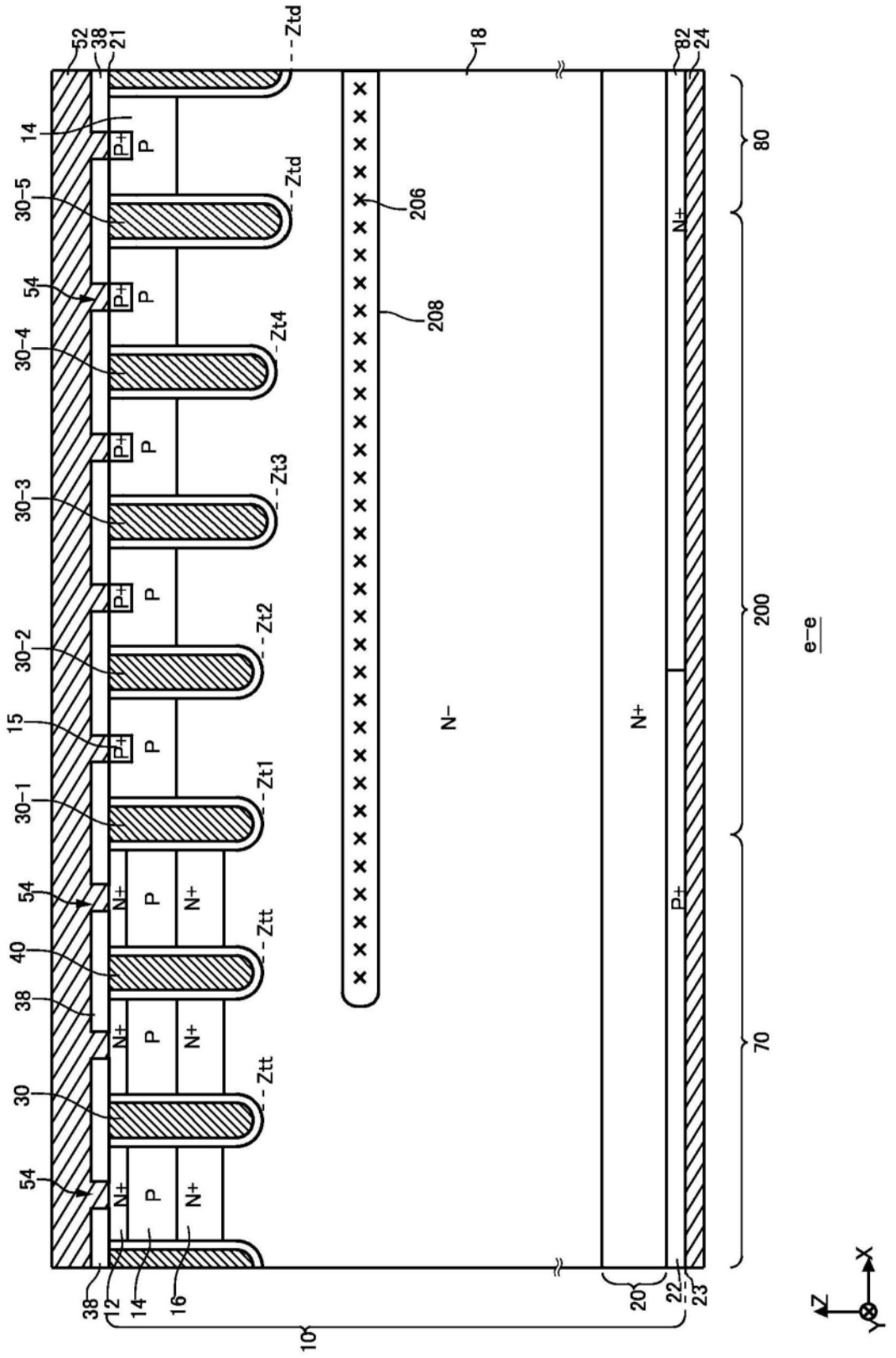

52
38
21
Ztd
18
82
24
14
P+
P
Ztd
30-5
206
54
208
30-4
Zt4
30-3
Zt3
30-2
Zt2
15
30-1
Zt1
N+
Ztt
40
38
30
54
N-
N+
P+
80
200
70
e-e
10
12
14
16
20
22
23
Z
X
Y

图15

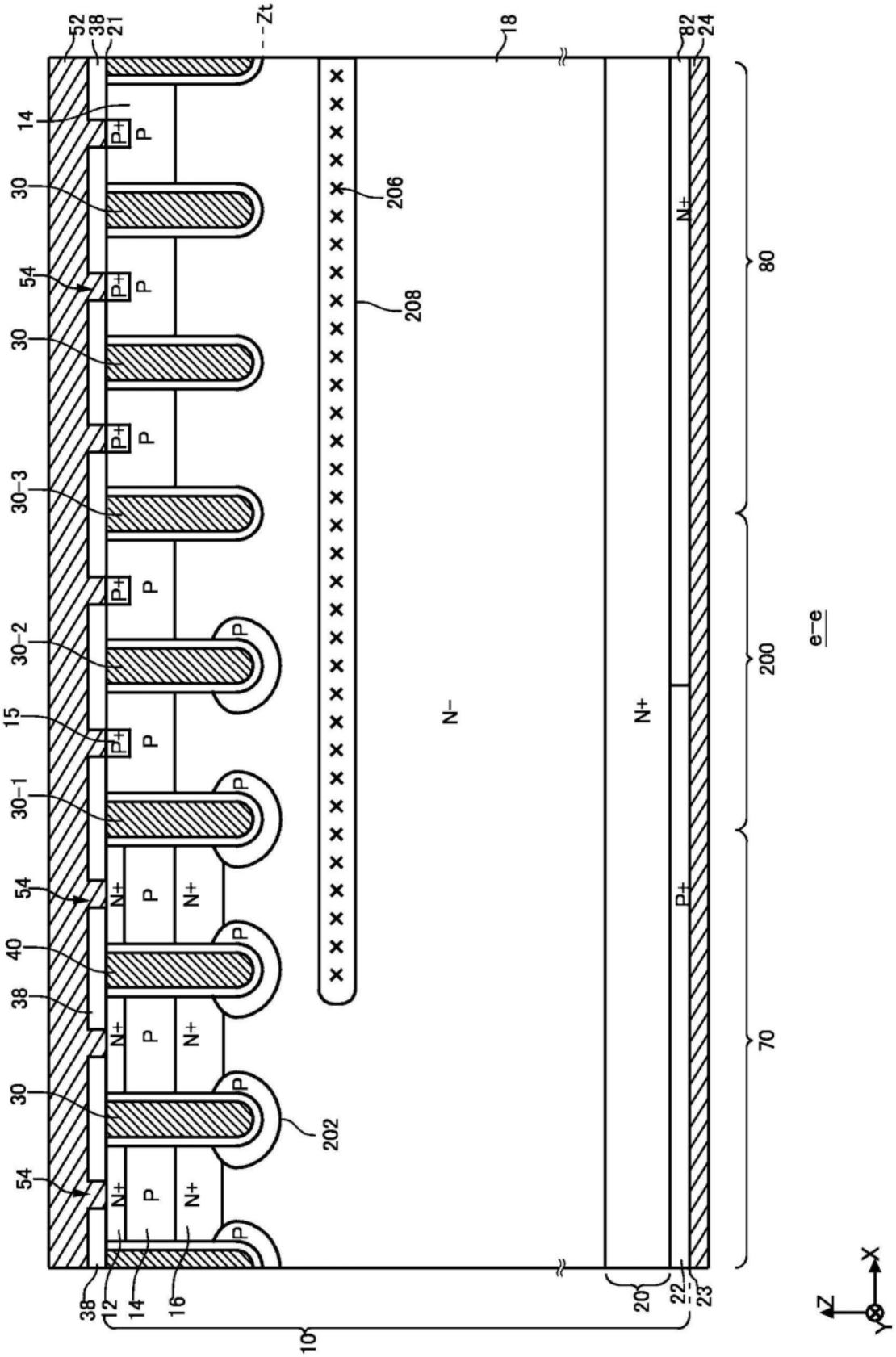

52
38
21
Zt
18
82
24
14
30
54
30
30-3
30-2
15
30-1
54
40
38
30
54
206
208
202
P+
P
N+
N-
N+
80
200
70
e-e
38
12
14
16
10
20
22
23
Z
X
Y

图16

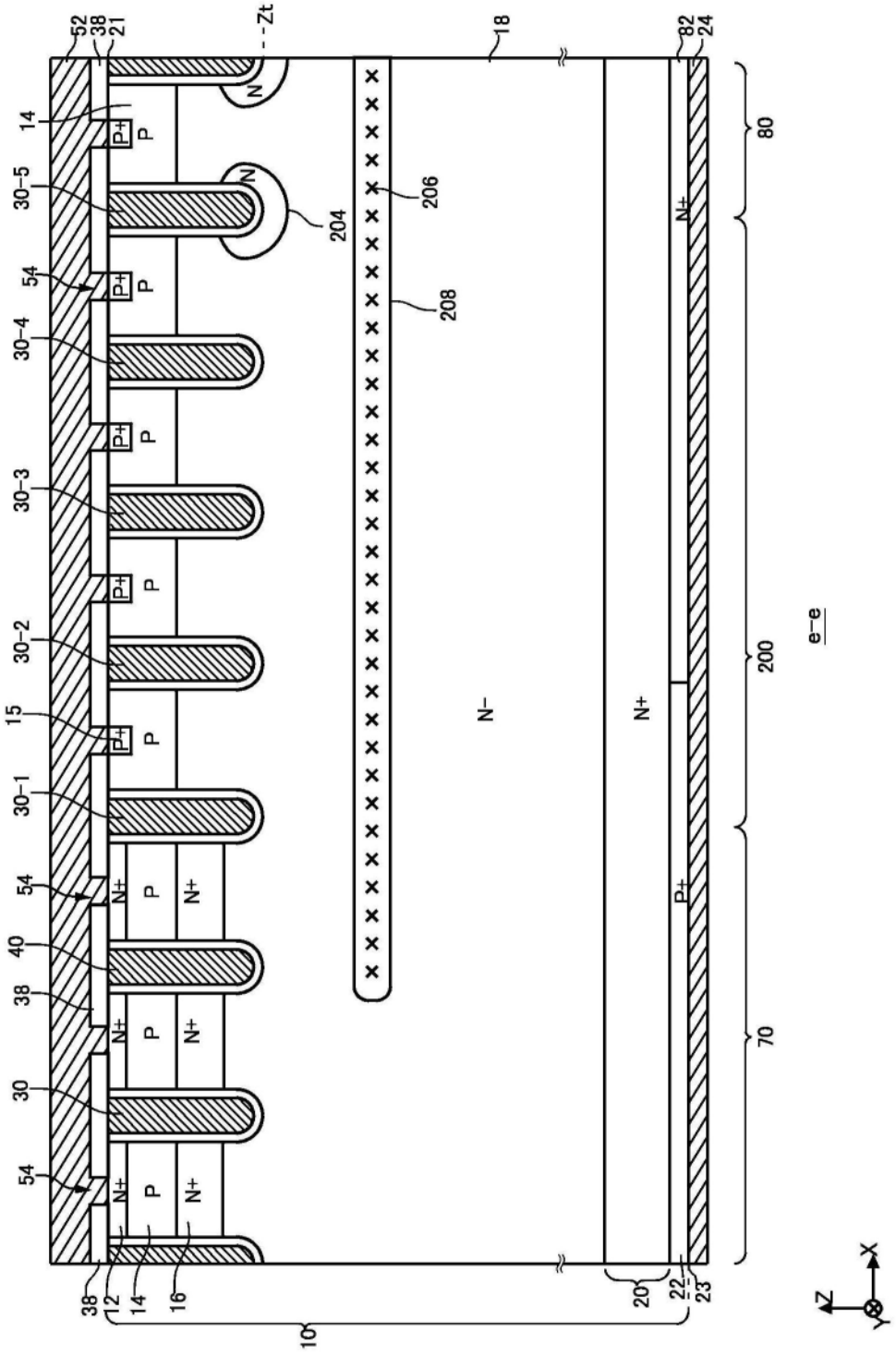

52
38
21
-Zt
18
82
24
14
30-5
54
30-4
30-3
30-2
15
30-1
54
40
38
30
54
P+
P
N+
N
204
206
208
N-
N+
P+
80
200
70
e-e
38
12
14
16
10
20
22
23
Z
X
Y

图17

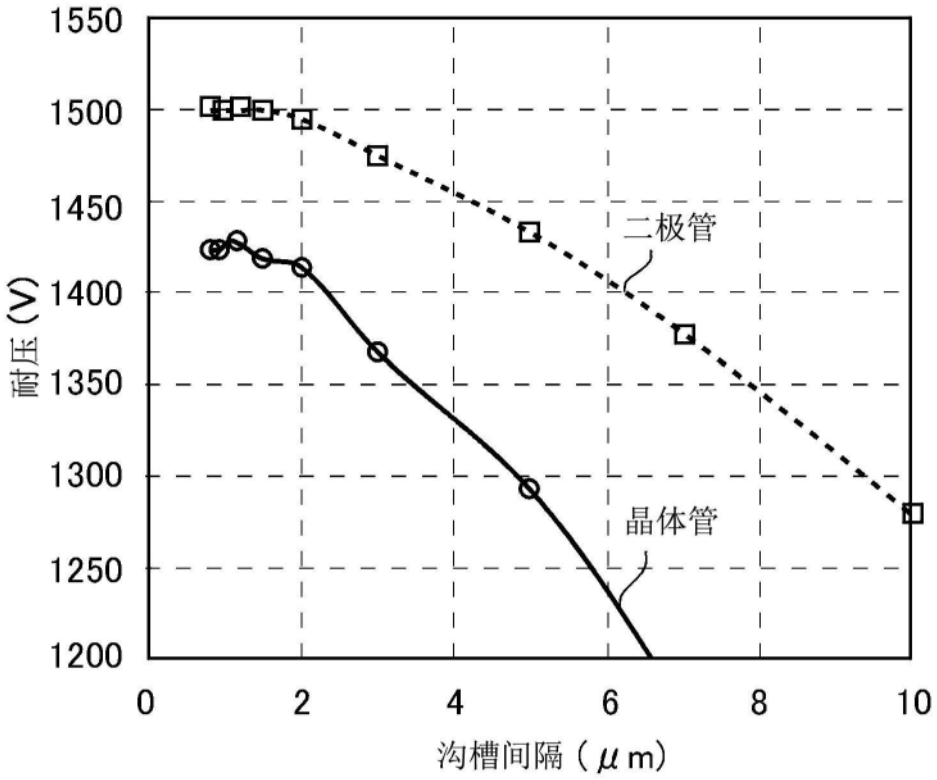

1550
1500
1450
1400
1350
1300
1250
1200
耐压 (V)
二极管
晶体管
0
2
4
6
8
10
沟槽间隔（μm）

图18

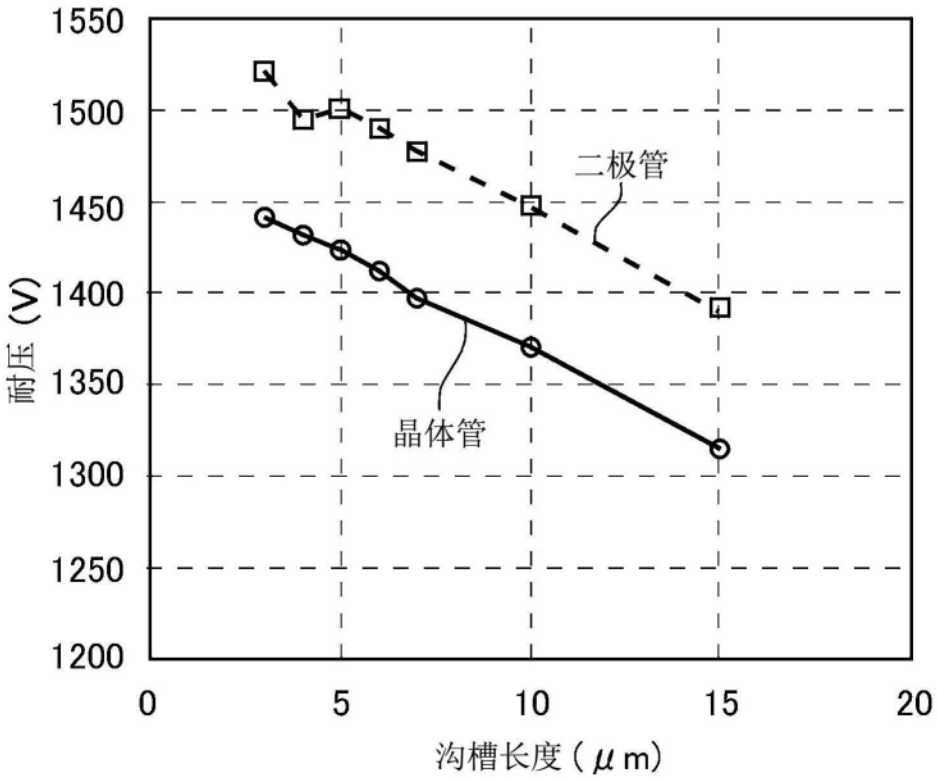

1550
1500
1450
1400
1350
1300
1250
1200
耐压 (V)
二极管
晶体管
0
5
10
15
20
沟槽长度（μm）

图19

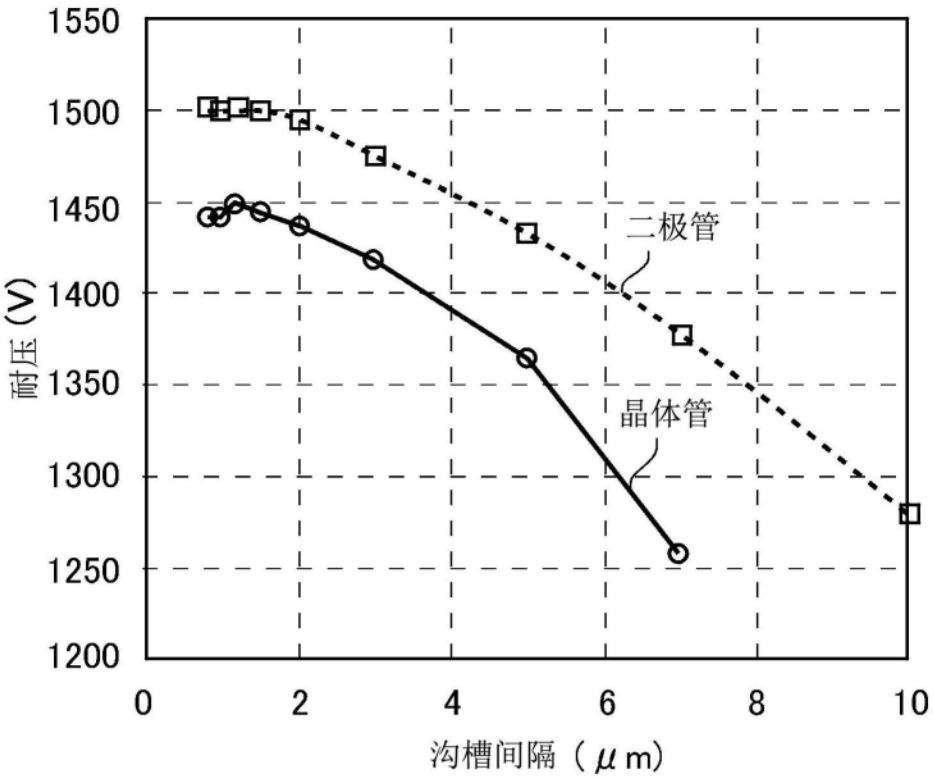

1550
1500
1450
1400
1350
1300
1250
1200
耐压（V）
二极管
晶体管
0
2
4
6
8
10
沟槽间隔（μm）

图20

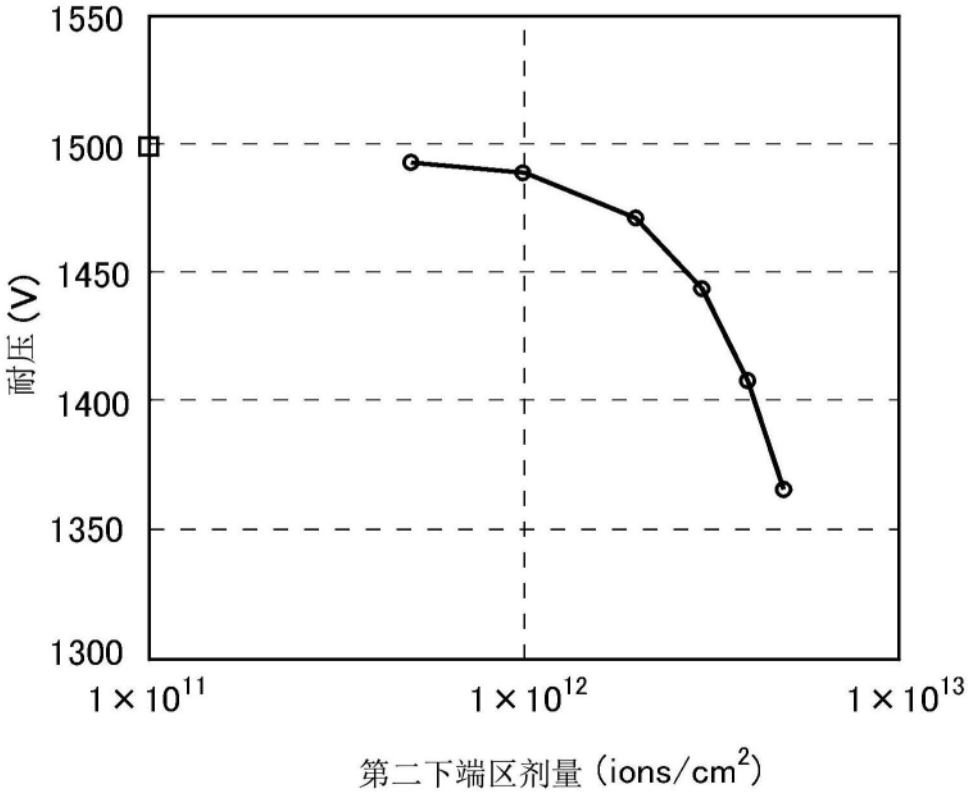

1550
1500
1450
1400
1350
1300
耐压（V）
1×10^11
1×10^12
1×10^13
第二下端区剂量（ions/cm^2）

图21

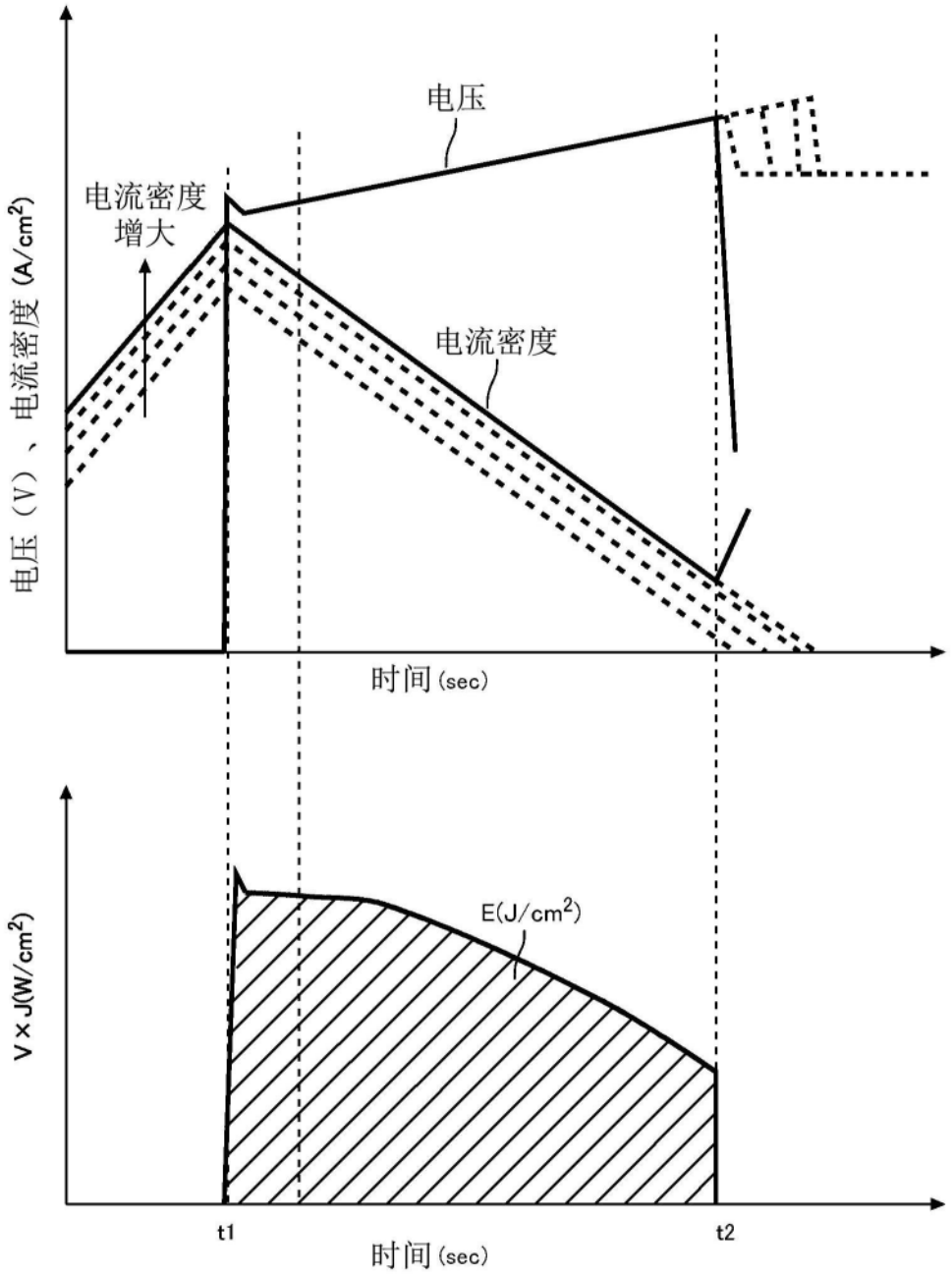


图22

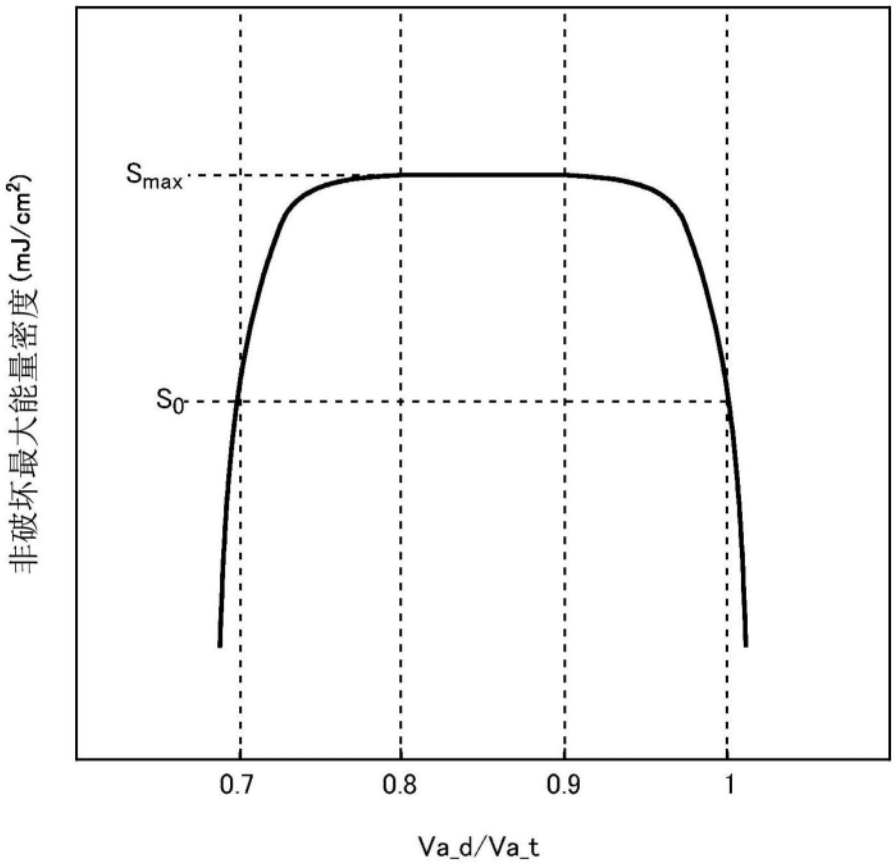

非破坏最大能量密度(mJ/cm²)
Smax
S0
0.7
0.8
0.9
1
Va_d/Va_t

图23

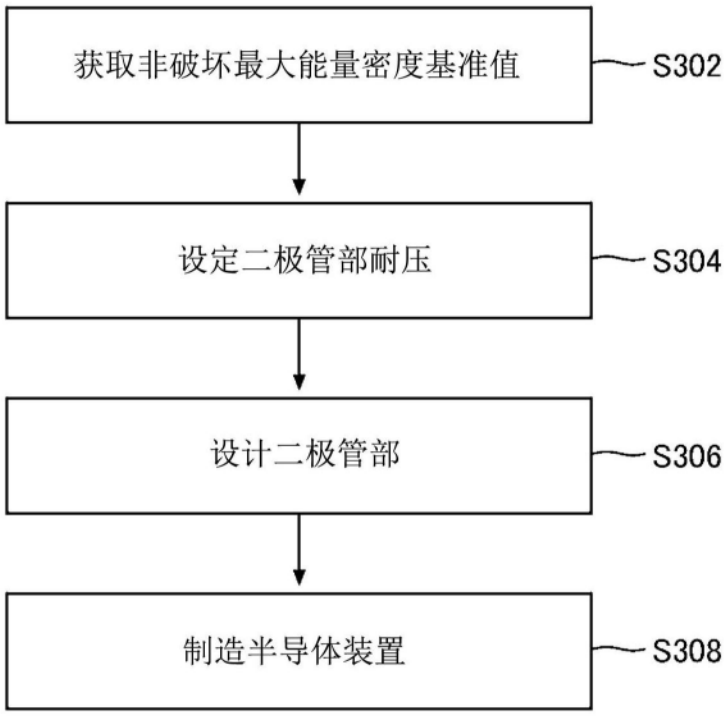

获取非破坏最大能量密度基准值
S302
设定二极管部耐压
S304
设计二极管部
S306
制造半导体装置
S308

图24

1.一种半导体装置,其特征在于,具备:

半导体基板,其具有上表面和下表面,并设置有第一导电型的漂移区;

晶体管部,其具有与所述半导体基板的所述下表面相接的第二导电型的集电区、以及与所述半导体基板的所述上表面相接地设置且掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的发射区;以及

二极管部,其具有与所述半导体基板的所述下表面相接的第一导电型的阴极区,

所述二极管部中的雪崩耐压为所述晶体管部中的雪崩耐压的0.7倍以上且小于所述晶体管部中的雪崩耐压的1倍。

2.根据权利要求1所述的半导体装置,其特征在于,

所述二极管部到达负阻区的阴极电压为所述晶体管部到达负阻区的集电极电压以上。

3.根据权利要求1所述的半导体装置,其特征在于,

所述二极管部和所述晶体管部在所述半导体基板的所述上表面具有以沿排列方向具有间隔的方式配置的多个沟槽部。

4.根据权利要求3所述的半导体装置,其特征在于,

所述晶体管部中的至少一部分所述沟槽部在所述排列方向上以第一间隔进行配置,

所述二极管部中的至少一部分所述沟槽部在所述排列方向上以比所述第一间隔大的第二间隔进行配置。

5.根据权利要求4所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区中的至少一者,

所述中间区具有晶体管侧区域,该晶体管侧区域与所述晶体管部相接,并且以所述第一间隔配置有一个以上的所述沟槽部。

6.根据权利要求4所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区中的至少一者,

所述中间区具有晶体管侧区域,该晶体管侧区域与所述晶体管部相接,并且以比所述第一间隔小的间隔配置有一个以上的所述沟槽部。

7.根据权利要求5所述的半导体装置,其特征在于,

所述中间区中的所述阴极区与所述集电区之间的边界位置配置于所述晶体管侧区域。

8.根据权利要求7所述的半导体装置,其特征在于,

所述边界位置配置于所述晶体管侧区域的一个以上的所述沟槽部中的最靠所述二极管部侧的所述沟槽部的下方。

9.根据权利要求7所述的半导体装置,其特征在于,

所述晶体管侧区域包括所述排列方向上的间隔在所述中间区中最小的第一所述沟槽部和第二所述沟槽部,

所述边界位置配置在从所述第一沟槽部的下方起直到所述第二沟槽部的下方为止的区域。

10.根据权利要求5至9中任一项所述的半导体装置,其特征在于,

越靠近所述二极管部,所述中间区中的所述多个沟槽部的所述排列方向上的间隔越

大。

11.根据权利要求4至9中任一项所述的半导体装置,其特征在于,

所述第二间隔为所述第一间隔的2倍以上。

12.根据权利要求3所述的半导体装置,其特征在于,

所述晶体管部中的至少一部分所述沟槽部在所述半导体基板的深度方向上具有第一长度,

所述二极管部中的至少一部分所述沟槽部在所述深度方向上具有比所述第一长度大的第二长度。

13.根据权利要求12所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区,

所述中间区具有与所述晶体管部相接的晶体管侧区域,

所述晶体管侧区域具有所述第一长度的所述沟槽部。

14.根据权利要求12所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区,

所述中间区具有与所述晶体管部相接的晶体管侧区域,

所述晶体管侧区域具有长度比所述第一长度小的所述沟槽部。

15.根据权利要求13所述的半导体装置,其特征在于,

所述中间区中的所述阴极区与所述集电区之间的边界位置配置于所述晶体管侧区域。

16.根据权利要求13至15中任一项所述的半导体装置,其特征在于,

越靠近所述二极管部,所述中间区中的所述多个沟槽部的所述深度方向上的长度越大。

17.根据权利要求3至9中任一项所述的半导体装置,其特征在于,

所述晶体管部具有第二导电型的第一下端区,所述第一下端区与至少一个所述沟槽部的下端相接地设置,

所述二极管部的至少一个所述沟槽部的下端不与第二导电型的区域相接。

18.根据权利要求17所述的半导体装置,其特征在于,

所述二极管部的所有的所述沟槽部的下端不与第二导电型的区域相接。

19.根据权利要求3至9中任一项所述的半导体装置,其特征在于,

所述二极管部具有第一导电型的第二下端区,所述第二下端区与至少一个所述沟槽部的下端相接地设置,并且掺杂浓度比所述漂移区的掺杂浓度高,

所述晶体管部的至少一个所述沟槽部的下端不与掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的区域相接。

20.根据权利要求19所述的半导体装置,其特征在于,

所述晶体管部具有:

第二导电型的基区,其设置在所述发射区与所述漂移区之间;以及

第一导电型的蓄积区,其设置在所述基区与所述漂移区之间,且掺杂浓度比所述漂移区的掺杂浓度高,

所述第二下端区的掺杂浓度比所述蓄积区的掺杂浓度低。

21.根据权利要求1至9中任一项所述的半导体装置,其特征在于,

所述二极管部在所述半导体基板的所述上表面侧具有调整载流子的寿命的寿命调整部。

22.一种半导体装置,其特征在于,具备:

半导体基板,其具有上表面和下表面,并设置有第一导电型的漂移区;

晶体管部,其具有与所述半导体基板的所述下表面相接的第二导电型的集电区、以及与所述半导体基板的所述上表面相接地设置且掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的发射区;以及

二极管部,其具有与所述半导体基板的下表面相接的第一导电型的阴极区,

所述二极管部和所述晶体管部在所述半导体基板的上表面具有以沿排列方向具有间隔的方式配置的多个沟槽部,

所述晶体管部具有与至少一个所述沟槽部的下端相接地设置的第二导电型的第一下端区,

所述二极管部的至少一个所述沟槽部的下端不与第二导电型的区域相接。

23.一种制造方法,其特征在于,是在半导体基板具有晶体管部和二极管部的半导体装置的制造方法,

针对所述晶体管部的耐压与所述二极管部的耐压相等的第一半导体装置,通过非钳位感性开关试验获取所述半导体装置不被破坏的非破坏最大能量密度,

以所述第一半导体装置为基准,以所述非破坏最大能量密度大于所述第一半导体装置的非破坏最大能量密度的方式,设定所述二极管部与所述晶体管部的雪崩耐压之比,

以满足所设定的所述雪崩耐压之比的方式设计第二半导体装置中的所述晶体管部和所述二极管部,

基于所述设计来制造所述第二半导体装置。

24.(追加)根据权利要求1所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区中的至少一者,

所述中间区的雪崩耐压比所述二极管部的雪崩耐压大且比所述晶体管部的雪崩耐压小。

25.(追加)根据权利要求12所述的半导体装置,其特征在于,

所述半导体装置具备中间区,所述中间区配置在所述二极管部与所述晶体管部之间,并设置有多个所述沟槽部,所述中间区具有所述阴极区和所述集电区,

所述中间区具有与所述晶体管部相接的晶体管侧区域,

所述晶体管侧区域具有长度比所述第一长度大的所述沟槽部。

26.(追加)根据权利要求1所述的半导体装置,其特征在于,

所述二极管部到达负阻区的阴极电压比所述晶体管部到达负阻区的集电极电压小。

27.(追加)根据权利要求1所述的半导体装置,其特征在于,

所述二极管部中的雪崩耐压为所述晶体管部中的雪崩耐压的0.75倍以上且所述晶体管部中的雪崩耐压的0.95倍以下。