公告本

申請日期	85.12.5
案號	85115021
類別	G01R 31/28

Int.:C1[6]

（以上各欄由本局填註）

A4
C4 311988

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體記憶裝置之平行測試電路
	英文	
二、發明 創作 人	姓名	1. 朴贊鍾 2. 丁世鎮
	國籍	大韓民國
	住、居所	1. 大韓民國漢城特別市冠岳區奉天6洞1680番地19號 2. 大韓民國漢城特別市麻浦區新孔德洞90番地1號
三、申請人	姓名（名稱）	三星電子股份有限公司
	國籍	大韓民國
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞416番地
	代表人姓名	金光浩

裝 訂 線

經濟部中央標準局員工消費合作社印製

311988

（由本局填寫）

承辦人代碼：	
大　　類：	
IPC分類：	

C6
D6

本案已向：

韓　國（地區）　申請專利，申請日期：1995.12.23案號：55738/1995 □有　□無主張優先權

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 1 ）

發明背景

1.發明領域

本發明係關於半導體記憶裝置之平行測試電路。尤其是關於半導體記憶裝置之多位元平行測試電路，該平行測試電路係適合高積體化半導體裝置之記憶體測試性能的改良佈局。

本發明係以韓國第55738/1995號申請案爲基礎，於此合併爲參考資料。

2.相關習知技術說明

近年來半導體記憶裝置，尤其是動態隨機存取記憶體，密度及精確度大幅增加。晶片尺寸變大，檢查記憶裝置的測試過程時間也因而增加。記憶單元的錯誤功能一般是由單一位元失效所造成，因爲依序存取位元來測試缺陷延遲了測試處理時間並增加測試成本。爲符合可以在短時間內測試晶片失效的電路需求，所以有多位元(multiple-bit)平行測試電路的提出。

在多位元平行測試電路的運作中，相同的資料被寫入所有記憶單元，然後儲存在每一記憶單元的資料隨後在一存取週期期間被讀出。多位元平行測試電路執行與被讀取資料的比較運作。在前述運作中，當資料與被讀入記憶單

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

元內的值不匹配時，多位元平行測試電路判定爲”失效”。

圖一表示習知多位元平行測試電路，其中1/0/Hi-Z測試電路被加入每一1/0測試電路做爲額外的選擇。

於此平行測試電路中，多個位元在平行測試模式中同時被存取。平行測試電路分爲二類：1/0測試電路，其中其資料輸出緩衝器之一輸出"0"或"1"代表”通過”或”失效”；以及1/0/hi-Z測試電路，其中資料形式可以在平行測試中的資料輸出緩衝器輸出爲"0"或"1"時被偵測。在這種型態的測試中，高阻抗資料("hi-Z")係於資料輸出緩衝器之輸出無效時產生。這二種電路皆非標準電路，它們是依據環境而被使用。在目前存在的測試技術中，hi-Z測試被加至每一1/0測試提供額外的選擇。

圖一表示包括多記憶組(bank)的記憶單元陣列。每一記憶組被分割爲預定數目的記憶區塊。圖一的記憶陣列包括二記憶組，每一記憶組具有四個記憶區塊。每一記憶區塊包括預定數目的資料線(DO線），一DO線多工器S1(DO MUX)電連接於該等資料線。一1/0測試電路S2連接至DO線與一1/0/hi-Z測試電路S3。DO MUX S1的每一輸出端，1/0測試電路S2以及1/0/hi-Z測試電路S3係一起連接至預定數目的第一資料匯流排(FDB)。

既然圖一電路中有四個記憶區塊，FDBs的數目爲4。FDBs電連接至第一資料匯流排比較器S4(FDB比較器)的

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3 ）

輸入端。FDB比較器S4之一輸出端連接至一第二資料匯流排(SDB)，而SDB經由NAND閘1連接至合併資料匯流排(MDB)。MDB的一端連接至資料匯流排多工器S5(DB MUX)的輸入端。DB MUX S5之輸出端連接至資料輸出緩衝器DOUT S6的輸入端。圖一的下半部結構同以上所述的上半部。

圖二至七係下列電路的電路圖：圖一比較器的致能時脈產生電路，比較器用之致能訊號產生電路，比較器，FDB比較器，MDB電路，以及DB多工器。此等電路爲本技藝之人士所已知。

在正常模式期間，DO線的資料經由DO MUX S1被傳送到FDBs，並經由SDB,MDB被傳送到DOUT S6。資料被傳輸至DOUT S6並傳送到外部。

當1/0/hi-Z測試電路S3在平行測試期間被加至基本的1/0測試電路時DO線的資料首先被比較器S2,S3處理，而比較器S2,S3的輸出資料被傳送至FDBs。FDB比較器S4依據FDBs的資料執行第二比較。FDB比較器S4的輸出資料被傳送到SDB。SDB的資料經由NAND閘1被傳送到MDB，然後經由DB MUX S5及DOUT S6被傳送至外部。儲存於上述處理的記憶陣列的資料經由比較步驟接受測試。比較器的運作可以輕易地由使用圖四或五所示的互斥OR閘實施。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 4 ）

在習知的平行測試中，輸出資料的改變是由可選擇的電路爲之。

於表示平行測試模式的外部訊號PFTE及PYE訊號與列位址觸發訊號RASB同步並且皆達到高準位以及表示讀取模式的WEB的輸出PWR與緩衝一行位址觸發訊號CASB的輸出PC分別達到”低”準位與”高”準位的時候，圖二的致能時脈產生電路的輸出被致能爲”高”準位。

圖三係圖一比較器的致能時脈產生電路的電路圖。

一旦多位元平行測試被執行，在1/0模式中，訊號PFCOMD被致能爲高準位。在1/0/Hi-Z模式期間，當致能訊號PHLZE變成高準位，訊號PFCOMDP被致能爲高準位。DO MUX S1，1/0比較器S2及1/0/hi-Z比較器S3是每一DO線所需要的。每一DO線需要圖四的電路。從資料路徑之第一部份至資料輸出緩衝器的路徑應該於環境需要時被修正，這使得電路佈局及電路控制變得困難。經由比較器處理的資料被傳送至FDBs。FDB比較器對應FDBs的資料而執行第二比較。

依據習知的平行測試模式，爲了無錯誤地執行1/0測試及1/0/Hi-Z測試，每一模式的比較器被連接至合適的記憶區塊。在此結構中，比較器的資料匯流排具有複雜的連接以而增加其佈局的尺寸，而控制過程變得複雜。

發明綜合說明

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

本發明指示半導體記憶裝置的平行測試模式，實質上可以避免上述相關習知技術的限制及缺失。

本發明之目的在提供一種半導體記憶裝置之平行測試電路，可以簡化結構及降低晶片尺寸。

本發明之另一目的在提供簡單的測試機制的多位元平行測試，以降低半導體記憶裝置的記憶體測試時間。

爲達成以上目的，一種半導體記憶裝置之平行測試電路，具有一包含多記憶單元及多個高速記憶單元測試用之比較裝置的記憶體陣列，其包括：多個第一比較裝置，依據經由靠近該記憶陣列之記憶區塊的多資料輸出線傳輸的資料而執行第一比較；多個第二比較裝置，共同耦合至該第一比較裝置的每一輸出端，並依據該第一比較裝置的輸出資料執行第二比較；多工裝置，依據該第二比較裝置的輸出資料執行多工運作；第一及第二開關裝置，有選擇性地連接至該多工裝置之一輸出端；以及一資料輸出緩衝器，耦合至該第一及第二開關裝置之輸出端及該第一及第二開關裝置的緩衝輸出。該多工裝置連接至該第一開關裝置以做爲第一模式運作使用，連接至該第二開關裝置以做爲第二模式運作使用，藉此執行二路(two-way)資料測試。

圖式簡要說明

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

圖一係習知平行測試電路之資料路徑；

圖二係與圖一電路合用之致能時脈產生電路的電路圖；

圖三係與圖一電路合用之致能訊號產生電路的電路圖；

圖四係與圖一電路合用之比較器之詳細電路圖；

圖五係與圖一電路合用之FDB比較器的詳細電路圖；

圖六係MDB的詳細電路圖；

圖七係與圖一電路合用之DB多工器之詳細電路圖；

圖八係本發明第一較佳實施例之平行測試電路之資料路徑；

圖九係與圖八電路合用之比較器的致能時脈產生電路之電路圖；

圖十係與圖八電路合用之比較器的致能訊號產生電路之電路圖；

圖十一係與圖八電路合用之比較器的詳細電路圖；

圖十二與圖八電路合用之FDB比較器的詳細電路圖；

圖十三係MDB電路的詳細電路圖；

圖十四係與圖八電路合用之DB多工器之詳細電路圖；

圖十五係本發明第二較佳實施例之平行測試電路之資料路徑。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

較佳實施例之詳細說明

較佳實施例中將加註參考標號，並表示於所附圖式中。

圖八係本發明第一較佳實施例之平行測試電路之資料路徑。

圖八的記憶陣列包括多記憶組，每一記憶組分割爲預定數目的記憶區塊。一4M或16Mbytes的記憶裝置可以分爲4記憶組及16記憶區塊。圖八中表示二記憶組及四記憶區塊。

在每一記憶區塊中，有一預定數目的資料輸出(DO)線，一DO線多工器S7(DO MUX)連接至DO線，以及一1/0/hi-Z比較器S8也連接至DO線。DO線多工器S7及1/0/hi-Z比較器S8的每一輸出端共同連接至預定數目的第一資料匯流排(FDB)。

在圖一的電路中，既然有四個記憶區塊，則FDBs有四個。FDBs連接於第一資料匯流排比較器S9(FDB比較器)之一輸入端。FDB比較器S9的輸出端連接至第二料匯流排SDBs。SDBs經由NAND閘10連接至合併資料匯流排(MDB)。MDB連接至資料匯流排(DB)開關(0/1)及DB開關(0/1/Hi-Z)。(DB)開關(0/1)及DB開關(0/1/Hi-Z)之每一輸出端連接至資料輸出緩衝器DOUT S12之輸入端。圖八電路的下部結構同上述的上部。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

圖一與圖八之不同如以下所描述。

如圖八所示，二開關有選擇性地連接於DB MUX S10與DOUT S12之間，取代圖一中使用的1/0比較器。因此，(DB)開關(0/1)連接至DB MUX S10以便監視是否有無效資料。當偵測到無效資料及目前的資料形式時，DB開關(0/1/Hi-Z)連接至DB MUX S10。經由有選擇性的連接，所有的0/1及0/1/Hi-Z模式可以在沒有使用圖一比較器電路的情況下完成。因此，DB MUX S10及0/1/Hi-Z比較器在一般運作中耦合至DO線。對應每一模式的運作由二DB開關執行。在此方式，本發明的平行測試電路具有降低尺寸，但維持相同性能的佈局。

圖九係圖八電路之比較器的致能時脈產生電路之電路圖。圖十係圖八電路之比較器的致能訊號產生電路之電路圖。圖十一係與圖八電路合用之比較器的詳細電路圖。圖十二與圖八電路合用之FDB比較器的詳細電路圖。圖十三係MDB電路的詳細電路圖。圖十四係與圖八電路合用之DB多工器之詳細電路圖。

包含於每一記憶區塊的DO比較器及DO MUX S10連接至DO線如圖八所示。DO線的資料經由FDB比較器S9被傳送至FDBs，SDB及MDB。資料經由DB MUX S10所決定的資料路徑0/1或0/1/Hi-Z模式被傳送至資料輸出緩衝器DOUT。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

來自圖九電路PFCOM的訊號在外部訊號PFTE與訊號PYE和列位址觸發訊號同步時被致能爲高準位，而於WEB緩衝器之輸出PWR達到低準位時緩衝行位址觸發訊號CASB的CASB緩衝器到達高準位。

參照圖十一，如果DO資料線的所有資料在平行測試處理期間都到達高準位，訊號MDOi變高，且訊號MDOiB變低。如果DO資料線的所有資料在平行測試處理期間都到達低準位，訊號MDOi變低，且訊號MDOiB變高。如果DO線的資料無效，訊號MDOi及MDOiB達到每一個在1/0/Hi-Z模式的Hi-Z狀態。圖十四的訊號PHLZE係1/0/Hi-Z模式的致能訊號，從外部被輸入。

依據本發明平行測試電路，平行測式模式期間所產生的資料形式可以用DB開關經由模式選擇而被選擇。連接至DO線的匯流排線及比較器的數目降低，這對高積體化技術及簡化運作有利，並因而確保高速性能。

圖十五表示本案第二較佳實施例之平行測試電路之資料路徑。於第二較佳實施例中，與圖八實施例相反的是，輸出資料在1/0/Hi-Z模式被傳輸至DB線，而模式選擇隨後經由其資料輸出緩衝器的開關而選擇，藉此在選擇的模式中產生輸出資料。第二較佳實施例確保晶片尺寸的降低以及高速性能。

本發明得由熟悉本技藝之人士任施匠思而爲諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：　　）

半導體記憶裝置之平行測試電路

一種半導體記憶裝置之平行測試電路，具有一包含多記憶單元及多個高速記憶單元測試用之比較裝置的記憶體陣列，包括：多個第一比較裝置，依據經由靠近該記憶陣列之記憶區塊的多資料輸出線傳輸的資料而執行第一比較；多個第二比較裝置，共同耦合至該第一比較裝置的每一輸出端，並依據該第一比較裝置的輸出資料執行第二比較；多工裝置，依據該第二比較裝置的輸出資料執行多工運作；第一及第二開關裝置，有選擇性地連接至該多工裝置之一輸出端；以及一資料輸出緩衝器，耦合至該第一及第二開關裝置之輸出端及該第一及第二開關裝置的緩衝輸出。該多工裝置連接至該第一開關裝置以做爲第一模式運作使用，連接至該第二開關裝置以做爲第二模式運作使用，藉此執行二路(two-way)資料測試。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種半導體記憶裝置之平行測試電路，具有一包含多記憶單元及多個高速記憶單元測試用之比較裝置的記憶體陣列，包括：

多個第一比較裝置，依據經由靠近該記憶陣列之記憶區塊的多資料輸出線傳輸的資料而執行第一比較；

多個第二比較裝置，共同耦合至該第一比較裝置的每一輸出端，並依據該第一比較裝置的輸出資料執行第二比較；

多工裝置，依據該第二比較裝置的輸出資料執行多工運作；

第一及第二開關裝置，有選擇性地連接至該多工裝置之一輸出端；以及

一資料輸出緩衝器，耦合至該第一及第二開關裝置之輸出端及該第一及第二開關裝置的緩衝輸出；其中該多工裝置連接至該第一開關裝置以作爲第一模式運作使用，連接至該第二開關裝置以作爲第二模式運作使用，藉此執行二路(two-way)資料測試。

2.如申請專利範圍第1項之平行測試電路，其中該第一模式運作係執行預定資料測試的1/0模式運作。

3.如申請專利範圍第1項之平行測試電路，其中該第二模式運作係執行預定資料測試及偵測資料形式的1/0/Hi-Z模式運作。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

4.一種半導體記憶裝置之平行測試電路，具有一包含多記憶單元及多個高速記憶單元測試用之比較裝置的記憶體陣列，包括：

多個第一比較裝置，依據經由靠近該記憶陣列之記憶區塊的多資料輸出線傳輸的資料而執行第一比較；

多個第二比較裝置，共同耦合至該第一比較裝置的每一輸出端，並依據該第一比較裝置的輸出資料執行第二比較；

多工裝置，依據該第二比較裝置的輸出資料執行多工運作；以及

一資料輸出緩衝器，具有第一及第二開關裝置並緩衝該多工裝置的輸出；其中該多工裝置連接至該第一開關裝置以做爲第一模式運作使用，連接至該第二開關裝置以做爲第二模式運作使用，藉此執行二路(two-way)資料測試。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

311988

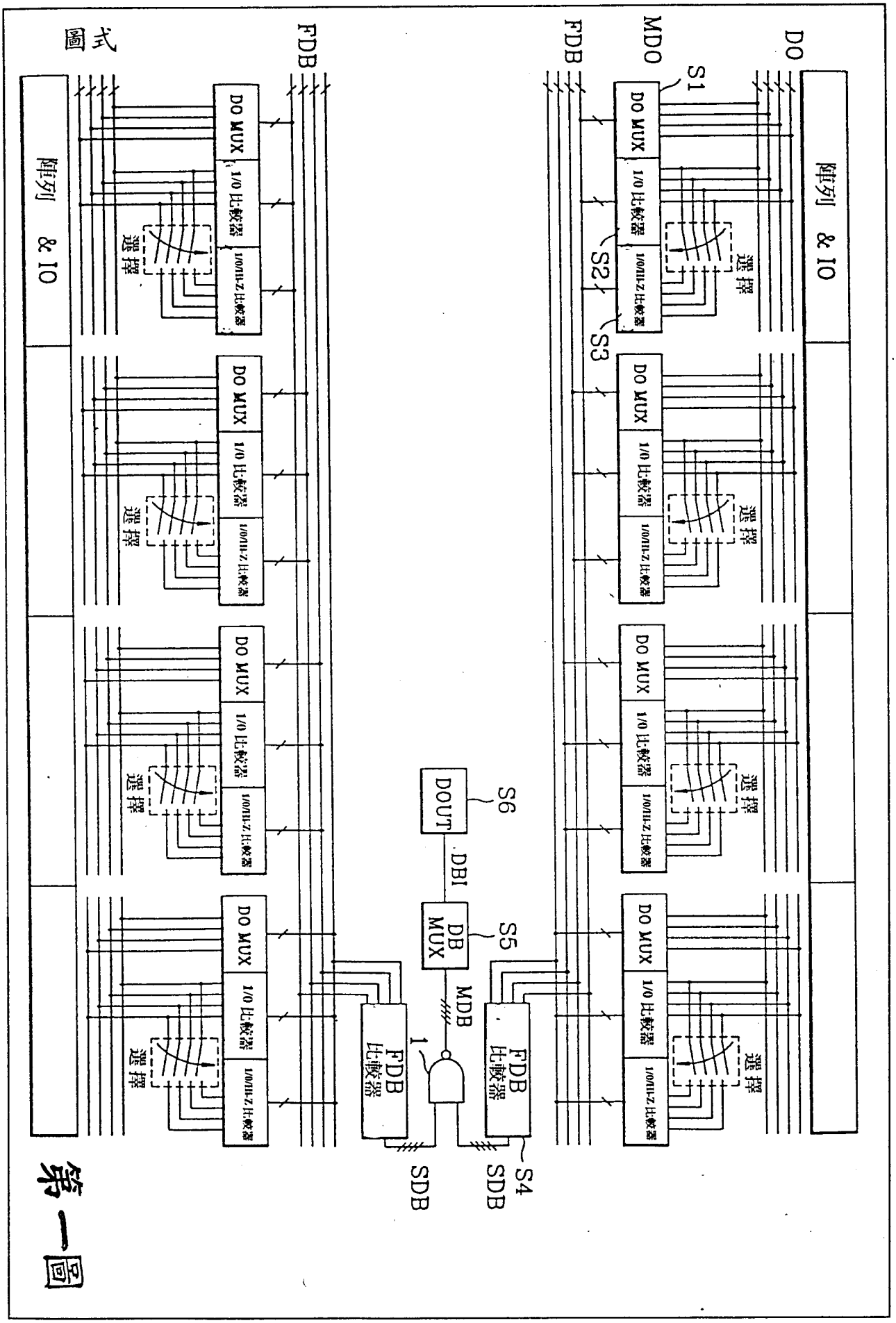
A9
B9
C9
D9

（請先閱讀背面之注意事項再行繪製）

裝

訂

線

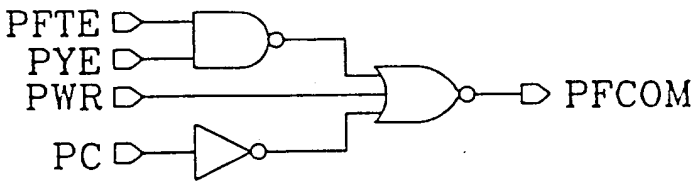


圖式

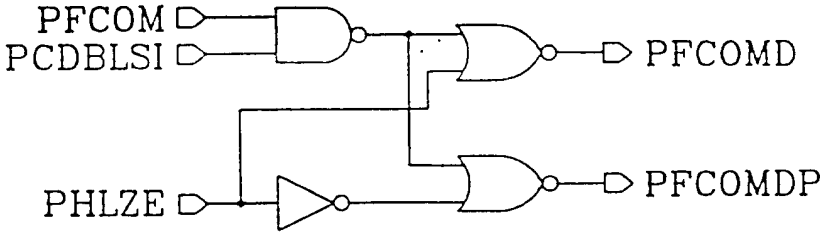
第一圖

經濟部中央標準局員工消費合作社印製

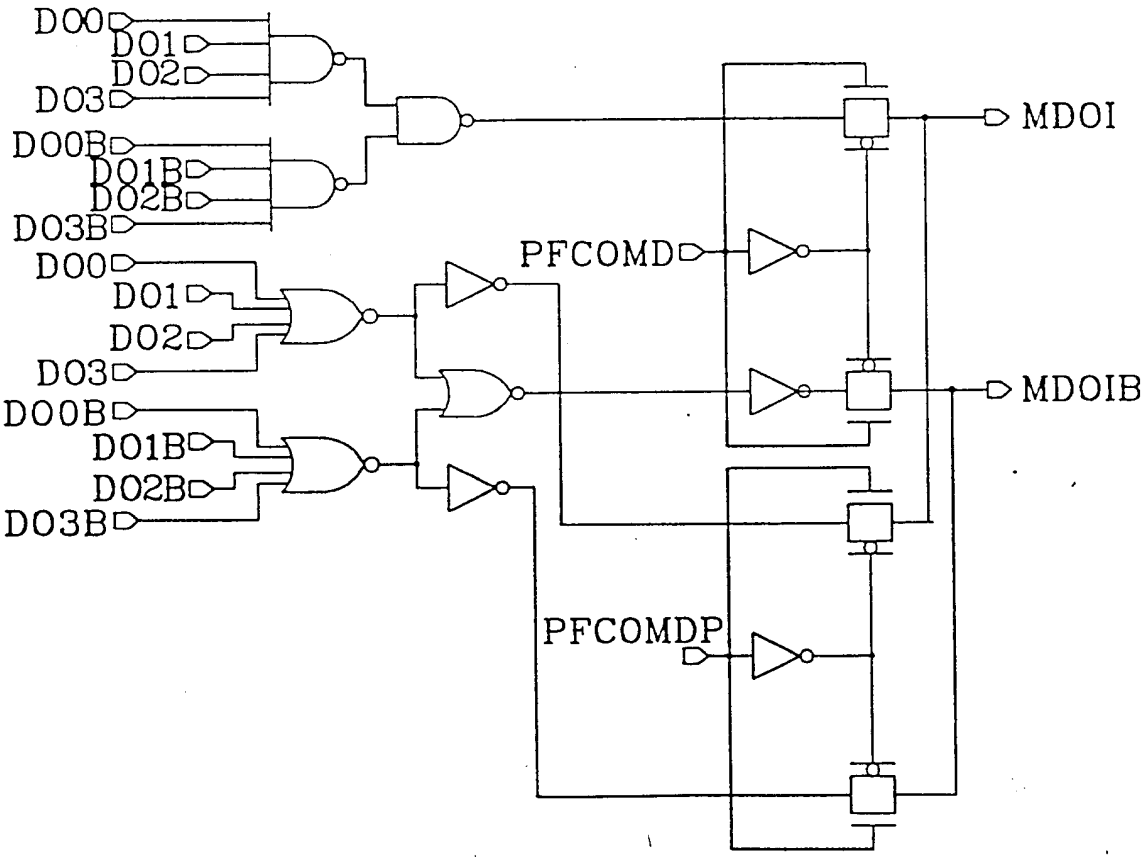
圖式



第二圖



第三圖

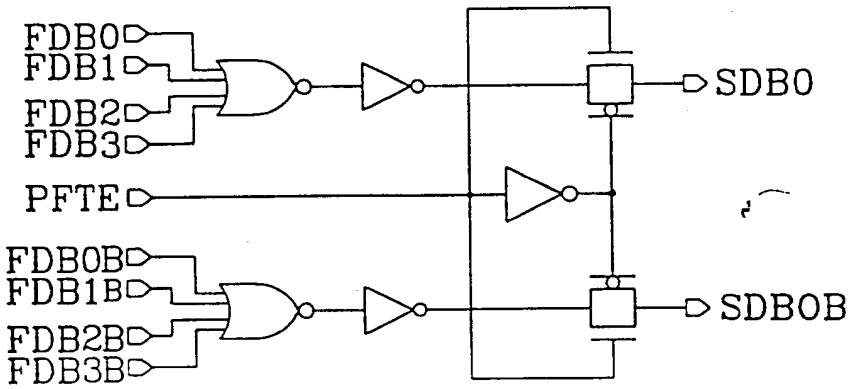


第四圖

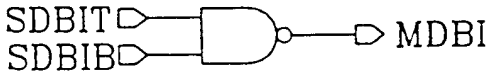
（請先閱讀背面之注意事項再行繪製）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A9
B9
C9
D9

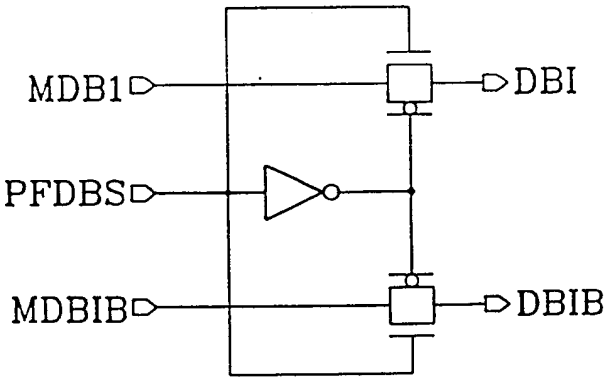
圖式



第五圖



第六圖



第七圖

（請先閱讀背面之注意事項再行繪製）

裝

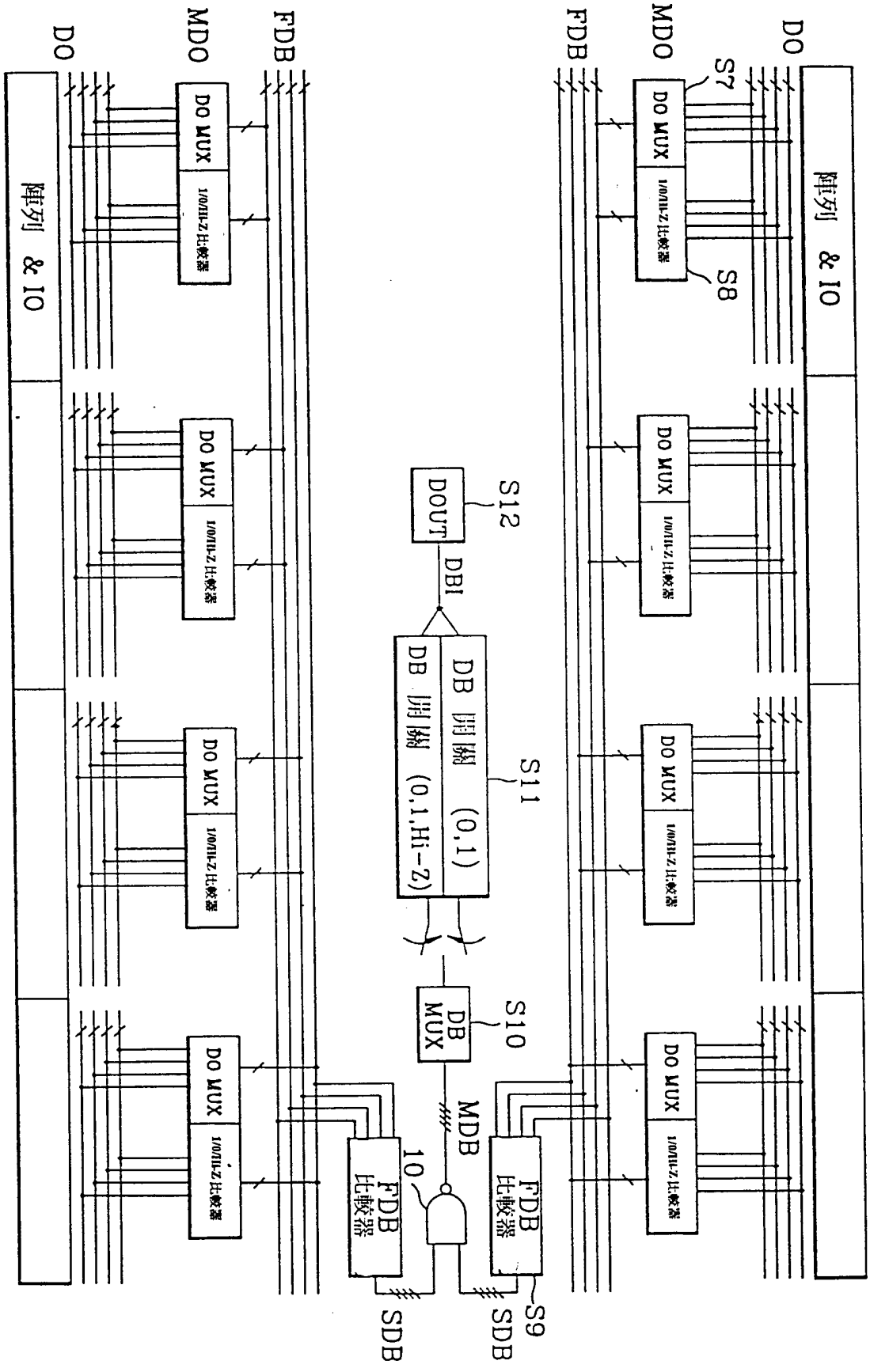
訂

線

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再行繪製）

圖式



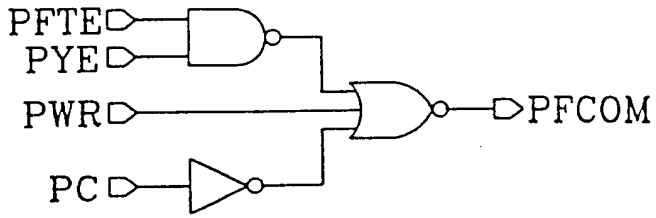
第八圖

經濟部中央標準局員工消費合作社印製

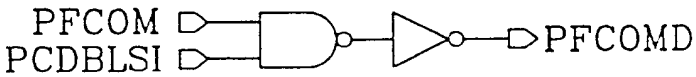
311988

A9
B9
C9
D9

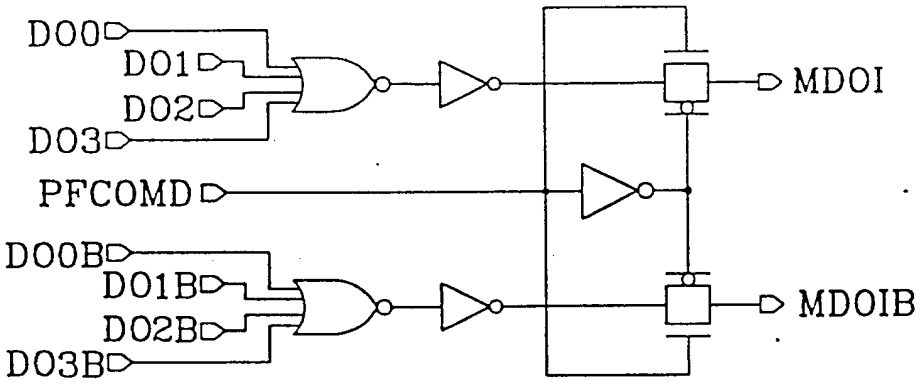
圖式



第九圖



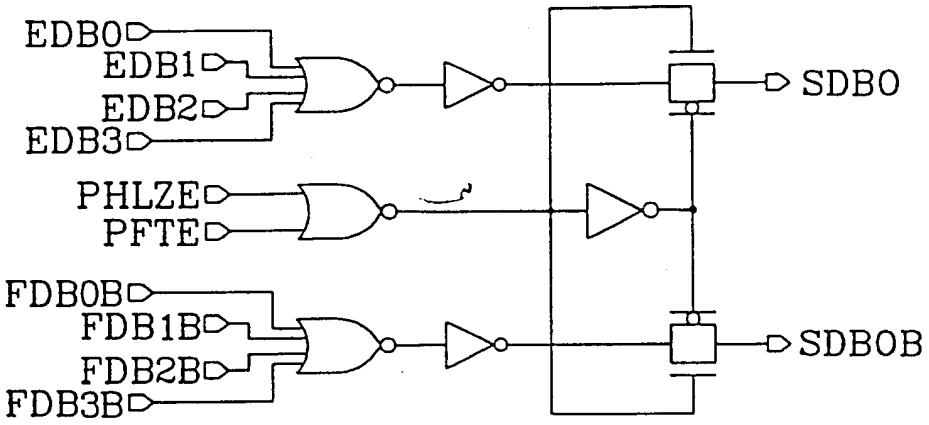
第十圖



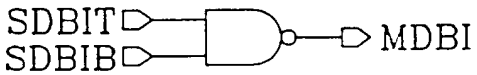
第十一圖

（請先閱讀背面之注意事項再行繪製）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

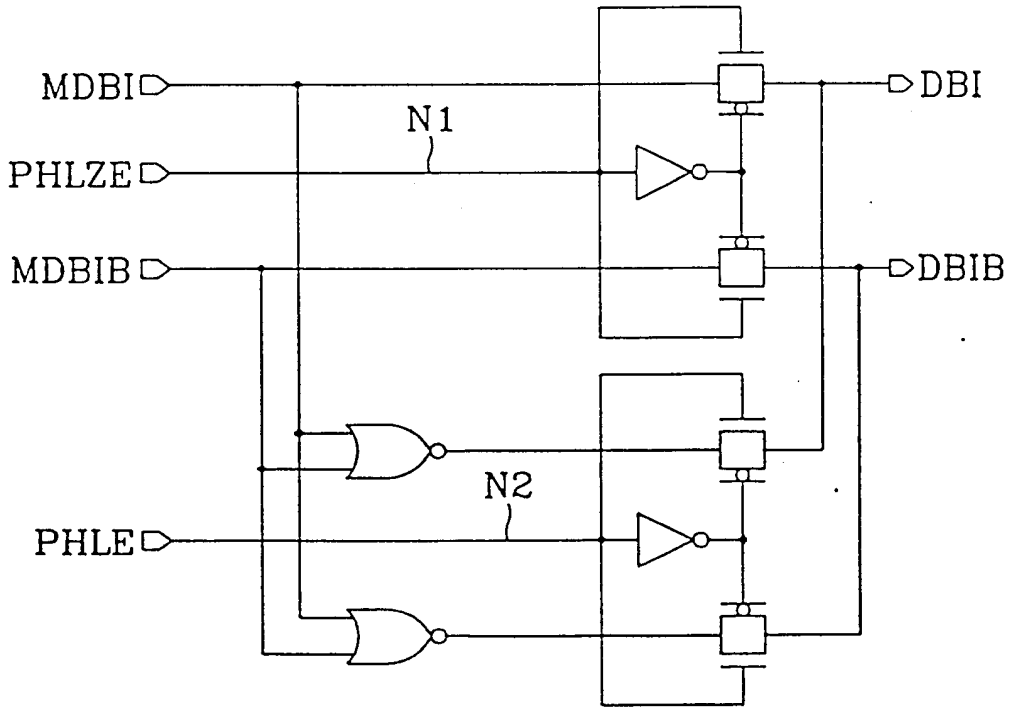
圖式



第十一圖



第十三圖



第十四圖

（請先閱讀背面之注意事項再行繪製）

表

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

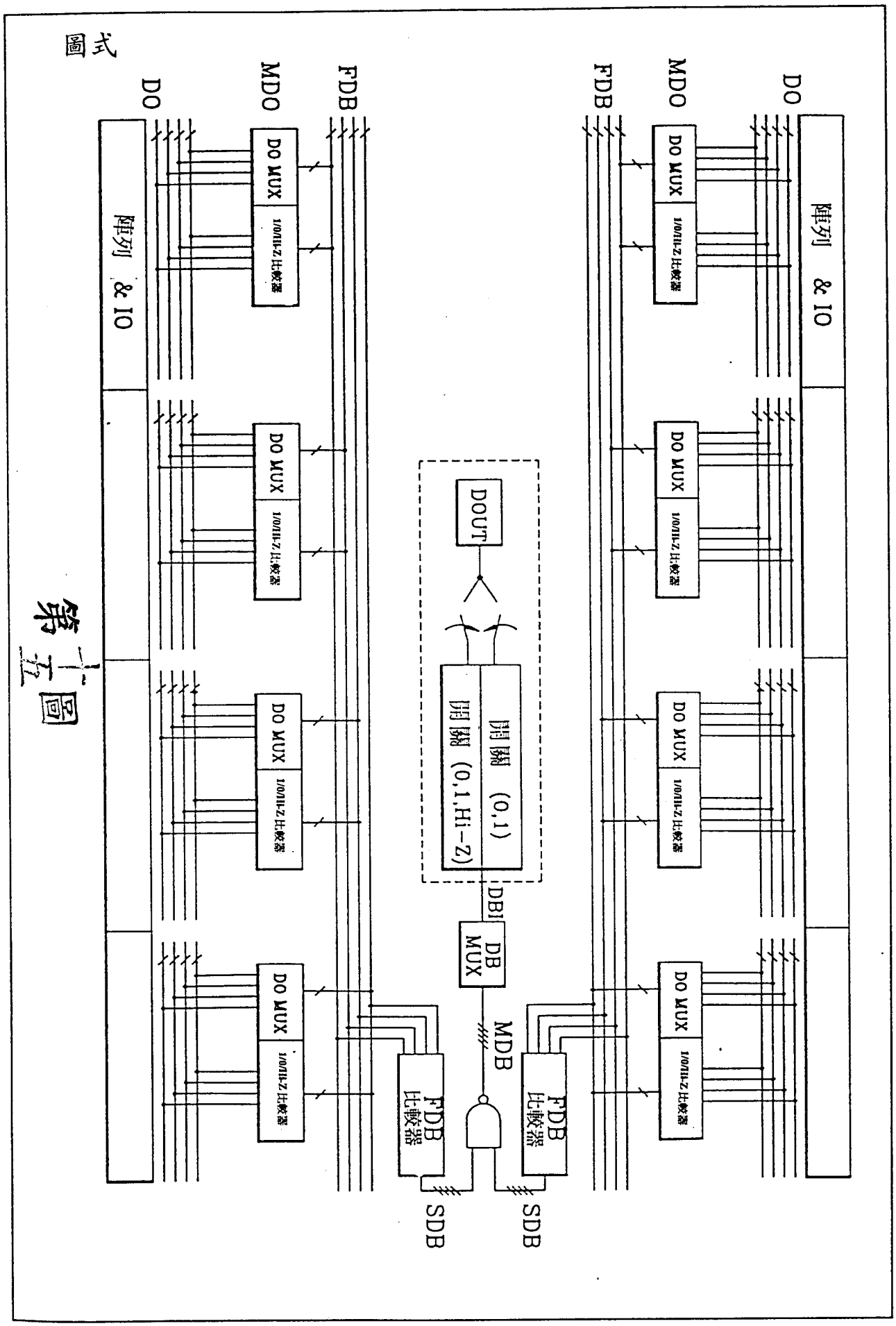
311988

A9
B9
C9
D9

（請先閱讀背面之注意事項再行繪製）

裝 訂 線

圖式



第十五圖

經濟部中央標準局員工消費合作社印製