



(12) 发明专利

(10) 授权公告号 CN 1926792 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200580006910. X

(22) 申请日 2005. 03. 03

(30) 优先权数据

60/550, 585 2004. 03. 05 US

10/970, 529 2004. 10. 21 US

(85) PCT申请进入国家阶段日

2006. 09. 04

(86) PCT申请的申请数据

PCT/US2005/006914 2005. 03. 03

(87) PCT申请的公布数据

W02005/093973 EN 2005. 10. 06

(73) 专利权人 菲尼萨公司

地址 美国加利福尼亚州

(72) 发明人 格里塔·莱特 鲁道夫·霍夫梅斯特

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 杨生平 杨红梅

(51) Int. Cl.

H04B 10/00 (2006. 01)

(56) 对比文件

CN 1467842 A, 2004. 01. 14, 说明书第 12 页第 9 段至第 15 页第 3 段, 附图 1-3.

同上.

US 6512617 B1, 2003. 01. 28, 说明书第 2 栏第 66 行至第 5 栏第 53 行, 附图 1-4.

US 6665498 B1, 2003. 12. 16, 全文.

同上.

同上.

审查员 姚宏颖

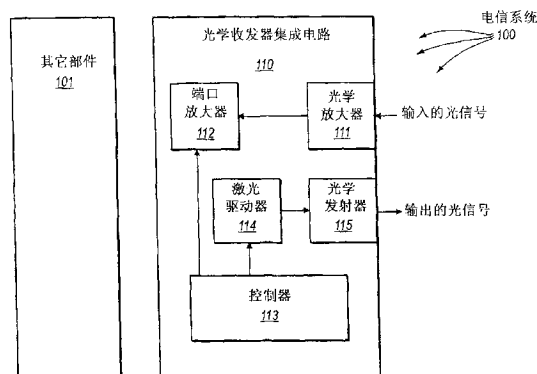
权利要求书 2 页 说明书 11 页 附图 8 页

(54) 发明名称

一种光学收发器集成电路及电信系统

(57) 摘要

一种电信系统和构成该电信系统的集成电路, 包括用于与光学接收器 (111) 通信的后置放大器组件 (112), 配置成与光学发射器 (115) 通信的激光驱动器组件 (114), 以及配置成控制所述后置放大器和激光驱动器的控制器组件 (113)。所述后置放大器、激光驱动器和控制器组件实施在单个集成电路上, 由此降低制造成本。由于时钟生成而导致的噪声可通过如下来减小: 使时钟在瞬态的基础上起作用, 当在引导过程中需要时接通, 以及当在正常操作期间不需要时关断。



1. 一种光学收发器集成电路,包括:
配置成与光学接收器通信的后置放大器组件;
配置成与光学发射器通信的激光驱动器组件;
配置成控制所述后置放大器和激光驱动器的引导部件的控制器组件;以及
配置成和所述引导部件通信的时钟,所述时钟还配置为仅当所述引导部件在引导过程中被激活工作且未被禁止时操作,

其中所述后置放大器、激光驱动器、控制器组件和时钟在单个所述光学收发器集成电路上一起实现。

2. 根据权利要求1的光学收发器集成电路,进一步包括所述光学接收器,其中所述光学接收器也在所述单个所述光学收发器集成电路上实现。

3. 根据权利要求2的光学收发器集成电路,进一步包括所述光学发射器,其中所述光学发射器也在所述单个所述光学收发器集成电路上实现。

4. 根据权利要求1的光学收发器集成电路,进一步包括所述光学发射器,其中所述光学发射器也在所述单个所述光学收发器集成电路上实现。

5. 根据权利要求1的光学收发器集成电路,其中所述光学收发器集成电路是1G激光收发器。

6. 根据权利要求1的光学收发器集成电路,进一步包括寄存器阵列,所述激光驱动器和后置放大器受所述寄存器阵列内的值的控制,其中所述控制器配置成通过向所述寄存器阵列写入值来控制所述激光驱动器和后置放大器。

7. 根据权利要求6的光学收发器集成电路,其中所述控制器配置成使用第一双线接口来与所述寄存器阵列通信。

8. 根据权利要求7的光学收发器集成电路,其中在所述光学收发器集成电路的外部设置持久存储器,其中所述控制器配置成使用与所述第一双线接口不同的第二双线接口来与所述持久存储器通信。

9. 根据权利要求8的光学收发器集成电路,其中所述控制器配置成响应于所述持久存储器内的内容使用所述第一双线接口来与所述寄存器阵列通信,其中所述第二双线接口用于从所述持久存储器读取所述内容。

10. 根据权利要求8的光学收发器集成电路,进一步包括诊断模块,该诊断模块配置成选择性地禁止所述控制器使用所述第二双线接口与所述持久存储器通信,并且进一步配置成一旦所述控制器这样被禁止,则使用所述第二双线接口来诊断所述持久存储器的内容。

11. 根据权利要求7的光学收发器集成电路,进一步包括诊断模块,该诊断模块配置成选择性地禁止所述控制器使用所述第一双线接口与所述寄存器阵列通信,并且进一步配置成一旦所述控制器这样被禁止,则使用所述第一双线接口来诊断所述寄存器阵列的内容。

12. 根据权利要求8的光学收发器集成电路,其中所述控制器配置成选择性地进入通过模式,在该通过模式中,到所述持久存储器的信号从所述寄存器阵列传递,来自所述持久存储器的信号传递到所述寄存器阵列。

13. 一种包括光学收发器集成电路的电信系统,所述光学收发器集成电路包括:
配置成与光学接收器通信的后置放大器组件;
配置成与光学发射器通信的激光驱动器组件;

配置成控制所述后置放大器和激光驱动器的引导部件的控制器组件；以及

配置成和所述引导部件通信的时钟，所述时钟还配置为仅当所述引导部件在引导过程中被激活工作且未被禁止时操作，

其中所述后置放大器、激光驱动器、控制器组件和时钟在单个所述光学收发器集成电路上一起实现。

14. 根据权利要求 13 的电信系统，其中所述光学收发器集成电路进一步包括光学接收器，其中所述光学接收器也在所述单个所述光学收发器集成电路上实现。

15. 根据权利要求 14 的电信系统，其中所述光学收发器集成电路进一步包括光学发射器，其中所述光学发射器也在所述单个所述光学收发器集成电路上实现。

16. 根据权利要求 13 的电信系统，其中所述光学收发器集成电路进一步包括光学发射器，其中所述光学发射器也在所述单个所述光学收发器集成电路上实现。

17. 根据权利要求 13 的电信系统，其中所述光学收发器集成电路进一步包括寄存器阵列，所述激光驱动器和后置放大器受所述寄存器阵列内的值的控制，其中所述控制器配置成通过向所述寄存器阵列写入值来控制所述激光驱动器和后置放大器。

18. 根据权利要求 17 的电信系统，其中所述控制器配置成使用第一双线接口来与所述寄存器阵列通信。

19. 根据权利要求 18 的电信系统，其中在所述光学收发器集成电路的外部设置持久存储器，其中所述控制器配置成使用与所述第一双线接口不同的第二双线接口来与所述持久存储器通信。

20. 根据权利要求 19 的电信系统，其中所述控制器配置成响应于所述持久存储器内的内容使用所述第一双线接口来与所述寄存器阵列通信，其中所述第二双线接口用于从所述持久存储器读取所述内容。

21. 根据权利要求 19 的电信系统，其中所述光学收发器集成电路进一步包括诊断模块，该诊断模块配置成选择性地禁止所述控制器使用所述第二双线接口与所述持久存储器通信，并且进一步配置成一旦所述控制器这样被禁止，则使用所述第二双线接口来诊断所述持久存储器的内容。

22. 根据权利要求 18 的电信系统，其中所述光学收发器集成电路进一步包括诊断模块，该诊断模块配置成选择性地禁止所述控制器使用所述第一双线接口与所述寄存器阵列通信，并且进一步配置成一旦所述控制器这样被禁止，则使用所述第一双线接口来诊断所述寄存器阵列的内容。

23. 根据权利要求 19 的电信系统，其中所述控制器配置成选择性地进入通过模式，在该通过模式中，到所述持久存储器的信号从所述寄存器阵列传递，来自所述持久存储器的信号传递到所述寄存器阵列。

一种光学收发器集成电路及电信系统

技术领域

[0001] 本发明总的涉及高速收发器。更具体而言,本发明的实施例涉及如下系统和设备: 其将后置放大器、激光驱动器和控制器集成在同一集成电路上,由此使制造成本减小并且工作效率和功能性得到改善。

背景技术

[0002] 许多高速数据传输网络依赖于光学收发器和类似设备来发送和接收以光信号实施的数字数据。典型地,在这种网络中的数据传输通过诸如激光器的光学发射器来实施,而数据接收通常通过例如光电二极管的光学接收器来实施。

[0003] 各种其它部件亦由光学收发器用来帮助控制光学发送和接收部件以及处理各种数据和其它信号。例如,这样的光学收发器典型地包括驱动器(例如当用于驱动激光信号时称为“激光驱动器”),其配置成响应于各种控制输入来控制光学发射器的操作。所述光学收发器通常也包括放大器(例如常常称为“后置放大器”),其配置成执行关于光学接收器所接收的数据信号的某些参数的各种操作。控制器电路(以下称为“控制器”)控制激光驱动器和后置放大器的操作。

[0004] 在常规光学收发器中,控制器与激光驱动器和后置放大器实施在不同的集成电路(“IC”)上。因此,控制器、激光驱动器和后置放大器的集合在印刷电路板上实施为分离的芯片。控制器通过印刷电路板与激光驱动器和后置放大器电连接。

[0005] 然而,这种方式的一个缺陷是多个分离的 IC 占据了印刷电路板上相对大量的空间。此外,单独制造每个 IC 的费用相当大。在竞争激烈的电信设备市场,制造较为便宜的包括控制器、激光驱动器和后置放大器的设备将是有利的。

发明内容

[0006] 现有技术的上述问题通过本发明的原理得以克服。本发明的原理可在电信系统中实施,并且可包括一集成电路,该集成电路包括配置用于与光学接收器通信的后置放大器组件,配置用于与光学发射器通信的激光驱动器组件,以及配置成控制所述后置放大器和激光驱动器的控制器组件。

[0007] 所述后置放大器、激光驱动器和控制器组件在单个集成电路上实施,由此降低制造成本。由于时钟生成而导致的噪声可通过如下方式来减小:使时钟在瞬态的基础上起作用,当在引导过程中需要时接通,而当在正常操作期间不需要时关断。在将这些各种部件集成到高速光学收发器的同一芯片上时,这种噪声减小是重要的,因为实际的数据通道很接近于时钟和控制电路。

[0008] 本发明的附加特征和优点将在以下描述中阐述,并且其一部分根据该描述来看是明显的,或者可以通过本发明的实践而习知。可借助于在所附权利要求中具体指出的手段和组合来实现和获得本发明的特征和优点。本发明的这些和其它特征从以下描述和所附权利要求来看将变得更加明显,或者可通过以下阐述的本发明的实践而习知。

附图说明

[0009] 为了描述获得本发明的上述和其它优点和特征的方式,对以上简要描述的发明的更具体的描述将通过参考在附图中示出的其特定实施例来进行。在理解这些附图仅描述本发明的典型实施例而并不因此被认为是对其范围的限制的情况下,将借助于附图、利用附加的特征和细节来描述和解释本发明,在所述附图中:

[0010] 图 1 示意性地示出在电信系统中实施的光学收发器集成电路;

[0011] 图 2A 示意性地示出所述光学收发器电路的部分,其中引导部件控制器处于引导模式,在该模式下,控制器使用两个不同的双线接口与各种部件通信;

[0012] 图 2B 示意性地示出所述光学收发器电路的部分,其中引导部件处于通过模式,在该模式下,引导部件允许外部控制器和内部从部件之间的信息通过;

[0013] 图 3 更详细地示出图 2A 和 2B 的核心的电路图;

[0014] 图 4 示意性地示出定义 FSB 双线接口的帧的顺序数据结构;

[0015] 图 5A 示出一示例帧,其中的操作是使用扩展域并且使用循环冗余检验 (CRC) 和确认来写或读;

[0016] 图 5B 示出一示例帧,其中操作是不使用扩展域而使用 CRC 和确认来写或读;以及

[0017] 图 5C 示出一示例帧,其中操作是不使用扩展域并且不使用 CRC 和确认来写或读。

具体实施方式

[0018] 本发明的原理涉及电信系统和构成电信系统的集成电路,包括配置成与光学接收器通信的后置放大器组件,配置成与光学发射器通信的激光驱动器组件,以及配置成控制所述后置放大器和激光驱动器的控制器组件。后置放大器、激光驱动器和控制器组件在单个集成电路上实施,由此降低制造成本。现在将参考附图来描述本发明示例性实施例的各个方面。应理解,附图仅仅是这样的示例性实施例的图解和示意性表示,而不构成对本发明的限制。

[0019] 转到附图,图 1 示意性地示出电信系统 100,除了可能的其它部件 101 外,其还包括光学收发器集成电路 110。

[0020] 光学收发器集成电路 110 用于接收输入的光信号并将该信号报告给其它部件 101。具体而言,光学接收器 111 接收输入光信号并将该光信号转换成对应的电信号。该电信号然后提供给后置放大器 112 以便进行适当的放大。所得到的电信号然后可由例如主机计算系统使用。其它部件 101 可包括使用该输入信号的主机计算系统。

[0021] 光学收发器集成电路 110 还用于响应于来自主机计算系统的指令来发送输出光信号。激光驱动器 114 适当地解释这些指令以将适当的电信号提供给光学发射器 115。光学发射器 115 将该电信号转换成光信号以便发送。

[0022] 后置放大器 112 和激光驱动器 114 由控制器 113 控制,其以适当的设置来配置后置放大器 112 和激光驱动器 114。在一些情况下,控制器 113 可足够精密,以便在给定变化的工作环境的情况下动态调节后置放大器 112 和激光驱动器 114 的设置。

[0023] 控制器 113 可与后置放大器 112 和激光驱动器 114 集成到同一集成电路上。在常规系统中,这将是不可行的,因为常规控制器典型地使用一致的时钟信号来同步其操作。这

样的时钟信号产生可泄漏到正在接收和发送的实际信号中的噪声。将控制器与后置放大器和激光驱动器集成到同一芯片上将增加这种噪声,这是因为元件变得很接近。然而,通过仅在控制器工作的某些时钟敏感的时间期间使用时钟,本发明减少了这种时钟驱动的噪声的影响。这使得将控制器 113 与后置放大器 112 和激光驱动器 114 集成到同一集成电路上更加可行。光学接收器 111 和光学发射器 115 亦可集成在同一集成电路上,尽管这并不是所需要的。将控制器 113、后置放大器 112 和激光驱动器 114 集成到同一电路显著地减小了该组合的制造成本。

[0024] 图 2A 和 2B 示意性地示出包括数字核心部件 213 的光学收发器集成电路。数字核心部件 213 包括引导部件 221、FSB 从部件 225 和 FSB 寄存器阵列部件 226。FSB 代表“菲尼萨串行总线”并且是菲尼萨专用双线接口。关于这种双线接口的更多内容在以下参照图 4、5A、5B 和 5C 来描述。从部件 225 和寄存器阵列 226 标记为 FSB 部件,因为它们可使用 FSB 双线接口来通信。然而,本发明的原理并不局限于光学收发器集成电路内的任何特定通信方式。光学收发器集成电路亦可包括时钟 228。

[0025] 后置放大器 112 和激光驱动器 114 未在图 2A 和 2B 中示出,尽管这些部件可存在于如图 1 示意性示出的光学收发器集成电路中。然而,后置放大器 112 和激光驱动器 114 的设置可以使用 FSB 寄存器阵列部件 226 来存储器映射。响应于从引导部件 221 或通过引导部件 221 接收的特定 FSB 命令,FSB 从部件 225 从 FSB 寄存器阵列部件 226 内的指定寻址单元 (address location) 读取数据以及将数据写到其中。具体而言,FSB 从部件 225 可产生用来对 FSB 寄存器阵列 226 内的单元进行寻址的信号 mem_addr、用来使能写操作的信号 wr_enable 以及用来指定待写数据的信号 wr_data。另外,FSB 从部件可读取信号 rd_data 以便从指定的存储器地址读取数据。FSB 寄存器阵列 226 包括 XOR 树 227,如果在 FSB 寄存器阵列中检测到奇偶校验误差,则该 XOR 树产生 parity_error 信号。XOR 树 227 的结构和用途将在以下进一步描述。

[0026] 图 2A 示出配置 200A,其中没有光学收发器集成电路 210A 外部的控制器。取而代之,芯片上引导部件 221 用作控制器。该配置在此将被频繁地称为“内部控制器配置”。具体而言,引导部件 221 在光学收发器集成电路启动过程中工作。在启动期间,引导部件 221 协调将来自外部 EEPROM 234 的适当指令正确加载到 FSB 寄存器阵列 226 中。一旦启动过程完成,则基于 FSB 寄存器阵列 226 内的值来控制后置放大器 112 和激光驱动器 114。

[0027] 在图 2A 的内部控制器配置中的引导过程中,引导部件 221 是激活的。通过信号 enable_boot 为高,该状态被呈现给引导部件。即使在该激活状态,也可通过将信号 frc_disable_boot 信号置位为高来暂时禁止引导部件 221。

[0028] 在引导过程(在该时间内,引导部件 221 激活而不是暂时禁止)中,引导部件 221 使用常规的 I²C 双线接口与存储器 234 通信。具体而言,引导部件 221 的引导控制部件 223 使引导部件 221 的 I²C 主部件 222 使用遵循 I²C 的时钟、数据和写保护信号来与 EEPROM 存储器 234 通信。时钟信号在图 2A 中由来自 EEPROM 透视图的信号 SCL 以及来自引导部件透视图的信号 twi_clk 来表示。数据信号由来自 EEPROM 透视图的信号 SDA 以及来自引导部件透视图的信号 twi_data 来表示。写禁止信号由来自 EEPROM 透视图的信号 WP 以及来自引导部件 221 透视图的信号 boot_busy 来表示。I²C 双线接口和这些对应的信号是本领域普通技术人员熟知的。

[0029] 也是在引导过程中,引导部件 221 可使用 FSB 双线接口与 FSB 从部件 225 通信并控制它。具体而言,引导部件 221 可使用引导控制部件 223 来控制 FSB 主部件 224。作为响应,FSB 主部件 224 将适当的时钟信号 `fsb_clk` 提供给 FSB 从部件 225 和 FSB 寄存器阵列 226。而且,FSB 主部件 224 将数据信号 `fsb_data` 提供给 FSB 从部件 225。`fsb_clk` 和 `fsb_data` 信号依照在以下参照图 4、5A、5B 和 5C 描述的 FSB 双线接口来提供。

[0030] 引导逻辑部件 223 如此配置,使得当引导部件 221 启动时,适当的数据从 EEPROM 234 加载到 FSB 寄存器阵列 226 中。如先前所述,这样做包含了使用一个双线接口与 EEPROM 234 通信,同时使用不同的双线接口与其它部件(例如 FSB 从部件 225)通信。

[0031] 图 2A 的内部控制器配置还示出几个其它外部部件。例如,当任选的诊断模式 FSB 控制器 231 置位信号 `frc_fsb_mode` 时,信号 `frc_disable_boot` 类似地被置位,由此禁止引导控制器 221。这允许诊断模式 FSB 控制器 231 使用时钟信号 `fsb_clk` 和数据信号 `fsb_data` 通过 FSB 双线接口直接通过引导部件 221 与 FSB 部件 225 通信。在该配置中,诊断模式 FSB 控制器 231 相当于 FSB 主部件。相应地,诊断模式 FSB 控制器 231 可控制 FSB 从部件 225 以由此使得对 FSB 寄存器阵列 226 做出适当的诊断。

[0032] EEPROM 编程接口 232 也可类似地置位 `frc_disable_boot` 信号以至 少暂时禁止任何引导操作。EEPROM 编程接口 232 然后可根据常规的 I²C 双线接口、使用 SCL 和 SDA 信号来与 EEPROM 234 通信。通过在 EEPROM 编程期间禁止引导过程,对时钟信号 SCL 和数据信号 SDA 的争用的风险显著减小。到 EEPROM 233 的任选主机接口亦可提供,以便允许主机计算系统与 EEPROM 对接。

[0033] 因此,图 2A 的内部控制器配置 200A 提供了使得控制器可与后置放大器和激光驱动器处于同一集成电路上的机制。因此,存在由于控制器与后置放大器和激光驱动器很接近而导致时钟噪声注入到所接收和发送的信号中的较高风险。通过使振荡器 228 仅当引导控制器 221 真正在引导光学收发器集成电路 210A 时工作,这种风险得以减小。`enable_boot` 是静态配置信号,其在图 2A 所示的配置中是激活的。因此,由振荡器 228 提供的不论什么信号都以时钟信号 `boot_clk` 的形式通过 AND 门 229 来提供。振荡器 228 配置成在引导过程中提供这样的时钟信号。然而在引导过程之后,振荡器 228 并不提供振荡的时钟信号,由此消除了由振荡器 228 导致的时钟噪声。

[0034] 由于某些环境条件,可以设想 FSB 寄存器阵列 226 内的数据可变成毁坏的。这可对后置放大器和激光驱动器具有有害的影响,因为后置放大器和激光驱动器的物理操作直接依赖于 FSB 寄存器阵列 226 内的值。光学收发器集成电路 210A 具有用于在即使时钟初始不接通的情况下从寄存器阵列毁坏中恢复的机制。

[0035] 具体而言,寄存器阵列 226 中的每个字节都具有对应的奇偶校验位。对于每个字节,XOR 树 227 包括 XOR 子树,其对字节中的每个位进行逻辑 XOR 运算以便产生实际字节奇偶校验位。如果该字节中的逻辑一的数目为奇数,则该实际字节奇偶校验位将为高,而如果字节中的逻辑一的数目为偶数则为低,而不管字节是否毁坏。

[0036] 实际字节奇偶校验位与针对每个字节所存储的理想字节奇偶校验位进行 XOR 运算。如果该字节中的逻辑一的数目为奇数而没有任何毁坏,则理想字节奇偶校验位将为高,而如果字节中的逻辑一的数目为偶数而没有任何毁坏则为低。对于每个字节,对实际字节奇偶校验位与所存储的理想字节奇偶校验位进行 XOR 运算以便产生字节奇偶校验误差

位。该字节奇偶校验误差位将仅在对应的字节已经变得毁坏时为高。可对各种字节奇偶校验位进行逻辑 OR(或 XOR) 运算以产生在图 2A 中的 parity_error 信号。这样, parity_error 信号将仅在 FSB 寄存器阵列已经经历毁坏时为高。响应于高的 parity_error 信号, 引导控制部件 223 置位 en_boot_clk 信号, 其激励振荡器 228 以由此重新启动引导过程。重新引导然后应当将寄存器阵列初始化为适当的值以由此使正常操作继续进行。在引导过程之后, 也可切断引导时钟, 以便减小噪声。

[0037] 引导控制器 221 允许图 2A 的内部控制器配置, 其中控制器、后置放大器和激光驱动器全部处于同一光学收发器集成电路上。然而, 引导控制器 221 亦可提供具有外部控制器的灵活性。图 2B 示出这样的配置 200B, 其中 FSB 主控制器 240 使用遵循 FSB 双线接口的时钟信号 fsb_clk 和实际信号 fsb_data、直接通过引导部件 221 与 FSB 从部件 225 通信。在此情况下, enable_boot 信号为低, 由此使引导时钟和引导控制器不激活。此外, frc_disable 信号为低。图 2B 的配置在此亦可称为“外部控制器配置”。FSB 主部件 240 可工作来通过 FSB 从部件 225 加载、监视和更新 FSB 寄存器阵列 226。

[0038] 图 2A 的光学收发器集成电路 210A 可在物理上与图 2B 的光学收发器集成电路 210B 结构相同。其差异在于 enable_boot 信号以及可能还有 frc_disable_boot 信号的值。可替代地, enable_boot 信号可在图 2A 和 2B 中相同, 其中信号 frc_disable_boot 表示一超越信号 (override signal), 其使能够实现图 2B 中所示的超越配置。因此, 光学接收器集成电路 210 足够灵活来适应内部控制器配置和外部控制配置两者。此外, 这种灵活性可通过简单地将适当的配置信号 enable_boot 和 frc_disable_boot 置位到集成电路来获得。

[0039] 图 3 更详细地示出核心部件 213 的配置 300。I²C 主部件 222、引导控制部件 223 和 FSB 主部件 224 在图 3 中集中示为引导状态机 310。在内控制器配置中, 当 frc_disable_boot 信号为低并且 enable_boot 信号为高时, 引导状态机可接入引导时钟信号 boot_clk。在引导过程中, 引导状态机 310 作为 FSB 从部件 225 的 FSB 主部件 224 来工作。

[0040] 具体而言, 引导状态机 310 将信号 fsb_slave_mode_sel 拉低。这使复用器 311 到 316 中的每个复用器的上输入端子 (标记为 “0”) 耦合到其对应的输出端子。现在将参看图 3 更详细地描述该内部控制器配置期间的操作。

[0041] 引导状态机 310 生成时钟信号 boot_fsb_clk(out), 其从引导时钟信号 boot_clk 得到。该时钟信号 boot_fsb_clk(out) 然后通过复用器 311 变为 FSB 时钟信号 fsb_clk。引导状态机 310 亦可生成与 FSB 双线接口一致并根据 FSB 时钟信号来定时的数据信号。该数据信号由 boot_fsb_do(out) 来表示, 其通过复用器 314 以变为提供给 FSB 从部件 225 的信号 fsb_di。FSB 从部件 225 可使用信号 fsb_do 并使用输出使能信号 fsb_do_oe 将该数据发回状态机。因此, 通过使用图 3 中所示的配置, 引导状态机 310 完全能够充当 FSB 从部件 225 的 FSB 主部件。

[0042] 在引导过程中, 引导状态机 310 也能够使用 I²C 双线接口与 EEPROM 通信。具体而言, 一个逻辑零通过复用器 312 的上输入端子被置位成信号 TWI_C0。引导状态机 310 产生的时钟信号 boot_scl 用作 I²C 接口的时钟信号。如果时钟信号 boot_scl 为高, 则通过反相器 321 将该时钟信号反相为低以将低信号提供给复用器 313 的上输入端子。该低信号被提供给驱动器 322, 由此将低信号 TWI_C0 与驱动器 322 的输出端子隔离。相应地, 允许通过上拉电阻器 323 将信号 twi_clk (到 EEPROM 的时钟线上的实际时钟信号) 拉高。如果时钟信

号 boot_scl 为低,则通过反相器 321 将该时钟信号反相为高以将高信号提供给复用器 313 的上输入。该高信号被提供给驱动器 322,由此使驱动器通过信号 TWI_CO (其为低),作为提供给 EEPROM 的时钟信号 twi_clk。这模拟了开漏驱动器。因此,提供给 EEPROM 的 I²C 时钟信号 twi_clk 跟随由引导状态机 310 产生的 I²C 时钟信号 boot_scl。

[0043] 类似地,从 I²C 数据的角度来看,逻辑零通过复用器 312 的上输入端子被置位作为信号 TWI_CO。引导状态机 310 所产生的数据信号 boot_sda 用作由引导部件 221 产生的数据信号,用于与 EEPROM 的 I²C 接口。如果数据信号 boot_sda 为高,则通过反相器 324 将该数据信号反相为低以将低信号提供给复用器 316 的上输入。该低信号被提供给驱动器 325,由此将低信号 TWI_DO 与驱动器 325 的输出端子隔离。因此,允许通过上拉电阻器 326 将信号 twi_data (到 EEPROM 的数据线上的实际数据信号) 拉高。如果数据信号 boot_sda 为低,则通过反相器 324 将该数据信号反相为高以将高信号提供给复用器 316 的上输入。该高信号被提供给驱动器 325,由此使驱动器将信号 TWI_DO (其为低) 作为数据信号 twi_data 提供给 EEPROM。这模拟了开漏驱动器,同时保持了根据需要来直接驱动接口的能力。因此,提供给 EEPROM 的 I²C 数据信号 twi_data 跟随由引导状态机 310 产生的 I²C 数据信号 boot_data。在另一个方向上,引导状态机 310 亦可监视 I²C 数据线上的数据。信号 twi_data 通过驱动器 327 提供为到引导状态机 310 的 I²C 数据输入信号 boot_sda。

[0044] 总之,在引导过程中,引导状态机 310 用作 FSB 从部件 225 的 FSB 主机,并且作为外部 EEPROM 的 I²C 主机。另一方面,如果引导状态机 310 不激活(例如因为 enable_boot 信号为低,或者因为 frc_disable_boot 信号为高),数据状态机允许诸如控制器的芯片外部件通过引导部件 221 将通信信息直接传递到 FSB 从部件 225。这种情况适用于图 2B 的外部控制器配置模型。

[0045] 在外部控制器配置模式中,引导状态机将 fsb_slave_mode_sel 信号置位为高。这将复用器 311 到 316 的下输入端子耦合到其相应的输出端子。因此,由芯片外控制器产生的时钟信号 twi_clk 直接通过驱动器 328 和通过复用器 311 到达 FSB 从部件 225 和 FSB 寄存器阵列 226。驱动器 322 关断,并且引导状态机 310 因此不传送任何时钟信号。

[0046] 由外部控制器产生的数据信号 twi_data 通过驱动器 327、通过复用器 314 并到达 FSB 从部件 225。如果 FSB 从部件 225 产生高输出使能信号 fsb_do_eo,则驱动器 325 接通,并且由 FSB 从部件 225 产生的数据信号 fsb_do 通过复用器 315 和通过驱动器 325,以产生数据信号 twi_data。因此,在该配置中,外部控制器直接与 FSB 从部件通信。

[0047] 因此,本发明的原理提供了一种光学收发器集成电路,其中控制器、后置放大器和激光驱动器可集成在同一芯片上,而具有最小的噪声影响。此外,该光学收发器集成电路可配置成在内部控制后置放大器和激光驱动器,或允许外部控制器控制 FSB 从部件,而不改变光学收发器集成电路的物理结构。这使用户具有了根据需要在较低成本的内部控制器配置和较高成本的外部控制器配置之间选择的灵活性。

[0048] 应指出,尽管本发明的一些实施例很适合于结合遵循千兆比特以太网 (“GigE”) 物理规范的高速数据传输系统来使用,这样的操作环境仅仅是示例性的,本发明的实施例可更一般地在各种高速数据传输系统中的任何一种中实施,其中的一些可具有高达或超过 1G、2.5G、4G、10G 以及更高带宽光纤通道的线速率。例如,本发明的一些实施例与光纤通道 (“FC”) 物理规范兼容。

[0049] 此外,本发明的实施例可以以各种方式实施。举例来说,PA/LD的一些实施例以小形状因子可插入(“SFP”)双向收发器模块来实施。这样的收发器模块遵循 GigE 和 / 或 FC 来配置。举例来说,这样的收发器模块能够以大约 850nm 的波长来发送和 / 或接收。而且,这些收发器模块可在宽的温度范围内工作。例如,一些这样的收发器模块在大约 80℃、如从大约 -10℃到大约 +70℃的温度范围内是高效的。当然,这样的实施例和关联的操作参数仅仅是示例性的,而并不是期望以任何方式来限制本发明的范围。例如,本发明的原理可无限制地实施在任何形状因子、如 XFP、SFP 和 SFM 的激光发射器 / 接收器中。

[0050] 图 4 示出以上参照图 2A、2B 和 3 简要提及的 FSB 双线接口的帧的数据结构 400 的示意图。帧 400 包括前导域 401、帧起始域 402、操作域 403、设备标识符域 404、任选的扩展域 405、基本地址域 406、第一总线周转(turnaround)域 407、任选的总线保持域 408、数据域 409、任选的循环冗余校验(CRC)域 410、第二总线周转域 411、任选的确认域 412、任选的错误状态域 413 和帧结尾域 414。如以下更详细描述,帧 400 设计成使在任何部件控制数据线的回合内,保证了比前导长度更频繁地插入的零。

[0051] 总线周转域允许数据线控制在 FSB 主部件和 FSB 从部件之间的任意转移。因此,FSB 主部件可提供帧中的一些,而 FSB 从部件可提供该帧的其它部分。注意,尽管在图 4 中示出了特定的域排序,但关于域排序有相当大的灵活性,而不会不利地影响帧 400 的功能性,在阅读本说明书之后,本领域的技术人员将明白这一点。

[0052] 图 5A、5B 和 5C 示出帧 400 的特定实施例。一些任选的域根据所执行的操作被包括或排除。图 5A 示出一个示例的帧,其中操作是使用扩展域并且使用循环冗余校验(CRC)和确认来写或读。图 5B 示出一个示例的帧,其中操作是不使用扩展域而使用 CRC 和确认来写或读。图 5C 示出一个示例的帧,其中操作是不使用扩展域并且不使用 CRC 和确认来写或读。

[0053] 由于图 5A 示出包括内容最多的帧实例,将参照图 5A 最详细地描述帧的各种域。图 5A 的帧包括对应于位 74:0 的 75 个位,而不管操作是如在行 501A 中所指定的读操作还是如在行 504A 中所指定的写操作。

[0054] 行 502A 在读操作期间、FSB 主部件控制数据线时的时间增量处示出星号,其它位置包含句点。该行开始处的“MOE”表示“主数据输出使能”。行 503A 在读操作期间、FSB 从部件控制数据线时的时间增量处示出星号,其它位置包含句点。该行开始处的“SOE”表示“从数据输出使能”。

[0055] 类似地,行 505A 在写操作期间、FSB 主部件控制数据线时的时间增量处示出星号,其它位置包含句点。此外,行 506A 在写操作期间、FSB 从部件控制数据线时的时间增量处示出星号,其它位置包含句点。以下进一步说明行 307A 和 308A。

[0056] 该帧自图 5A 中由 15 个位 74:60 表示的前导开始。该前导是图 4 的前导域 401 的实例。数据线 132 保持在高阻抗状态。在没有 FSB 主部件或任何一个 FSB 从部件对数据线进行任何置位的情况下,数据线由上拉电阻器(见图 3 的电阻器 326)保持到逻辑一。当 FSB 主部件确定要与 FSB 从部件通信时,FSB 主部件在时钟线上产生时钟信号。同时,每个时钟周期,FSB 主部件对数据线监视十五个连续的一。高阻抗数据线的确允许对数据线上的数据适当置位,尽管存在上拉电阻器。

[0057] 如果 FSB 主部件在前导阶段不对数据线进行任何置位,则如果任何一个 FSB 从部

件都不在数据线上发送先前帧的其余部分,数据线将承载逻辑一。可选地,即使FSB主部件可能在前导的至少一些期间在数据线上置位逻辑一,则假定此时任何一个FSB从部件都不在数据线上发送,则数据线将仍在前导阶段内承载逻辑一。另一方面,该帧设计成使当发送帧的非前导部分时,FSB主或FSB从都不在一行中发送十五个以上连续的逻辑一。

[0058] 给定上述情况,如果在所述帧的前导阶段内,FSB主部件在监视数据线的过程中检测到数据线上的逻辑零,则FSB从部件有可能在数据线上发送。不论是否检测到逻辑零,在继续该帧之前,FSB主部件将一直等到在数据线上有十五个周期的逻辑一。由于该帧设计内保证插入的零,于是FSB主部件可以在数据线上安全地发送,而FSB从部件之一也在数据线上发送的风险很小。

[0059] 因此,即使存在FSB主部件和FSB从部件之间的同步误差,也会重新实现同步,因为FSB主部件会等待FSB从部件完成其对数据线的 使用后才继续操作。FSB从部件亦对数据线监视十五个连续的一。因此,当FSB从部件遇到十五个连续的一时,该FSB从部件等待该帧的其余部分。因此,由于FSB从部件在前导时间时不使用数据线,而不管FSB从部件是否在先前已经丢失了与FSB主部件的同步,所以FSB从部件将在帧的前导阶段监听该前导。因此,FSB从部件需要与FSB主部件的同步。

[0060] 因此,前导显著缩短,同时进一步保持了从同步丢失的错误中恢复的。此外,由于数据线因上拉电阻器而被偏置为高,在前导阶段内,FSB主部件不需要在数据线上置位任何数据,由此减小了功率要求。

[0061] 一旦前导阶段结束(即FSB主部件已经在数据线上检测到至少十五个连续的二进制一),FSB主部件在数据线上置位逻辑一,如位59所表示的。这接通FSB主部件的输出使能,并且将数据线在逻辑一多维持一个周期。

[0062] FSB主部件然后发送两个帧起始位58:57,其被保证为逻辑零。这些帧起始位是图4的帧起始域402的实例。在前导阶段结束之后,FSB从部件监听这些逻辑零。当它们到达时,FSB从部件理解这两个逻辑零对应于帧的其余部分的起始,由此达到同步。提供两个逻辑零是为了提供两个逻辑零实际上的确表示帧起始的足够统计概率。

[0063] FSB主部件然后发送三个操作码位56:54。这些操作码位是图4的操作域403的实例。所述三个操作码位在正常情况下将允许标识八个唯一的操作。然而,为了保证该操作码中的至少一个逻辑零,由所述三个位所表示的操作数目为六,而保留操作码的其它两种排列。在所示实例中,位序列011和111被保留。

[0064] 在该实例中,操作位000指的是不使用扩展域(以下进一步说明)但利用CRC校验和确认的写操作。用于该操作的帧在图5B的行504B中示出(见行504B的位47:45)。

[0065] 操作位001指的是使用扩展域并且利用CRC校验和确认的写操作。用于该操作的帧在图5A的行504A中示出(见行504A的位56:54)。

[0066] 操作位010指的是不使用扩展域并且不利用CRC校验和确认的写操作。用于该操作的帧在图5C的行504C中示出(见行504A的位35:33)。

[0067] 操作位100指的是不使用扩展域但利用CRC校验和确认的读操作。用于该操作的帧在图5B的行501B中示出(见行501B的位47:45)。

[0068] 操作位101指的是使用扩展域并且利用CRC校验和确认的读操作。用于该操作的帧在图5A的行501A中示出(见行501A的位56:54)。

[0069] 操作位 110 指的是不使用扩展域并且不利用 CRC 校验和确认的读操作。用于该操作的帧在图 5C 的行 501C 中示出（见行 501C 的位 35:33）。

[0070] 注意帧结构如何依赖于操作而不同。因此，FSB 主部件通过控制操作码来控制要使用哪种帧结构。一旦读取到操作码，FSB 从部件就被配置成期望对应于该操作码的帧结构。因此，FSB 主部件可根据需要来动态调节帧结构。在带宽受到较多关注时，可使用较短且较不可靠的帧结构（例如图 5C）。在可靠性受到较多关注时，可使用较长且较可靠的帧结构（例如图 5A 和 5B）。当由于任何原因需要更多位时，可使用具有扩展域的帧（例如图 5A）。当不需要这些更多的位时，可使用没有扩展域的帧（例如图 5B 和 5C）。

[0071] 返回来参考图 5A，在 FSB 主部件发送操作码（即位 56:54）后，FSB 主部件发送对应于位 53:51 的三位设备标识符。这些设备标识符位是图 4 的设备标识符域 404 的实例。设备标识符标识 FSB 主部件应与多个 FSB 从部件中的哪个 FSB 从部件通信。由于在该实施例中三个位用于设备标识符，在该实施例中可以有多个 FSB 从部件（或者如果 FSB 主部件也要具有用于自诊断的地址，则为七个 FSB 从部件）。

[0072] 直到设备标识符位被提供时为止，每个 FSB 从部件都监视数据线上的通信。然而，一旦收到设备标识符位，FSB 从部件即可将其自身识别为对应于设备标识符。如果有其它 FSB 从部件的话，它们可忽略该帧的其余部分。即使其它 FSB 从部件忽略了帧的其余部分，所述其它 FSB 从部件仍可立即继续监视数据线以得到指示另一个帧正在被发送的另一个前导。可选地，其它 FSB 从部件可在时钟信号再一次被置位于时钟线上、从而表明下一个帧即将发送之后启动这样的监视。

[0073] 在 FSB 主部件在数据线上对设备标识符位 53:51 进行置位之后，FSB 主部件对八个位 50:43 进行置位，其对应于扩展域。这些扩展位是图 4 的扩展域 405 的实例。在图 5A 的情况下，操作码使 FSB 从部件期望这些扩展位。FSB 主部件然后发送保证的逻辑零作为位 42，由此确保数据线上的十五个连续的逻辑一意味着一个帧处于前导阶段，以由此支持上述同步恢复机制。

[0074] 扩展域可包括任何有用的扩展位，只要位的含义得到通信部件两者的共同识别。例如，扩展域的一些或全部可表示与具有较大地址空间的 FSB 从部件通信时所使用的扩展地址。可选地，或附加地，在需要更多操作类型时，扩展域的一些或全部可表示扩展的操作码。

[0075] FSB 主部件然后对八个位 41:34 进行置位，其对应于基本地址。这八个位 41:34 是图 4 的基本地址域 406 的实例。如果扩展域的全部表示扩展地址，则 FSB 从部件可使用所有十六个位 50:43 和 41:34 来适当地标识适用于操作的地址空间。

[0076] 该帧中的下一个位 33 是第一周转位并且代表图 4 的第一周转域 407 的实例。周转位在某种程度上是唯一的，因为它们允许 FSB 主部件和 FSB 从部件之间对数据线控制的任选交换。

[0077] 在写操作的情况下，第一周转位 33 是逻辑零，表示控制权暂时保留给 FSB 主部件。相应地，参考图 5A 的行 505A，FSB 主部件通过周转位 33 来保持对数据线的控制；并且参考图 5A 的行 506A，FSB 从部件不通过周转位 33 获得对数据线的控制。这种对控制的保持是适合的，因为是该 FSB 主部件正在提供数据作为由该 FSB 主部件所发起的写操作的对象。

[0078] 另一方面，在读操作的情况下，第一周转位 33 是高 z，意味着允许 数据线浮动在

其高阻抗状态,在该状态,FSB 主部件或 FSB 从部件都不主动在数据线上置位。这表示对数据线的控制已经传递到 FSB 从部件(见图 5A 的行 502A 和 503A)。这种控制传递是适合的,因为是该 FSB 从部件正在提供数据,作为由 FSB 主部件启动的读操作的对象。

[0079] 在读操作的情况下,FSB 从部件有机会在该 FSB 从部件没有准备好在该阶段继续的情况下暂停该帧。如果没有准备好继续,则 FSB 从部件将总线保持位 32 置位为逻辑零。当准备好继续时,如果准备好进行,则 FSB 从部件置位逻辑一,由此通知 FSB 主部件,该 FSB 从部件准备继续。当 FSB 从部件暂时没有准备好继续时,这为 FSB 从部件提供了暂停该帧的选择。以下针对确认位来描述可用于 FSB 从部件的附加暂停选择。在写操作的情况下,总线保持位 32 是保证的逻辑一。总线保持位 32 是图 4 的总线保持域 408 的实例。

[0080] 在读操作的情况下,在 FSB 从部件发送位保持位 32 之后,该 FSB 从部件发送八个最高有效位,然后是保证的零位。在写操作的情况下,在 FSB 主部件发送位保持位 32 之后,该 FSB 主部件发送八个最高有效位,然后是保证的零位。在任何一种情况下,八个最高有效位由位 31:24 来表示,并且随后的保证的零位由位 23 来表示。

[0081] 在读操作的情况下,在 FSB 从部件发送受保证零位 23 之后,该 FSB 从部件发送八个最低有效位,然后是另一个受保证零位。在写操作的情况下,在 FSB 主部件发送受保证零位 23 之后,该 FSB 主部件发送八个最低有效位,然后是另一个受保证零位。在任何一种情况下,八个最低有效位由位 22:15 来表示,而另一个受保证零位由位 14 来表示。数据位 31:24 和 22:15 的组合是图 4 的数据域 409 的实例。

[0082] 在读操作的情况下,在 FSB 从部件发送受保证零位 14 之后,该 FSB 从部件发送八位的循环冗余校验(CRC)数据,其对应于位 13:06。该 CRC 位是图 4 的 CRC 域 410 的实例。通过在帧起始位 58:57 之后和 CRC 位 13:06 之前使用所有这些位,FSB 主部件和 FSB 从部件两者都计算如行 507A 中所示的 CRC 数据。当 FSB 主部件接收到从 FSB 从部件回来的 CRC 位 13:06 时,FSB 主部件比较由 FSB 主部件和 FSB 从部件两者产生的 CRC 信息,如由行 508A 所表示的。如果失配,则在传输中有可能有错误,并且 FSB 主部件可在当前帧结束之后再次开始该帧。

[0083] 在写操作的情况下,在 FSB 主部件发送受保证零位 14 之后,该 FSB 主部件发送 CRC 位 13:06。FSB 主部件和 FSB 从部件两者再一次都计算其 CRC 数据。当 FSB 从部件从 FSB 主部件接收到 CRC 位 13:06 时,FSB 从部件比较由 FSB 主部件和 FSB 从部件两者产生的 CRC 信息。如果失配,则在传输中有可能有错误,并且在 FSB 主部件得到错误通知之后,FSB 主部件可在当前帧结束之后再次开始该帧。在一些情况下,错误的写操作可具有灾难性的(或至少有害的)的结果。例如,如果错误的写操作用于设置激光偏置电流,则激光强度可变得过强而使得发生信号失真。因此,在这样的情况下,可靠的通信是重要的。当检测到这样的错误时,FSB 从部件可选择抑制写操作。

[0084] 在 CRC 位 13:06 之后是第二周转位 05。该第二周转位是图 4 的第二周转域 411 的实例。如果控制权已经不在 FSB 从部件那里,则该周转操作允许将对数据线的控制给予 FSB 从部件。这允许 FSB 从部件将可靠性信息回传到 FSB 主部件

[0085] 在读操作的情况下,通过使用第一周转位,对数据线的控制已经传递给 FSB 从部件。因此,该第二周转位是逻辑零,表明对数据线的控制没有变化。另一方面,在写操作的情况下,对数据线的控制先前并没有使用第一周转位传递给 FSB 从部件。因此,允许数据线

浮动在其高阻抗状态,表明对数据线的控制到FSB从部件的传递。因此,在第二周转位05之后,FSB从部件具有了对数据线的控制,不管操作是读操作还是写操作。

[0086] 在第二周转位05之后,FSB从部件置位确认位04,其是图4的确认域412的实例。该确认位可表示操作是否成功。在本例中,逻辑一指的是操作的成功完成。如果FSB从部件过忙以至于不能对FSB主部件做出响应,则FSB从部件可对确认位04置位逻辑零,由此强迫FSB主部件重新启动该帧。因此,确认位03以及位保持位32为FSB从部件提供了一种解决不能对请求做出响应的情形的方式。

[0087] FSB从部件然后置位受保证零位03,然后是错误位02,其是图4的错误域413的实例。错误域可以指示是否存在CRC校验中的错误和/或违反协议(例如,在应当出现逻辑零时检测到逻辑一)。在读操作的情况下,FSB主部件将已经拥有足以做出这种判断的CRC数据。然而,在写操作的情况下,FSB从部件是CRC数据比较的进行者。因此,FSB从部件正是在此时向FSB主部件通,,知CRC数据的任何失配。失配将导致FSB主部件重新启动该帧。所述帧中CRC和确认信息的存在允许FSB主部件和FSB从部件之间的更可靠的通信。

[0088] FSB从部件然后置位两个帧结尾位01:00,其指示帧的结尾。第一位01是逻辑一,其立即将数据总线强制为逻辑一。在第二位,允许数据总线浮动在其高阻抗状态,为下一个帧开始做好准备。如果第一位01是逻辑零,则上拉电阻器可能需要一些时间将数据线上拉到可被解释为逻辑一的电压电平。因此,将第一位01设置为逻辑一意味着下一个帧可较快开始,由此提高性能。

[0089] 图5B示出一个示例的帧,其中操作是不使用扩展域而使用CRC和确认来写或读。图5B的帧类似于以上参考图5A所述的帧,除了操作是不使用扩展域来写或读。因此,图5A的位50:42不存在于图5B中,并且其中的位相应地重新编号。

[0090] 图5C示出一个示例的帧,其中操作是不使用扩展域并且不使用CRC和确认来写或读。图5C的帧类似于以上参考图5A所述的帧,除了操作是不使用扩展域来写或读。因此,图5A的位50:42不存在于图5C中。此外,在该帧中没有可靠性信息。因此,图5A的位13:02不存在于图5C中。存在于图5A中的位不存在于图5C中使得图5C中的其余位必须重新编号。

[0091] 本发明可以以其它特定的形式来实施,而并不背离其精神或基本特性。应当理解,所描述的实施例在各个方面都仅仅是示例性的而不是限制性的。因此,本发明的范围由所附权利要求而不是以上说明来限定。所有落入权利要求的精神和范围内的变化都包括在其范围内。

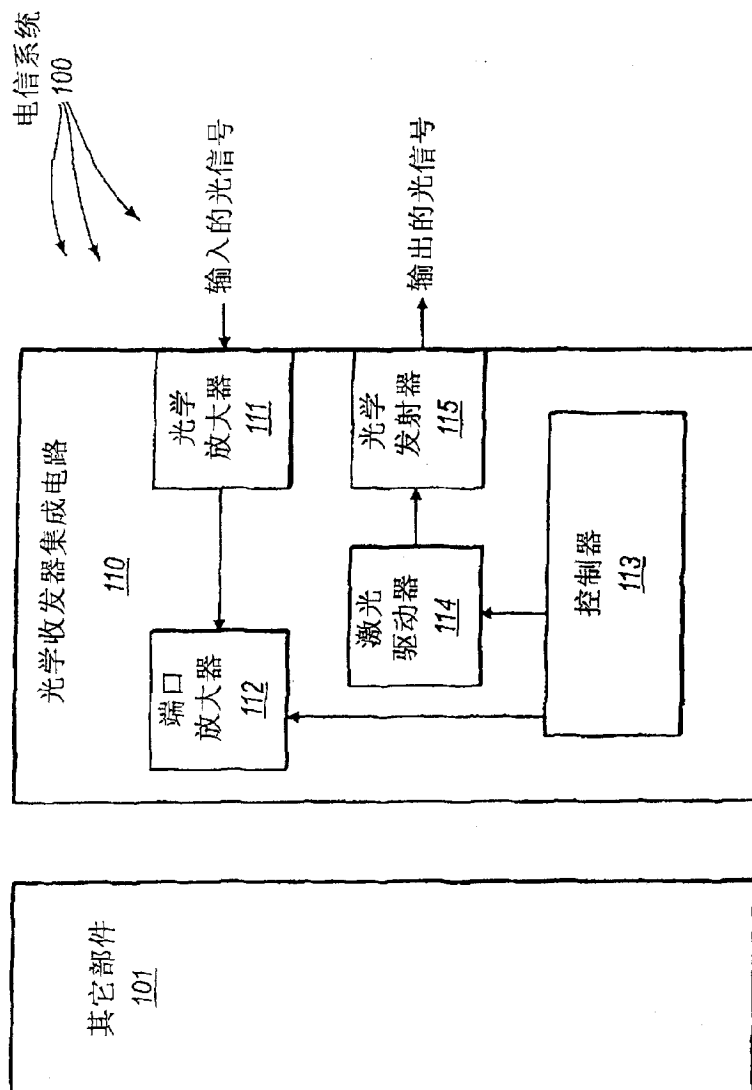


图1

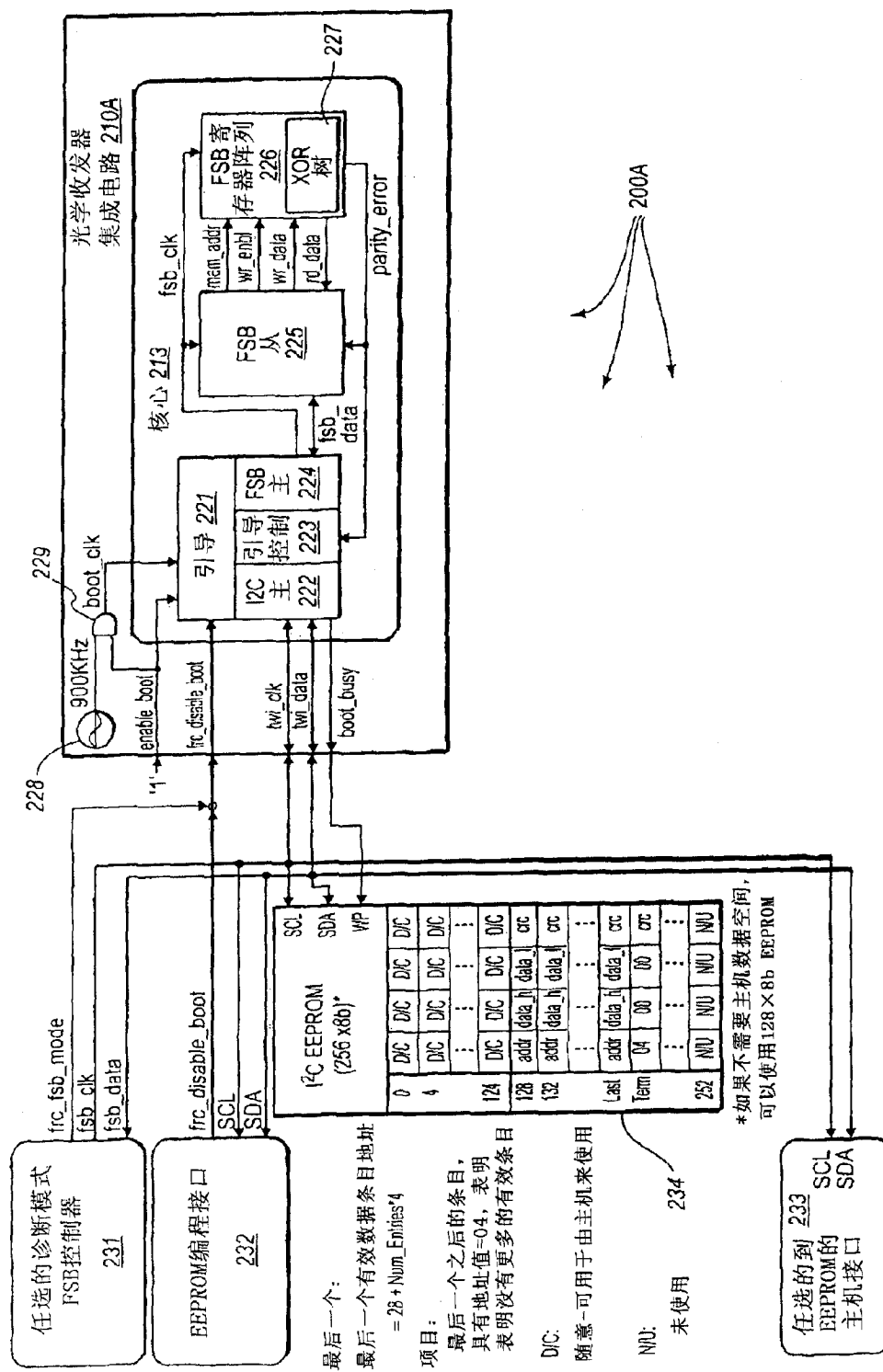
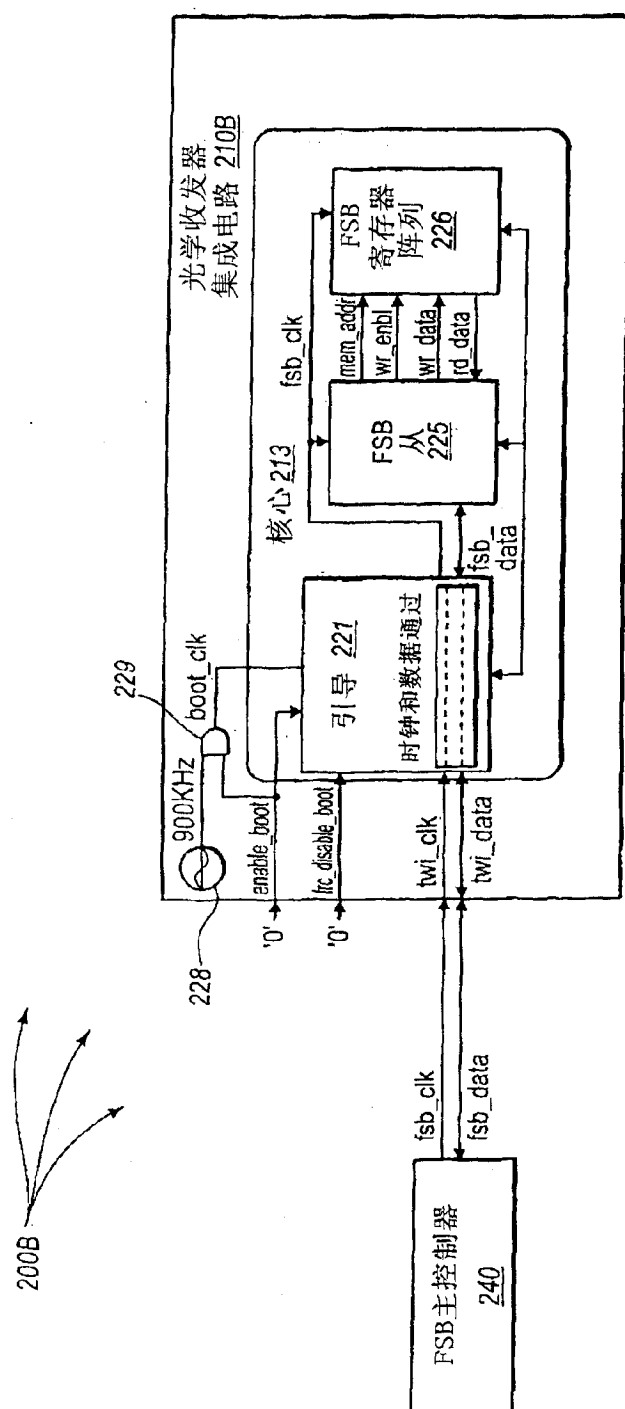
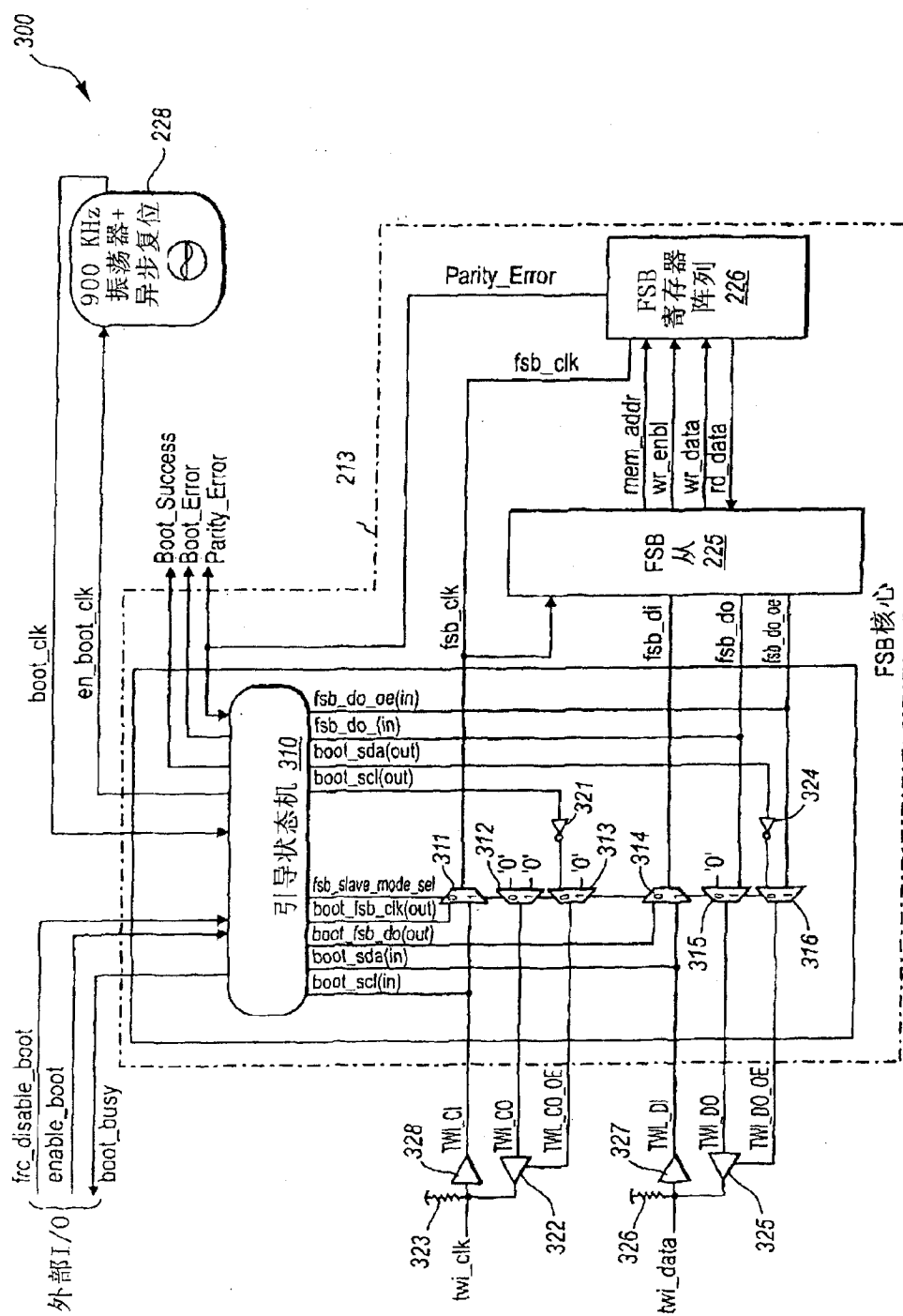


图 2A



2B



3

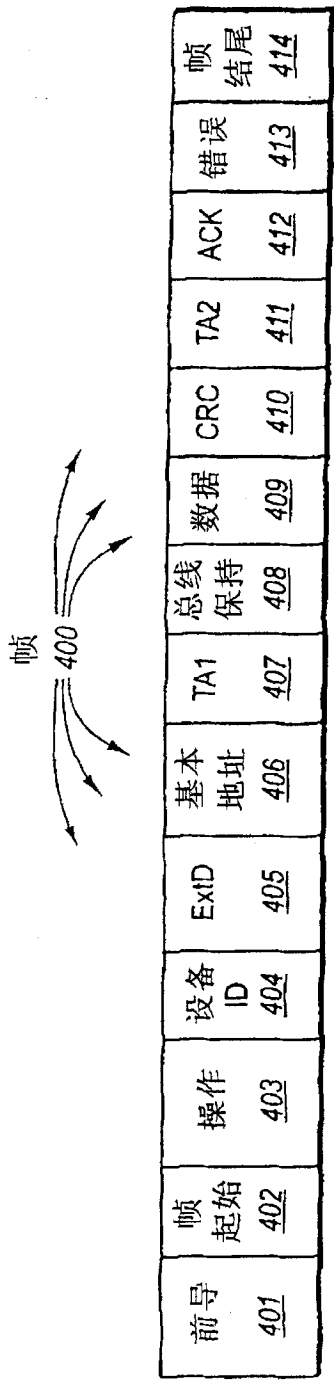


图4

										(TA)				(SLAV-STUS)			
										BH				BT2 Z3 SP			
										BT1 DATA_H				ACK E			
										Z0				Z2			
										Z1				CRC			
										DATA_L							
PRE	H	SR	OP	DEV	XTND	ADDR	Z0	BT1 DATA_H	Z1	Z2	CRC	BT2 Z3	SP				
7	6	5	5	5	5	4	4	3	3	3	1	1	1	0	0		
4	0	9	8	7	6	4	3	2	1	4	3	5	4	3	2		

RD: H...	H	1	00	101	VV	XXXXXXX	0	AAAAAAA	Z B	00000000	0	00000000	0	CCCCCCCC	0		
moe:.....	*	**	**	**	**	*****	.	*****	.	*****	.	*****	.	*****	.		
soe:.....	.	..	...	...	...		.		.		.		.		.		

WR: H...	H	1	00	001	VV	XXXXXXX	0	AAAAAAA	0 1	00000000	0	00000000	0	CCCCCCCC	0		
moe:.....	*	**	**	**	**	*****	*	*****	*	*****	*	*****	*	*****	*		
soe:.....	.	..	...	...	...		.		.		.		.		.		

crc_gen:	.	..	**	**	**	*****	.	*****	.	*****	.	*****	.	*****	.		
crc_chk:	.	..	**	**	**	*****	.	*****	.	*****	.	*****	.	*****	.		

^																	
(如果输入不为全1, 则重启)																	

(TA)										(SLAV-STUS)																	
				BH		BT1		DATA_H		Z1		DATA_L		Z2		CRC		BT2		Z3		SP					
H		SR		OP		DEV		ADDR		BT1		DATA_H		Z1		DATA_L		Z2		CRC		BT2		Z3		SP	
PRE		5		44		4 4 4 4		3 3 3 3		3 3 3 3		2 2 2 2		1 1 1 1		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0	
S		1 0 98		7 5 4 2 1		4 3 2 1		4 3 2 1		4 3 2 1		4 3 2 1		5 4 3 2		5 4 3 2		6 5 4 3		6 5 4 3		2 1 0		2 1 0		10	
RD: H...		1 00		100		VVV AAAAAAA		Z B		DDDDDDDD		0		DDDDDDDD		0		CCCCCCCC		0 1 0 0		1 0 0 1 2		~501B			
moe:				* * *		*****		* * *		*****		* * *		*****		* * *		*****		* * *		*****		* * *		* * *	
soe:				. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .	
WR: H...		1 00		000		VVV AAAAAAA		0 1		DDDDDDDD		0		DDDDDDDD		0		CCCCCCCC		Z 1 0 0		1 0 0 1 2		~504B			
moe:				* * *		*****		* * *		*****		* * *		*****		* * *		*****		* * *		*****		* * *		* * *	
soe:				. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .		. . .	
crc_gen:		. . .		***		*****		. . .		*****		* * *		*****		* * *		*****		. . .		*****		. . .		. . .	
crc_chk:		. . .		***		*****		. . .		*****		* * *		*****		* * *		*****		. . .		*****		. . .		. . .	
^																											
+-----+		+-----+		+-----+		+-----+		+-----+		+-----+		+-----+		+-----+		+-----+		+-----+		+-----+		+-----+		+-----+		+-----+	

(如果输入不为全1, 则重启)

图5B

		H	OP	SR	DEV	ADDR	BH	DATA_H	DATA_L	Z1	Z2
PRE		3 3 33	3 3 33	3 3 33	3 3 33	2 2 21	2 2 21	1 1 11	0 0 00		
5		3 9 87	6 5 32	0 9							
RD:	H...	1 00	110	VV	AAAAAAA	Z B	DDDDDDD	0	DDDDDDD	0	12
moe:		*	**	**	**	*****	*	*****	*	*****	*
soe:		*	**	**	**	*****	*	*****	*	*****	*
~~~~~501C											
~~~~~504C											
WR:	H...	1 00	010	VV	AAAAAAA	0 1	DDDDDDD	0	DDDDDDD	0	12
moe:		*	**	**	**	*****	*	*****	*	*****	*
soe:		*	**	**	**	*****	*	*****	*	*****	*
~~~~~504C											
~~~~~504C											

^ | | (如果输入不为全1, 则重启)

+ | |

+ ---+