(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-103272
(P2014-103272A)
(43)公開日　平成26年6月5日(2014.6.5)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/092	(2006.01)	H01L	27/08	321F	5F004
H01L 21/8238	(2006.01)	H01L	27/08	321C	5F048
H01L 21/265	(2006.01)	H01L	27/08	321E	
H01L 21/3065	(2006.01)	H01L	21/265	Y	
H01L 21/8234	(2006.01)	H01L	21/302	105A	

審査請求 未請求　請求項の数 8　ＯＬ　（全 21 頁）　最終頁に続く

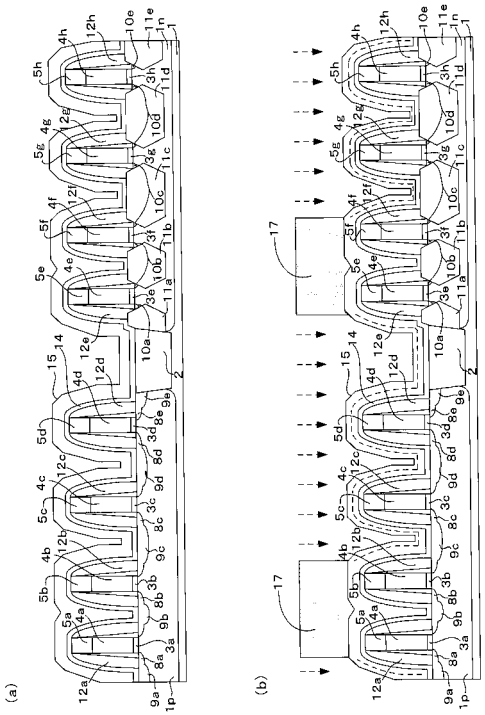
(21)出願番号　特願2012-254583 (P2012-254583)
(22)出願日　平成24年11月20日 (2012.11.20)

(71)出願人　308014341
富士通セミコンダクター株式会社
神奈川県横浜市港北区新横浜二丁目１０番２３
(74)代理人　100105360
弁理士　川上　光治
(72)発明者　森▲崎▼　祐輔
神奈川県横浜市港北区新横浜二丁目１０番２３　富士通セミコンダクター株式会社内

Ｆターム(参考)　5F004 AA01 AA09 DB07 EA12 EA27
5F048 AA01 AC03 BA01 BA14 BB05 BB08 BB09 BB10 BB11 BB12 BC01 BC06 BC15 BC18 BD01 BE03 BF06 BF11 BF15 BF16 BF17 BG13 DA27 DA30

(54)【発明の名称】半導体装置の製造方法

(57)【要約】　（修正有）
【課題】パターン密度の相違に影響されずに絶縁膜のエッチング終了時間の部分的なバラツキを抑制することができる半導体装置の製造方法を提供する。
【解決手段】半導体基板１の第１領域に第１、第２ゲート用パターン４ａ、４ｂを形成し、半導体基板１の第２領域に、第１ゲート用パターン４ａと第２ゲート用パターン４ｂの間隔より広い間隔で隣接する第３ゲート用パターン４ｃと第４ゲート用パターン４ｄを形成し、半導体基板１、第１～第４のゲート用パターン４ａ～４ｄを覆う第１の絶縁膜１５を形成し、第１の絶縁膜１５のうち、第１領域上を覆い、第２領域上の部分を露出させる第１のレジスト１７を形成し、第１のレジスト１７をマスクとして、第１の絶縁膜１５にイオン注入を行い、イオン注入を行った後に、第１のレジスト１７を除去し、第１のレジスト１７を除去した後に、第１の絶縁膜１５をエッチングにより除去する工程を有する。
【選択図】図３



【特許請求の範囲】
【請求項１】
半導体基板の第１領域に第１ゲート用パターンと第２ゲート用パターンを形成し、前記半導体基板の第２領域に、前記第１ゲート用パターンと前記第２ゲート用パターンの間隔より広い間隔で隣接する第３ゲート用パターンと第４ゲート用パターンを形成する工程と、
前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート電極、及び、前記第４ゲート用パターンを覆う第１の絶縁膜を形成する工程と、
前記第１の絶縁膜のうち、前記第１領域上の部分を覆い、前記第２領域上の部分を露出させる第１のレジストを形成する工程と、
前記第１のレジストをマスクとして、前記第１の絶縁膜にイオン注入を行う工程と、
前記イオン注入を行う工程の後に、前記第１のレジストを除去する工程と、
前記第１のレジストを除去する工程の後に、前記第１の絶縁膜をエッチングにより除去する工程と、
を備えること
を特徴とする半導体装置の製造方法。
【請求項２】
半導体基板の第１領域及び第２領域に、ｐ型のイオンを注入する工程と、
前記半導体基板の第３領域及び第４領域に、ｎ型のイオンを注入する工程と、
前記ｐ型のイオンを注入する工程の後に、前記第１領域に第１ゲート用パターンと第２ゲート用パターンを形成し、前記第２領域に、前記第1ゲート用パターンと前記第２ゲート用パターンの間隔より広い間隔で隣接する第３ゲート用パターンと第４ゲート用パターンを形成する工程と、
前記ｎ型のイオンを注入する工程の後に、前記第３領域に第５ゲート用パターンと第６ゲート用パターンを形成し、前記第４領域に、前記第５ゲート用パターンと前記第６ゲート用パターンの間隔より広い間隔で隣接する第７ゲート用パターンと第８ゲート用パターンを形成する工程と、
前記第５ゲート用パターン、前記第６ゲート用パターン、前記第７ゲート用パターン、及び、前記第８ゲート用パターンをマスクとして、前記第３領域及び前記第４領域の前記半導体基板をエッチングして溝を形成する工程と、
前記溝にシリコンとゲルマニウムを含む半導体層を埋め込む工程と、
前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、前記第４ゲート用パターン、前記第５ゲート用パターン、前記第６ゲート用パターン、前記第７ゲート用パターン、前記第８ゲート用パターン、及び、前記半導体層を覆う第１の絶縁膜を形成する工程と、
前記第１の絶縁膜のうち、前記第１領域上の部分及び前記第３領域上の部分を覆い、前記第２領域上の部分及び前記第４領域上の部分を露出させる第１のレジストを形成する工程と、
前記第１のレジストをマスクとして、前記第１の絶縁膜にイオン注入を行う工程と、
前記第１のレジストを除去する工程と、
前記第１のレジストを除去する工程の後に、前記第１の絶縁膜をエッチングにより除去する工程と、
を備えることを特徴とする半導体装置の製造方法。
【請求項３】
半導体基板の第１領域及び第２領域に、ｐ型のイオンを注入する工程と、
前記半導体基板の第３領域にｎ型のイオンを注入する工程と、
前記ｐ型のイオンを注入する工程の後に、前記第１領域に第１ゲート用パターンと第２ゲート用パターンを形成し、前記第２領域に、前記第１ゲート用パターンと前記第２ゲート用パターンの間隔より広い間隔で隣接する第３ゲート用パターンと第４ゲート用パターンを形成する工程と、

前記ｎ型のイオンを注入する工程の後に、前記第３領域に第５ゲート用パターンを形成する工程と、
前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、前記第４ゲート用パターン、及び、前記第５ゲート用パターンを覆う第１の絶縁膜を形成する工程と
前記第１の絶縁膜のうち、前記第１領域及び前記第２領域を覆い、前記第３領域を開口する第１のレジストを形成する工程と、
前記第１のレジストをマスクとして、前記第１の絶縁膜をエッチングして除去する工程と、
前記第１のレジストを除去する工程と、
前記第１の絶縁膜、及び、前記第５ゲート用パターンをマスクとして、前記半導体基板をエッチングして溝を形成する工程と、
前記溝にシリコンとゲルマニウムを含む半導体層を埋め込む工程と、
前記半導体層を埋め込む工程の後に、
前記第１領域及び第３領域上を覆い、前記第２領域を開口させて前記第１の絶縁膜を露出させる第２のレジストを形成する工程と、
前記第２のレジストをマスクとして、前記第１の絶縁膜にイオン注入を行う工程と、
前記第２のレジストを除去する工程と、
前記第２のレジストを除去する工程の後に、前記第１の絶縁膜をエッチングにより除去する工程と、
を備えることを特徴とする半導体装置の製造方法。
【請求項４】
前記第１の絶縁膜及び前記半導体基板に第１の熱処理を施す工程を有することを特徴とする請求項１乃至３のいずれか１項に記載の半導体装置の製造方法。
【請求項５】
前記第１の絶縁膜を形成する工程の前に、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンの側壁にサイドウォールスペーサを形成する工程を更に備えることを特徴とする請求項１乃至４のいずれか１項に記載の半導体装置の製造方法。
【請求項６】
前記第１の絶縁膜を形成する工程の前に、前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンを覆う第２の絶縁膜を前記第１の絶縁膜とは異なる材料で形成する工程を更に備えることを特徴とする請求項１乃至５のいずれか１項に記載の半導体装置の製造方法。
【請求項７】
前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターン、及び、前記サイドウォールスペーサを覆う第３の絶縁膜を形成する工程と、
前記第３の絶縁膜を研磨して前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンを露出させる第１の研磨工程と、
前記第１の研磨工程の後に、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンを除去して第１の電極空間、第２の電極空間、第３の電極空間、及び、第４の電極空間を形成する工程と、
前記第１の電極空間、第２の電極空間、第３の電極空間、及び、第４の電極空間、及び、前記第３の絶縁膜を覆う金属膜を形成する工程と、
前記金属膜を研磨して前記第３の絶縁膜を露出させるとともに、前記第１の電極空間、第２の電極空間、第３の電極空間、及び、第４の電極空間に残された前記金属を第１のゲート電極、第２のゲート電極、第３のゲート電極、及び、第４のゲート電極に適用する第２の研磨工程と、

を更に備えることを特徴とする請求項１乃至６のいずれか１項に記載の半導体装置の製造方法。
【請求項８】
前記第１の絶縁膜への前記イオン注入は、炭素イオン又はホウ素イオンを注入することを特徴とする請求項１乃至７のいずれか１項に記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置の製造方法に関する。
【背景技術】
【０００２】
半導体集積回路装置内に形成されるｐ型ＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）、ｎ型ＭＩＳＦＥＴのキャリア移動度を速くするため、ＭＩＳＦＥＴのチャネル領域に応力を加える構造が知られている。例えば、ｎ型ＭＩＳＦＥＴについては、チャネル領域に引っ張り歪みを加える絶縁膜、例えばＳＯＧ膜やＳｉＮ膜をｎ型ＭＩＳＦＥＴの上に形成する構造が知られている。また、ｐ型ＭＩＳＦＥＴについては、チャネル領域に圧縮歪みを加える絶縁膜、例えばＳｉＮをｐ型ＭＩＳＦＥＴの上に形成することや、ソース／ドレイン領域にシリコンゲルマニウム膜を埋め込むことなどが知られている。なお、ＳｉＮ膜は形成条件を変えることにより、引っ張り歪みと圧縮歪みを選択することが知られている。
【０００３】
半導体集積回路装置では、ｎ型ＭＩＳＦＥＴとｐ型ＭＩＳＦＥＴの双方が形成されるので、上記のような引っ張り歪みを加える絶縁膜と、圧縮歪みを加える絶縁膜を同一半導体基板上に併せて形成する場合、半導体基板上でｎ型ＭＩＳＦＥＴを覆う絶縁膜は、ｐ型ＭＩＳＦＥＴ形成領域ではエッチングにより除去されることになる。また、チャネル領域に歪みを記憶させるストレスメモライゼーション技術（Stress Memorization Technique：ＳＭＴ）では、トランジスタ領域を応力印加膜で覆い、熱処理を施してチャネル領域に歪みを記憶させた後、応力印加膜を除去する。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００７－０４９０９２号公報
【特許文献２】特開２００８－２８８６０６号公報
【特許文献３】特開２００３－０６８７０１号公報
【特許文献４】特開平９－５０９６８号公報
【特許文献５】特開２００７－１３４７１８号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
ところで、半導体基板上ではパターン密度の相違によって、その上に形成される絶縁膜のエッチング時間が部分的に長くなったり短くなったりすることがある。
【０００６】
本発明の目的は、パターン密度が互いに異なる複数の領域を覆う絶縁膜のエッチング終了時間の部分的なバラツキを抑制することができる半導体装置の製造方法を提供することにある。
【課題を解決するための手段】
【０００７】
本実施形態の１つの観点によれば、半導体基板の第１領域に第１ゲート用パターンと第２ゲート用パターンを形成し、前記半導体基板の第２領域に、前記第１ゲート用パターンと前記第２ゲート用パターンの間隔より広い間隔で隣接する第３ゲート用パターンと第４

ゲート用パターンを形成する工程と、前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート電極、及び、前記第４ゲート用パターンを覆う第１の絶縁膜を形成する工程と、前記第１の絶縁膜のうち、前記第１領域上の部分を覆い、前記第２領域上の部分を露出させる第１のレジストを形成する工程と、前記第１のレジストをマスクとして、前記第１の絶縁膜にイオン注入を行う工程と、前記イオン注入を行う工程の後に、前記第１のレジストを除去する工程と、前記第１のレジストを除去する工程の後に、前記第１の絶縁膜をエッチングにより除去する工程と、を備えることを特徴とする半導体装置の製造方法が提供される。

発明の目的および利点は、請求の範囲に具体的に記載された構成要素および組み合わせによって実現され達成される。前述の一般的な説明および以下の詳細な説明は、典型例および説明のためのものであって、本発明を限定するためのものではない、と理解されるものである。

【発明の効果】

【０００８】

本実施形態によれば、パターン密度が互いに異なる複数の領域を覆う絶縁膜のエッチング終了時間の部分的なバラツキを抑制することができる。

【図面の簡単な説明】

【０００９】

【図１】図１は、第１実施形態に係る半導体装置の製造工程を例示する断面図である。
【図２】図２は、第１実施形態に係る半導体装置の製造工程を例示する断面図である。
【図３】図３は、第１実施形態に係る半導体装置の製造工程を例示する断面図である。
【図４】図４は、第１実施形態に係る半導体装置の製造工程を例示する断面図である。
【図５】図５は、第１実施形態に係る半導体装置の製造工程を例示する断面図である。
【図６】図６は、第１実施形態に係る半導体装置の製造工程を例示する断面図である。
【図７】図７は、第１実施形態に係る半導体装置の製造工程を例示する断面図である。
【図８】図８は、実施形態に係る半導体装置の製造工程において、絶縁膜への元素のイオン注入の有無によるエッチングレートの違いを示す図である。
【図９】図９は、第２実施形態に係る半導体装置の製造工程を例示する断面図である。
【図１０】図１０は、第２実施形態に係る半導体装置の製造工程を例示する断面図である。
【図１１】図１１は、第２実施形態に係る半導体装置の製造工程を例示する断面図である。
【図１２】図１２は、第２実施形態に係る半導体装置の製造工程を例示する断面図である。
【図１３】図１３は、第２実施形態に係る半導体装置の製造工程を例示する断面図である。

【発明を実施するための形態】

【００１０】

以下に、図面を参照して実施形態を説明する。図面において、同様の構成要素には同じ参照番号が付されている。

【００１１】

（第１の実施の形態）

図１～図７は、第１実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【００１２】

次に、図１（ａ）に示す構造を形成するまでの工程について説明する。

まず、半導体基板、例えばシリコン基板１の上部に、素子分離絶縁膜２としてシャロートレンチアイソレーション（ＳＴＩ）を形成し、これによりｎ型ＭＩＳＦＥＴ形成領域Ｉとｐ型ＭＩＳＦＥＴ形成領域IIを区画する。ＳＴＩは、シリコン基板１の上部に形成された溝内に絶縁膜を埋め込んだ構造を有している。その後に、シリコン基板１のうちｎ型ＭＩＳＦＥＴ形成領域Ｉとｐ型ＭＩＳＦＥＴ形成領域IIのそれぞれにｐ型、ｎ型不純物をイ

オン注入することによりＰウェル１ｐとＮウェル１ｎを形成する。ｐ型、ｎ型不純物のイオン注入の打ち分けはレジストパターンを使用して行われる。

【００１３】

続いて、シリコン基板１の上に、ゲート絶縁膜３、ポリシリコン膜４、ハードマスク膜５を順に形成する。ゲート絶縁膜３としては、二酸化シリコンを形成してもよいし、それより高誘電率の絶縁膜を形成してもよい。また、ハードマスク膜５として例えば窒化シリコン膜を形成する。

【００１４】

その後に、Ｐウェル１ｐ、Ｎウェル１ｎのそれぞれの上方のハードマスク膜５の上にゲート電極形状のレジストパターン（不図示）を形成する。その後、レジストパターンをマスクに使用し、ハードマスク膜５からゲート絶縁膜３までをエッチングする。これによりパターニングされたポリシリコン膜４は、Ｐウェル１ｐの上方においてゲート電極形状の第１～第４のゲート用パターン４ａ～４ｄとして使用される。同時にパターニングされたポリシリコン膜４は、Ｎウェル１ｎの上方においてゲート電極形状の第５～第８のゲート用パターン４ｅ～４ｈとなる。第１、第２のゲート用パターン４ａ、４ｂと第５、第６のゲート用パターン４ｅ、４ｆは、互いの間隔が狭く、異なる高密度領域ＩＡ、IIAに形成され、第３、第４のゲート用パターン４ｃ、４ｄと第７、第８のゲート用パターン４ｇ、４ｈは、それぞれ低密度領域ＩＢ、IIBに形成される。高密度領域ＩＡ、IIAにおけるゲート用パターンの間隔は、低密度領域ＩＢ、IIBにおけるゲート用パターンの間隔より狭くなっている。

【００１５】

ｎ型ＭＩＳＦＥＴ形成領域Ｉにおいて、第２、第３及び第４のゲート用パターン４ｂ、４ｃ、４ｄの互いの間隔は、第１、第２のゲート用パターン４ａ、４ｂの間隔よりも広く形成されている。また、第ｐ型ＭＩＳＦＥＴ形成領域IIにおいて、第６、第７及び第８のゲート用パターン４ｆ、４ｇ、４ｈの互いの間隔は、第５、第６のゲート用パターン４ｅ、４ｆの間隔よりも広く形成されている。第１～第８のゲート用パターン４ａ～４ｈの上にはハードマスク膜５ａ～５ｈが積層され、また、第１～第８のゲート用パターン４ａ～４ｈとシリコン基板１の間にはそれぞれゲート絶縁膜３ａ～３ｈが挟まれた状態となる。

【００１６】

次に、シリコン基板１の上に窒化シリコン膜をＣＶＤ法により形成し、第１～第８のゲート用パターン４ａ～４ｈを覆う。その後に窒化シリコン膜をエッチバックすることにより、図１（ｂ）に示すように第１～第８のゲート用パターン４ａ～４ｈの側面に残し、それらを絶縁性のオフセットスペーサ６ａ～６ｈとして使用する。

【００１７】

次に、図１（ｃ）に示す構造を形成するまでの工程を説明する。

まず、シリコン基板１の上に、酸化シリコン膜（不図示）を形成し、その後にｎ型ＭＩＳＦＥＴ形成領域Ｉの酸化シリコン膜をレジストパターン（不図示）で覆う。続いて、ｐ型ＭＩＳＦＥＴ形成領域IIで露出した酸化シリコン膜をウエットエッチングにより選択的に除去する。この後、レジストパターンを除去する。

【００１８】

この後に、ｎ型ＭＩＳＦＥＴ形成領域Ｉ上の酸化シリコン膜（不図示）、第５～第８のハードマスク膜５ｅ～５ｈ及びオフセットスペーサ６ｅ～６ｈをマスクに使用し、ｐ型ＭＩＳＦＥＴ形成領域IIで露出するシリコン基板１を選択的にエッチングする。これにより、シリコン基板１のうち第５～第８のゲート用パターン４ｅ～４ｈの両側方の領域に溝１ａ～１ｅを形成する。その後に、溝１ａ～１ｅ内にホウ素（Ｂ）がドープされたシリコンゲルマニウム（ＳｉＧｅ）を含む第１～第５の半導体層７ａ～７ｅをＣＶＤ法により選択成長する。第１～第５の半導体層７ａ～７ｅは、シリコン基板１とゲート絶縁膜３ｅ～３ｈの界面より高く突出して形成され、さらに、第５～第８のゲート用パターン４ｅ～４ｈの下方のシリコン基板１のチャネル領域に圧縮歪みを加える。その後に、ｎ型ＭＩＳＦＥＴ形成領域Ｉの酸化シリコン膜（不図示）をウエットエッチングにより選択的に除去する

。

【００１９】

この後に、ｎ型ＭＩＳＦＥＴ形成領域Ｉにおいてハードマスク膜５ａ～５ｄとオフセットスペーサ６ａ～６ｄをマスクに使用して、ｎ型ＭＩＳＦＥＴ形成領域Ｉのシリコン基板１にｎ型不純物として例えば砒素又は燐をイオン注入する。これにより、Ｐウェル１ｐのうち第１～第４のゲート用パターン４ａ～４ｄの両側方にｎ型エクステンション領域８ａ～８ｅを形成する。さらに、ｐ型ＭＩＳＦＥＴ形成領域IIにおいてハードマスク膜５ｅ～５ｈとオフセットスペーサ６ｅ～６ｈをマスクに使用して、ｐ型ＭＩＳＦＥＴ形成領域IIのシリコン基板１にｐ型不純物として例えばホウ素をイオン注入する。これにより、Ｎウェル１ｎのうち第５～第８のゲート用パターン４ｅ～４ｈの両側方にｐ型エクステンション領域１０ａ～１０eを形成する。なお、ｐ型不純物とｎ型不純物の打ち分けは、イオン注入しない領域をレジストパターン（不図示）で覆うことにより行われる。これにより、図１（ｃ）に示す構造が形成される。

【００２０】

次に、シリコン基板１の上に窒化シリコン膜をＣＶＤ法により形成し、第１～第８のゲート用パターン４ａ～４ｈとシリコン基板１の表面を覆う。その後に、窒化シリコン膜をエッチバックすることにより第１～第８のゲート用パターン４ａ～４ｈの側面のオフセットスペーサ６ａ～６ｈの上に残し、図２（ａ）に示すように、絶縁性のサイドウォールスペーサ１２ａ～１２ｈとして使用する。

【００２１】

その後に、図２（ｂ）に示すようにｐ型ＭＩＳＦＥＴ形成領域IIのシリコン基板１、サイドウォールスペーサ１２ｅ～１２ｈ等をレジストパターン１６により覆う。続いて、ｎ型ＭＩＳＦＥＴ形成領域Ｉにおいてハードマスク膜５ａ～５ｄとサイドウォールスペーサ１２ａ～～１２ｄをマスクに使用して、ｎ型ＭＩＳＦＥＴ形成領域Ｉのシリコン基板１にｎ型不純物、例えばヒ素をイオン注入する。これにより、Ｐウェル１ｐのうち第１～第４のゲート用パターン４ａ～４ｄの両側方にｎ型ソース／ドレイン領域９ａ～９ｅを形成する。なお、上記の第１～第５の半導体層７ａ～７ｅは、ｐ型ソース／ドレイン領域１１ａ～１１ｅとして使用される。

【００２２】

次に、図２（ｃ）に示すように、シリコン基板１表面、第１～第５の半導体層７ａ～７ｅ、サイドウォールスペーサ１２ａ～１２ｈ、ハードマスク膜５ａ～５ｈの上に、積層構造のＳＭＴ絶縁膜として酸化シリコン膜１４と窒化シリコン膜１５をＣＶＤ法により形成する。この場合、窒化シリコン膜１５は、第１～第４のゲート用パターン４ａ～４ｄの下方のチャネル領域に引っ張り歪みを生じさせる条件で形成され、その厚さを例えばハードマスク膜５ａ～５ｈの上で数ｎｍ～数十ｎｍ程度、例えば約３０ｎｍにする。また、酸化シリコン膜１４は、窒化シリコン膜１５からシリコン基板１に与える歪みを減衰しないように窒化シリコン膜１５よりも薄く形成される。窒化シリコン膜１５の膜厚分布は不均一となる。例えば、第１、第２のゲート用パターン４ａ、４ｂの間の狭い領域と第５、第６のゲート用パターン４ｅ、４ｆの間の狭い領域には窒化シリコン膜１５が埋め込まれ、第３、第４のゲート用パターン４ｃ、４ｄの間や第７、第８のゲート用パターン４ｇ、４ｈの間などの広い領域よりも厚く形成される。

【００２３】

次に、図３（ａ）に示すように、ｎ型エクステンション領域８ａ～８ｅ、ｎ型ソース／ドレイン領域９ａ～９ｅ、ｐ型エクステンション領域１０ａ～１０ｅ、ｐ型ソース／ドレイン領域１１ａ～１１ｅにおける不純物を活性化するためにシリコン基板１に活性化アニール（熱処理）を施す。活性化アニールとして、例えば１０００℃以上のスパイク高速アニール（ＲＴＡ）又はミリセックアニールを採用する。このアニールによれば、不純物の活性化と同時に窒化シリコン膜１５が加熱され、収縮し、さらに窒化シリコン膜１５の応力がｎ型ＭＩＳＦＥＴ形成領域Ｉのｎ型ソース／ドレイン領域９ａ～９ｅに転写される。これにより、シリコン基板１における第１～第４のゲート用パターン４ａ～４ｄの下方の

チャネル領域には引っ張り歪みが加わる。なお、ｐ型ＭＩＳＦＥＴ形成領域IIでは、ｐ型ソース/ドレイン領域１１ａ～１１ｅの表面がチャネル領域表面より高くなっているため、チャネル領域への引っ張り応力の印加は抑制され、第１～第５の半導体層７ａ～７ｅからなるｐ型ソース／ドレイン領域１１ａ～１１ｅが第５～第８のゲート用パターン４ｅ～４ｈの下方のチャネル領域に圧縮歪みを加える。

【００２４】

この後に、窒化シリコン膜１５を除去する。高温でアニールされた窒化シリコン膜１５は、アニールされない場合に比べてエッチングレートが小さく、しかも、ＣＶＤ法により形成される窒化シリコン膜１５は、第１、第２のゲート用パターン４ａ、４ｂ間のような狭い領域では、間隔が広く配置される第３、第４のゲート用パターン４ｃ、４ｄの相互間の領域に比べて厚く形成される。従って、窒化シリコン膜１５の全てをアニール後のそのままの状態でエッチングすると、窒化シリコン膜１５の薄い領域では厚い領域に比べてエッチングが早期に終了するので、その下の薄い酸化シリコン膜１４も過剰にエッチングされて除去されてしまう。窒化シリコンのエッチャントは、酸化シリコンに対するエッチングレートが窒化シリコンに対するエッチングレートよりも小さいが、酸化シリコンもエッチングする性質を有するからである。この対策として、酸化シリコン膜１４を厚く形成することも考えられるが、窒化シリコン膜１５からシリコン基板１に加わる応力が厚い酸化シリコン膜１４によって弱められてしまう。そこで、窒化シリコン膜１５を次のような方法により除去する。

【００２５】

まず、窒化シリコン膜１５の上にフォトレジストを塗布し、これを露光、現像等することにより、図３（ｂ）に示すようなレジストパターン１７を形成する。レジストパターン１７は、第１、第２のゲート用パターン４ａ、４ｂの上とそれらの間の領域と、第５、第６のゲート用パターン４ｅ、４ｆの上とそれらの間の領域のそれぞれを覆う形状を有している。この場合、第１、第２のゲート用パターン４ａ、４ｂの間と、第５、第６のゲート用パターン４ｅ、４ｆの間の領域のように間隔の狭いゲート用パターン間の窒化シリコン膜１５だけを覆うレジストパターン１７の形状としてもよい。

【００２６】

続いて、レジストパターン１７をマスクに使用し、エッチングレート調整用不純物、例えば炭素を窒化シリコン膜１５にイオン注入する。炭素のイオン注入条件として、その下方の酸化シリコン膜１４とシリコン基板１に炭素が実質的に注入されない条件に設定する。この場合、イオン注入の加速エネルギー、ドーズ量は、窒化シリコン膜１５の厚さにより調整され、例えばｎ型ソース/ドレイン領域９ａ～９ｅの上の窒化シリコン膜１５の厚さの中心又はそれより上の位置に濃度ピークが存在するように調整される。例えば、その厚さが３０ｎｍ程度の場合に、加速エネルギーを１～５ｋｅＶとし、ドーズ量を$1\times10^{14}cm^{-2}$以上に設定する。ついで、レジストパターン１７を除去する。

【００２７】

その後に、窒化シリコン膜１５をウエットエッチングにより除去する。エッチング液として例えばリン酸を使用する。この場合、高温でアニールされた窒化シリコン膜１５は、アニールされない状態に比べてエッチングレートが小さくなる。また、窒化シリコン膜１５中に炭素をイオン注入した状態としない状態を比較すると、図８に例示するように、炭素イオンを注入することにより時間当たりのエッチング量、即ちエッチングレートが低下していることがわかる。これにより、第１、第２のゲート用パターン４ａ、４ｂの相互間や第５、第６のゲート用パターン４ｅ、４ｆの相互間の狭い領域におけるエッチング終了時間と、第２、第３及び第４のゲート用パターン４ｂ、４ｃ、４ｄの相互間や第６、第７及び第８のゲート用パターン４ｆ、４ｇ、４ｈの相互間の広い領域におけるエッチング終了時間とのバラツキを抑制することができる。

【００２８】

従って、図４（ａ）に示すように、ｎ型、ｐ型ＭＩＳＦＥＴ形成領域Ｉ、IIにおいては、窒化シリコン膜１５が実質的に除去された状態で、サイドウォールスペーサ１２ａ～１

２ｈ上の酸化シリコン膜１４が残ることになる。換言すれば、窒化シリコン膜１５の下の酸化シリコン膜１４ができるだけ残っているように上記の炭素イオン注入条件が調整される。これは、酸化シリコン膜１４とその下のサイドウォールスペーサ１２ａ～１２ｈまでエッチングが進むと、ｎ型、ｐ型ソース／ドレイン領域９ａ～９ｅ、１１ａ～１１ｅとゲート用パターン４ａ～４ｈの互いの距離が縮まり、それらの上に後の工程で形成されるシリサイド層１９ａ～１９ｊの相互間でリーク電流が発生する原因になるからである。また、上記のようにイオン注入された炭素の窒化シリコン膜１５内の濃度のピークを中心かそれより上に位置させることにより、窒化シリコン膜１５の底部がエッチングされ易くなり、窒化シリコン膜１５のエッチング残渣が発生しにくくなる。この後に、図４（ｂ）に示すように酸化シリコン膜１４をウェットエッチングにより除去する。この場合、エッチング液として例えばフッ酸を使用する。

【００２９】

次に、図５（ａ）に示す構造を形成する工程を説明する。まず、ｎ型ソース／ドレイン領域９ａ～９ｄ、ｐ型ソース／ドレイン領域１１ａ～１１ｅ、サイドウォールスペーサ１２ａ～１２ｈの上に金属膜（不図示）、例えばニッケル膜を形成する。その後に、アニールによりｎ型ソース／ドレイン領域９ａ～９ｅとｐ型ソース／ドレイン領域１１ａ～１１ｅの表面にシリサイド層１９ａ～１９ｊを形成する。その後に、金属膜を除去する。

【００３０】

続いて、図５（ｂ）に示すように、シリコン基板１の上にコンタクトエッチストップ（ＣＥＳＬ）層２０を薄く形成し、これによりｎ型、ｐ型ソース／ドレイン領域９ａ～９ｅ、１１ａ～１１ｅ等を覆う。ＣＥＳＬ層２０として、例えばｎ型ソース／ドレイン領域９ａ～９ｅの間のチャネル領域に引っ張り歪みを与える窒化シリコン膜を形成する。なお、そのような歪みを与える窒化シリコン膜をｐ型ソース／ドレイン領域１１ａ～１１ｅであるＳｉＧｅを含む半導体層７ａ～７ｅの上に形成しても、その膜厚は薄いので、半導体層７ａ～７ｅによってそれらの間のチャネル領域に加えられる圧縮歪みは殆ど低減しない。その後に、ＣＥＳＬ層２０の上に第１層間絶縁膜２１として例えば酸化シリコン膜、不純物ドープ酸化シリコン膜などを形成する。

【００３１】

次に、図６（ａ）に示すように、第１層間絶縁膜２１の上面を化学機械研磨（Chemical Mechanical Polishing;ＣＭＰ）法により平坦化し、さらにハードマスク膜５ａ～５ｈを除去するまで研磨を進め、第１～第８のゲート用パターン４ａ～４ｈの上面を露出させる。

【００３２】

続いて、図６（ｂ）に示すように、第１層間絶縁膜２１、第１～第８のゲート用パターン４ａ～４ｈ等の上に、ハードマスク２２として例えば窒化シリコン膜を形成した後に、これをパターニングしてｎ型ＭＩＳＦＥＴ形成領域Ｉから除去するとともにｐ型ＭＩＳＦＥＴ形成領域IIに残存させる。さらに、第１～第４のゲート用パターン４ａ～４ｄを選択的に除去して電極空間２３ａ～２３ｄを形成する。

【００３３】

この後に、それらの電極空間２３ａ～２３ｄ内にゲート電極用の金属膜を形成する。その後に、第１層間絶縁膜２１上の金属膜とハードマスク膜２２をＣＭＰ法により除去する。これにより、図６（ｃ）に示すように、電極空間２３ａ～２３ｄ内に残された金属膜を第１～第４のｎ側ゲート電極２４ａ～２４ｄとして使用する。これにより。第１～第４のｎ側ゲート電極２４ａ～２４ｄと各々の両側のｎ型ソース／ドレイン領域９ａ～９ｅ等により第１～第４のｎ型ＭＩＳＦＥＴ（ｎ型ＭＩＳトランジスタ）t_{n1}～t_{n4}の基本構造が形成される。なお、第１～第４のｎ型ＭＩＳＦＥＴt_{n1}～t_{n4}同士のうち隣接するトランジスタ同士はｎ型ソース／ドレイン領域９ａ～９ｅを共有する。

【００３４】

続いて、同様な方法により、図７（ａ）に示すように、ｐ型ＭＩＳＦＥＴ形成領域II内の第５～第８のゲート用パターン４ｅ～４ｈを除去して凹部を形成し、それらの凹部内に

第１～第４のｐ側ゲート電極２５ａ～２５ｄとして金属を埋め込む。これにより。第１～第４のｐ側ゲート電極２５ａ～２５ｄと各々の両側のｐ型ソース／ドレイン領域１１ａ～１１ｅ等により第１～第４のｐ型ＭＩＳＦＥＴ（ｐ型ＭＩＳトランジスタ）t_{p1}～t_{p4}が形成される。なお、第１～第４のｐ型ＭＩＳＦＥＴt_{p1}～t_{p4}同士のうち隣接するトランジスタ同士はｐ型ソース／ドレイン領域１１ａ～１１ｅを共有する。

【００３５】

次に、図７（ｂ）に示す構造を形成するまでの工程について説明する。

まず、第１層間絶縁膜２１、ｎ側ゲート電極２４ａ～２４ｄ、ｐ側ゲート電極２５ａ～２５ｄ等の上に第２層間絶縁膜２８をＣＶＤ法により形成し、その後に第２層間絶縁膜２８の上面をＣＭＰ法により平坦化する。第２層間絶縁膜２８は、第１層間絶縁膜２１と同じ材料から形成する。

【００３６】

その後に、第２層間絶縁膜２８、第１層間絶縁膜２１をパターニングする。これにより、第１、第４のｎ型ＭＩＳＦＥＴt_{n1}、t_{n4}のゲート電極２４ａ、２４ｄとｎ型ソース／ドレイン領域９ａ、９ｂ、９ｄ、９ｅ表面のシリサイド層１９ａ、１９ｂ、１９ｄ、１９ｅの上にコンタクトホールを形成する。同時に、第１、第４のｐ型ＭＩＳＦＥＴt_{p1}、t_{p4}のゲート電極２５ａ、２５ｄとｐ型ソース／ドレイン領域１１ａ、１１ｂ、１１ｄ、１１ｅ表面のシリサイド層１９ｆ、１９ｇ、１９ｉ、１９ｊの上にコンタクトホールを形成する。さらに、それらのコンタクトホール内に導電材を埋め込んで導電性プラグ２９ａ～２９ｌを形成し、ゲート電極２４ａ、２４ｄ、２５ａ、２５ｄとシリサイド層１９ａ、１９ｂ、１９ｄ、１９ｅ、１９ｆ、１９ｇ、１９ｉ、１９ｊに接続する。なお、第２層間絶縁膜２８上に形成される導電性プラグ２９ａ～２９ｊ用の導電材はＣＭＰにより除去される。その後、第２層間絶縁膜２８上に多層配線構造を形成することにより半導体装置を形成する。

【００３７】

以上のような工程によれば、複数のゲート用パターン４ａ～４ｈ、サイドウォールスペーサ１２ａ～１２ｈの上とそれらの間に形成される窒化シリコン膜１５の膜厚分布がゲート用パターン４ａ～４ｈ間の広さの違いにより不均一な場合に、薄い部分に炭素をイオン注入している。窒化シリコン膜１５のエッチングレートは、炭素のイオン注入により小さくなるように変化するので、膜厚の違いによるエッチング終了の時差を縮小するかその時差を実質的に無くすことができる。これにより、窒化シリコン膜１５の下の膜が窒化シリコン膜１５のエッチャントによりエッチングされて除去されることを防止し、或いは劣化することを抑制することができる。

【００３８】

ところで、上記の説明では、窒化シリコン膜１５のうち薄く形成された部分に炭素をイオン注入してエッチングレートを遅くするようにしているが、イオン注入の元素は炭素に限られるものではなく、例えばホウ素を採用してもよい。しかし、絶縁膜である窒化シリコン膜１５中に元素を注入すればエッチングレートが遅くなるとは限らない。例えば、図８の一点鎖線に示すように、窒化シリコン膜の窒素含有量を増やすと、炭素の場合とは逆にエッチングレートが大きくなる。従って、膜厚の厚い領域に窒素をイオン注入することも考えられるが、イオン注入の有無によるエッチングレートの差は小さい。

【００３９】

（第２の実施の形態）

図９～図１３は、本発明の第２実施形態に係る半導体装置の製造工程を示す断面図である。なお、図９～図１３において、図１～図７と同じ符号は同じ要素を示している。

【００４０】

次に、図９（ａ）に示す構造を形成するまでの工程を説明する。

まず、第１実施形態と同様に、シリコン基板１のうち素子分離絶縁膜２により区画されたｎ型ＭＩＳＦＥＴ形成領域Ｉとｐ型ＭＩＳＦＥＴ形成領域IIの上に、ゲート絶縁膜３ａ～３ｈを介して第１～第８のゲート用パターン４ａ～４ｈを形成する。この場合、第１～

第８のゲート用パターン４ａ～４ｈのそれぞれの上には、第１実施形態と同様に、ハードマスク膜５ａ～５ｈが積層され、それらの側壁には絶縁性のオフセットスペーサ６ａ～６ｈが形成されている。

【００４１】

続いて、シリコン基板１のうちｎ型ＭＩＳＦＥＴ形成領域Iをレジストパターン（不図示）により覆った状態でｐ型ＭＩＳＦＥＴ形成領域IIにｐ型不純物をイオン注入しｐ型エクステンション領域１０ａ～１０ｅを形成する。その後、ｐ型エクステンション領域１０ａ～１０eを活性化アニールする。その後、レジストパターン（不図示）を除去する。

【００４２】

続いて、図９（ｂ）に示すように、シリコン基板１のうちｐ型ＭＩＳＦＥＴ形成領域IIをレジストパターン４１により覆った状態でｎ型ＭＩＳＦＥＴ形成領域Ｉにｎ型不純物をイオン注入しｎ型エクステンション領域８ａ～８ｅを形成する。その後、レジストパターン４１を除去する。

【００４３】

次に、図９（ｃ）に示す構造を形成する工程を説明する。

まず、第１実施形態と同様な方法により、シリコン基板１上の第１～第８のゲート用パターン４ａ～４ｈの側方にサイドウォールスペーサ１２ａ～１２ｈを形成する。その後に、シリコン基板１のうちｐ型ＭＩＳＦＥＴ形成領域IIをレジストパターン４２により覆った状態でｎ型ＭＩＳＦＥＴ形成領域Ｉにｎ型不純物をイオン注入しｎ型ソース／ドレイン領域９ａ～９ｅを形成する。その後、レジストパターン４２を除去する。

【００４４】

続いて、図１０（ａ）に示すように、シリコン基板１、サイドウォールスペーサ１２ａ～１２ｈ等の上に、第１実施形態と同様に、ＳＭＴ絶縁膜の積層構造として酸化シリコン膜１４と窒化シリコン膜１５をＣＶＤ法により形成する。この場合、窒化シリコン膜１５は、シリコン基板１のうち第１～第４のゲート用パターン４ａ～４ｄの下方のチャネル領域に引っ張り歪みを生じさせる条件で形成され、その厚さを例えばハードマスク膜５ａ～５ｈの上で数ｎｍ～数十ｎｍ程度、例えば約３０ｎｍにする。また、酸化シリコン膜１４は、第１実施形態と同様に、窒化シリコン膜１５よりも薄く形成される。

【００４５】

次に、窒化シリコン膜１５の上にフォトレジスト４３を塗布し、これを露光、現像することにより、ｎ型ＭＩＳＦＥＴ形成領域Ｉに残し、ｐ型ＭＩＳＦＥＴ形成領域IIから除去する。この後に、図１０（ｂ）に示すように、フォトレジスト４３をマスクに使用してｐ型ＭＩＳＦＥＴ形成領域IIの窒化シリコン膜１５及び酸化シリコン膜１４をエッチングで除去する。その後に、フォトレジスト４３を除去する。

【００４６】

続いて、図１１（ａ）に示すように、ｎ型ＭＩＳＦＥＴ形成領域Ｉの窒化シリコン膜１５とｐ型ＭＩＳＦＥＴ形成領域IIのハードマスク膜５ｅ～５ｈ、サイドウォールスペーサ１２ｅ～１２ｈをマスクに使用する。そして、第１実施形態と同様に、ハードマスク膜５ｅ～５ｈ、サイドウォールスペーサ１２ｅ～１２ｈに覆われていない部分のシリコン基板１をエッチングして凹部を形成する。その後に、第１実施形態と同様に、凹部内にホウ素をドープしたＳｉＧｅを含む半導体層７ａ～７ｅを形成する。半導体層７ａ～７ｅはｐ型ソース／ドレイン領域１１ａ～１１ｅとして使用される。

【００４７】

次に、図１１（ｂ）に示すように、ｎ型エクステンション領域８ａ～８ｅ、ｎ型ソース／ドレイン領域９ａ～９ｅにおける不純物を活性化するために、第１実施形態と同様に、１０００℃程度のアニールを行う。このアニールによれば、ｎ型ＭＩＳＦＥＴ形成領域Ｉの窒化シリコン膜１５の歪みがその下のシリコン基板１に加えられて引っ張りの歪みを与え、その状態を保持させる。なお、ｐ型ＭＩＳＦＥＴ形成領域IIは、窒化シリコン膜１５に覆われていないので、チャネル領域に引っ張りの歪みが加えられることはない。また、アニールされた窒化シリコン膜１５はその前の状態に比べてエッチングレートが低下する

。そこで、図１２（ａ）に示すように、シリコン基板１の上にフォトレジスト４５を塗布し、これを露光、現像する。これにより、ｎ型ＭＩＳＦＥＴ形成領域Ｉにおいて幅の狭い第１、第２のゲート用パターン４ａ、４ｂの間の領域とその両側のハードマスク膜５ａ、５ｂの上の領域をフォトレジスト４５により覆う。同時に、ｐ型ＭＩＳＦＥＴ形成領域IIのシリコン基板１、サイドウォールスペーサ１２ｅ～１２ｈ等をフォトレジスト４５により覆う。なお、フォトレジスト４５から露出した部分は窒化シリコン膜１５の薄い領域である。

【００４８】

続いて、ｎ型ＭＩＳＦＥＴ形成領域Ｉの窒化シリコン膜１５のうちフォトレジスト４５から露出した部分に、エッチングレート調整用元素として例えば炭素、ホウ素をイオン注入する。例えば、炭素のイオン注入条件は、第１実施形態と同様に設定する。この後に図１２（ｂ）に示すように、フォトレジスト４５を除去する。

【００４９】

次に、シリコン基板１の上に、酸化シリコン膜１８を形成し、その後にｐ型ＭＩＳＦＥＴ形成領域IIの酸化シリコン膜１８をレジストパターン（不図示）で覆う。続いて、ｎ型ＭＩＳＦＥＴ形成領域IIで露出した酸化シリコン膜１８をウエットエッチングにより選択的に除去した後、レジストパターンを除去する。これにより、図１３（ａ）に示すように、ｐ型ＭＩＳＦＥＴ形成領域II上に酸化シリコン膜１８が残される。酸化シリコン膜１８の厚さは、ｎ型ＭＩＳＦＥＴ形成領域の酸化シリコン膜１４の厚さよりも厚くなるように形成されている。

【００５０】

次に、図１３（ｂ）に示すように、ウエットエッチングによりｎ型ＭＩＳＦＥＴ形成領域Ｉの窒化シリコン膜１５を除去する。この場合、エッチング液としてリン酸を使用する。この場合、第１実施形態と同様に、窒化シリコン膜１５のうちイオン注入領域では、非注入領域に比べてエッチングレートが遅くなる。従って、膜厚の違いによる窒化シリコン膜１５の部分的な過剰エッチング時間が短縮され、サイドウォールスペーサ１２ａ～１２ｄ上の酸化シリコン膜１４が殆ど残される。一方、ｐ型ＭＩＳＦＥＴ形成領域IIの酸化シリコン膜１８は、窒化シリコン膜１５に比べてエッチングレートが遅いので、ｐ型ＭＩＳＦＥＴ形成領域IIに残る。

【００５１】

これにより、酸化シリコン膜１４、１８の下のサイドウォールスペーサ１２ａ～１２ｈの薄層化が抑制され、ｎ型、ｐ型ソース／ドレイン領域９ａ～９ｅ、１１ａ～１１ｅとゲート用パターン４ａ～４ｈの互いの距離の縮小化を防止でき、後に形成されるシリサイド層間でのリーク電流の発生が防止される。この場合、酸化シリコン膜１４を厚く形成してサイドウォールスペーサ１２ａ～１２ｄを保護することも可能であるが、窒化シリコン膜１５からシリコン基板１への歪みの印加を弱め、トランジスタ特性を劣化させる。

【００５２】

続いて、図１３（ｃ）に示すように、酸化シリコン膜１４、１８を第１実施形態と同様に除去した後に、第１実施形態と同様な方法により、ｎ型ソース/ドレイン領域９ａ～９ｅ、ｐ型ソース／ドレイン領域１１ａ～１１ｅのそれぞれの表層にシリサイド層１９ａ～１９ｊを形成する。

【００５３】

この後に、第１実施形態の図５（ｂ）、図６、図７に示すと同様に、第１層間絶縁膜２１を形成し、さらに第１～第４のゲート用パターン４ａ～４ｄを金属膜に変えて第１～第４のｎ側ゲート電極２４ａ～２４ｄを形成する。さらに、第５～第８のゲート用パターン４ｅ～４ｈを金属膜に変えて第５～第８のｐ型用ゲート電極２５ａから２５ｄを形成する。さらに、第２層間絶縁膜２８を形成し、さらに導電性プラグ２９ａ～２９ｌを形成するなど、多層配線構造を形成する工程などを経て半導体装置を完成させる。

【００５４】

以上のような工程において、アニールによりシリコン基板１のｎ型ＭＩＳＦＥＴ形成領

域Ｉに歪みを加える絶縁膜、即ち窒化シリコン膜１５のうち薄く形成された領域に炭素をイオン注入している。従って、第１実施形態と同様に、窒化シリコン膜１５において、イオン注入部分のエッチングレートが非注入部分のエッチングレートよりも小さくなるので、膜厚に違いがあってもエッチング終了時の差を縮小するか無くすことができる。このため、窒化シリコン膜１５の下に形成される酸化シリコン膜１４のエッチングが抑制され、さらに下のサイドウォールスペーサ１２ａ～１２ｄの薄層化が防止される。これにより、ｎ側ゲート電極２４ａ～２４ｄとｎ型ソース／ドレイン領域９ａ～９ｅの距離の縮小化が防止される。

【００５５】

なお、窒化シリコン膜１５のうちｐ型ＭＩＳＦＥＴ形成領域IIについては、アニールの前に除去されるので、膜厚分布に差があっても全体のエッチング速度が速いのでその下の酸化シリコン膜１４のエッチングは抑制される。しかし、酸化シリコン膜１４の厚さによっては窒化シリコン用エッチャントによりエッチングされることがある。この場合には、窒化シリコン膜１５のうち膜厚の厚い第５、第６のゲート用パターン４ｅ、４ｆの間の領域に埋め込まれた部分を除いて第１実施形態と同様な条件で炭素をイオン注入してもよい。

【００５６】

ところで、上記の説明では、同一の窒化シリコン膜１５の一部領域に炭素をイオン注入してエッチングレートを遅くするようにしているが、イオン注入の元素は炭素に限られるものではなく、第１実施形態と同様に例えばホウ素を採用してもよい。

【００５７】

上記の第１、第２実施形態において、シリコン基板１上にゲート用パターン４ａ～４ｈ、サイドウォールスペーサ１２ａ～１２ｈを形成した後に、ゲート用パターン４ａ～４ｈを選択的に除去して凹部を形成した後に、凹部に金属を埋め込み、その金属膜によりゲート電極２４ａ～２４ｄ、２５ａ～２５ｄを形成している。しかし、そのような置換ゲート工程を使用せずに、ポリシリコン膜からなるゲート用パターン４ａ～４ｈをそのままゲート電極として使用してもよい。この場合、ゲート用パターン４ａ～４ｈ上のハードマスク膜５ａ～５ｈの形成を省略し、ゲート電極の上にシリサイド層を形成する。また、置換ゲート工程を用いる場合には、ゲート用パターンとしてポリシリコン膜の他に、サイドウォールスペーサ１２ａ～１２ｈに対して選択的にエッチングできる材料を使用してもよい。また、絶縁膜である窒化シリコン膜１５への炭素等のイオン注入はアニール（熱処理）の前に行ってもよい。

【００５８】

ここで挙げた全ての例および条件的表現は、発明者が技術促進に貢献した発明および概念を読者が理解するのを助けるためのものであり、ここで具体的に挙げたそのような例および条件に限定することなく解釈され、また、明細書におけるそのような例の編成は本発明の優劣を示すこととは関係ない。本発明の実施形態を詳細に説明したが、本発明の精神および範囲から逸脱することなく、それに対して種々の変更、置換および変形を施すことができると理解される。

【００５９】

次に、本発明の実施形態について特徴を付記する。

（付記１）半導体基板の第１領域に第１ゲート用パターンと第２ゲート用パターンを形成し、前記半導体基板の第２領域に、前記第１ゲート用パターンと前記第２ゲート用パターンの間隔より広い間隔で隣接する第３ゲート用パターンと第４ゲート用パターンを形成する工程と、前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート電極、及び、前記第４ゲート用パターンを覆う第１の絶縁膜を形成する工程と、前記第１の絶縁膜のうち、前記第１領域上の部分を覆い、前記第２領域上の部分を露出させる第１のレジストを形成する工程と、前記第１のレジストをマスクとして、前記第１の絶縁膜にイオン注入を行う工程と、前記イオン注入を行う工程の後に、前記第１のレジストを除去する工程と、前記第１のレジストを除去する工程の後に、前記第１の絶縁膜

をエッチングにより除去する工程と、を備えることを特徴とする半導体装置の製造方法。
（付記２）前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンを形成する工程の前に、前記半導体基板の前記第１領域及び前記第２領域に、ｐ型のイオンを注入する工程を更に備えることを特徴とする付記１に記載の半導体装置の製造方法。
（付記３）半導体基板の第１領域及び第２領域に、ｐ型のイオンを注入する工程と、前記半導体基板の第３領域及び第４領域に、ｎ型のイオンを注入する工程と、前記ｐ型のイオンを注入する工程の後に、前記第１領域に第１ゲート用パターンと第２ゲート用パターンを形成し、前記第２領域に、前記第1ゲート用パターンと前記第２ゲート用パターンの間隔より広い間隔で隣接する第３ゲート用パターンと第４ゲート用パターンを形成する工程と、前記ｎ型のイオンを注入する工程の後に、前記第３領域に第５ゲート用パターンと第６ゲート用パターンを形成し、前記第４領域に、前記第５ゲート用パターンと前記第６ゲート用パターンの間隔より広い間隔で隣接する第７ゲート用パターンと第８ゲート用パターンを形成する工程と、前記第５ゲート用パターン、前記第６ゲート用パターン、前記第７ゲート用パターン、及び、前記第８ゲート用パターンをマスクとして、前記第３領域及び前記第４領域の前記半導体基板をエッチングして溝を形成する工程と、前記溝にシリコンとゲルマニウムを含む半導体層を埋め込む工程と、前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、前記第４ゲート用パターン、前記第５ゲート用パターン、前記第６ゲート用パターン、前記第７ゲート用パターン、前記第８ゲート用パターン、及び、前記半導体層を覆う第１の絶縁膜を形成する工程と、前記第１の絶縁膜のうち、前記第１領域上の部分及び前記第３領域上の部分を覆い、前記第２領域上の部分及び前記第４領域上の部分を露出させる第１のレジストを形成する工程と、前記第１のレジストをマスクとして、前記第１の絶縁膜にイオン注入を行う工程と、前記第１のレジストを除去する工程と、前記第１のレジストを除去する工程の後に、前記第１の絶縁膜をエッチングにより除去する工程と、を備えることを特徴とする半導体装置の製造方法。
（付記４）半導体基板の第１領域及び第２領域に、ｐ型のイオンを注入する工程と、前記半導体基板の第３領域にｎ型のイオンを注入する工程と、前記ｐ型のイオンを注入する工程の後に、前記第１領域に第１ゲート用パターンと第２ゲート用パターンを形成し、前記第２領域に、前記第１ゲート用パターンと前記第２ゲート用パターンの間隔より広い間隔で隣接する第３ゲート用パターンと第４ゲート用パターンを形成する工程と、前記ｎ型のイオンを注入する工程の後に、前記第３領域に第５ゲート用パターンを形成する工程と、前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、前記第４ゲート用パターン、及び、前記第５ゲート用パターンを覆う第１の絶縁膜を形成する工程と、前記第１の絶縁膜のうち、前記第１領域及び前記第２領域を覆い、前記第３領域を開口する第１のレジストを形成する工程と、前記第１のレジストをマスクとして、前記第１の絶縁膜をエッチングして除去する工程と、前記第１のレジストを除去する工程と、前記第１の絶縁膜、及び、前記第５ゲート用パターンをマスクとして、前記半導体基板をエッチングして溝を形成する工程と、前記溝にシリコンとゲルマニウムを含む半導体層を埋め込む工程と、前記半導体層を埋め込む工程の後に、前記第１領域及び第３領域上を覆い、前記第２領域を開口させて前記第１の絶縁膜を露出させる第２のレジストを形成する工程と、前記第２のレジストをマスクとして、前記第１の絶縁膜にイオン注入を行う工程と、前記第２のレジストを除去する工程と、前記第２のレジストを除去する工程の後に、前記第１の絶縁膜をエッチングにより除去する工程と、を備えることを特徴とする半導体装置の製造方法。
（付記５）前記第２のレジストを除去する工程の後、前記第１の絶縁膜をエッチングにより除去する工程の前に、前記第１の絶縁膜、前記半導体層、及び、前記第５ゲート用パターンを覆う第４の絶縁膜を前記第１の絶縁膜とは異なる材料で形成する工程と、前記第４の絶縁膜のうち、前記第３領域上の部分を覆い、前記第１領域上及び前記第２領域上の部分を露出させる第３のレジストを形成する工程と、前記第３のレジストをマスクとして、

前記第４の絶縁膜をエッチングして除去する工程と、前記第３のレジストを除去する工程と、を更に備えることを特徴とする付記４に記載の半導体装置の製造方法。
（付記６）前記第５ゲート用パターンを形成する前に、前記半導体基板上にゲート絶縁膜を形成する工程を更に備え、前記半導体層の表面の高さが、前記半導体基板と前記ゲート絶縁膜の界面の高さより高くなるように前記半導体層を埋め込むこと特徴とする付記３乃至付記５のいずれか１項に記載の半導体装置の製造方法。
（付記７）前記第１の絶縁膜及び前記半導体基板に第１の熱処理を施す工程を有することを特徴とする付記１乃至６のいずれか１項に記載の半導体装置の製造方法。
（付記８）前記第１の絶縁膜は、前記第１の熱処理を施すことにより収縮することを特徴とする付記７に記載の半導体装置の製造方法。
（付記９）前記第１の絶縁膜を形成する工程の前に、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンをマスクとして、前記半導体基板の前記第１領域及び前記第２領域にｎ型のイオンを注入する工程を更に備えることを特徴とする付記１乃至８のいずれか１つに記載の半導体装置の製造方法。
（付記１０）前記第１の絶縁膜を形成する工程の前に、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンの側壁にサイドウォールスペーサを形成する工程を更に備えることを特徴とする付記１乃至９のいずれか１項に記載の半導体装置の製造方法。
（付記１１）前記第１の絶縁膜を形成する工程の前に、前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンを覆う第２の絶縁膜を前記第１の絶縁膜とは異なる材料で形成する工程を更に備えることを特徴とする付記１乃至１０のいずれか１つに記載の半導体装置の製造方法。
（付記１２）前記第１の絶縁膜を除去する工程の後に、前記半導体基板にシリサイド層を形成する工程と、前記シリサイド層を覆う第３の絶縁膜を形成する工程と、前記第３の絶縁膜の中に、前記シリサイド層に接触する導電性プラグを形成する工程を更に備えることを特徴とする付記１乃至１１のいずれか１つに記載の半導体装置の製造方法。
（付記１３）前記半導体基板、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターン、及び、前記サイドウォールスペーサを覆う第３の絶縁膜を形成する工程と、前記第３の絶縁膜を研磨して前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンを露出させる第１の研磨工程と、前記第１の研磨工程の後に、前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンを除去して第１の電極空間、第２の電極空間、第３の電極空間、及び、第４の電極空間を形成する工程と、前記第１の電極空間、第２の電極空間、第３の電極空間、及び、第４の電極空間、及び、前記第３の絶縁膜を覆う金属膜を形成する工程と、前記金属膜を研磨して前記第３の絶縁膜を露出させるとともに、前記第１の電極空間、第２の電極空間、第３の電極空間、及び、第４の電極空間に残された前記金属を第１のゲート電極、第２のゲート電極、第３のゲート電極、及び、第４のゲート電極に適用する第２の研磨工程と、を更に備えることを特徴とする付記１乃至１２のいずれか１つに記載の半導体装置の製造方法。
（付記１４）前記第１ゲート用パターン、前記第２ゲート用パターン、前記第３ゲート用パターン、及び、前記第４ゲート用パターンはシリコン膜から形成されたゲート電極であることを特徴とする付記１乃至１３のいずれか１つに記載の半導体装置の製造方法。
（付記１５）前記第１の絶縁膜は、窒化シリコン膜であることを特徴とする付記１乃至１４のいずれか１項に記載の半導体装置の製造方法。
（付記１６）前記第１の絶縁膜への前記イオン注入は、炭素イオン又はホウ素イオンを注入することを特徴とする付記１乃至１５のいずれか１つに記載の半導体装置の製造方法。
（付記１７）前記第１の絶縁膜への前記イオン注入により注入される元素の濃度ピークは

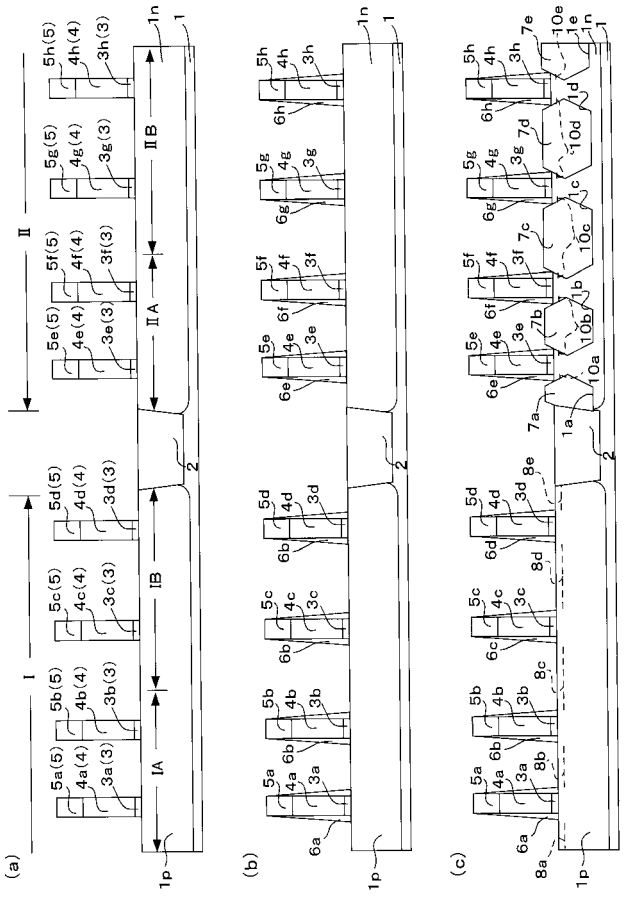
前記第２領域において、前記第１の絶縁膜の厚さの中央か前記中央より上に位置することを特徴とする付記１乃至付記１６のいずれか１つに記載の半導体装置の製造方法。

【符号の説明】

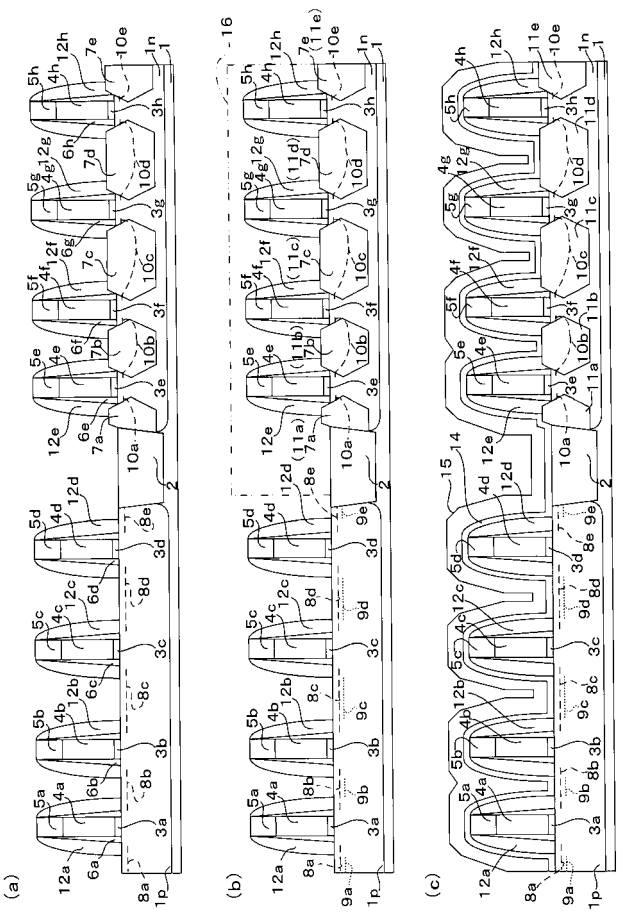
【００６０】

１　シリコン基板
１ｎ　Ｎウェル
１ｐ　Ｐウェル
１ａ～１ｅ　溝
２　素子分離絶縁膜
３ａ～３ｈ　ゲート絶縁膜
４ａ～４ｈ　ゲート用パターン
５ａ～５ｈ　ハードマスク膜
６ａ～６ｈ　オフセットスペーサ
７ａ～７ｅ　半導体層
８ａ～８ｅ　ｎ型エクステンション領域
９ａ～９ｅ　ｎ型ソース／ドレイン領域
１０ａ～１０ｅ　ｐ型エクステンション領域
１１ａ～１１ｅ　ｎ型ソース／ドレイン領域
１２ａ～１２ｈ　サイドウォールスペーサ
１４　酸化シリコン膜
１５　地下シリコン膜
１６、１７　レジストパターン
１８　酸化シリコン膜
１９ａ～１９ｊ　シリサイド層
２０　窒化シリコン膜
２１　第１層間絶縁膜
２２　ハードマスク
２３ａ～２３ｄ　電極空間
２４ａ～２４ｄ　ゲート電極
２５ａ～３５ｄ　ゲート電極
２８　第２層間絶縁膜
２９ａ～２９ｌ　導電性プラグ
４１、４３、４５　レジストパターン

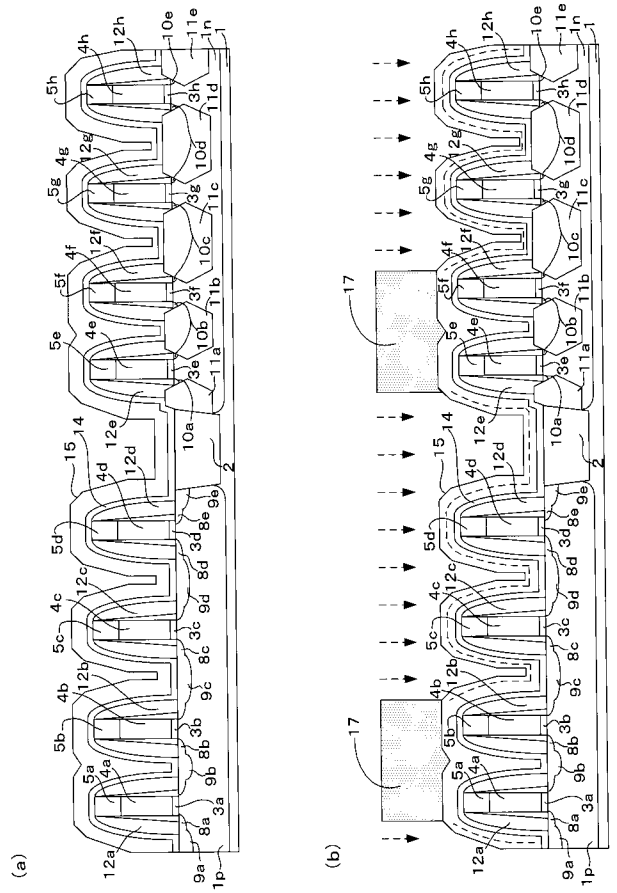
【図１】



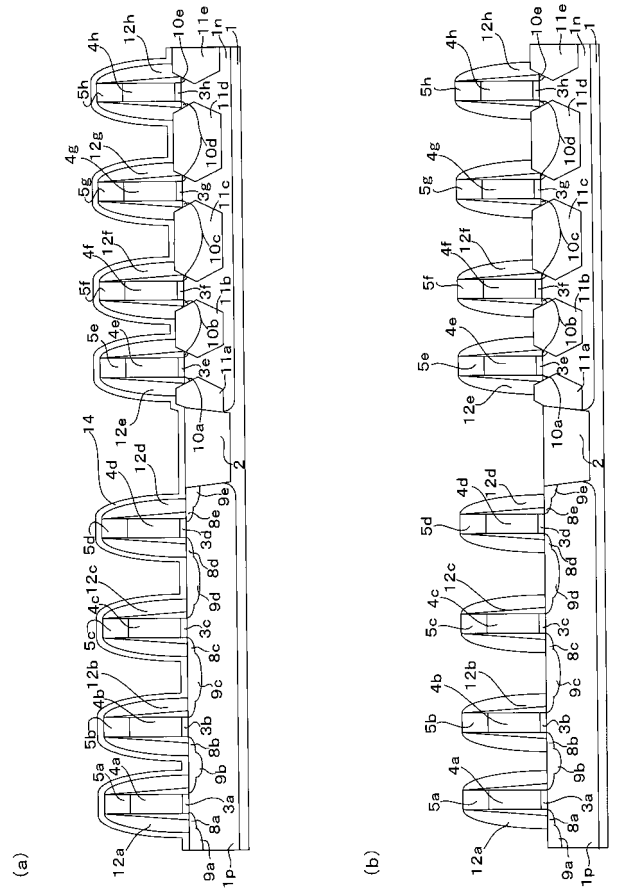
【図２】



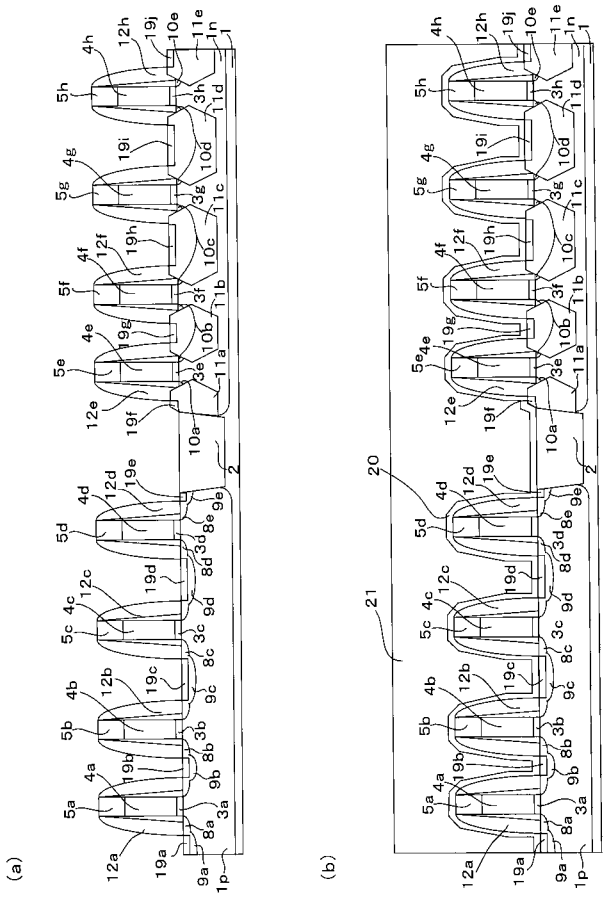
【図３】



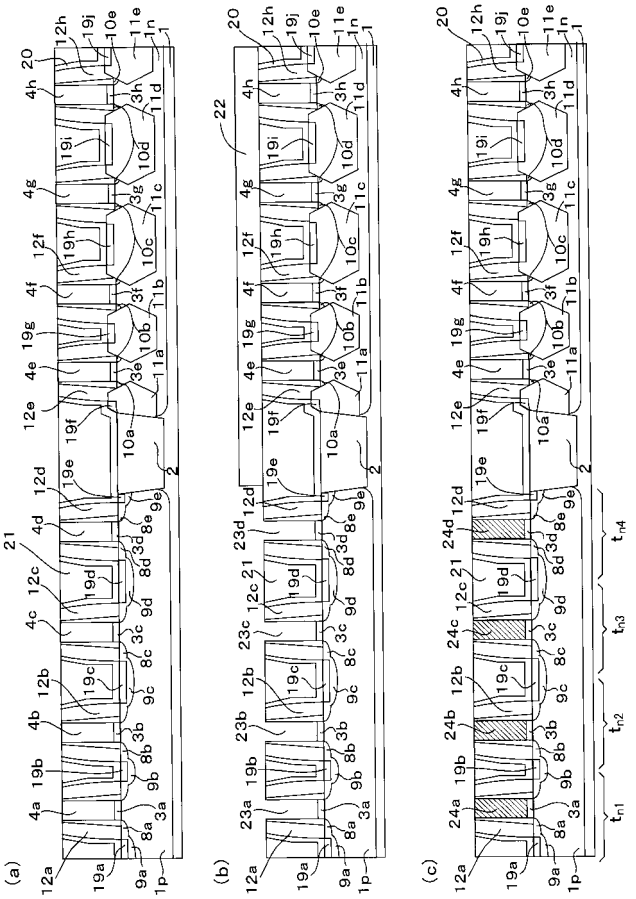
【図４】



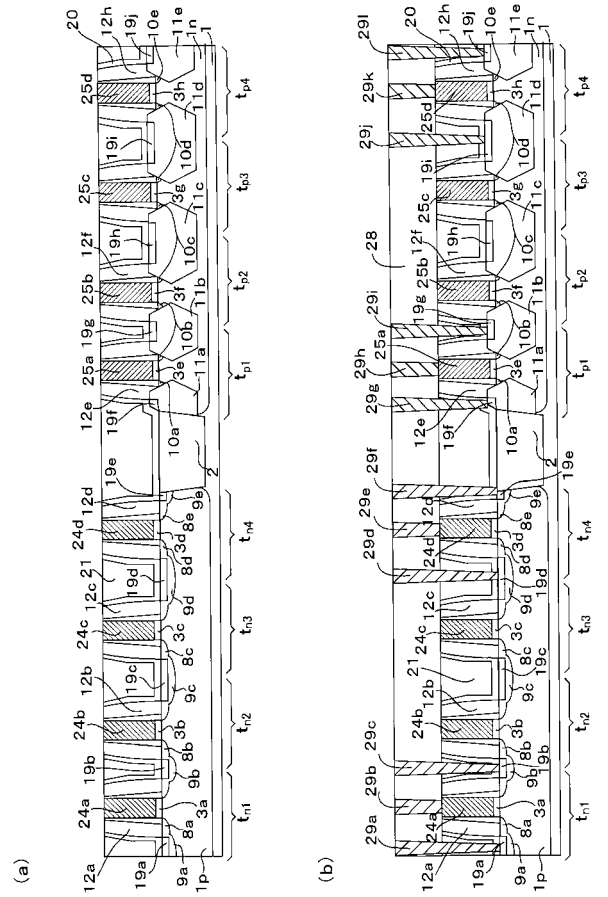
【図５】



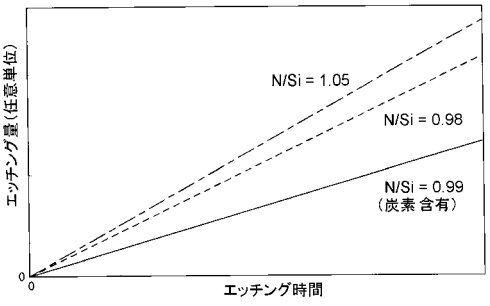
【図６】



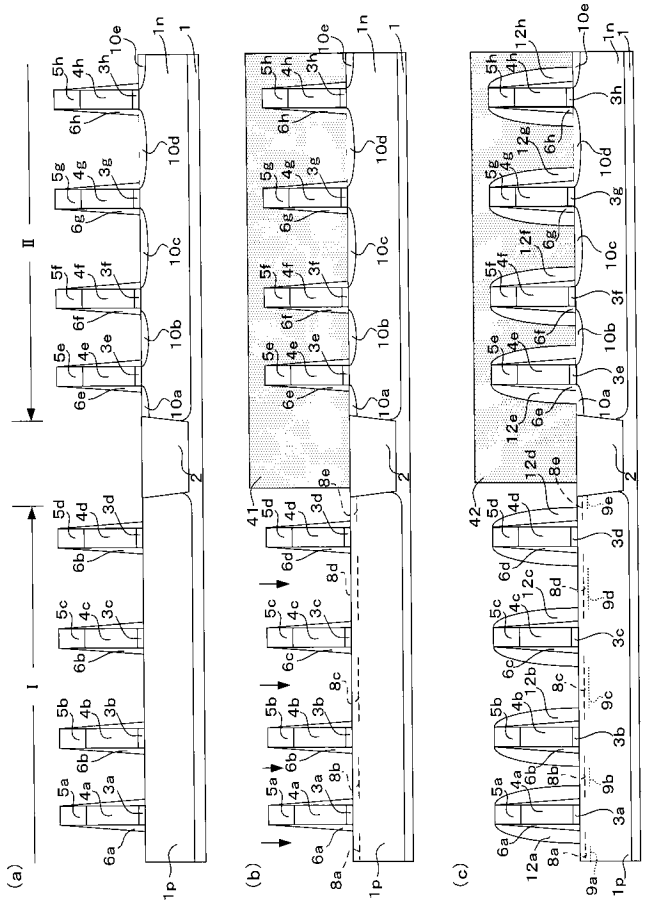
【図７】



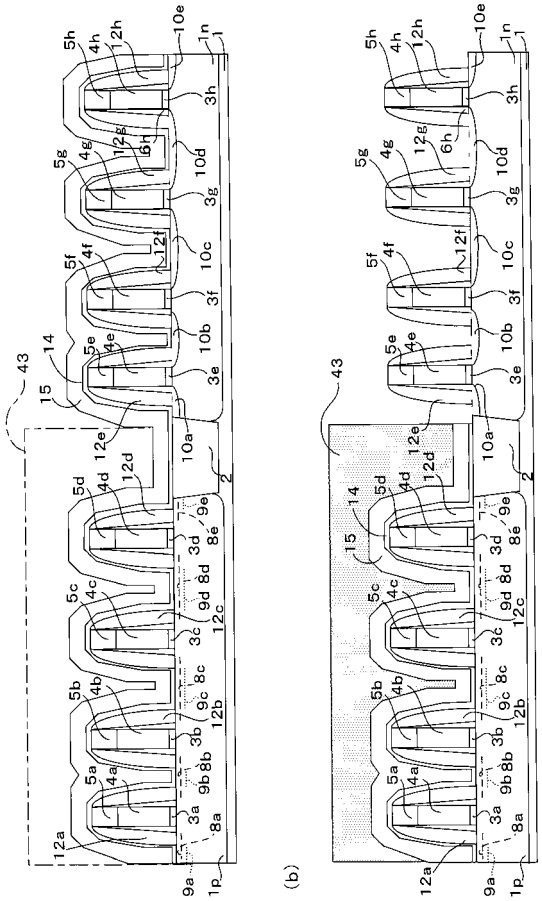
【図８】



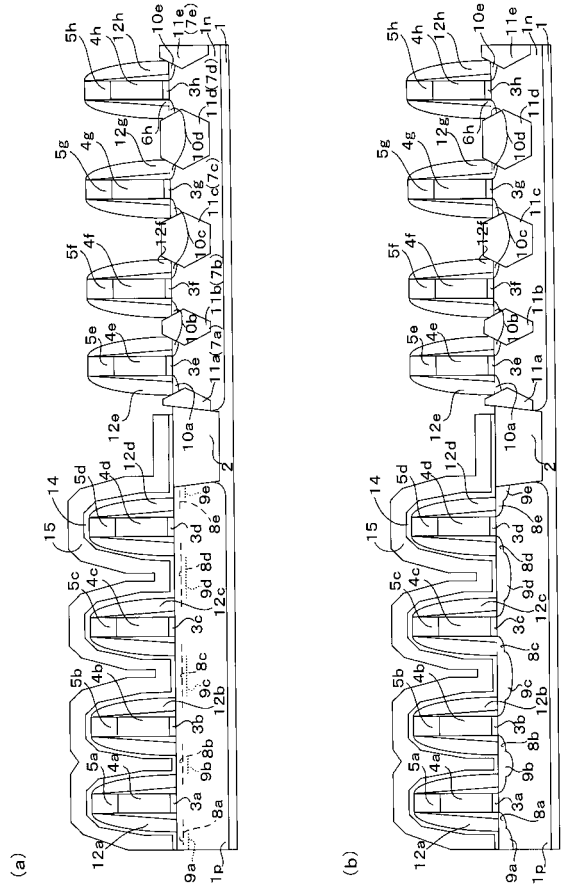
【図９】



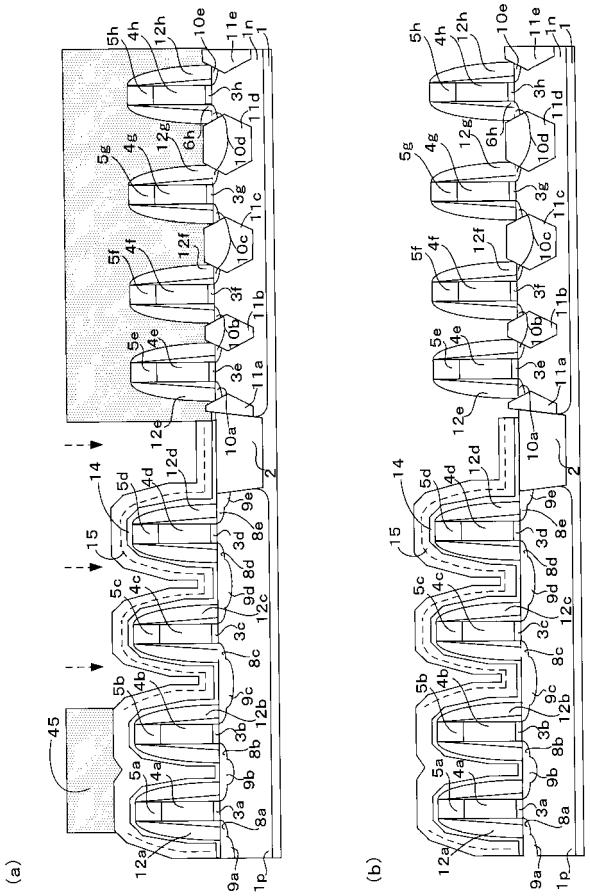
【図１０】



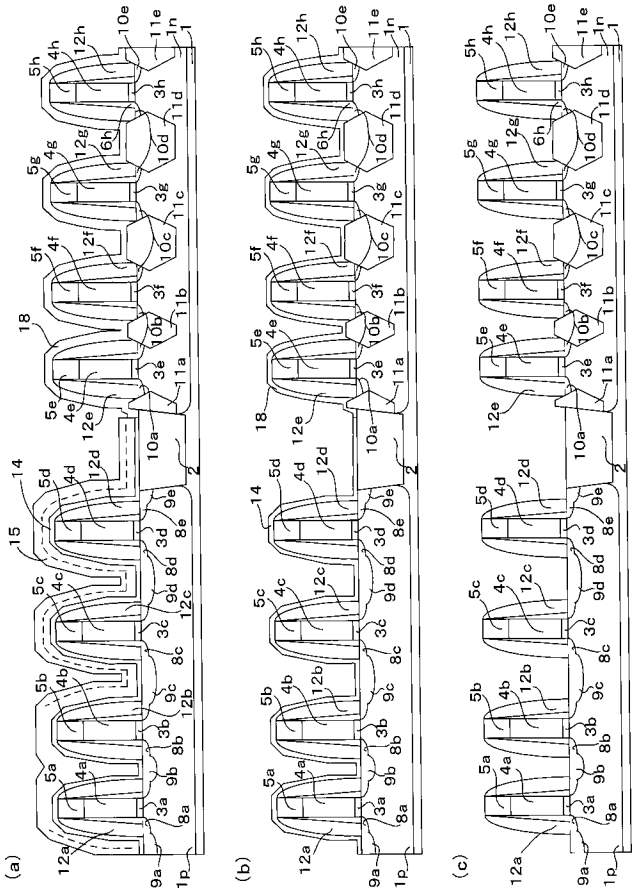
【図１１】



【図１２】



【図１３】



フロントページの続き

(51)Int.Cl.		F I		テーマコード（参考）
Ｈ０１Ｌ　27/088	*(2006.01)*	Ｈ０１Ｌ	27/08　１０２Ｃ	