



(12) 发明专利

(10) 授权公告号 CN 1930636 B

(45) 授权公告日 2012.05.23

(21) 申请号 200580007023.4

(22) 申请日 2005.03.03

(30) 优先权数据

60/550,521 2004.03.05 US

60/592,844 2004.07.30 US

(85) PCT申请进入国家阶段日

2006.09.04

(86) PCT申请的申请数据

PCT/IB2005/050778 2005.03.03

(87) PCT申请的公布数据

W02005/088643 EN 2005.09.22

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 M·阿齐曼 A·马吉

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 王波波

(51) Int. Cl.

G11C 29/00 (2006.01)

(56) 对比文件

EP 0449417 A2, 1991.10.02, 全文.

EP 0907184 A2, 1999.04.07, 说明书第
[0003]–[0004].

A. J. van de Goor et
al. Locating Bridging Faults in
Memory Arrays. INTERNATIONAL TEST
CONFERENCE. 1991, 685–687.

Jun Zhao et al. Maximal Diagnosis of
Interconnects of Random Access Memories. VLSI
Test Symposium, 1999. Proceedings. 17th
IEEE. 1999, 378–383.

审查员 刘婧

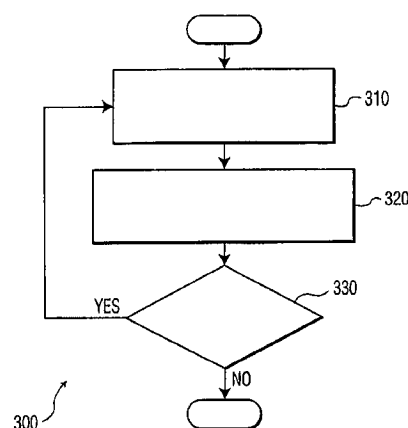
权利要求书 2 页 说明书 6 页 附图 2 页

(54) 发明名称

用于检测在半导体存储器的全局数据总线中的
电阻性桥接缺陷的方法

(57) 摘要

提供了一种用于检测在具有 N 个 Z 块的半导
体存储器的全局数据总线 (GDB) 中的电阻性桥接
缺陷的方法 (300)。在示例性实施例中, 提供具有
预定测试模式的多个数据集 (310)。使用所述多
个数据集来至少对 N 个 Z 块中的 Z 块内的预定存
储器位置执行 (320) 写入和读取操作, 以使得向
至少一个预定存储器位置中的每个应用每个数据
集。为了使微弱的桥接缺陷 (105) 敏感化, 连续地
重复对相同存储位置的相同数据集的写入和读取
操作至少四次 (330)。然后对存储器的所有 Z 块
重复这些步骤。依照这一方式在存储器的 GDB
中检测电阻性桥接缺陷, 所述方式覆盖了基本上
所有的桥接缺陷 (105) 以及微弱的桥接缺陷的可
能位置, 同时实质上降低了测试复杂性和时间。



1. 一种用于检测在具有 N 个 Z 块 (150) 的半导体存储器的全局数据总线 (155) 中的电阻性桥接缺陷 (105) 的方法 (300), 所述 Z 块是所述半导体存储器的存储体, 所述方法包括: a) 依照适于检测所述电阻性桥接缺陷的预定测试模式 (310) 提供多个数据集; b) 使用所述多个数据集来向半导体存储器的 N 个 Z 块中的 Z 块内的至少一个预定存储器位置执行写入和读取操作 (320), 以致每个数据集被应用于所述至少一个预定存储器位置中的每个; 和 c) 对于相同的 Z 块, 重复步骤 a) 和 b) (330); 和 d) 对于所述半导体存储器的 N 个 Z 块中的多个, 重复步骤 a) 到 c)。

2. 如权利要求 1 所述的用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 其中所述 N 个 Z 块中的多个包括所述半导体存储器的 N 个 Z 块。

3. 如权利要求 2 所述的用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 其中所述至少一个预定存储器位置要少于所述 Z 块的所有存储器位置。

4. 如权利要求 3 所述的用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 其中所述至少一个预定存储器位置包括最高的存储器位置。

5. 如权利要求 3 所述的用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 其中所述至少一个预定存储器位置包括所述 Z 块的所有位列以及所述 Z 块的预定行部分。

6. 如权利要求 5 所述的用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 其中依照对角线方式 (200) 来确定存储器位置。

7. 如权利要求 5 所述的用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 包括对于相同的 Z 块来说重复步骤 a) 和 b)。

8. 如权利要求 7 所述的用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 其中重复步骤 a) 和 b) 至少四次。

9. 一种用于检测在具有 N 个 Z 块的只读半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 所述 Z 块是所述半导体存储器的存储体, 所述方法包括: a) 依照用于检测所述电阻性桥接缺陷的预定测试模式确定多个数据集; b) 从在所述只读半导体存储器的 N 个 Z 块中的 Z 块内的至少一个预定存储器位置读取对应于所确定的多个数据集的数据; 和 c) 对于相同的 Z 块, 重复步骤 a) 和 b); 和 d) 对于所述只读半导体存储器的 N 个 Z 块中的多个, 重复步骤 a) 到 c)。

10. 如权利要求 9 所述的用于检测在具有 N 个 Z 块的只读半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 其中所述 N 个 Z 块中的多个包括所述只读半导体存储器的 N 个 Z 块。

11. 如权利要求 10 所述的用于检测在具有 N 个 Z 块的只读半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 其中所述至少一个预定存储器位置包括最高的存储器位置。

12. 如权利要求 10 所述的用于检测在具有 N 个 Z 块的只读半导体存储器的全局数据总线中的电阻性桥接缺陷的方法, 其中所述至少一个预定存储器位置少于所述 Z 块的所有存储器位置。

13. 如权利要求 10 所述的用于检测在具有 N 个 Z 块的只读半导体存储器的全局数据总

线中的电阻性桥接缺陷的方法,包括对于相同的 Z 块来说重复步骤 a) 和 b)。

14. 如权利要求 13 所述的用于检测在具有 N 个 Z 块的只读半导体存储器的全局数据总线中的电阻性桥接缺陷的方法,其中重复步骤 a) 和 b) 至少四次。

15. 如权利要求 10 所述的用于检测在具有 N 个 Z 块的只读半导体存储器的全局数据总线中的电阻性桥接缺陷的方法,其中对应于所确定数据集的数据包括从不同的存储器位置接连读取的多个数据子集。

用于检测在半导体存储器的全局数据总线中的电阻性桥接缺陷的方法

[0001] 本申请要求了于 2004 年 3 月 5 日提交的临时申请 (S/N60/550,521) 题目为 “New Test Patterns to Cover Resistive Bridge Defects in the Global Data Bus of Semiconductor Memories” 的优先权益, 在此将其全部引用以供参考。

技术领域

[0002] 本发明涉及半导体测试。本发明尤其涉及产生测试模式以便检测在依照 Z 块配置所组织的半导体存储器的全局读出总线和全局写入总线中的桥接缺陷。

背景技术

[0003] 电子工业继续依赖于半导体技术的提高以便在更小区域内实现更高级功能的器件。对于许多应用来说, 实现更高级功能的器件要求把大量电子器件集成到单个硅片中。随着每个给定硅片区域上电子器件数目的增加, 制造过程变得更加困难。

[0004] 已经依照众多规范制造了具有各种应用的许多种类的半导体器件。这些基于硅的半导体器件常常包括金氧半导体场效应晶体管 (metal-oxide-semiconductor field-effect transistors MOSFET), 诸如 p 沟道 MOS (PMOS)、n 沟道 MOS (NMOS) 和互补 MOS (CMOS) 晶体管、双极晶体管、BiCMOS 晶体管。这些 MOSFET 器件在导电门电路和类硅衬底之间包括绝缘材料; 因此, 这些器件一般被称为 IGFET (绝缘门电路 FET)。

[0005] 这些半导体器件中的每个通常包括半导体衬底, 在上面形成有多个有源器件。给定有源器件的特定结构可以在器件类型之间变化。例如在 MOS 晶体管中, 有源器件通常包括源和漏极区以及栅电极, 所述栅电极用于调制在所述源和漏极区之间的电流。

[0006] 一种重要的半导体器件是存储器。在存储器件上获得划算的收益是一个持续的挑战。当器件尺寸接近于微米部分时, 存储器阵列中出现缺陷的概率增加了。例如, 当存储器接近 1MB 以及更大时, 尽管最大努力在制造过程中减少缺陷源, 诸如污染、未对准、制程配方容差, 然而许多器件也会使制造过程不能实行。特别的挑战是经由导电路来连接阵列中的存储单元。在全局读出总线和全局写入总线的金属线路之间可能出现电阻性的桥接。

[0007] 集成电路的系统 and 自动测试变得越来越重要。随着每一代新集成电路的产生, 组件密度、系统功能的数目以及时钟速度都大大地增加。集成电路已经达到这样的复杂性和速度, 以致甚至是使用最周密且昂贵的常规测试过程也不再能够检测到工艺缺陷。然而, 客户不会接受那些在操作使用中会表现出隐藏的缺陷的产品, 由此例如使生命支持系统或飞机控制系统变得不可靠。

[0008] 低功率且高密度的半导体存储器的现代体系结构主要是基于多个 Z 块的。每个 Z 块被分成不同的小型子块, 其中从所述 Z 块内部控制所述子块。行地址解码器被分成三块: 预解码器、后解码器和位于 Z 块内部的内部行解码器。内部行解码器根据地址比特的余项来选择字线。通过当行解码器选择特定行并且列解码器选择特定列时激活确定的 Z 块来选择存储器位置。Z 块把全局读出总线和全局写入总线共享为在全局输入 / 输出和存储块之

间的接口。

[0009] 在由 Z 块所布置的存储器的特定体系结构中。使用 Z 块来增加了存储器的密度和性能。存储器具有 X 和 Y 解码器,其选择存储器阵列中的行和列。然后,可以执行存储器操作(读取或写入)。为了增加存储器的密度,设计者通过增加新的地址解码器(通常被标示为“Z 解码器”)来在存储器中包括第三维。用户在相同的集成电路中具有 X、Y 和 Z 解码器。

[0010] 为了获得对(存储器阵列中的)存储器位置的访问,用户首先选定 Z 地址来选择访问哪个 Z 块,并且当然还选定 X 和 Y 位置以便选择在所选择 Z 块中的行和列。Z 块常常被称作存储体。

[0011] 常规的存储器阵列是其中 $Z = 1$ 时的特例,这意味着存储器刚好只有一个 Z 块。具有多个 Z 块(存储体)的存储器阵列是具有不同块(或存储体)的存储器,在这种情况下你有更多的存储空间。这样,每个 Z 块所组织的存储器是非常密集的。在特定的示例性存储器中,在相同的芯片上可以有多达 32 个 Z 块。因而,32 个存储器阵列共享相同的 X 地址和 Y 地址解码器。

[0012] 行进测试(March test)系列包括利用有限数目的数据背景(databackground)来连续地读取和写入操作,所述数据背景不足以检测在全局数据总线的写入和读出数据行之间的电阻性桥接。使用具有行进测试的多个数据背景是不可行的,这是因为所扩展的行进测试的复杂性取决于每个字的比特数目和存储器大小。例如,对于每个字具有 B 个比特的存储器 $2(\lceil \log_2 B \rceil + 1)$ 来说,需要数据背景覆盖在全局数据总线的写入数据线和读出数据线之间所有的耦合可能性。实际上,用于测试全局数据总线所需要的数据背景与用于检测在属于相同字的存储单元之间的桥接故障所需要的数据背景相同。然而在现代字片存储器体系结构中,并不依照物理上邻近的方式来存储属于相同字的比特。使用各种扰乱方法来通过行分布用于存储相同字的比特的存储单元。因此,在用于存储相同字的比特的存储单元之间的桥接故障的可能性几乎是不存在的。

[0013] 在全局数据总线中电阻性桥接的真正数目不会由行进测试系列检测到,导致发出有故障的产品并且产生可靠性问题,这是因为不会对存储器行为产生故障影响的微弱电阻性桥接在使用存储器期间变得更强,最终引起有故障的行为。然而,把行进测试与检测在全局数据总线中的电阻性桥接所需要的数据背景相组合极大地增加了测试的复杂性和测试时间。

发明内容

[0014] 需要提供一种改进的方法,其能够基本上覆盖在半导体存储器的全局数据总线中的电阻性桥接缺陷的所有可能位置。此外,还需要检测在半导体存储器的全局数据总线中的电阻性桥接缺陷,其能够检测微弱的电阻性桥接缺陷。

[0015] 本发明在测试半导体存储器的全局数据总线中的电阻性桥接缺陷方面是有用的。这种桥接缺陷在常规的测试中可能不会被检测出来。

[0016] 在依照本发明的示例性实施例中,提供了一种用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法。所述方法包括首先依照适于检测电阻性桥接缺陷的预定测试模式来提供多个数据集。其次,使用所述多个数据集,至少对半导体

存储器的 N 个 Z 块中的 Z 块内的预定存储器位置执行写入和读取操作,以使得向至少一个预定存储器位置中的每个应用每个数据集。对于半导体存储器的 N 个 Z 块中的多个来说,重复前两个步骤。

[0017] 在依照本发明的另一示例性实施例中,提供了一种用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法。所述方法包括首先依照用于检测电阻性桥接缺陷的预定测试模式来提供多个数据集。使用所述多个数据集,至少对半导体存储器的 N 个 Z 块中的 Z 块内的预定存储器位置执行写入和读取操作,以使得向至少一个预定存储器位置中的每个应用每个数据集。第三,重复前两个步骤。已经重复了前两个步骤,对于半导体存储器的 N 个 Z 块中的多个来说,重复前三个步骤。

[0018] 在依照本发明的又一示例性实施例中,提供了一种用于检测在具有 N 个 Z 块的只读半导体存储器的全局数据总线中的电阻性桥接缺陷的方法。所述方法包括依照用于检测电阻性桥接缺陷的预定测试模式来确定多个数据集。对应于至少在半导体存储器的 N 个 Z 块中的 Z 块内的预定存储器位置中所确定的多个数据集,读取数据。对于只读半导体存储器的 N 个 Z 块中的多个来说,重复先前步骤。

[0019] 本发明的以上概要并不意在代表本发明的每个公开实施例或每个方面。在附图中以及随后的详细描述中提供了其它方面和示例性实施例。

附图说明

[0020] 结合附图考虑本发明的各个实施例的以下详细描述可以更完全地理解本发明,其中:

[0021] 图 1 是用于示意地图示半导体存储器的 Z 块体系结构的简化框图;和

[0022] 图 2 是用于示意地图示在用于依照本发明检测桥接缺陷的方法中所使用的存储器位置的 Z 块的简化框图;和

[0023] 图 3 是依照本发明的示例性实施例的流程图。

具体实施方式

[0024] 虽然本发明符合各种改变和候选形式,然而在附图中举例来说已经示出了其细节并将详细描述。然而应当理解,并不意在把本发明限制为所描述的特定实施例。相反地,意在覆盖落入所附权利要求所定义的本发明的精神和范围内的所有改变、等效物和候选方式。

[0025] 本发明已经被认为在克服在测试半导体存储器中的电阻性缺陷的挑战方面是有用的。利用行进测试使用多个数据背景来检测半导体存储器的全局数据总线中的电阻性桥接缺陷大大地增加了测试复杂性和测试时间。对于每个字具有 B 个比特的存储器 $2^{(\lceil \log_2 B \rceil + 1)}$ 来说,需要数据背景覆盖在全局数据总线的写入数据线和读出数据线之间所有的耦合可能性。表 1 示出了用于覆盖按照每个字八比特所组织的存储器的所有桥接可能性所需要的数据背景。

[0026]

正常
00000000
11111111

01010101
10101010
00110011
11001100
00001111
11110000
表 1

[0027] 对一个本领域技术人员来说明显的是,该解决办法大大地增加了测试复杂性以及测试时间,特别是对于每个字具有很高比特数以及具有较大存储器大小的现代半导体存储器来说。

[0028] 图 1 示意地图示了具有 4 个 Z 块 (150) 以及 1024 个一位的列的存储器 100。每个 Z 块具有其自己的读出放大器 140,但是共享全局读出总线 155 和全局写入总线 160。现代半导体存储器包含 32 或更多个 Z 块。例如,具有 8 个列片、每个字 128 比特以及 32 个 Z 块的存储器包含 32768 个一位的列。所述列从存储器芯片的左边到右边分布并且覆盖大部分存储区域。因此,全局读出总线和全局写入总线布置在 Z 块下面并且从芯片左边延伸到右边。因而,在全局数据总线的读出数据线之间以及写入数据线之间具有桥接缺陷(被称为临界区)的可能性由于数据线的长度以及邻近数据线之间的有限空间而变得非常高。图 1 示出了在读出数据行 R[15] 和 R[14] 之间 (130) 的全局读出总线 (grb) 155 中的桥接缺陷 105。当使用数据背景 00000000 和 11111111 时,此缺陷不会被行进测试所检测到,这是因为全局数据总线的读取和写入数据线对于邻近线来说驱动相同的比特(0 或 1)。如果模式 01010101 或 10101010 被用作为数据背景,那么此桥接会被检测到。然而如果邻近的读取和写入数据线不属于相同的物理线,那么使用以上测试模式不能检测到所述缺陷。例如,如果读出数据行 R[i] 变得邻近于 R[i+2] 和 R[i-2] 而不是 R[i+1] 和 R[i-1],而写入数据线 W[i] 变得邻近于 W[i+2] 和 W[i-2] 而不是 W[i+1] 和 W[i-1],那么所述桥接不会被检测到。在这种情况下,测试模式 00110011 或 11001100 能够检测到所述桥接。为了覆盖读取和写入数据线 160 的所有可能的扰乱,如表 1 所示对于每个字八比特来说,必须使用各种数据背景。然而,由于全局输入/输出通过全局读出总线和全局写入总线的物理分布以及 Z 块的物理位置,所以把这些数据背景应用在唯一的存储器位置上是不够的。当电阻性桥接 105 位于 Z 块 0 附近时,如图 1 所示,如果所述数据背景由于第十五全局输入/输出的物理位置而被写入并读出到第三 Z 块的话,其中所述第十五全局输入/输出位于第三 Z 块附近,相对远离于缺陷的物理位置,那么利用以上数据背景不会检测到电阻性桥接。在图 1 中所示出的电阻性桥接位于读出数据行 R[15] 和 R[14] 之间 (165) 或者在扰乱的情况下在 R[15] 和 R[13] 之间。即使当在第三 Z 块使用测试模式 01010101 和 00110011 时,所述缺陷也不会被检测到。读出数据被从第三 Z 块正确地发送到全局输出。取决于位置和大小,所述缺陷只干扰所携带的信号而不改变数据的逻辑行为。因此,所述缺陷不会被检测到。类似地,如果在 Z 块 0 使用正确的测试模式,那么位于 R[0] 和 R[1] 之间或者在扰乱的情况下位于 R[0] 和 R[2] 之间的缺陷被检测到。如上所述的测试遗漏取决于许多参数:Z 块的数目、数据线的长度、缺陷位置、缺陷大小和全局输入/输出的物理位置,所述全局输入/输出由所述 Z 块共享并且不是相等分布的。只是通过向所有 Z 块应用正确的测试模式来避免这种测试遗漏,这大大地增加了测试复杂性和测试时间。

[0029] 以上问题由依照本发明用于检测在半导体存储器的全局数据总线中的电阻性桥接缺陷的方法所克服,下面将描述该方法。在依照本发明的示例性实施例中,如在表 1 中每个字 8 比特的例子所概述,把相应的数据背景应用于所要测试的半导体存储器的每个 Z 块,而不是所有可能的存储器位置。通过把数据背景应用于所有 Z 块,基本上覆盖了用于全局数据总线中的电阻性桥接的所有可能的物理位置。选择在每个 Z 块特定的存储器地址足以基本上覆盖全局数据总线中的电阻性桥接的所有可能的物理位置,同时大大地减少了测试复杂性。因此,基本上测试了全局存储器输入、所有 Z 块以及全局存储器输出之间的所有数据路径、读取和写入。在示例性实施例中,对于所有 Z 块来说在每个位列重复地应用相同的数据背景。重复地应用相同的数据背景,例如四次或更多次,使微弱的缺陷敏感化并因此不仅能够检测在全局读出总线和全局写入总线中微弱的电阻性桥接,而且能够检测在位线和读出放大器的电阻性桥接。至少在所有 Z 块的一个存储器位置应用所述数据背景。通常,最高的存储器位置使得能够检测在位线和读出放大器的电阻性桥接缺陷。

[0030] 然而在另一实施例中,为了能够检测所有可能的缺陷,对于所有 Z 块,所有的位列至少被测试四次,如图 2 所示。如图 2 所示,例如在一个 Z 块的情况下依照对角线方式把以上数据背景应用于所有位列和预定的行部分。如表 1 中所概述,把数据背景 200 应用于示例性存储器。在上述数据背景的情况下,所有位列被测试四次。存储器矩阵被分成两个 X,一个上 X 在 240a、250b 和一个下 X 在 240b 和 250b。依照选择性的对角线方式从开始最高有效存储器位置 210 在第一方向上经由路径 240a 和 240b 前进来应用数据背景 200。从最低有效的存储器位置 (0,0),数据背景 200 经由路径 250a 和 250b 前进。

[0031] 在依照本发明的用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法的示例性实施例中,执行以下步骤。提供了依照预定测试模式的、用于检测电阻性桥接缺陷的多个数据集,诸如在表 1 中所示。例如,所述数据集在半导体存储器的测试电路中被预先确定并硬编码。在测试期间,使用所述多个数据集来至少对 N 个 Z 块中的 Z 块内的预定存储器位置执行写入和读取操作,以使得向至少一个预定存储器位置中的每个应用每个数据集。预定存储器位置的数目——被确定以使得基本上覆盖了所有可能的桥接缺陷位置——远小于所有可能的存储器位置的数目,从而大大地减少了测试复杂性和测试时间。优选地是,至少预定的存储器位置包括最高的存储器位置以便能够检测在位线和读出放大器的电阻性桥接缺陷。进一步优选地是,至少预定的存储器位置包括 Z 块的所有位列以及 Z 块的预定行部分,以便基本上覆盖所有可能的桥接缺陷位置。例如,确定预定的存储单元以使得它们依照对角线方式来布置。为了使微弱的桥接缺陷敏感化,连续地重复对相同存储单元的相同数据集的写入和读取操作至少四次。然后对于半导体存储器的所有 Z 块重复这些步骤。

[0032] 在依照 Z 块所组织的只读存储器 (ROM) 的情况下,并不存在全局写入总线。然而为了检测全局读出总线中的电阻性桥接,应用与上述相同的数据背景。由于无法改变 ROM 的存储器内容,这是因为它是硬编码的,所以通过读取可与上述数据背景相比较的存储器内容来测试全局读出总线。例如,组合连续的读取操作组来获得数据背景。假定在表 1 中所描述的模式 01010101 在 ROM 中没有被硬编码。那么来自不同存储器位置的邻近比特 01 和 10 的组合被读出以便测试全局读出总线。这与从一个存储器位置读取原始模式 01010101 具有用于检测电阻性桥接的相同效果。例如,四个不同的存储器位置包含模式 0111_1111、

1101_0000、1101_1111 和 1111_0100。因而,可能通过读取以上四种模式来代替读取测试模式 01010101。同样应用于其它测试模式。在按照 Z 块所组织的多端口 SRAM 的情况下,足以根据其中启用读取和写入操作的一个存储器端口来测试全局读出总线和全局写入总线。

[0033] 依照本发明用于检测在具有 N 个 Z 块的半导体存储器的全局数据总线中的电阻性桥接缺陷的方法提供一种测试过程,用于检测在半导体存储器的全局数据总线中的电阻性桥接缺陷,其能够覆盖桥接缺陷的绝大多数和 / 或基本上所有的可能位置,以及能够检测微弱的桥接缺陷,同时大大地降低了测试复杂性和测试时间。

[0034] 图 3 描绘了本发明的实施例 300 的流程图。用户定义并提供了预定的测试模式来检测电阻性桥接缺陷 310。他向 Z 块内的预定存储器位置执行写入和读取操作 320。如果存在额外的要测试的 Z 块 330,那么重复先前操作 (310, 320)。可能会通过处理适用于所测试的特定半导体存储器的经验和历史数据来规定预定的测试模式。

[0035] 虽然已经参考几个特定的示例性实施例描述了本发明,然而那些本领域技术人员会认识到在不脱离本发明的精神和范围的情况下可以进行此外的许多改变,在下面的权利要求中阐明了本发明的精神和范围。

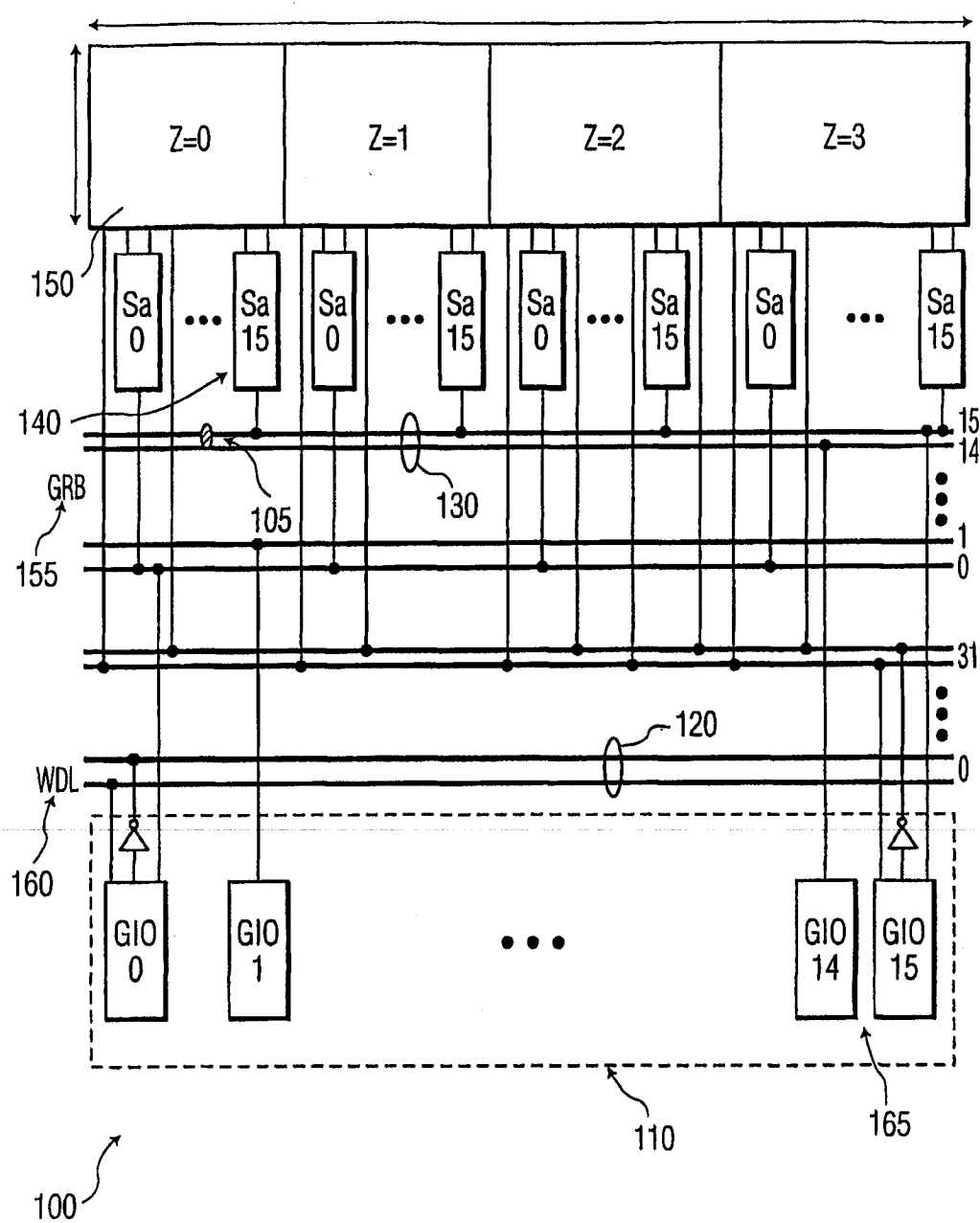


图 1

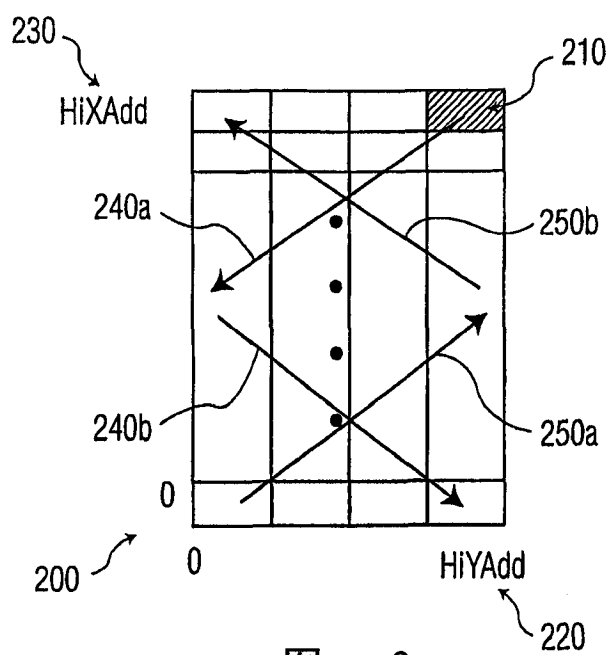


图 2

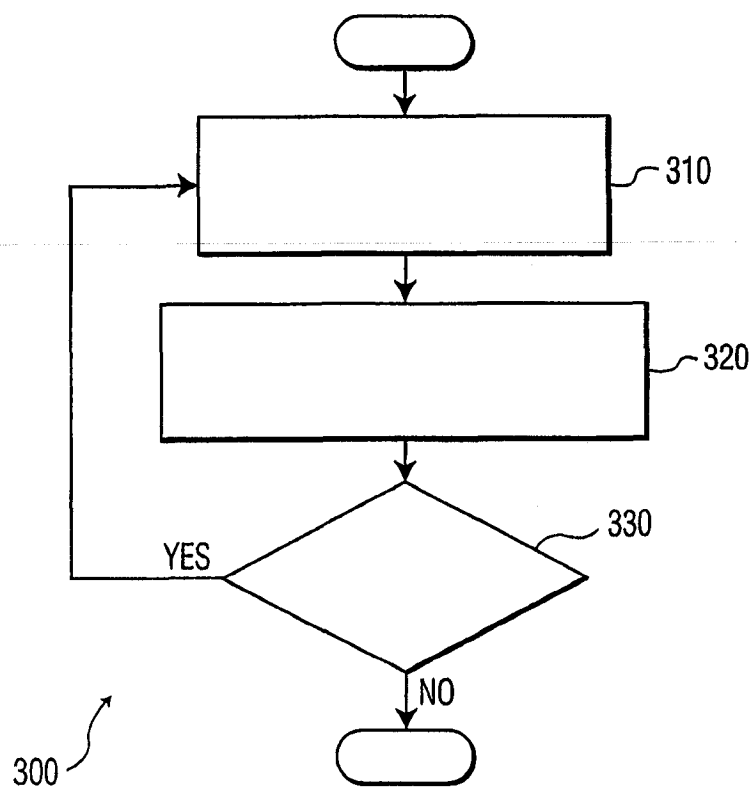


图 3