

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2023/207318 A1

(43) 国际公布日
2023年11月2日 (02.11.2023)

(51) 国际专利分类号:
H10K 59/121 (2023.01) *G09G 3/3225* (2016.01)

成都市高新区(西区)合作路1188号,
Sichuan 611731 (CN)。

(21) 国际申请号: PCT/CN2023/078983

(72) 发明人:刘珂(LIU, Ke); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。方飞(FANG, Fei); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。石领(SHI, Ling); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。郭丹(GUO, Dan); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。丁小琪(DING, Xiaoqi); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(22) 国际申请日: 2023年3月1日 (01.03.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210468937.6 2022年4月29日 (29.04.2022) CN

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT & TRADEMARK AGENT)

(54) Title: DISPLAY PANEL AND DISPLAY APPARATUS

(54) 发明名称: 显示面板及显示装置

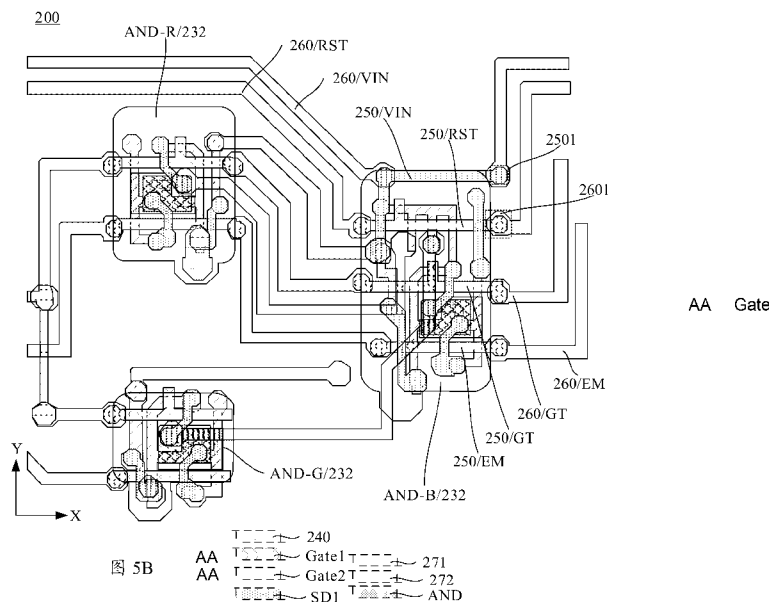


图 5B

(57) Abstract: A display panel. The display panel comprises: a substrate and a plurality of first pixel units. The plurality of first pixel units are located on one side of the substrate, and are distributed in multiple rows and multiple columns, wherein the first pixel units each comprise a plurality of sub-pixels, each sub-pixel comprising a pixel drive circuit and a light-emitting device; the light-emitting device is located on the side of the pixel drive circuit that is away from the substrate, and is electrically connected to the pixel drive circuit; the pixel drive circuit comprises a first reset transistor; a plurality of sub-pixels comprise a first sub-pixel, a second sub-pixel

WO 2023/207318 A1

LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

and a third sub-pixel, and the area of a light-emitting device of the first sub-pixel is greater than the area of a light-emitting device of the second sub-pixel, and is greater than the area of a light-emitting device of the third sub-pixel; and an orthographic projection(s) of a first reset transistor in the second sub-pixel and/or a first reset transistor in the third sub-pixel on the substrate is/are located within an orthographic projection of the light-emitting device of the first sub-pixel on the substrate.

(57) 摘要: 一种显示面板。显示面板包括: 衬底和多个第一像素单元。多个第一像素单元位于衬底的一侧, 且呈多行多列排布; 其中, 第一像素单元中包括多个子像素, 子像素包括像素驱动电路和发光器件; 发光器件位于像素驱动电路远离衬底的一侧, 且与像素驱动电路电连接; 像素驱动电路包括第一复位晶体管; 多个子像素包括第一子像素、第二子像素和第三子像素, 且第一子像素的发光器件的面积, 大于第二子像素的发光器件的面积, 且大于第三子像素的发光器件的面积; 第二子像素中的第一复位晶体管和/或第三子像素中的第一复位晶体管在衬底上的正投影, 位于第一子像素的发光器件在衬底上的正投影之内。

显示面板及显示装置

本申请要求于 2022 年 04 月 29 日提交的、申请号为 202210468937.6 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种显示面板及显示装置。

背景技术

目前，OLED (organic light-emitting diode, 有机发光二极管) 显示装置因其具有自发光、快速响应、宽视角和可制作在柔性衬底上等特点，受到广泛应用，OLED 显示装置包括多个子像素，各子像素包括像素驱动电路和发光器件，通过像素驱动电路驱动发光器件发光，从而实现显示。

发明内容

一方面，提供一种显示面板。所述显示面板包括：衬底和多个第一像素单元。所述多个第一像素单元位于所述衬底的一侧，且呈多行多列排布；其中，所述第一像素单元中包括多个子像素，所述子像素包括像素驱动电路和发光器件；所述发光器件位于所述像素驱动电路远离所述衬底的一侧，且与所述像素驱动电路电连接；所述像素驱动电路包括第一复位晶体管。

所述多个子像素包括第一子像素、第二子像素和第三子像素，且所述第一子像素的发光器件的面积，大于所述第二子像素的发光器件的面积，且大于所述第三子像素的发光器件的面积。

所述第二子像素中的第一复位晶体管和/或所述第三子像素中的第一复位晶体管在所述衬底上的正投影，位于所述第一子像素的发光器件在所述衬底上的正投影之内。

在一些实施例中，所述第一子像素的第一复位晶体管、所述第二子像素的第一复位晶体管和所述第三子像素的第一复位晶体管，均位于所述第一子像素的发光器件在所述衬底的正投影之内。

在一些实施例中，所述第一子像素的第一复位晶体管、所述第二子像素的第一复位晶体管和所述第三子像素的第一复位晶体管中的至少两个，为同一晶体管。

在一些实施例中，所述像素驱动电路还包括第二复位晶体管；所述第一子像素的第二复位晶体管、所述第二子像素的第二复位晶体管和所述第三子像素的第二复位晶体管，为同一晶体管；所述第二复位晶体管在所述衬底上的正投影，位于所述第一子像素的发光器件在所述衬底上的正投影之内；所

述第二复位晶体管与任一所述第一复位晶体管串联。

所述显示面板还包括复位信号线和初始化信号线；各个所述第一复位晶体管的控制极和所述第二复位晶体管的控制极均与所述复位信号线电连接；所述第二复位晶体管的第一极与所述初始化信号线电连接，所述第二复位晶体管的第二极与各个所述第一复位晶体管的第一极电连接。

所述像素驱动电路还包括：驱动晶体管，各个所述像素驱动电路的驱动晶体管的控制极与各个所述第一复位晶体管的第二极电连接。

在一些实施例中，所述第二子像素的发光器件和所述第三子像素的发光器件沿列方向间隔设置；所述第一子像素的发光器件，位于所述第二子像素的发光器件和所述第三子像素的发光器件所在列的相邻列；且所述第一子像素的发光器件，跨过所述第二子像素的发光器件和所述第三子像素的发光器件之间的间隙区域。

所述像素驱动电路还包括电路主体；所述第一子像素的电路主体在所述衬底上的正投影位于所述第一子像素的发光器件在所述衬底上的正投影之内，所述第二子像素的电路主体在所述衬底上的正投影位于所述第二子像素的发光器件在所述衬底上的正投影之内、所述第三子像素的电路主体在所述衬底上的正投影位于所述第三子像素的发光器件在所述衬底上的正投影之内。

在一些实施例中，所述第二复位晶体管、所述第三子像素的第一复位晶体管和所述第二子像素的第一复位晶体管，位于所述第一子像素的第一复位晶体管靠近所述第三子像素的电路主体的一侧，且依次远离所述第三子像素的电路主体。

在一些实施例中，所述复位信号线沿行方向延伸，一条所述复位信号线与一行所述第一像素单元中所述第二复位晶体管的控制极以及各个所述第一复位晶体管的控制极电连接，所述初始化信号线沿行方向延伸，一条所述初始化信号线与一行所述第一像素单元中所述第二复位晶体的第一极电连接。

所述第二复位晶体管以及各个所述第一复位晶体管在所述衬底上的正投影，位于与该第二复位晶体管所电连接的初始化信号线在所述衬底上的正投影和所述第三子像素的电路主体在所述衬底上的正投影之间；所述复位信号线在所述衬底上的正投影，位于该条初始化信号线在所述衬底上的正投影和该第三子像素的电路主体在所述衬底上的正投影之间。

在一些实施例中，所述衬底包括第一显示区，所述多个第一像素单元位于所述第一显示区内。

所述显示面板还包括：多条信号线，位于所述衬底和所述发光器件之间；至少一条信号线位于所述第一显示区内的部位包括彼此电连接的金属走线和透明连接走线；至少部分所述金属走线在所述衬底上的正投投影，位于所述发光器件在所述衬底上的正投影之内。

在一些实施例中，所述显示面板包括：第一栅金属层和第一透明走线层，均位于所述衬底和所述发光器件之间，所述第一透明走线层位于所述第一栅金属层背离所述衬底的一侧。

所述至少一条信号线包括复位信号线，所述复位信号线沿行方向延伸，一条所述复位信号线与一行所述第一像素单元中所述第二复位晶体管的控制极以及各个第一复位晶体管的控制极电连接。

所述复位信号线的金属走线位于所述第一栅金属层，所述复位信号线的金属走线在所述衬底上的正投影的至少部分位于所述第一子像素的发光器件在所述衬底上的正投影之内；所述复位信号线的透明连接走线位于所述第一透明走线层；所述复位信号线的透明连接走线在所述衬底上的正投影，位于所述第二子像素的发光器件在所述衬底上的正投影之外，且位于所述第三子像素的发光器件在所述衬底上的正投影之外；所述复位信号线的透明连接走线与所述复位信号线的金属走线通过过孔连接。

在一些实施例中，所述像素驱动电路的电路主体包括写入晶体管、补偿晶体管和第三复位晶体管；所述至少一条信号线还包括扫描信号线，一条所述扫描信号线与一行所述第一像素单元中所有所述子像素的写入晶体管的控制极、补偿晶体管的控制极和第三复位晶体管的控制极电连接。

所述扫描信号线的金属走线位于所述第一栅金属层，所述扫描信号线的金属走线在所述衬底上的正投影的至少部分位于所述发光器件在所述的衬底上的正投影之内；所述扫描信号线的透明连接走线位于所述第一透明走线层，所述扫描信号线的透明连接走线与所述扫描信号线的金属走线通过过孔连接。

在一些实施例中，所述像素驱动电路的电路主体还包括第一发光控制晶体管和第二发光控制晶体管；所述至少一条信号线还包括发光控制信号线，一条所述发光控制信号线与一行所述第一像素单元中所有所述子像素的第一发光控制晶体管的控制极和第二发光控制晶体管的控制极电连接。

所述发光控制信号线的金属走线位于所述第一栅金属层，所述发光控制信号线的金属走线在所述衬底上的正投影的至少部分位于所述发光器件在所述的衬底上的正投影之内；所述发光控制信号线的透明连接走线位于所述第

一透明走线层，所述发光控制信号线的透明连接走线与所述发光控制信号线的金属走线通过过孔连接。

在一些实施例中，所述显示面板包括：第一源漏金属层和第一透明走线层，均位于所述衬底和所述发光器件之间，所述第一透明走线层位于所述第一源漏金属层背离所述衬底的一侧。

所述至少一条信号线还包括：初始化信号线，一条所述初始化信号线与一行所述第一像素单元中所述第二复位晶体的第一极电连接；所述初始化信号线的金属走线位于所述第一源漏金属层，所述初始化信号线的金属走线在所述衬底上的正投影的至少部分位于所述第一子像素的发光器件在所述衬底上的正投影之内；所述初始化信号线的透明连接走线位于所述第一透明走线层；所述初始化信号线的透明连接走线在所述衬底上的正投影，位于所述第二子像素的发光器件在所述衬底上的正投影之外，且位于所述第三子像素的发光器件在所述衬底上的正投影之外；所述初始化信号线的透明连接走线与所述初始化信号线的金属走线通过过孔连接。

在一些实施例中，所述显示面板包括：第二栅金属层、第二源漏金属层和第二透明走线层，位于所述衬底和所述发光器件之间，所述第二源漏金属层位于所述第二栅金属层背离所述衬底的一侧，所述第二透明走线层位于所述第二源漏金属层背离所述第二栅金属层的一侧。所述像素驱动电路的电路主体还包括：电容器，所述电容器的第一极板位于所述第二栅金属层。

所述至少一条信号线还包括第一电源信号线，所述第一电源信号线沿列方向延伸，一条所述第一电源信号线与一列所述第一像素单元中所述第二子像素的电容器第一极板和所述第三子像素的电容器第一极板电连接。

所述第一电源信号线的金属走线位于所述第二源漏金属层，所述第一电源信号线的金属走线在所述衬底上的正投影的至少部分位于所述第二子像素的发光器件和所述第三子像素的发光器件在所述衬底上的正投影之内；所述第一电源信号线的透明连接走线位于所述第二透明走线层，所述第一电源信号线的透明连接走线与所述第一电源信号线的金属走线通过过孔连接。

在一些实施例中，所述至少一条信号线还包括第二电源信号线，所述第二电源信号线沿列方向延伸，一条所述第二电源信号线与一列所述第一像素单元中所述第一子像素的电容器第一极板电连接。

所述第二电源信号线的金属走线位于所述第二源漏金属层，所述第二电源信号线的金属走线在所述衬底上的正投影至少部分位于所述第一子像素的发光器件在所述衬底上的正投影之内；所述第二电源信号线的透明连接走

线位于所述第二透明走线层，所述第二电源信号线的透明连接走线与所述第二电源信号线的金属走线通过过孔连接。

在一些实施例中，所述显示面板还包括：多条数据线，所述多条数据线沿列方向延伸，所述多条数据线位于所述第一显示区中的部位在所述衬底上的正投影位于任一所述子像素的发光器件在所述衬底上的正投影之外，至少一条数据线位于所述第一显示区的部位位于所述第二透明走线层。

所述像素驱动电路的电路主体包括：写入晶体管；在一个所述第一像素单元中，所述第一子像素的写入晶体管的第一极、所述第二子像素的写入晶体管的第一极和所述第三子像素的写入晶体管的第一极分别连接于不同的所述数据线。

在一些实施例中，所述至少一条数据线位于所述第一显示区中的部位为透明走线段。

在同一列所述第一像素单元内，所述第一子像素中写入晶体管所电连接的数据线的透明走线段在所述衬底上的正投影，位于该第一子像素的电路主体在所述衬底上的正投影远离所述第二子像素的电路主体在所述衬底上的正投影的一侧；所述第二子像素的发光器件在所述衬底上的正投影和所述第三子像素的发光器件在所述衬底上的正投影，位于所述第二子像素的写入晶体管所电连接的数据线的透明走线段在衬底上的正投影和所述第三子像素的写入晶体管所电连接的数据线的透明走线段在衬底上的正投影之间。

在一些实施例中，所述像素驱动电路的电路主体还包括补偿晶体管和第三复位晶体管。

在一个所述第一像素单元内，所述第一子像素中的写入晶体管、补偿晶体管和第三复位晶体管依次远离所述第二子像素的电路主体；所述第二子像素中的写入晶体管、补偿晶体管和第三复位晶体管沿第一设定方向依次设置；所述第三子像素中的写入晶体管、补偿晶体管和第三复位晶体管沿所述第一设定方向的反方向依次设置。

在一些实施例中，所述发光器件包括阳极、发光层和阴极，所述阳极与所述像素驱动电路电连接，所述发光层位于所述阳极背离所述衬底的一侧，所述阴极位于所述发光层背离所述衬底的一侧。所述第二子像素中的第一复位晶体管和/或所述第三子像素中的第一复位晶体管在所述衬底上的正投影，位于所述第一子像素的阳极在所述衬底上的正投影之内。

在一些实施例中，所述第一子像素为蓝色子像素，所述第二子像素为绿色子像素，所述第三子像素为红色子像素。

在一些实施例中，所述显示面板包括：第一显示区和第二显示区。所述第一显示区设置有所述第一像素单元；所述第二显示区设置有多第二像素单元，所述多个第二像素单元呈多行多列排布；所述第二像素单元包括多个子像素，所述第一显示区的子像素密度与所述第二显示区的子像素密度相等；所述第一显示区中子像素的发光器件的面积为所述第二显示区中相同颜色的子像素的发光器件的面积的 0.4~0.6 倍。

又一方面，提供一种显示装置。该显示装置包括：如上述任一实施例所述的显示面板。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图 1A 为根据一些实施例的显示装置的结构图；

图 1B 为根据一些实施例的显示装置的结构图；

图 2A 为根据一些实施例的显示装置的结构图；

图 2B 为根据一些实施例的显示面板的结构图；

图 3A 为根据一些实施例的显示面板的结构图；

图 3B 为根据一些实施例的显示面板的结构图；

图 4A 为根据一些实施例的像素驱动单元的结构图；

图 4B 为根据一些实施例的像素驱动电路的时序图；

图 4C 为根据一些实施例的像素驱动单元的结构图；

图 4D 为根据一些实施例的像素驱动单元的结构图；

图 4E 为根据一些实施例的像素驱动单元的结构图；

图 4F 为根据一些实施例的像素驱动单元的结构图；

图 5A 为根据一些实施例的显示面板的结构图；

图 5B 为根据一些实施例的显示面板的结构图；

图 5C 为根据一些实施例的显示面板的结构图；

图 5D 为根据一些实施例的显示面板的结构图；

图 6A 为根据一些实施例的显示面板的结构图；

图 6B 为根据一些实施例的显示面板的结构图；

图 7A 为根据一些实施例的显示面板的结构图；
图 7B 为根据一些实施例的显示面板的结构图；
图 7C 为根据一些实施例的显示面板的结构图；
图 8A 为根据一些实施例的显示面板的结构图；
图 8B 为根据一些实施例的显示面板的结构图；
图 9A 为根据一些实施例的显示面板的结构图；
图 9B 为根据一些实施例的显示面板的结构图；
图 9C 为根据一些实施例的显示面板的结构图；
图 10A 为根据一些实施例的显示面板的结构图；
图 10B 为根据一些实施例的显示面板的结构图；
图 11A 为根据一些实施例的显示面板的结构图；
图 11B 为根据一些实施例的显示面板的结构图；
图 11C 为根据一些实施例的显示面板的结构图；
图 11D 为根据一些实施例的显示面板的结构图；
图 11E 为根据一些实施例的显示面板的结构图；
图 12A 为根据一些实施例的显示面板的结构图；
图 12B 为根据一些实施例的显示面板的结构图；
图 12C 为根据一些实施例的显示面板的结构图；
图 13A 为根据一些实施例的显示面板的结构图；
图 13B 为根据一些实施例的显示面板的结构图；
图 14 为根据一些实施例的显示面板的结构图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括 (comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一些实施例 (some embodiments)”、“示例 (example)”或“一些示例 (some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，

所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“连接”及其衍伸的表达。例如，描述一些实施例时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

如本文中所使用，根据上下文，术语“如果”任选地被解释为意思是“当……时”或“在……时”。

本文中“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

另外，“基于”的使用意味着开放和包容性，因为“基于”一个或多个所述条件或值的过程、步骤、计算或其他动作在实践中可以基于额外条件或超出所述的值。

在描述一些实施例时，可能使用了‘“某结构”设置于阳极之下’或‘“某结构”位于阳极之下’或‘“某结构”藏于阳极之下’，则表示，某结构在衬底上的正投影位于阳极在衬底上的正投影之内。

在描述一些实施例时，可能使用了“某结构的面积”，则表示，某结构在衬底上的正投影的面积。

如本文所使用的那样，“大致”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。

如本文所使用的那样，“平行”、“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况，该相近似的情况的范围处于可接受偏差范围内，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。例如，“平行”包括绝对平行和近似平行，其中近似平行的可接受偏差范围例如可以是 5° 以内偏差；“垂直”包括绝对垂直和近似垂直，其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相

等，其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的 5%。

应当理解的是，当层或元件被称为在另一层或基板上时，可以是该层或元件直接在另一层或基板上，或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层和区域的厚度。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

本公开的一些实施例提供了一种显示装置。图 1A 和图 1B 为根据一些实施例的显示装置的结构图。请参阅图 1A 和图 1B，显示装置 100 为具有图像（包括：静态图像或动态图像，其中，动态图像可以是视频）显示功能的产品。例如，显示装置 100 可以是：手表、显示器，电视机，广告牌，数码相框，具有显示功能的激光打印机，电话，手机，个人数字助理（personal digital assistant，简称 PDA），数码相机，便携式摄录机，取景器，导航仪，车辆，大面积墙壁，家电，信息查询设备（如电子政务、银行、医院、电力等部门的业务查询设备），监视器等中的任一种。

其中，请参阅图 2A，显示装置 100 中包括显示面板 200 和传感器 300。

本公开的一些实施例提供了一种显示面板 200，图 2B 为根据一些实施例的显示面板的结构图。请参阅图 2B，显示面板 200 包括显示区 AA 和设置于显示区 AA 至少一侧的周边区 BB。其中，显示区 AA 用于显示画面。在一些示例中，周边区 BB 可设置于显示区 AA 的一侧或多侧。在另一些示例中，周边区 BB 绕显示区 AA 设置一周。

其中，显示面板 200 可以为 OLED（organic light-emitting diode，有机发光二极管）显示面板。OLED 显示面板具有广视角、高对比度、快响应、低功耗、可折叠、柔性等优势。

请参阅图 2B，显示面板 200 包括衬底 210 和多个第一像素单元 220，多个第一像素单元 220 设置于衬底 210 的一侧，且呈多行多列排布。第一像素单元 220 中包括多个子像素 230。子像素 230 是显示面板 200 进行画面显示的最小单元，每个子像素 230 可显示一种单一的颜色，例如红色、绿色或蓝色。

通过调节不同颜色子像素的亮度（灰阶），进而颜色组合和叠加可以实现多种颜色的显示，从而实现显示面板 200 的全彩化显示。

在一些实施例中，请参阅图 2B，显示区 AA 中包括第一显示区 A1，多个第一像素单元 220 设置于第一显示区 A1。请参阅图 2A，显示面板 200 包括相背设置的背光侧 201 和显示侧 202，其中，显示侧 202 用于显示画面。传感器 300 设置于显示面板 200 的背光侧 201。且位于显示面板 200 的第一显示区 A1。

其中，传感器 300 例如为图像传感器或红外传感器等。该传感器 300 被配置为接收来自显示面板 200 的显示侧 202 的光线，从而可以进行图像拍摄、距离感知、光强感知等操作。这些光线可透过第一显示区 A1 后照射到传感器 300 上，从而被传感器 300 感测到。

通过将传感器 300 设置于显示面板 200 的第一显示区 A1，且位于所述显示面板的背光侧 201，可以避免在显示屏中挖孔，并且提高屏占比，具有较佳的视觉体验。

图 3A 为根据一些实施例的显示面板在第一显示区 A1 的结构图。请参阅图 3A，一个子像素 230 包括像素驱动电路 231 和发光器件 232，发光器件 232 位于像素驱动电路 231 远离衬底 210 的一侧，且与像素驱动电路 231 电连接。其中，像素驱动电路 231 用于驱动发光器件 232 发光。

图 3B 为根据一些实施例的显示面板的结构图，图 3B 中示出了一个子像素的结构。请参阅图 3B，发光器件 232 包括阳极 AND1、发光层 EL 和阴极 CTD1。其中，阳极 AND1 位于像素驱动电路 231 远离衬底 210 的一侧，且与像素驱动电路 231 电连接。发光层 EL 位于阳极 AND1 背离衬底 210 的一侧，阴极 CTD1 位于发光层 EL 背离衬底 210 的一侧。在一些示例中，发光器件 232 还包括电子传输层（electron transporting layer，简称 ETL）、电子注入层（electron injection layer，简称 EIL）、空穴传输层（hole transporting layer，简称 HTL）以及空穴注入层（hole injection layer，简称 HIL）中的一层或多层。

在一些示例中，阳极 AND1 在衬底 210 上的正投影、发光层 EL 在衬底 210 上的正投影和阴极 CTD1 在衬底 210 上的正投影至少部分重合。

请参阅图 3A，一个第一像素单元 220 中的多个子像素 230 包括第一子像素 230B、第二子像素 230G 和第三子像素 230R。

在一个第一像素单元 220 中，第一子像素 230B 的发光器件 232 的面积大于第二子像素 230G 的发光器件 232 的面积，且大于第三子像素 230R 的发光器件 232 的面积。相应的，请参阅图 3A，在一个第一像素单元 220 中，第一

子像素 230B 的阳极 AND-B 的面积大于第二子像素 230G 的阳极 AND-G 的面积，且大于第三子像素 230R 的阳极 AND-R 的面积。相应的，在一个第一像素单元 220 中，第一子像素 230B 的发光层 EL 的面积大于第二子像素 230G 的发光层 EL 的面积，且大于第三子像素 230R 的发光层 EL 的面积。相应的，在一个第一像素单元 220 中，第一子像素 230B 的阴极 CTD1 的面积大于第二子像素 230G 的阴极 CTD1 的面积，且大于第三子像素 230R 的阴极 CTD1 的面积。

阳极 AND1 呈块状，不同子像素 230 的阳极 AND1 彼此之间是相互分离的。发光层 EL 呈块状，不同子像素 230 的发光层 EL 彼此之间是相互分离的。

在一些示例中，显示面板 200 中的多个子像素 230 的阴极 CTD1，彼此之间相互连接，且多个子像素 230 的阴极 CTD1 是整层的结构。在该些示例中，一个子像素 230 的阴极 CTD1 的面积等于发光层 EL 的面积或阳极 AND1 的面积。此外，在该些示例中，发光层 EL 和阳极 AND1 中面积较大者的面积为发光器件 232 的面积。示例性的，若阳极 AND1 在衬底 210 上的正投影的面积大于发光层 EL 在衬底 210 上的正投影的面积，那么发光器件 232 的面积则为阳极 AND1 的面积。示例性的，若发光层 EL 在衬底 210 上的正投影的面积大于阳极 AND1 在衬底 210 上的正投影的面积，那么发光器件 232 的面积则为发光层 EL 的面积。

在另一些示例种，阴极 CTD1 呈块状，显示面板 200 中的多个子像素 230 的阴极 CTD1，彼此之间相互分离，此时，阴极 CTD1、发光层 EL 和阳极 AND1 中面积最大者的面积为发光器件 232 的面积。示例性的，在一个子像素 230 的阴极 CTD1、发光层 EL 和阳极 AND1 三者中，若阴极 CTD1 的面积最大，那么发光器件 232 的面积则为阴极 CTD1 的面积。若阳极 AND1 的面积最大，那么发光器件 232 的面积则为阳极 AND1 的面积。若发光层 EL 的面积最大，那么发光器件 232 的面积则为发光层 EL 的面积。

示例性的，在第一像素单元 220 内，第一子像素 230B 为蓝色子像素，第二子像素 230G 为绿色子像素，第三子像素 230R 为红色子像素。

发光层 EL 包括有效发光区域。在一些示例中，在一个第一像素单元 220 中，第一子像素 230B 的发光器件 232 的面积大于第二子像素 230G 的发光器件 232 的面积，且大于第三子像素 230R 的发光器件 232 的面积。对应的，第一子像素 230B 的有效发光区域的面积大于第二子像素 230G 的有效发光区域的面积，且大于第三子像素 230R 的有效发光区域的面积。其中，发光器件 232 中的发光层 EL 包括发光材料，蓝色子像素的发光材料的效率较低，通过

使得蓝色子像素的有效发光面积最大，可以减小因红、绿、蓝子像素发光效率不同而产生的色偏问题。

在一种实现方式中，通过缩小子像素 230 的发光器件 232 的面积，并且将像素驱动电路 231 藏于发光器件 232 之下，以此可以减小子像素 230 在显示面板 200 所占的面积，进而可以增大透光区的面积，提高第一显示区 A1 的透光率。其中，需要说明的是，发光器件 232 的面积指的是发光器件 232 在衬底 210 上的正投影所覆盖的面积。而像素驱动电路 231 藏于发光器件 232 之下指的是，像素驱动电路 231 位于发光器件 232 靠近衬底 210 的一侧，且像素驱动电路 231 在衬底 210 上的正投影位于发光器件 232 在衬底 210 上的正投影之内。

然而，由于第二子像素 230G 的发光器件 232 以及第三子像素 230R 的发光器件 232 的面积较小，因此，难以将第二子像素 230G 的像素驱动电路 231-G 藏于第二子像素 230G 的发光器件 232 之下，且难以将第三子像素 230R 的像素驱动电路 231-R 藏于第三子像素 230R 的发光器件 232 之下。如果像素驱动电路 231 暴露在发光器件 232 之外，会降低第一显示区 A1 的透光率，并加重衍射，不利于摄像。

基于此，本公开提供了一种像素驱动单元 400，请参阅图 4A，该像素驱动单元 400 包括多个像素驱动电路 231。

在一些实施例中，本公开中的像素驱动电路的结构包括多种，可以根据实际需要选择设置。例如，像素驱动电路 231 的结构可以包括“6T1C”、“7T1C”、“6T2C”或“7T2C”等。此处，“T”表示为薄膜晶体管，位于“T”前面的数字表示为薄膜晶体管的数量；“C”表示为存储电容器 C，位于“C”前面的数字表示为存储电容器 C 的数量。以下以 7T1C 模式的像素驱动电路为例做介绍。

请参阅图 4A，一个像素驱动电路 231 包括驱动晶体管 T3 和第二复位晶体管 T12，第二复位晶体管 T12 与复位信号端 Rst、初始化信号端 Vin 和驱动晶体管 T3 的控制极电连接，第二复位晶体管 T12 被配置为：响应于在复位信号端 Rst 处接收的复位信号，将在初始化信号端 Vin 处接收的初始化信号传输至驱动晶体管 T3 的控制极，以对驱动晶体管 T3 的控制极进行复位。

示例性的，第二复位晶体管 T12 的控制极与复位信号端 Rst 电连接，第一极与初始化信号端 Vin 电连接，第二极与驱动晶体管 T3 的控制极电连接。

请参阅图 4A，除第二复位晶体管 T12 和驱动晶体管 T3 外，像素驱动电路 231 还包括补偿晶体管 T2、写入晶体管 T4、第一发光控制晶体管 T5、第

二发光控制晶体管 T6、第三复位晶体管 T7 和电容器 Cst。

其中，补偿晶体管 T2 的控制极与扫描信号端 Gt 电连接，补偿晶体管 T2 的第一极与驱动晶体管 T3 的第二极电连接，补偿晶体管 T2 的第二极与驱动晶体管 T3 的控制极电连接。

写入晶体管 T4 的控制极与扫描信号端 Gt 电连接，写入晶体管 T4 的第一极与数据信号端 Dt 电连接，写入晶体管 T4 的第二极与驱动晶体管 T3 的第一极电连接。

第一发光控制晶体管 T5 的控制极与发光控制信号端 Em 电连接，第一发光控制晶体管 T5 的第一极与第一类电源信号端 Vdd 电连接，第一发光控制晶体管 T5 的第二极与驱动晶体管 T3 的第一极电连接。

第二发光控制晶体管 T6 的控制极与发光控制信号端 Em 电连接，第二发光控制晶体管 T6 的第一极与驱动晶体管 T3 的第二极电连接，第二发光控制晶体管 T6 的第二极与发光器件 232 的阳极电连接。发光器件 232 的阴极与第二类电源信号端 Vss 电连接。其中，在第一类电源信号端 Vdd 处接收的第一类电源信号的电压大于在第二类电源信号端 Vss 处接收的第二类电源信号的电压。

第三复位晶体管 T7 的控制极与扫描信号端 Gt 电连接，第三复位晶体管 T7 的第一极与初始化信号端 Vin 电连接，第三复位晶体管 T7 的第二极与发光器件 232 的阳极电连接。

电容器 Cst 的第一极板与第一类电源信号端 Vdd 电连接，电容器 Cst 的第二极板与驱动晶体管 T3 的控制极电连接。

在一些示例中，第二复位晶体管 T12、补偿晶体管 T2、驱动晶体管 T3、写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6 和第三复位晶体管 T7 均可以为 P 型晶体管也可以为 N 型晶体管。N 型晶体管在栅极接收到高电压信号的情况下导通，而 P 型晶体管在栅极接收到低电压信号的情况下导通。需要说明的是，上述提到的“高电压信号”和“低电压信号”是通俗说法，一般来说，N 型晶体管的导通条件为栅源电压差大于其阈值电压，即 N 型晶体管的栅极电压大于其源极电压与其阈值电压之和，N 型晶体管的阈值电压为正值，则称使得 N 型晶体管导通的栅极电压信号为高电压信号，P 型晶体管的导通条件为栅源电压差的绝对值大于其阈值电压，P 型晶体管的阈值电压为负值，即 P 型晶体管的栅极电压小于其源极电压与其阈值电压之和，则称使得 P 型晶体管导通的栅极电压信号为低电压信号，“高电压信号”和“低电压信号”中的高低是相对于源极的电压来说的。

在一些示例中，请参阅图 4A，第二复位晶体管 T12、补偿晶体管 T2、驱动晶体管 T3、写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6 和第三复位晶体管 T7 均可以为 P 型晶体管均为 P 型晶体管，此时像素驱动电路 231 的时序图，如图 4B 所示。

以下基于像素驱动电路 231 中的晶体管均为 P 型晶体管对像素驱动电路 231 的驱动过程进行介绍。

像素驱动电路 231 的驱动过程为：一个帧周期包括复位阶段 t1、数据刷新及补偿阶段 t2 和发光阶段 t3。

在复位阶段 t1，复位信号为低压，此时，第二复位晶体管 T12 导通，第二复位晶体管 T12 将初始化信号传输至驱动晶体管 T3 的控制极，以此对驱动晶体管 T3 的控制极进行复位，同时使得驱动晶体管 T3 导通。而补偿晶体管 T2、写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6 以及第三复位晶体管 T7 均处于断开的状态，且发光器件 232 不发光。

在数据刷新及补偿阶段 t2，在复位信号端 Rst 处接收的复位信号为高压，第二复位晶体管 T12 断开。而在扫描信号端 Gt 处接收的扫描信号为低压，因此，第三复位晶体管 T7 在扫描信号的控制下导通，进而将在初始化信号端 Vin 处接收的初始化信号写入到发光器件 232 的阳极，以对发光器件 232 的阳极进行复位。

同时，在扫描信号的控制下，写入晶体管 T4 和补偿晶体管 T2 导通，同时驱动晶体管 T3 维持复位阶段 t1 的导通状态，因此在数据信号端 Dt 处接收的数据信号可以依次通过写入晶体管 T4、驱动晶体管 T3 和补偿晶体管 T2 传输至驱动晶体管 T3 的控制极，使得驱动晶体管 T3 的控制极的电压改变，直至驱动晶体管 T3 的控制极的电压达到驱动晶体管 T3 的阈值电压与数据信号的电压之和，使得驱动晶体管 T3 断开。

在数据刷新及补偿阶段 t2，可以将驱动晶体管 T3 的阈值电压写入到驱动晶体管 T3 的控制极，以此补偿驱动晶体管 T3 的阈值电压漂移，进而减少对发光器件 232 的发光强度所产生的影响。在该阶段，第一发光控制晶体管 T5 和第二发光控制晶体管 T6 在发光控制信号的控制下处于断开的状态。

在发光阶段 t3，第二复位晶体管 T12、补偿晶体管 T2、写入晶体管 T4 和第三复位晶体管 T7 断开。电容器 Cst 固定驱动晶体管 T3 的控制极的电压，使驱动晶体管 T3 的控制极维持在数据刷新及补偿阶段 t2 的电压。此时，发光控制信号为低压，第一发光控制晶体管 T5 和第二发光控制晶体管 T6 在发光控制信号的控制下导通，进而使得在第一类电源信号端 Vdd 处接收的第一类

电源信号写入到驱动晶体管 T3 的第一极，从而使得驱动晶体管 T3 导通，以此在第一类电源信号端与发光器件 232 之间形成通路，使得发光器件 232 发光。

本公开的一些实施例所提供的像素驱动单元 400 中，请参阅图 4A，至少两个像素驱动电路 231 的第二复位晶体管 T12 为同一晶体管，进而可以减小像素驱动单元 400 的面积，有利于将像素驱动单元 400 中的素驱动电路 231 隐藏在发光器件 232 之下。

在一些示例中，一个像素驱动单元 400 中的所有像素驱动电路 231 的第二复位晶体管 T12 为同一晶体管。

在一些示例中，在一个像素驱动单元 400 中，多个像素驱动电路 231 包括第一像素驱动电路 231B、第二像素驱动电路 231G 和第三像素驱动电路 231R。其中，第一像素驱动电路 231B 的第二复位晶体管 T12、第二像素驱动电路 231G 的第二复位晶体管 T12 和第三像素驱动电路 231R 的第二复位晶体管 T12 为同一晶体管。

其中，第一像素驱动电路 231B、第二像素驱动电路 231G 和第三像素驱动电路 231R 共用第二复位晶体管 T12，一个第二复位晶体管 T12 可以同时为像素驱动电路 231B、231G 和 231R 中的驱动晶体管 T3 的控制极进行复位。

通过共用第二复位晶体管 T12，可以减小一个像素驱动单元 400 中晶体的数量，因此，可以减小像素驱动单元 400 的面积，有利于将像素驱动单元 400 中的素驱动电路 231 隐藏在发光器件 232 之下。

在一些示例中，可参阅图 3A，第一子像素 230B 包括第一像素驱动电路 231B 和阳极 AND-B，此时，第一像素驱动电路 231B 和阳极 AND-B 电连接。第二子像素 230G 包括第二像素驱动电路 231G 和阳极 AND-G，此时，第二像素驱动电路 231G 和阳极 AND-G 电连接。第三子像素 230R 包括第三像素驱动电路 231R 和阳极 AND-R，此时，第三像素驱动电路 231R 和阳极 AND-R 电连接。

在一些实施例中，请参阅图 4A，像素驱动电路 231 还包括第一复位晶体管 T11；在同一个像素驱动电路 231 中，第一复位晶体管 T11 串联于第二复位晶体管 T12 与驱动晶体管 T3 的控制极之间。

其中，第一复位晶体管 T11 的控制极与复位信号端 Rst 电连接，第一复位晶体管 T11 与第二复位晶体管 T12 共同为驱动晶体管 T3 的控制极进行复位，以此可以起到防漏电的效果。

在一些示例中，请参阅图 4C~图 4F，在一个像素驱动单元 400 中，至少

两个像素驱动电路 231 的第一复位晶体管 T11 为同一晶体管。

基于以上多个像素驱动电路 231 包括第一像素驱动电路 231B、第二像素驱动电路 231G 和第三像素驱动电路 231R 的实施例。在一些实施例中，请参阅图 4C~图 4F，第一像素驱动电路 231B 的第一复位晶体管 T11-B、第二像素驱动电路 231G 的第一复位晶体管 T11-G 和第三像素驱动电路 231R 的第一复位晶体管 T11-R 中的至少两个为同一晶体管。

在一些示例中，请参阅图 4C，第一像素驱动电路 231B 的第一复位晶体管 T11-B 与第二像素驱动电路 231G 的第一复位晶体管 T11-G，为同一晶体管。

在一些示例中，请参阅图 4D，第一像素驱动电路 231B 的第一复位晶体管 T11-B 与第三像素驱动电路 231R 的第一复位晶体管 T11-R，为同一晶体管。

在一些示例中，请参阅图 4E，第二像素驱动电路 231G 的第一复位晶体管 T11-G 与第三像素驱动电路 231R 的第一复位晶体管 T11-R，为同一晶体管。

在一些示例中，请参阅图 4F，一个像素驱动单元 400 中，多个像素驱动电路 231（即全部的像素驱动电路 231）的第一复位晶体管 T11 为同一晶体管。基于以上多个像素驱动电路 231 包括第一像素驱动电路 231B、第二像素驱动电路 231G 和第三像素驱动电路 231R 的实施例，此时，第一像素驱动电路 231B 的第一复位晶体管 T11-B、第二像素驱动电路 231G 的第一复位晶体管 T11-G 和第三像素驱动电路 231R 的第一复位晶体管 T11-R 为同一晶体管。

通过使得一个像素驱动单元 400 中多个像素驱动电路 231 中的至少两个共用第一复位晶体管 T11，可以减小一个像素驱动单元 400 中晶体管的数量，进而减小像素驱动单元 400 中像素驱动电路 231 的面积，有利于将像素驱动单元 400 中的像素驱动电路 231 隐藏在发光器件 232 之下。

除此之外，在其他的一些实施例中，请参阅图 4A，第一像素驱动电路 231B 的第一复位晶体管 T11-B、第二像素驱动电路 231G 的第一复位晶体管 T11-G 和第三像素驱动电路 231R 的第一复位晶体管 T11-R 均为不同的晶体管。

通过为每个像素驱动电路 231 设置一第一复位晶体管 T11，在不同的像素驱动电路 231 中，通过不同的第一复位晶体管 T11 对驱动晶体管 T3 的控制极进行复位，进而可以保证对驱动晶体管 T3 的控制极的复位效果。

本公开的一些实施例所提供的显示装置 100 包括：以上任一实施例所提供的像素驱动单元 400。因此本公开的一些实施例所提供的显示装置 100 具有以上任一实施例所提供的像素驱动单元 400 的全部有益效果，在此不进行赘述。

本公开的一些实施例还提供了一种显示面板 200，请参阅图 5A，在显示

面板 200 中，第二子像素 230G 中的第一复位晶体管 T11-G 和/或第三子像素 230R 中的第一复位晶体管 T11-R 在衬底 210 上的正投影，位于第一子像素 230B 的发光器件 232 在衬底 210 上的正投影之内。

其中需要说明的是，在发光器件 232 的面积为阳极 AND1 的面积的情况下，发光器件 232 在衬底 210 上的正投影则与阳极 AND1 在衬底 210 上的正投影重合。在发光器件 232 的面积为发光层 EL 的面积的情况下，发光器件 232 在衬底 210 上的正投影则与发光层 EL 在衬底 210 上的正投影重合。在发光器件 232 的面积为阴极 CTD1 的面积的情况下，发光器件 232 在衬底 210 上的正投影则与阴极 CTD1 在衬底 210 上的正投影重合。

在一些示例中，在一个第一像素单元 220 中，第一子像素 230B 的发光器件 232 的面积最大，而第二子像素 230G 的发光器件 232 的面积和第三子像素 230R 的发光器件 232 的面积均相对较小，将第二子像素 230G 中的第一复位晶体管 T11-G 和/或第三子像素 230R 中的第一复位晶体管 T11-R 藏于第一子像素 230B 的发光器件 232 之下，不仅可以对将第二子像素 230G 中的第一复位晶体管 T11-G 和/或第三子像素 230R 中的第一复位晶体管 T11-R 进行遮挡。并且由于第一子像素 230B 的发光器件 232 的面积较大，进而不会造成第一子像素 230B 的发光器件 232 之下的像素驱动电路 231 的结构过于紧凑，合理利用第一子像素 230B 的发光器件 232 之下的空间。

在一些示例中，可以仅使得第二子像素 230G 中的第一复位晶体管 T11-G 在衬底 210 上的正投影位于第一子像素 230B 的发光器件 232 在衬底 210 上的正投影之内。其中，在一个第一像素单元 220 内，第二子像素 230G 的发光器件 232 的面积较小，通过将第二子像素 230G 中的第一复位晶体管 T11-G 设置于第一子像素 230B 的发光器件 232 之下，以此可以减小位于第二子像素 230G 的发光器件 232 之下的像素驱动电路 231 中晶体管的数量，进而可以减小位于第二子像素 230G 的发光器件 232 之下的像素驱动电路 231 的面积，有利于第二子像素 230G 的发光器件 232 对位于其下的像素驱动电路 231 进行遮挡。

在另一些示例中，可以仅使得第三子像素 230R 中的第一复位晶体管 T11-R 在衬底 210 上的正投影位于第一子像素 230B 的发光器件 232 在衬底 210 上的正投影之内。通过将第三子像素 230R 中的第一复位晶体管 T11-R 设置于第一子像素 230B 的发光器件 232 之下，以此可以减小位于第三子像素 230R 的发光器件 232 之下的像素驱动电路 231 中晶体管的数量，进而可以减小位于第三子像素 230R 的发光器件 232 之下的像素驱动电路 231 的面积，有利于第三子像素 230R 的发光器件 232 对位于其下的像素驱动电路 231 进行遮挡。

在另一些实施例中，请参阅图 5A，第一子像素 230B 的第一复位晶体管 T11-B、第二子像素 230G 的第一复位晶体管 T11-G 和第三子像素 230R 的第一复位晶体管 T11-R，均位于第一子像素 230B 的发光器件 232 在衬底 210 的正投影之内。

其中，第二子像素 230G 的第一复位晶体管 T11-G 和第三子像素 230R 的第一复位晶体管 T11-R 均设置在第一子像素 230B 的发光器件 232 之下，既能够减小第二子像素 230G 的发光器件 232 之下的像素驱动电路 231 的面积，还能够减小第三子像素 230R 的发光器件 232 之下的像素驱动电路 231 的面积，有利于对第二子像素 230G 中的像素驱动电路 231 和第三子像素 230R 中的像素驱动电路 231 进行遮挡，降低衍射现象。且第一子像素 230B 的第一复位晶体管 T11-B 位于设置在第一子像素 230B 的发光器件 232 之下，避免第一复位晶体管 T11-B 占用其他空间，以此提高了透光率。

在一些实施例中，请参阅图 4C~图 4F，第一子像素 230B 的第一复位晶体管 T11-B、第二子像素 230G 的第一复位晶体管 T11-G 和第三子像素 230R 的第一复位晶体管 T11-R 中的至少两个，为同一晶体管。

其中，一个第一像素单元 220 内，至少两个子像素 230 的第一复位晶体管 T11 为同一晶体管，可以减小第一像素单元 220 中第一复位晶体管 T11 的数量。在将第一子像素 230B 的第一复位晶体管 T11-B、第二子像素 230G 的第一复位晶体管 T11-G 以及第三子像素 230R 的第一复位晶体管 T11-R 均设置于第一子像素 230B 的发光器件 232 之下时，通过减少第一复位晶体管 T11 的数量，可以减小第一子像素 230B 的发光器件 232 之下的像素驱动电路 231 的面积，进而可以减小第一子像素 230B 的发光器件 232 的面积，提高第一显示区 A1 的透光率。

在一些示例中，阳极 AND1 的材料包括透明导电氧化物材料和金属材料，其中，透明导电氧化物材料例如为 ITO、IZO，金属材料例如为 Au、Ag、Ni、Pt。示例性的，阳极层 AND 可以包括一层透明导电氧化物、一层金属和一层透明导电氧化物这样的叠层复合结构，该种结构可以记作透明导电氧化物/金属/透明导电氧化物，例如，一种阳极层 AND 的结构为：ITO/Ag/ITO。其中，阳极 AND1 的透光性较差或不透光。

在一些实施例中，请参阅图 5A，第二子像素 230G 中的第一复位晶体管 T11-G 和/或第三子像素 230R 中的第一复位晶体管 T11-R 在衬底 210 上的正投影，位于第一子像素 230B 的阳极 AND-B 在衬底 210 上的正投影之内。其中，需要说明的是，此时，发光器件 232 与阳极 AND1 的面积可以相等，也

可以不等，其还可以理解为发光器件 232 在衬底 210 上的正投影可以与阳极 AND1 在衬底 210 上的正投影完全重合或部分重合。

其中，阳极 AND1 透光性较差或不透光，进而阳极 AND1 可以对位于阳极 AND1 之下的像素驱动电路 231 和信号线等进行遮挡，进而减少像素驱动电路 231 和信号线外露，从而降低传感器 300 透过第一显示区 A1 拍照时的衍射，同时增大第一显示区 A1 的透光率。

在一些示例中，第一子像素 230B 中的第一复位晶体管 T11-B、第二子像素 230G 中的第一复位晶体管 T11-G、第三子像素 230R 中的第一复位晶体管 T11-R 在衬底 210 上的正投影，均位于第一子像素 230B 的阳极 AND-B 在衬底 210 上的正投影之内。

在一些实施例中，请参阅图 5A 和图 5B，显示面板 200 还包括复位信号线 RST 和初始化信号线 VIN。

请参阅图 5A，像素驱动电路 231 还包括第二复位晶体管 T12，第二复位晶体管 T12 与任一第一复位晶体管 T11 串联。结合图 5B 所示，各个第一复位晶体管 T11 的控制极和第二复位晶体管 T12 的控制极均与复位信号线 RST 电连接；第二复位晶体管 T12 的第一极与初始化信号线 VIN 电连接，第二复位晶体管 T12 的第二极与各个第一复位晶体管 T11 的第一极电连接。像素驱动电路 231 还包括：驱动晶体管 T3，各个像素驱动电路 231 的驱动晶体管 T3 的控制极与各个第一复位晶体管 T11 的第二极电连接。

复位信号线 RST 用于传输复位信号，初始化信号线 VIN 用于传输初始化信号。在第一复位晶体管 T11 和第二复位晶体管 T12 均为 P 型晶体管的情况下，当复位信号为低压信号时，第一复位晶体管 T11 和第二复位晶体管 T12 导通，第一复位晶体管 T11 和第二复位晶体管 T12 可以将初始化信号传输至驱动晶体管 T3 的控制极，进而对驱动晶体管 T3 的控制极进行复位。其中，通过两个晶体管对驱动晶体管 T3 的控制极进行复位，可以起到防漏电的效果。

在一些实施例中，请参阅图 5A，第一子像素 230B 的第二复位晶体管 T12、第二子像素 230G 的第二复位晶体管 T12 和第三子像素 230R 的第二复位晶体管 T12，为同一晶体管；第二复位晶体管 T12 在衬底 210 上的正投影，位于第一子像素 230B 的发光器件 232 在衬底 210 上的正投影之内。

其中，如图 5A 所示，第一子像素 230B 的第二复位晶体管 T12、第二子像素 230G 的第二复位晶体管 T12 和第三子像素 230R 的第二复位晶体管 T12，为同一晶体管，可以减少第一子像素 230B 的发光器件 232 之下的晶体管的数量，以此减小第一子像素 230B 的发光器件 232 之下像素驱动电路 231 的面积，

有利于第一子像素 230B 的发光器件 232 将位于其下的像素驱动电路 231 进行遮挡，避免像素驱动电路 231 外露，以此减少衍射现象。

同时，在第一子像素 230B 的发光器件 232 之下的晶体管的数量较少的情况下，可以减小第一子像素 230B 的发光器件 232 的面积，进而可以增大透光率。

在另一些示例中，请参阅图 5A，第二复位晶体管 T12 在衬底 210 上的正投影，位于第一子像素 230B 的阳极 AND-B 在衬底 210 上的正投影之内。其中，第一子像素 230B 的阳极 AND-B 不透光，其对第二复位晶体管 T12 的遮挡效果较好，从而降低传感器 300 透过第一显示区 A1 拍照时的衍射现象。

在一些实施例中，请参阅图 5C，第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 沿列方向 Y 间隔设置。箭头 Y 所指的方向为列方向 Y。第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 沿列方向 Y 依次设置，因此一列第一像素单元 220 中的第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 可以排成一列。一列第一像素单元 220 中的第一子像素 230B 的发光器件 232 可以排成一列。请参阅图 5B 和图 5C，第一子像素 230B 的发光器件 232，位于第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 所在列的相邻列；且第一子像素 230B 的发光器件 232，跨过第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 之间的间隙区域。

其中，需要说明的是，请参阅图 5B 和图 5C，箭头 X 所指的方向为行方向 X，在一些示例中，行方向 X 与列方向 Y 垂直。一行第一像素单元 220 中的第三子像素 230R 的发光器件 232 可以排成一行。一行第一像素单元 220 中的第二子像素 230G 的发光器件 232 可以排成一行。一行第一像素单元 220 中的第一子像素 230B 的发光器件 232 可以排成一行。而第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 之间的间隙区域指的是，相邻的一行第三子像素 230R 的发光器件 232 与一行第二子像素 230G 的发光器件 232 之间的间隙区域。

第一子像素 230B 的发光器件 232，跨过第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 之间的间隙区域，还可以理解为，第一子像素 230B 的发光器件 232 在行方向 X 上的投影与第二子像素 230G 的发光器件 232、第三子像素 230R 的发光器件 232 均有重叠。

以上一些实施例所公开的子像素 230 的排列方式可以被称为“REAL 像素排列”，通过使用 REAL 像素排列，在显示面板 200 的 PPI (pixels per inch,

每英寸像素数) 较低(例如低于 400) 的情况下, 可以降低颗粒感, 提高显示效果。上述显示面板 200 可以应用于手表设备。

在一些实施例中, 请参阅图 5A, 像素驱动电路 231 还包括电路主体 2311。示例性的, 每个子像素 230 的电路主体 2311 包括补偿晶体管 T2、驱动晶体管 T3、写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6、第三复位晶体管 T7 和电容器 Cst。

第一子像素 230B 的电路主体 2311-B 在衬底 210 上的正投影位于第一子像素 230B 的发光器件 232 在衬底 210 上的正投影之内, 第二子像素 230G 的电路主体 2311-G 在衬底 210 上的正投影位于第二子像素 230G 的发光器件 232 在衬底 210 上的正投影之内, 第三子像素 230R 的电路主体 2311-R 在衬底 210 上的正投影位于第三子像素 230R 的发光器件 232 在衬底 210 上的正投影之内。

在一个子像素 230 内, 通过发光器件 232 对其所电连接的电路主体 2311 进行遮挡, 以此避免电路主体 2311 暴露在发光器件 232 之外, 降低衍射现象。同时, 还可以提高第一显示区 A1 的透光率。

在另一些示例中, 请参阅图 5A, 各个子像素 230 的电路主体 2311 在衬底 210 上的正投影位于该子像素 230B 的阳极 AND1 在衬底 210 上的正投影之内。示例性的, 第一子像素 230B 的电路主体 2311-B 在衬底 210 上的正投影位于第一子像素 230B 的阳极 AND-B 在衬底 210 上的正投影之内, 第二子像素 230G 的电路主体 2311-G 在衬底 210 上的正投影位于第二子像素 230G 的阳极 AND-G 在衬底 210 上的正投影之内, 第三子像素 230R 的电路主体 2311-R 在衬底 210 上的正投影位于第三子像素 230R 的阳极 AND-R 在衬底 210 上的正投影之内。其中, 子像素 230B 的阳极 AND1 不透光, 其对各个电路主体 2311 的遮挡效果较好, 从而降低传感器 300 透过第一显示区 A1 拍照时的衍射现象。

在一些示例中, 请参阅图 5A, 第二子像素 230G 指向第三子像素 230 的方向为第二指定方向 C2, 箭头 C2 所指的方向为第二指定方向 C2, 第二指定方向 C2 与列方向 Y 平行。

在一些实施例中, 请参阅图 5D, 在一行第一像素单元 220 中, 第二复位晶体管 T12 和多个第一复位晶体管 T11 位于第三子像素 230R 的电路主体 2311-R 远离第二子像素 230G 的发光器件 232 所在行的一侧, 此时, 第三子像素 230R 的电路主体 2311-R 指向第二复位晶体管 T12 和多个第一复位晶体管 T11 的方向为第二指定方向 C2。

在一些实施例中，请参阅图 5D，第二复位晶体管 T12、第三子像素 230R 的第一复位晶体管 T11-R 和第二子像素 230G 的第一复位晶体管 T11-G，位于第一子像素 230B 的第一复位晶体管 T11-B 靠近第三子像素 230R 的电路主体 2311-R 的一侧，且依次远离第三子像素 230R 的电路主体 2311-R。

在一些示例中，在一个第一像素单元 220 中，第三子像素 230R 指向第一子像素 230B 的方向为第一指定方向 C1，箭头 C1 所指的方向为第一指定方向 C1，且第一指定方向 C1 与行方向 X 平行。

第二复位晶体管 T12、第三子像素 230R 的第一复位晶体管 T11-R、第二子像素 230G 的第一复位晶体管 T11-G 和第一子像素 230B 的第一复位晶体管 T11-B 沿第一指定方向 C1 依次设置，以此能够方便第三子像素 230R 的第一复位晶体管 T11-R 与第三子像素 230R 的驱动晶体管 T3 电连接，同时方便第二子像素 230G 的第一复位晶体管 T11-G 与第二子像素 230G 的驱动晶体管 T3 电连接。

在一些实施例中，请参阅图 5B 和图 5C，复位信号线 RST 沿行方向 X 延伸，一条复位信号线 RST 与一行第一像素单元 220 中第二复位晶体管 T12 的控制极以及各个第一复位晶体管 T11 的控制极电连接。其中，图 5B 和图 5C 中未示出第二复位晶体管 T12，可参阅图 5A。

其中，复位信号线 RST 的图案可以为一直线图形，也可以为一近似直线图形，上述复位信号线 RST “沿行方向 X 延伸”是指复位信号线 RST 的主体图案呈沿某行方向 X 延伸的趋势。

一行第一像素单元 220 中的第二复位晶体管 T12、第一子像素 230B 的第一复位晶体管 T11-B、第二子像素 230G 的第一复位晶体管 T11-G 以及第三子像素 230R 的第一复位晶体管 T11-R 接收同一复位信号。因此，一行第一像素单元 220 中的各个子像素 230 中的驱动晶体管 T3 的控制极同时进行复位。

请参阅图 5B，初始化信号线 VIN 沿行方向 X 延伸，一条初始化信号线 VIN 与一行第一像素单元 220 中第二复位晶体 T12 的第一极电连接。其中，图 5B 中未示出第二复位晶体 T12，可参阅图 5A。

其中，初始化信号线 VIN 的图案可以为一直线图形，也可以为一近似直线图形，上述初始化信号线 VIN “沿行方向 X 延伸”是指初始化信号线 VIN 的主体图案呈沿某行方向 X 延伸的趋势。

初始化信号线 VIN 用于传输初始化信号，初始化信号通过第二复位晶体 T12 传输至各个第一复位晶体管 T11，进而传输至各个子像素 230 的驱动晶体管 T3 的控制极，对驱动晶体管 T3 的控制极进行复位。

请参阅图 5A, 第二复位晶体管 T12 以及各个第一复位晶体管 T11 在衬底 210 上的正投影, 位于与该第二复位晶体管 T12 所电连接的初始化信号线 VIN 在衬底 210 上的正投影和第三子像素 230R 的电路主体 2311-R 在衬底 210 上的正投影之间; 复位信号线 RST 在衬底 210 上的正投影, 位于该条初始化信号线 VIN 在衬底 210 上的正投影和该第三子像素 230R 的电路主体 2311-G 在衬底 210 上的正投影之间。

为了方便叙述, 将第二复位晶体管 T12 以及各个第一复位晶体管 T11 定义为第一类复位晶体管。

请参阅图 5A, 第三子像素 230R 的电路主体 2311-R、第一类复位晶体管和初始化信号线 VIN 沿第二指定方向 C2 依次设置。

在一行第一像素单元 220 中, 第二复位晶体管 T12 以及各个第一复位晶体管 T11 的控制极位于复位信号线 RST 上。

以下对结合显示面板 200 中的多个膜层对第一复位晶体管 T11 的控制极的位置进行介绍。

在一些示例中, 请参阅图 5D, 显示面板 200 包括设置于衬底 210 一侧的有源膜层 240 和第一栅金属层 Gate1, 有源膜层 240 和第一栅金属层 Gate1 均位于衬底 210 和发光器件 232 之间, 第一栅金属层 Gate1 位于有源膜层 240 远离衬底 210 的一侧。在一些示例中, 有源膜层 240 和第一栅金属层 Gate1 之间设置有第一栅绝缘层。

有源膜层 240 中包括像素驱动电路 231 中各个晶体管的有源层, 其中, 晶体管的有源层包括第一极区、第二极区以及连接第一极区和第二极区的沟道区。

示例性的, 请参阅图 6A, 有源膜层 240 中包括第二复位晶体管 T12 的有源层 T12-P 以及各个第一复位晶体管 T11 的有源层 T11-P。

请参阅图 6A, 第二复位晶体管 T12 的有源层 T12-P 沿行方向 X 延伸, 各个第一复位晶体管 T11 的有源层 T11-P 均沿列方向 Y 延伸。第二复位晶体管 T12 的有源层 T12-P 远离第三子像素 230R 的电路主体 2311-R 的一端与各个第一复位晶体管 T11 的有源层 T11-P 远离第一子像素 230B 的电路主体 2311-B 的一端连接。

其中, 第三子像素 230R 的第一复位晶体管 T11-R 的有源层 T11-RP、第二子像素 230G 的第一复位晶体管 T11-G 的有源层 T11-GP 和第一子像素 230B 的第一复位晶体管 T11-B 的有源层 T11-BP 沿第一指定方向 C1 依次设置。

请参阅图 6B, 第一栅金属层 Gate1 中包括复位信号线 RST。复位信号线

RST 位于有源膜层 240 远离衬底 210 的一侧。其中，请参阅图 5D，复位信号线 RST 与第二复位晶体管 T12 的有源层 T12-P 以及各个第一复位晶体管 T11 的有源层 T11-P 交叠的部分复用为第二复位晶体管 T12 的控制极以及各个第一复位晶体管 T11 的控制极。

在一些实施例中，请参阅图 2B，衬底 210 包括第一显示区 A1，多个第一像素单元 220 位于第一显示区 A1 内；显示面板 200 还包括：多条信号线，位于衬底 210 和发光器件 232 之间。其中需要说明的是，衬底 210 中的第一显示区 A1 与显示面板 200 中的第一显示区 A1 为同一区域。其中，图 2B 中未示出发光器件 232，可参阅图 3A、图 5A 和图 5B 等。

请参阅图 5B，至少一条信号线位于第一显示区 A1 内的部位包括彼此电连接的金属走线 250 和透明连接走线 260。至少部分金属走线 250 在衬底 210 上的正投投影，位于发光器件 232 在衬底 210 上的正投影之内。示例性的，请参阅图 5C，显示面板 200 中的多条信号线包括复位信号线 RST、扫描信号线 GT、发光控制信号线 EM、初始化信号线 VIN、第一电源信号线 VDD1 和第二电源信号线 VDD2。

在一些示例中，全部金属走线 250 在衬底 210 上的正投投影，位于发光器件 232 在衬底 210 上的正投影之内。

在另一些示例中，请参阅图 5B，部分金属走线 250 在衬底 210 上的正投投影，位于发光器件 232 在衬底 210 上的正投影之内，其余部分全部金属走线 250 在衬底 210 上的正投影，位于发光器件 232 在衬底 210 上的正投影之外。

示例性的，请参阅图 5A 和图 5B，金属走线 250 的端部设置有金属连接部 2501。请参阅图 5B，透明连接走线 260 的端部设置有透明连接部 2601，金属连接部 2501 在衬底 210 上的正投影与透明连接部 2601 在衬底 210 上的正投影至少部分重合。其中，在一些示例中，金属连接部 2501 在衬底 210 上的正投影至少部分位于发光器件 232 在衬底 210 上的正投影之内。在另一些示例中，金属连接部 2501 在衬底 210 上的正投影全部位于发光器件 232 在衬底 210 上的正投影之外。

一条信号线中的金属走线 250 可以通过透明连接走线 260 连接，至少部分透明连接走线 260 暴露在发光器件 232 的外部，而透明连接走线 260 为透明的走线，可透光。因此通过透明连接走线 260 连接金属走线 250，可以提高第一显示区 A1 的透光率。

在另一些示例中，请参阅图 5B，至少部分金属走线 250 在衬底 210 上的

正投影，位于子像素 230 的阳极 AND1 在衬底 210 上的正投影之内。

以下对复位信号线 RST、扫描信号线 GT、发光控制信号线 EM、初始化信号线 VIN、第一电源信号线 VDD1 和第二电源信号线 VDD2 依次进行介绍。

在一些实施例中，请参阅图 7A，显示面板 200 包括：第一透明走线层 271，第一透明走线层 271 位于衬底 210 和发光器件 232 之间，第一透明走线层 271 位于第一栅金属层 Gate1 背离衬底 210 的一侧。

在一些示例中，第一栅金属层 Gate1 的材料为金属，例如 Al、Ag、Cu、Cr 等。第一透明走线层 271 的材料为透明导电氧化物材料，例如为 ITO、IZO 等。

请参阅图 7B，至少一条信号线包括复位信号线 RST。复位信号线 RST 包括金属走线 251 和透明连接走线 261。其中，复位信号线 RST 的金属走线 251 位于第一栅金属层 Gate1，复位信号线 RST 的金属走线 251 在衬底 210 上的正投影的至少部分位于第一子像素 230B 的发光器件 232 在衬底 210 上的正投影之内。其中，图 7B 中未示出第一子像素 230B 的发光器件 232，可参阅图 5B。

一条复位信号线 RST 包括多段金属走线 251，一段金属走线 251 的至少部分位于第一子像素 230B 的发光器件 232 之下。在一些示例中，一段金属走线 251 的全部均位于一个第一子像素 230B 的发光器件 232 之下。在另一些示例中，一段金属走线 251 的部分位于一个第一子像素 230B 的发光器件 232 之下。

请参阅图 6B，复位信号线 RST 中的金属走线 251 包括主体走线段 2511 和连接走线段 2512，主体走线段 2511 沿行方向 X 延伸，且主体走线段 2511 在衬底 210 与各个第一复位晶体管 T11 的有源层 T11-P 有交叠，其中，第一复位晶体管 T11 的控制极位于主体走线段 2511 上。而连接走线段 2512 沿列方向 Y 延伸，与第二复位晶体管 T12 的有源层 T12-P 有交叠。连接走线段 2512 中与第二复位晶体管 T12 的有源层 T12-P 重叠的部分为第二复位晶体管 T12 的控制极，即第二复位晶体管 T12 的控制极位于连接走线段 2512 上。其中，图 6B 中未示出第二复位晶体管 T12 的有源层 T12-P，可参阅图 5D 和图 6A。

请参阅图 7B，复位信号线 RST 的透明连接走线 261 位于第一透明走线层 271，复位信号线 RST 的透明连接走线 261 与复位信号线 RST 的金属走线 251 通过过孔连接。

其中，复位信号线 RST 的透明连接走线 261 在衬底 210 上的正投影，位于第二子像素 230G 的发光器件 232 在衬底 210 上的正投影之外，且位于第三

子像素 230R 的发光器件 232 在衬底 210 上的正投影之外。因此，复位信号线 RST 的透明连接走线 261 不会占用第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 之下的空间，进而增大了第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 之下的像素驱动电路 231 的面积，避免了第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 之下的像素驱动电路 231 的结构过于紧凑，而发生耦合。其中，图 7B 中未示出第三子像素 230R 的发光器件 232，可以参阅 5A 和图 5B。

在另一些示例中，请参阅图 7B，复位信号线 RST 的金属走线 251 在衬底 210 上的正投影的至少部分位于第一子像素 230B 的阳极 AND-B 在衬底 210 上的正投影之内。复位信号线 RST 的透明连接走线 261 在衬底 210 上的正投影，位于第二子像素 230G 的阳极 AND-G 在衬底 210 上的正投影之外，且位于第三子像素 230R 的阳极 AND-R 在衬底 210 上的正投影之外。其中，图 7B 中未示出各个子像素 230 的阳极 AND1，可参阅图 5B。

在一些实施例中，请参阅图 5D，像素驱动电路 231 的电路主体 2311 包括写入晶体管 T4、补偿晶体管 T2 和第三复位晶体管 T7。

至少一条信号线还包括扫描信号线 GT，一条扫描信号线 GT 与一行第一像素单元 220 中所有子像素 230 的写入晶体管 T4 的控制极、补偿晶体管 T2 的控制极和第三复位晶体管 T7 的控制极电连接。

扫描信号线 GT 用于传输扫描信号，一行第一像素单元 220 中所有子像素 230 接收同一扫描信号。一行第一像素单元 220 中写入晶体管 T4、补偿晶体管 T2 和第三复位晶体管 T7 同时开启。

请参阅图 7B，扫描信号线 GT 的金属走线 252 位于第一栅金属层 Gate1，扫描信号线 GT 的金属走线 252 在衬底 210 上的正投影的至少部分位于发光器件 232 在的衬底 210 上的正投影之内。扫描信号线 GT 的透明连接走线 262 位于第一透明走线层 271，扫描信号线 GT 的透明连接走线 262 与扫描信号线 GT 的金属走线 252 通过过孔连接。

请参阅图 7B，扫描信号线 GT 包括多段金属走线 252，一段金属走线 252 在衬底 210 上的正投影至少部分位于一个发光器件 232 在的衬底 210 上的正投影之内。在一些示例中，每段金属走线 252 的全部均设置于发光器件 232 之下。在另一些示例中，每段金属走线 252 的部分设置于发光器件 232 之下。

在其他的一些示例中，请参阅图 7B，扫描信号线 GT 的金属走线 252 在衬底 210 上的正投影的至少部分位于子像素 230 的阳极 AND1 在的衬底 210 上的正投影之内。

在一些示例中，请参阅图 5D，扫描信号线 GT 中一段金属走线 252 与一个子像素 230 中的写入晶体管 T4 的控制极、补偿晶体管 T2 的控制极和第三复位晶体管 T7 的控制极电连接。

在一些示例中，请参阅图 6A，有源膜层 240 包括写入晶体管 T4 的有源层 T4-P、补偿晶体管 T2 的有源层 T2-P 和第三复位晶体管 T7 的有源层 T7-P。

请参阅图 5D，一段金属走线 252 与写入晶体管 T4 的有源层 T4-P 的交叠部分复用为写入晶体管 T4 的控制极。一段金属走线 252 与补偿晶体管 T2 的有源层 T2-P 的交叠部分复用为补偿晶体管 T2 的控制极。一段金属走线 252 与第三复位晶体管 T7 的有源层 T7-P 的交叠部分复用为第三复位晶体管 T7 的控制极。即一个子像素 230 中的写入晶体管 T4 的控制极、补偿晶体管 T2 的控制极和第三复位晶体管 T7 的控制极位于一段金属走线 252 上。

在一些示例中，请参阅图 4A 和图 5D，每个子像素 230 的补偿晶体管 T2 包括第一补偿晶体管 T21 和第二补偿晶体管 T22。其中，第一补偿晶体管 T21 和第二补偿晶体管 T22 串联。

其中，第一补偿晶体管 T21 的控制极与扫描信号线 GT 电连接，第一补偿晶体管 T21 的第一极与驱动晶体管 T3 的第二极以及第二发光控制晶体管 T6 的第一极电连接，第一补偿晶体管 T21 的第二极与第二补偿晶体管 T22 的第一极电连接。

第二补偿晶体管 T22 的控制极与扫描信号线 GT 电连接，第二补偿晶体管 T22 的第二极与第一复位晶体管 T11 的第二极和驱动晶体管 T3 的控制极电连接。

通过将补偿晶体管 T2 设置为串联的第一补偿晶体管 T21 和第二补偿晶体管 T22，可以起到防漏电的效果。

基于补偿晶体管 T2 包括第一补偿晶体管 T21 和第二补偿晶体管 T22 示例，请参阅图 6B，扫描信号线 GT 的金属走线 252 包括主体走线段 2521 和连接走线段 2522。主体走线段 2521 沿着行方向 X 延伸，连接走线段 2522 沿着列方向延伸，且连接走线段 2522 的一端与主体走线段 2521 连接。其中，连接走线段 2522 与补偿晶体管 T2 的有源层 T2-P 的交叠部分复用为第二补偿晶体管 T22 的控制极。主体走线段 2521 与写入晶体管 T4 的有源层 T4-P、补偿晶体管 T2 的有源层 T2-P 以及第三复位晶体管 T7 的有源层 T7-P 的交叠部分分别复用为写入晶体管 T4 的控制极、第一补偿晶体管 T21 的控制极以及第三复位晶体管 T7 的控制极。其中，在图 6B 中未示出各个晶体管的有源层，可参阅图 5D 和图 6A。

在一些示例中，请参阅图 7C，一条扫描信号线 GT 中包括多段金属走线 252 和多段透明连接走线 262。其中，多段金属走线 252 中包括第一段金属走线 252A、第二段金属走线 252B 和第三段金属走线 252C。其中，图 7C 中未示出金属走线 252 和多段透明连接走线 262，可参阅图 7B。

其中，第一段金属走线 252A 在衬底 210 上的正投影至少部分位于第一子像素 230B 的发光器件 232 在衬底 210 上的正投影之内。

第二段金属走线 252B 在衬底 210 上的正投影至少部分位于第二子像素 230G 的发光器件 232 在衬底 210 上的正投影之内。

第三段金属走线 252C 在衬底 210 上的正投影至少部分位于第三子像素 230R 的发光器件 232 在衬底 210 上的正投影之内。

在一些示例中，请参阅图 7C，显示面板 200 还包括第二透明走线层 272。第二透明走线层 272 位于第一透明走线层 271 背离衬底 210 的一侧，或朝向衬底 210 的一侧。

一条扫描信号线 GT 中的多段透明连接走线 262 包括第一段透明连接走线 262A、第二段透明连接走线 262B、第三段透明连接走线 262C 和第四段透明连接走线 262D。其中，第一段透明连接走线 262A、第二段透明连接走线 262B 和第三段透明连接走线 262C 位于第一透明走线层 271。而第四段透明连接走线 262D 位于第二透明走线层 272。

其中，每个第一像素单元 220 中的第一子像素 230B 所电连接的第一段金属走线 252A 和第三子像素 230R 所电连接的第三段金属走线 252C 通过第一段透明连接走线 262A 电连接。

一个第一像素单元 220 中第一子像素 230B 所电连接的第一段金属走线 252A，与在行方向 X 上相邻的第一像素单元 220 中第三子像素 230R 所电连接的第三段金属走线 252C 通过第二段透明连接走线 262B 电连接。

第三段透明连接走线 262C 的一端与第二段金属走线 252B 远离第一子像素 230B 的一端电连接，另一端与第四段透明连接走线 262D 电连接，而第四段透明连接走线 262D 远离第三段透明连接走线 262C 的一端与第二段透明连接走线 262B 电连接。

在一些实施例中，请参阅图 5D，像素驱动电路 231 的电路主体 2311 还包括第一发光控制晶体管 T5 和第二发光控制晶体管 T6。至少一条信号线还包括发光控制信号线 EM，一条发光控制信号线 EM 与一行第一像素单元 220 中所有子像素 230 的第一发光控制晶体管 T5 的控制极和第二发光控制晶体管 T6 的控制极电连接。

发光控制信号线 EM 用于传输发光控制信号，一行第一像素单元 220 中所有子像素 230 接收同一发光控制信号。一行第一像素单元 220 中第一发光控制晶体管 T5 和第二发光控制晶体管 T6 同时开启。

请参阅图 7B 和图 7C，发光控制信号线 EM 的金属走线 253 位于第一栅金属层 Gate1。发光控制信号线 EM 的金属走线 253 在衬底 210 上的正投影的至少部分位于发光器件 232 在衬底 210 上的正投影之内。发光控制信号线 EM 的透明连接走线 263 位于第一透明走线层 271，发光控制信号线 EM 的透明连接走线 263 与发光控制信号线 EM 的金属走线 253 通过过孔连接。其中，图 7B 和图 7C 中未示出发光器件 232，可参阅图 5A。

在其他的一些示例中，请参阅图 5A，发光控制信号线 EM 的金属走线 253 在衬底 210 上的正投影的至少部分位于子像素 230 的阳极 AND1 在衬底 210 上的正投影之内。

请参阅图 7B 和图 7C，发光控制信号线 EM 包括多段金属走线 253，一段金属走线 253 在衬底 210 上的正投影至少部分位于一个发光器件 232 在衬底 210 上的正投影之内。在一些示例中，每段金属走线 253 的全部均设置于发光器件 232 之下。在另一些示例中，每段金属走线 253 的部分设置于发光器件 232 之下。

在一些示例中，请参阅图 5A，发光控制信号线 EM 中一段金属走线 253 与一个子像素 230 中的第一发光控制晶体管 T5 的控制极和第二发光控制晶体管 T6 的控制极电连接。

在一些示例中，请参阅图 6A，有源膜层 240 包括第一发光控制晶体管 T5 的有源层 T5-P 和第二发光控制晶体管 T6 的有源层 T6-P。

其中，请参阅图 5D，一段金属走线 253 与第一发光控制晶体管 T5 的有源层 T5-P 的交叠部分复用为第一发光控制晶体管 T5 的控制极。一段金属走线 253 与第二发光控制晶体管 T6 的有源层 T6-P 的交叠部分复用为第二发光控制晶体管 T6 的控制极。即一个子像素 230 中的第一发光控制晶体管 T5 的控制极和第二发光控制晶体管 T6 的控制极位于一段金属走线 252 上。

在一些示例中，请参阅图 6A，有源膜层 240 还包括驱动晶体管 T3 的有源层 T3-P，请参阅图 6B，第一栅金属层 Gate1 中还包括电容器 Cst 的第二极板 Cst2，请参阅图 5D，第二极板 Cst2 在衬底 210 上的正投影与驱动晶体管 T3 的有源层 T3-P 在衬底 210 上的正投影部分重叠，其中，第二极板 Cst2 与驱动晶体管 T3 的有源层 T3-P 的交叠部分作为驱动晶体管 T3 的控制极。

在一些示例中，请参阅图 7C，一条发光控制信号线 EM 中包括多段金属

走线 253 和多段透明连接走线 263。其中，多段金属走线 253 中包括第四段金属走线 253D、第五段金属走线 253E 和第六段金属走线 253F。其中，图 7C 中未示出发光控制信号线 EM、金属走线 253 和透明连接走线 263，可参阅图 7B。

其中，第四段金属走线 253D 在衬底 210 上的正投影至少部分位于第一子像素 230B 的发光器件 232 在衬底 210 上的正投影之内。

第五段金属走线 253E 在衬底 210 上的正投影至少部分位于第二子像素 230G 的发光器件 232 在衬底 210 上的正投影之内。

第六段金属走线 253F 在衬底 210 上的正投影至少部分位于第三子像素 230R 的发光器件 232 在衬底 210 上的正投影之内。

请参阅图 7B，一条发光控制信号线 EM 中的多段透明连接走线 263 包括第五段透明连接走线 263E、第六段透明连接走线 263F 和第七段透明连接走线 263G，且均位于第一透明走线层 271。

请参阅图 7B，一个第一像素单元 220 中的第一子像素 230B 所电连接的第四段金属走线 253D 和第三子像素 230R 所电连接的第六段金属走线 253F 通过第五段透明连接走线 263E 电连接。

一个第一像素单元 220 中第一子像素 230B 所电连接的第四段金属走线 253D，与在第一指定方向 C1 上相邻的第一像素单元 220 中第三子像素 230R 所电连接的第六段金属走线 253F 通过第六段透明连接走线 263F 电连接。

第七段透明连接走线 263G 的一端与第二子像素 230G 所电连接的第五段金属走线 253E 远离第一子像素 230B 的一端电连接，另一端与第六段透明连接走线 263F 电连接。

除了第一栅金属层 Gate1 外，在一些实施例中，请参阅图 8A 和图 8B，显示面板 200 还包括：第二栅金属层 Gate2，第二栅金属层 Gate2 位于有源膜层 240 和发光器件 232 之间。

在一些示例中，第二栅金属层 Gate2 的材料为金属，例如 Al、Ag、Cu、Cr 等。

请参阅图 8A 和图 8B，像素驱动电路 231 的电路主体 2311 还包括：电容器 Cst，电容器 Cst 的第一极板 Cst1 位于第二栅金属层 Gate2。

在一些示例中，请参阅图 8B，第二栅金属层 Gate2 位于第一栅金属层 Gate1 远离衬底 210 的一侧。其中，电容器 Cst 的第一极板 Cst1，第一极板 Cst1 在衬底 210 上的正投影与第二极板 Cst2 在衬底 210 上的正投影至少部分重叠。

在一些实施例中，请参阅图 9A 和图 9B，显示面板 200 包括：第一源漏金属层 SD1，第一源漏金属层 SD1 位于衬底 210 和发光器件 232 之间，第一源漏金属层 SD1 位于第二栅金属层 Gate1 背离衬底 210 的一侧，第一透明走线层 271 位于第一源漏金属层 SD1 背离衬底 210 的一侧，第一透明走线层 271 位于第一源漏金属层 SD1 和发光器件 232 之间。其中，请参阅图 9C，第二栅金属层 Gate1 与第一源漏金属层 SD1 之间设置有层间介质层 ILD，层间介质层 ILD 中设置有多个过孔 ILDO，其中，层间介质层 ILD 中多个过孔的位置如图 9C 所示。

在一些示例中，第一源漏金属层 SD1 的材料为金属，例如 Al、Ag、Cu、Cr 等。

请参阅图 7B 和图 7C，至少一条信号线还包括：初始化信号线 VIN，一条初始化信号线 VIN 与一行第一像素单元 220 中第二复位晶体 T12 的第一极电连接。其中，初始化信号线 VIN 的金属走线 254 位于第一源漏金属层 SD1。请参阅图 5A，初始化信号线 VIN 的金属走线 254 在衬底 210 上的正投影的至少部分位于第一子像素 230B 的发光器件 232 在衬底 210 上的正投影之内。

在一些示例中，一条初始化信号线 VIN 中包括多段金属走线 254，一段金属走线 254 与一个第一子像素 230B 的发光器件 232 有交叠。

在一些示例中，初始化信号线 VIN 中的一段金属走线 254 全部设置于第一子像素 230B 的发光器件 232 之下。

在另一些示例中，初始化信号线 VIN 中一段金属走线 254 的部分设置于第一子像素 230B 的发光器件 232 之下。此时，初始化信号线 VIN 的透明连接走线 264 则部分位于第一子像素 230B 的发光器件 232 之下。

请参阅图 7B，初始化信号线 VIN 的透明连接走线 264 位于第一透明走线层 271；初始化信号线 VIN 的透明连接走线 264 与初始化信号线 VIN 的金属走线 254 通过过孔连接。其中，初始化信号线 VIN 的透明连接走线 264 在衬底 210 上的正投影，位于第二子像素 230G 的发光器件 232 在衬底 210 上的正投影之外，且位于第三子像素 230R 的发光器件 232 在衬底 210 上的正投影之外。因此，初始化信号线 VIN 的透明连接走线 264 不会占用第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 之下的空间，进而增大了第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 之下的像素驱动电路 231 的面积，以此避免了第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 之下的像素驱动电路 231 的结构过于紧凑，而发生耦合。其中，图 7B 中未示出第二子像素 230G 的发光器件 232 和第三子

像素 230R 的发光器件 232，请参阅图 5B。

在其他的一些示例中，请参阅图 5A，初始化信号线 VIN 的金属走线 254 在衬底 210 上的正投影的至少部分位于第一子像素 230B 的阳极 AND-B 在衬底 210 上的正投影之内。初始化信号线 VIN 的透明连接走线 264 在衬底 210 上的正投影，位于第二子像素 230G 的阳极 AND-G 在衬底 210 上的正投影之外，且位于第三子像素 230R 的阳极 AND-R 在衬底 210 上的正投影之外。

在一些示例中，请参阅图 5A 和图 9A，初始化信号线 VIN 中的金属走线 254 包括主体走线段 2541 和连接走线段 2542，其中，主体走线段 2541 沿行方向 X 延伸，而连接走线段 2542 沿列方向 Y 延伸，主体走线段 2541 靠近第三子像素 230R 的一端与连接走线段 2542 连接。

请参阅图 5A，第二复位晶体管 T12 的有源层 T12-P 靠近第三子像素 230R 的一端与连接走线段 2542 的中部通过过孔连接，而连接走线段 2542 远离主体走线段 2541 的一端与第一子像素 230B 中第三复位晶体管 T7 的有源层 T7-P 通过过孔连接。

在一些示例中，请参阅图 7B，显示面板 200 还包括第一透明连线 281，第一透明连线 281 位于第一透明走线层 271，第一透明连线 281 的一端与连接走线段 2542 远离主体走线段 2541 的一端电连接，另一端与第三子像素 230R 中第三复位晶体管 T7 的有源层 T7-P 电连接。

在一些示例中，请参阅图 7C，显示面板 200 还包括第二透明连线 282 和第三透明连线 283，其中第二透明连线 282 位于第一透明走线层 271，第三透明连线 283 位于第二透明走线层 272。其中，第二透明连线 282 的一端与第二子像素 230G 的第三复位晶体管 T7 的有源层 T7-P 电连接，另一端与第三透明连线 283 电连接，而第三透明连线 283 远离第二透明连线 282 的一端与第一透明连线 281 连接于连接走线段 2542 的一端过孔连接。

请参阅图 7B，显示面板 200 中还包括第四透明连线 284 和第五透明连线 285，其中，第四透明连线 284 和第五透明连线 285 均位于第一透明走线层 271。

第五透明连线 285 的一端与第二子像素 230G 中第一复位晶体管 T11-G 的有源层 T11-GP 电连接，另一端与第二子像素 230G 中驱动晶体管 T3 的控制极也就是电容器 Cst 的第二极板 Cst2 电连接。

第四透明连线 284 的一端与第三子像素 230R 中第一复位晶体管 T11-R 的有源层 T11-RP 电连接，另一与第三子像素 230R 中驱动晶体管 T3 的控制极也就是电容器 Cst 的第二极板 Cst2 电连接。

除初始化信号线 VIN 中的金属走线 254 外，第一源漏金属层 SD1 中还包

括多个桥接图案，桥接图案通过过孔与有源膜层 240、第一栅金属层 Gate1 和第二栅金属层 Gate2 通过过孔连接。

在一些示例中，请参阅图 9A 和图 9B，多个桥接图案中包括第一桥接图案 510，第一桥接图案 510 的一端与第二发光控制晶体管 T6 的有源层 T6-P 通过过孔连接，另一端与第三复位晶体管 T7 的有源层 T7-P 通过过孔连接。

在一些示例中，请参阅图 9A 和图 9B，多个桥接图案中包括第二桥接图案 520，第二桥接图案 520 的一端与驱动晶体管 T3 的控制极即电容器 Cst 的第二极板 Cst2 通过过孔连接，另一端与补偿晶体管 T2 的有源层 T2-P 通过过孔连接。

在一些示例中，请参阅图 9A 和图 9B，多个桥接图案中包括第三桥接图案 530，第三桥接图案 530 的一端与电容器 Cst 的第一极板 Cst1 通过过孔连接，另一端与第一发光控制晶体管 T5 的有源层 T5-P 通过过孔连接。

在其他的一些示例中，多个桥接图案在衬底 210 上的正投影也位于阳极 AND1 在衬底 210 上的正投影之内。

在一些实施例中，请参阅图 10A 和图 10B，显示面板 200 包括：第二源漏金属层 SD2，第二源漏金属层 SD2 位于衬底 210 和发光器件 232 之间，且第二源漏金属层 SD2 位于第二栅金属层 Gate2 背离衬底 210 的一侧。

请参阅图 11A 和图 11B，显示面板 200 还包括：第二透明走线层 272，第二透明走线层 272 均位于衬底 210 和发光器件 232 之间，第二透明走线层 272 位于第二源漏金属层 SD2 背离第二栅金属层 Gate2 的一侧。

在一些示例中，第二源漏金属层 SD2 位于第一源漏金属层 SD1 背离衬底 210 的一侧。第二源漏金属层 SD2 的材料为金属，例如 Al、Ag、Cu、Cr 等。第二透明走线层 272 的材料为透明导电氧化物材料，例如为 ITO、IZO 等。

在显示面板 200 中还包括第一源漏金属层 SD1 和第一透明走线层 271 的情况下，在一些示例中，第一源漏金属层 SD1、第二源漏金属层 SD2、第一透明走线层 271 和第二透明走线层 272 依次设置于第二栅金属层 Gate2 背离衬底 210 的一侧。

在另一些示例中，第一源漏金属层 SD1、第一透明走线层 271、第二源漏金属层 SD2 和第二透明走线层 272 依次设置于第二栅金属层 Gate2 背离衬底 210 的一侧。其中，请参阅图 11C，第一源漏金属层 SD1 和第一透明走线层 271 之间设置有钝化层 PVX，钝化层 PVX 中设置有多个过孔 PVXO。请参阅图 11D，第一透明走线层 271 和第二源漏金属层 SD2 之间设置有第一平坦化层 PLN1，第一平坦化层 PLN1 中设置有多个过孔 PLNO1。请参阅图 11E，

第二源漏金属层 SD2 和第二透明走线层 272 之间设置有第二平坦化层 PLN2, 第二平坦化层 PLN2 中设置有多个过孔 PLNO2。

请参阅图 11B, 至少一条信号线还包括第一电源信号线 VDD1, 第一电源信号线 VDD1 沿列方向 Y 延伸, 一条第一电源信号线 VDD1 与一列第一像素单元 220 中第二子像素 230G 的电容器 Cst 的第一极板 Cst1 和第三子像素 230R 的电容器 Cst 的第一极板 Cst1 电连接。

其中, 第一电源信号线 VDD1 沿列方向 Y 延伸, 是指第一电源信号线 VDD1 的主体图案呈沿某列方向 Y 延伸的趋势。第一电源信号线 VDD1 的图案可以为一直线图形, 也可以为一近似直线图形。

其中, 第一电源信号线 VDD1 用于传输第一类电源信号。第一电源信号线 VDD1 与电容器 Cst 的第一极板 Cst1 电连接, 以此将第一类电源信号传输至第一极板 Cst1。

请参阅图 11B, 第一电源信号线 VDD1 的金属走线 255 位于第二源漏金属层 SD2, 第一电源信号线 VDD1 的金属走线 255 在衬底 210 上的正投影的至少部分位于第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232 在的衬底 210 上的正投影之内。第一电源信号线 VDD1 的透明连接走线 265 位于第二透明走线层 272, 第一电源信号线 VDD1 的透明连接走线 265 与第一电源信号线 VDD1 的金属走线 255 通过过孔连接。其中, 图 11B 中未示出第二子像素 230G 的发光器件 232 和第三子像素 230R 的发光器件 232, 可参阅图 5C。

在其他的一些示例中, 请参阅图 11B, 第一电源信号线 VDD1 的金属走线 255 在衬底 210 上的正投影的至少部分位于第二子像素 230G 的阳极 AND-G 和第三子像素 230R 的阳极 AND-R 在的衬底 210 上的正投影之内。图 11B 中未示出第二子像素 230G 的阳极 AND-G 和第三子像素 230R 的阳极 AND-R, 可参阅图 5C。

在一些示例中, 请参阅图 11B, 第一电源信号线 VDD1 中包括多段金属走线 255, 其中, 第一电源信号线 VDD1 中的多段金属走线 255 包括第七段金属走线 255G 和第八段金属走线 255H。

在一些示例中, 第七段金属走线 255G 在衬底 210 上的正投影的全部位于第二子像素 230G 的发光器件 232 在衬底 210 上的正投影之内。第八段金属走线 255H 在衬底 210 上的正投影的全部位于第三子像素 230R 的发光器件 232 在衬底 210 上的正投影之内。此时, 第七段金属走线 255G 和第八段金属走线 255H 之间通过透明连接走线 265 电连接, 透明连接走线 265 延伸至第三子像

素 230R 的发光器件 232 之下以及第二子像素 230G 的发光器件 232 之下。

在另一些示例中，第七段金属走线 255G 在衬底 210 上的正投影的部分位于第二子像素 230G 的发光器件 232 在衬底 210 上的正投影之内，其余部分位于第二子像素 230G 的发光器件 232 在衬底 210 上的正投影之外。第八段金属走线 255H 在衬底 210 上的正投影的部分位于第三子像素 230R 的发光器件 232 在衬底 210 上的正投影之内，其余部分位于第三子像素 230R 的发光器件 232 在衬底 210 上的正投影之外。

在一些示例中，请参阅图 11B，第一电源信号线 VDD1 中包括多段透明连接走线 265，多段透明连接走线 265 中包括第八段透明连接走线 265H 和第九段透明连接走线 265I。

在一个第一像素单元 220 中，第二子像素 230G 所电连接的第七段金属走线 255G 与第三子像素 230R 所电连接的第八段金属走线 255H 之间，通过第八段透明连接走线 265H 电连接。

一个第一像素单元 220 中第三子像素 230R 所电连接的第八段金属走线 255H 与在第二指定方向 C2 上相邻的第一像素单元 220 中第二子像素 230G 所电连接的第七段金属走线 255G 之间，通过第九段透明连接走线 265I 电连接。

在一些示例中，请参阅图 12A，第一电源信号线 VDD1 的第七段金属走线 255G 与位于第二子像素 230G 的发光器件 232 之下的第三桥接图案 530 通过过孔连接，以此将第一类电源信号线通过第三桥接图案 530 传输至第二子像素 230G 中电容器 Cst 的第一极板 Cst1 和第一发光控制晶体管 T5 的有源层 T5-P。

在一些示例中，请参阅图 12B，第一电源信号线 VDD1 的第八段金属走线 255H 与位于第三子像素 230R 的发光器件 232 之下的第三桥接图案 530 通过过孔连接，以此将第一类电源信号线通过第三桥接图案 530 传输至第三子像素 230R 中电容器 Cst 的第一极板 Cst1 和第一发光控制晶体管 T5 的有源层 T5-P。

在一些实施例中，请参阅图 11B，至少一条信号线还包括第二电源信号线 VDD2，第二电源信号线 VDD2 沿列方向 Y 延伸，一条第二电源信号线 VDD2 与一系列第一像素单元 220 中第一子像素 230B 的电容器 Cst 的第一极板 Cst1 电连接。

其中，第二电源信号线 VDD2 沿列方向 Y 延伸，是指第二电源信号线 VDD2 的主体图案呈沿某列方向 Y 延伸的趋势。第二电源信号线 VDD2 图案可以为一直线图形的，也可以为一近似直线图形。

其中，第二电源信号线 VDD2 用于传输第一类电源信号。第二电源信号线 VDD2 与第一子像素 230B 的电容器 Cst 的第一极板 Cst1 电连接，以此将第一类电源信号传输至第一子像素 230B 的第一极板 Cst1。

请参阅图 11B，第二电源信号线 VDD2 的金属走线 256 位于第二源漏金属层 SD2，第二电源信号线 VDD2 的金属走线 256 在衬底 210 上的正投影至少部分位于第一子像素 230B 的发光器件 232 在的衬底 210 上的正投影之内；第二电源信号线 VDD2 的透明连接走线 266 位于第二透明走线层 272，第二电源信号线 VDD2 的透明连接走线 266 与第二电源信号线 VDD2 的金属走线 256 通过过孔连接。其中，图 11B 中未示出第一子像素 230B 的发光器件 232，可参阅图 5C。

在一些示例中，第二电源信号线 VDD2 的金属走线 256 在衬底 210 上的正投影全部位于第一子像素 230B 的发光器件 232 在的衬底 210 上的正投影之内。此时，第二电源信号线 VDD2 的透明连接走线 266 在衬底 210 上的正投影与第一子像素 230B 的发光器件 232 在的衬底 210 上的正投影部分重叠。

在另一些示例中，第二电源信号线 VDD2 的金属走线 256 在衬底 210 上的正投影的部分位于第一子像素 230B 的发光器件 232 在的衬底 210 上的正投影之内。

在其他的一些示例中，第二电源信号线 VDD2 的金属走线 256 在衬底 210 上的正投影至少部分位于第一子像素 230B 的 AND-B 在的衬底 210 上的正投影之内。

在一些示例中，请参阅图 12C，第二电源信号线 VDD2 的金属走线 256 与位于第一子像素 230B 的发光器件 232 之下的第三桥接图案 530 通过过孔连接，以此将第一类电源信号通过第三桥接图案 530 传输至第一子像素 230B 中电容器 Cst 的第一极板 Cst1 和第一发光控制晶体管 T5 的有源层 T5-P。

以上对显示面板 200 中的复位信号线 RST、扫描信号线 GT、发光控制信号线 EM、第一电源信号线 VDD1 以及第二电源信号线 VDD2 进行了介绍。除了上述的一些信号线外，显示面板 200 中还包括数据线 DT。在一些实施例中，请参阅图 11B，显示面板 200 还包括：多条数据线 DT，多条数据线 DT 沿列方向 Y 延伸。

其中，数据线 DT 沿列方向 Y 延伸，是指数据线 DT 的主体图案呈沿某列方向 Y 延伸的趋势。数据线 DT 图案可以为一直线图形，也可以为一近似直线图形。

请参阅图 11B，多条数据线 DT 位于第一显示区 A1 中的部位在衬底 210

上的正投影位于任一子像素 230 的发光器件 232 在衬底 210 上的正投影之外。

因此，数据线 DT 不会占用发光器件 232 之下的空间，进而可以增大发光器件 232 之下的像素驱动电路 231 占用的空间，避免发光器件 232 之下的像素驱动电路 231 的结构过于紧凑。

其中，至少一条数据线 DT 位于第一显示区 A1 的部位位于第二透明走线层 272。其中，数据线 DT 位于第一显示区 A1 中的部位设置于第二透明走线层 272，数据线 DT 位于第一显示区 A1 中的部位不会对光线造成遮挡，进而可以提高显示面板 200 中第一显示区 A1 的透光率。

请参阅图 7C，像素驱动电路 231 的电路主体 2311 包括：写入晶体管 T4。在一个第一像素单元 220 中，第一子像素 230B 的写入晶体管 T4 的第一极、第二子像素 230G 的写入晶体管 T4 的第一极和第三子像素 230R 的写入晶体管 T4 的第一极分别连接于不同的数据线 DT。其中，图 7C 中未示出第一子像素 230B 的写入晶体管 T4、第二子像素 230G 的写入晶体管 T4 的第一极和第三子像素 230R 的写入晶体管 T4，可参阅图 5D。

数据线 DT 用于传输数据信号，在每个子像素 230 中，写入晶体管 T4 的第一极与数据线 DT 电连接，以此数据信号可以传输至写入晶体管 T4 的第一极。在一个第一像素单元 220 中，多个子像素 230 分别连接于不同的数据线 DT，不同的数据线 DT 中的数据信号的电压可以不同，进而使得不同的子像素 230 中的发光器件 232 可以具有不同的灰阶。

此外，在上述的一些实施例中，在一个第一像素单元 220 中，多个子像素 230 中的第一复位晶体管 T11 和第二复位晶体管 T12 同时开启，因此多个子像素 230 中的像素驱动电路 231 同时处于复位阶段。补偿晶体管 T2、写入晶体管 T4 和第三复位晶体管 T7 同时开启，因此多个子像素 230 中的像素驱动电路 231 同时处于数据刷新及补偿阶段 t2，在数据刷新及补偿阶段 t2，数据信号经过写入晶体管 T4 和补偿晶体管 T2 写入驱动晶体管 T3 的控制极，因此数据信号同时写入一个第一像素单元 220 中的像素驱动电路 231。第一发光控制晶体管 T5 和第二发光控制晶体管 T6 同时开启，因此多个子像素 230 中的像素驱动电路 231 同时处于发光阶段 t3。综上，一个第一像素单元 220 中，多个子像素 230 同时发光。

在一些实施例中，请参阅图 7C，至少一条数据线 DT 位于第一显示区 A1 中的部位为透明走线段 27。

透明走线段 27 位于第二透明走线层 272，除透明走线段 27 外，第二透明走线层 272 还包括透明连接图案 2701，其中，透明连接图案 2701 大致沿行方

向 X 延伸，透明连接图案 2701 的一端连接于透明走线段 27，另一端与写入晶体管 T4 的有源层 T4-P 电连接。

在一些示例中，请参阅图 9A，第一源漏金属层 SD1 中还包括第四桥接图案 540。第一透明走线层 271 和第二源漏金属层 SD2 中均设置有转接图案。透明连接图案 2701 远离透明走线段 27 的一端通过过孔与第二源漏金属层 SD2 中的转接图案过孔连接，而第二源漏金属层 SD2 中的转接图案通过过孔与第一透明走线层 271 中的转接图案过孔连接，而第一透明走线层 271 中的转接图案与第四桥接图案 540 过孔连接，第四桥接图案 540 与写入晶体管 T4 的有源层 T4-P 通过过孔连接，进而使得数据信号传输至写入晶体管 T4 的第一极。其中，通过在透明连接图案 2701 与写入晶体管 T4 的有源层 T4-P 设置第四桥接图案 540 以及多个转接图案，可以减小过孔深度。由于过孔越深，阻抗越大，因此，在本公开的一些示例中，可以降低阻抗。

在一些示例中，每条数据线 DT 位于第一显示区 A1 中的部位均位于第二透明走线层 272，即每条数据线 DT 均包括透明走线段 27。

请参阅图 11B，在同一列第一像素单元 220 内，第一子像素 230B 中写入晶体管 T4 所电连接的数据线 DT-B 的透明走线段 27-B 在衬底 210 上的正投影，位于该第一子像素 230B 的电路主体 2311-B 在衬底 210 上的正投影远离第二子像素 230G 的电路主体 2311-G 在衬底 210 上的正投影的一侧。

第二子像素 230G 的发光器件 232 在衬底 210 上的正投影和第三子像素 230R 的发光器件 232 在衬底 210 上的正投影，位于第二子像素 230G 的写入晶体管 T4 所电连接的数据线 DT-G 的透明走线段 27-G 在衬底 210 上的正投影和第三子像素 230G 的写入晶体管 T4 所电连接的数据线 DT-R 的透明走线段 27-R 在衬底 210 上的正投影之间。

其中，第二子像素 230G 所电连接的透明走线段 27-G 和第三子像素 230G 所电连接的透明走线段 27-R 分别设置于第二子像素 230G 和第三子像素 230G 所在列的两侧。

在一些示例中，请参阅图 11A 和图 11B，透明走线段 27-R、透明走线段 27-G 和透明走线段 27-B 沿第一指定方向 C1 依次设置。

在另一些示例中，透明走线段 27-G、透明走线段 27-R 和透明走线段 27-B 沿第一指定方向 C1 依次设置。

在一些实施例中，请参阅图 5D，在一个第一像素单元 220 内，第一子像素 230B 中的第三复位晶体管 T7、补偿晶体管 T2 和写入晶体管 T4 依次远离第二子像素 230G 的电路主体 2311-G。即第一子像素 230B 中的第三复位晶体

管 T7、补偿晶体管 T2 和写入晶体管 T4 依次远离第二子像素 230G 和第三子像素 230R 所在列，进而可以使得第一子像素 230B 所电连接的透明走线段 27-B 位于第一子像素 230B 远离第二子像素 230G 和第三子像素 230R 所在列的一侧。

在一些实施例中，请参阅图 5D，在一个第一像素单元 220 内，第二子像素 230G 中的第三复位晶体管 T7、补偿晶体管 T2 和写入晶体管 T4 沿第一设定方向依次设置；第三子像素 230R 中的第三复位晶体管 T7、补偿晶体管 T2 和写入晶体管 T4 沿第一设定方向的反方向依次设置。

其中，请参阅图 11B，并结合图 5D，透明走线段 27 与写入晶体管 T4 的有源层 T4-P 电连接。在第二子像素 230G 和第三子像素 230R 中的一个子像素 230 中，写入晶体管 T4 位于补偿晶体管 T2 远离第一子像素 230B 的一侧。在另一个子像素 230 中，写入晶体管 T4 位于补偿晶体管 T2 靠近第一子像素 230B 的一侧。因此，可以使得第二子像素 230G 电连接的透明走线段 27-G 和第三子像素 230R 的透明走线段 27-R 分别设置于第二子像素 230G 和第三子像素 230R 所在列的两侧，且能够方便透明走线段 27-R 与第三子像素 230R 的写入晶体管 T4 连接，同时方便透明走线段 27-G 与第二子像素 230G 的写入晶体管 T4 连接。

在一些示例中，请参阅图 11B，第一设定方向 D 与第一指定方向 C1 相反，此时，第三子像素 230R 所电连接的透明走线段 27-R、第二子像素 230G 所电连接的透明走线段 27-G 和第一子像素 230B 所电连接的数据线 27-B 沿第一指定方向 C1 依次设置。

在另一些示例中，第一设定方向 D 与第一指定方向 C1 相同，第二子像素 230G 所电连接的透明走线段 27-G、第三子像素 230R 所电连接的透明走线段 27-R 和第一子像素 230B 所电连接的数据线 27-B 沿第一指定方向 C1 依次设置。

请参阅图 13A 和图 13B，显示面板 200 中还包括阳极层 AND，阳极层 AND 中包括多个阳极 AND1，例如第一子像素 230B 的阳极 AND-B、第二子像素 230G 的阳极 AND-G 和第三子像素 230R 的阳极 AND-R。

在一些实施例中，请参阅图 2B，除第一显示区 A1 外，显示面板 200 还包括：第二显示区 A2，第一显示区 A1 设置有第一像素单元 220。第二显示区 A2 内设置有多个第二像素单元 290，多个第二像素单元 290 呈多行多列排布；第二像素单元 290 包括多个子像素 291。多个子像素 291 中包括第一子像素 291B、第二子像素 291G 和第三子像素 291R，

其中，第二显示区 A2 位于第一显示区 A1 的至少一侧。在一些示例中，第二显示区 A2 可以设置于第一显示区 A1 的一侧或多侧。在另一些示例中，第二显示区 A2 可以绕第一显示区 A1 设置一周。其中需要说明的是，在图 2B 中，较小的虚线框所框出来的区域为第一显示区 A1，而较大的虚线框位于较小虚线框的外部，较小虚线框与较大虚线框之间的区域为第二显示区 A2，第一显示区 A1 和第二显示区 A2 共同构成了显示区 AA。

请参阅图 14，第二像素单元 290 的子像素 291 包括发光器件 232，第二像素单元 290 的第一子像素 291B 的发光器件 232 的面积，大于第二像素单元 290 的第二子像素 291G 的发光器件 232 的面积，且大于第二像素单元 290 的第三子像素 291R 的发光器件 232 的面积。

其中，发光器件 232 包括阳极 AND1。在一些示例中，第二像素单元 290 的第一子像素 291B 的阳极 AND1 的面积，大于第二像素单元 290 的第二子像素 291G 的阳极 AND1 的面积，且大于第二像素单元 290 的第三子像素 291R 的阳极 AND1 的面积。

在一些实施例中，第一显示区 A1 中子像素 230 的发光器件 232 的面积为第二显示区 A2 中相同颜色的子像素 291 的发光器件 232 的面积的 0.4~0.6 倍。

在一些示例中，在第二显示区 A2 中，第二像素单元 290 的第一子像素 291B 可以为蓝色子像素，第二子像素 291G 可以为绿色子像素，第三子像素 291R 可以为红色子像素。

通过上文可知，在一些示例中，在第一显示区 A1 中，第一像素单元 220 的第一子像素 230B 为蓝色子像素，第二子像素 230G 为绿色子像素，第三子像素 230R 为红色子像素。

在一些示例中，第一像素单元 220 的第一子像素 230B 的发光器件 232 的面积为第二像素单元 290 的第一子像素 291B 的发光器件 232 的面积的 0.4~0.6 倍，以此可以避免第一像素单元 220 的第一子像素 230B 的发光器件 232 的面积过大（例如大于第一子像素 291B 的发光器件 232 的面积的 0.6 倍），导致第一显示区 A1 的透光率较低。同时，还可以避免第一像素单元 220 的第一子像素 230B 的发光器件 232 的面积过小（例如小于第一子像素 291B 的发光器件 232 的面积的 0.4 倍），导致位于第一像素单元 220 的第一子像素 230B 的发光器件 232 之下的像素驱动电路 231 所占的面积较小，使得第一像素单元 220 的第一子像素 230B 的发光器件 232 的像素驱动电路 231 中的结构过于紧凑，造成结构之间发生耦合。

示例性的，第一像素单元 220 的第一子像素 230B 的发光器件 232 的面积

为第二像素单元 290 的第一子像素 291B 的发光器件 232 的面积 0.5 倍。

请参阅图 14，第一像素单元 220 的第二子像素 230G 的发光器件 232 的面积为第二像素单元 290 的第二子像素 291G 的发光器件 232 的面积 0.4~0.6 倍，以此可以避免第一像素单元 220 的第二子像素 230G 的发光器件 232 的面积过大（例如大于第二子像素 291G 的发光器件 232 的面积 0.6 倍），导致第一显示区 A1 的透光率较低。同时，还可以避免第一像素单元 220 的第二子像素 230G 的发光器件 232 的面积过小（例如小于第二子像素 291G 的发光器件 232 的面积 0.4 倍），导致第一像素单元 220 的第二子像素 230G 的发光器件 232 之下的第二子像素 230G 的电路主体 2311-G 所占的面积较小，使得第一像素单元 220 的第二子像素 230G 的电路主体 2311-G 中的结构过于紧凑，造成结构之间发生耦合。

示例性的，第一像素单元 220 的第二子像素 230G 的发光器件 232 的面积为第二像素单元 290 的第二子像素 291G 的发光器件 232 的面积 0.5 倍。

请参阅图 14，第一像素单元 220 的第三子像素 230R 的发光器件 232 的面积为第二像素单元 290 的第三子像素 291R 的发光器件 232 的面积 0.4~0.6 倍。以此可以避免第一像素单元 220 的第三子像素 230R 的发光器件 232 的面积过大（例如大于第三子像素 291R 的发光器件 232 的面积 0.6 倍），导致第一显示区 A1 的透光率较低。同时，还可以避免第一像素单元 220 的第三子像素 230R 的发光器件 232 的面积过小（例如小于第三子像素 291R 的发光器件 232 的面积 0.4 倍），导致第一像素单元 220 的第三子像素 230R 的发光器件 232 之下的第三子像素 230R 的电路主体 2311-R 所占的面积较小，使得第三子像素 230R 的电路主体 2311-R 中的结构过于紧凑，造成结构之间发生耦合。

示例性的，第一像素单元 220 的第三子像素 230R 的发光器件 232 的面积为第二像素单元 290 的第三子像素 291R 的发光器件 232 的面积 0.5 倍。

在一些示例中，第一显示区 A1 的子像素密度与第二显示区 A2 的子像素密度相等。其中，需要说明的是，第一显示区 A1 的子像素密度指的是，在第一显示区 A1 中，单位面积内子像素 230 的数量。第二显示区 A2 的子像素密度指的是，在第二显示区 A2 内，单位面积内子像素 291 的数量。

其中，虽然第二显示区 A2 中子像素 291 的发光器件 232 的面积大于第一显示区 A1 中与其颜色相同的子像素 230 的发光器件 232 的面积，但是第一显示区 A1 的子像素密度与第二显示区 A2 的子像素密度相等，因此，可以降低第一显示区 A1 与第二显示区 A2 之间的显示差异。

此外，第一显示区 A1 的透光率大于第二显示区 A2 的透光率，以此保证传感器 300 可以感测到充足的光线。

其中，子像素 291 的发光器件 232 的结构与上述子像素 230 的发光器件 232 的结构相同，在此不进行赘述。其中，可以理解的是，在一个子像素 291 的阴极 CTD1、发光层 EL 和阳极 AND1 三者中，若阴极 CTD1 的面积最大，那么子像素 291 的发光器件 232 的面积则为阴极 CTD1 的面积。若阳极 AND1 的面积最大，那么子像素 291 的发光器件 232 的面积则为阳极 AND1 的面积。若发光层 EL 的面积最大，那么子像素 291 的发光器件 232 的面积则为发光层 EL 的面积。

本公开的一些实施例所提供的显示装置 100 包括：以上任一实施例所提供的显示面板 200。因此本公开的一些实施例所提供的显示装置 100 具有以上任一实施例所提供的显示面板 200 的全部有益效果，在此不进行赘述。

以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种显示面板，包括：

衬底；

多个第一像素单元，位于所述衬底的一侧，且呈多行多列排布；其中，所述第一像素单元中包括多个子像素，所述子像素包括像素驱动电路和发光器件；所述发光器件位于所述像素驱动电路远离所述衬底的一侧，且与所述像素驱动电路电连接；所述像素驱动电路包括第一复位晶体管；

所述多个子像素包括第一子像素、第二子像素和第三子像素，且所述第一子像素的发光器件的面积，大于所述第二子像素的发光器件的面积，且大于所述第三子像素的发光器件的面积；

所述第二子像素中的第一复位晶体管和/或所述第三子像素中的第一复位晶体管在所述衬底上的正投影，位于所述第一子像素的发光器件在所述衬底上的正投影之内。

2、根据权利要求1所述的显示面板，其中，

所述第一子像素的第一复位晶体管、所述第二子像素的第一复位晶体管和所述第三子像素的第一复位晶体管，均位于所述第一子像素的发光器件在所述衬底的正投影之内。

3、根据权利要求1或2所述的显示面板，其中，

所述第一子像素的第一复位晶体管、所述第二子像素的第一复位晶体管和所述第三子像素的第一复位晶体管中的至少两个，为同一晶体管。

4、根据权利要求1~3中任一项所述的显示面板，其中，

所述像素驱动电路还包括第二复位晶体管；所述第一子像素的第二复位晶体管、所述第二子像素的第二复位晶体管和所述第三子像素的第二复位晶体管，为同一晶体管；所述第二复位晶体管在所述衬底上的正投影，位于所述第一子像素的发光器件在所述衬底上的正投影之内；所述第二复位晶体管与任一所述第一复位晶体管串联；

所述显示面板还包括复位信号线和初始化信号线；各个所述第一复位晶体管的控制极和所述第二复位晶体管的控制极均与所述复位信号线电连接；所述第二复位晶体管的第一极与所述初始化信号线电连接，所述第二复位晶体管的第二极与各个所述第一复位晶体管的第一极电连接；

所述像素驱动电路还包括：驱动晶体管，各个所述像素驱动电路的驱动晶体管的控制极与各个所述第一复位晶体管的第二极电连接。

5、根据权利要求4所述的显示面板，其中，

所述第二子像素的发光器件和所述第三子像素的发光器件沿列方向间隔

设置；所述第一子像素的发光器件，位于所述第二子像素的发光器件和所述第三子像素的发光器件所在列的相邻列；且所述第一子像素的发光器件，跨过所述第二子像素的发光器件和所述第三子像素的发光器件之间的间隙区域；

所述像素驱动电路还包括电路主体；所述第一子像素的电路主体在所述衬底上的正投影位于所述第一子像素的发光器件在所述衬底上的正投影之内，所述第二子像素的电路主体在所述衬底上的正投影位于所述第二子像素的发光器件在所述衬底上的正投影之内、所述第三子像素的电路主体在所述衬底上的正投影位于所述第三子像素的发光器件在所述衬底上的正投影之内；

所述第二复位晶体管、所述第三子像素的第一复位晶体管和所述第二子像素的第一复位晶体管，位于所述第一子像素的第一复位晶体管靠近所述第三子像素的电路主体的一侧，且依次远离所述第三子像素的电路主体。

6、根据权利要求5所述的显示面板，其中，

所述复位信号线沿行方向延伸，一条所述复位信号线与一行所述第一像素单元中所述第二复位晶体管的控制极以及各个所述第一复位晶体管的控制极电连接；

所述初始化信号线沿行方向延伸，一条所述初始化信号线与一行所述第一像素单元中所述第二复位晶体的第一极电连接；

所述第二复位晶体管以及各个所述第一复位晶体管在所述衬底上的正投影，位于与该第二复位晶体管所电连接的初始化信号线在所述衬底上的正投影和所述第三子像素的电路主体在所述衬底上的正投影之间；所述复位信号线在所述衬底上的正投影，位于该条初始化信号线在所述衬底上的正投影和该第三子像素的电路主体在所述衬底上的正投影之间。

7、根据权利要求5或6所述的显示面板，其中，

所述衬底包括第一显示区，所述多个第一像素单元位于所述第一显示区内；

所述显示面板还包括：多条信号线，位于所述衬底和所述发光器件之间；

至少一条信号线位于所述第一显示区内的部位包括彼此电连接的金属走线和透明连接走线；至少部分所述金属走线在所述衬底上的正投影，位于所述发光器件在所述衬底上的正投影之内。

8、根据权利要求7所述的显示面板，包括：

第一栅金属层和第一透明走线层，均位于所述衬底和所述发光器件之间，

所述第一透明走线层位于所述第一栅金属层背离所述衬底的一侧;

所述至少一条信号线包括复位信号线,所述复位信号线沿行方向延伸,一条所述复位信号线与一行所述第一像素单元中所述第二复位晶体管的控制极以及各个第一复位晶体管的控制极电连接;

所述复位信号线的金属走线位于所述第一栅金属层,所述复位信号线的金属走线在所述衬底上的正投影的至少部分位于所述第一子像素的发光器件在所述衬底上的正投影之内;

所述复位信号线的透明连接走线位于所述第一透明走线层;所述复位信号线的透明连接走线在所述衬底上的正投影,位于所述第二子像素的发光器件在所述衬底上的正投影之外,且位于所述第三子像素的发光器件在所述衬底上的正投影之外;所述复位信号线的透明连接走线与所述复位信号线的金属走线通过过孔连接。

9、根据权利要求8所述的显示面板,其中,

所述像素驱动电路的电路主体包括写入晶体管、补偿晶体管和第三复位晶体管;

所述至少一条信号线还包括扫描信号线,一条所述扫描信号线与一行所述第一像素单元中所有所述子像素的写入晶体管的控制极、补偿晶体管的控制极和第三复位晶体管的控制极电连接;

所述扫描信号线的金属走线位于所述第一栅金属层,所述扫描信号线的金属走线在所述衬底上的正投影的至少部分位于所述发光器件在所述的衬底上的正投影之内;

所述扫描信号线的透明连接走线位于所述第一透明走线层,所述扫描信号线的透明连接走线与所述扫描信号线的金属走线通过过孔连接。

10、根据权利要求8或9所述的显示面板,其中,

所述像素驱动电路的电路主体还包括第一发光控制晶体管和第二发光控制晶体管;

所述至少一条信号线还包括发光控制信号线,一条所述发光控制信号线与一行所述第一像素单元中所有所述子像素的第一发光控制晶体管的控制极和第二发光控制晶体管的控制极电连接;

所述发光控制信号线的金属走线位于所述第一栅金属层,所述发光控制信号线的金属走线在所述衬底上的正投影的至少部分位于所述发光器件在所述的衬底上的正投影之内;

所述发光控制信号线的透明连接走线位于所述第一透明走线层,所述发

光控制信号线的透明连接走线与所述发光控制信号线的金属走线通过过孔连接。

11、根据权利要求 7~10 中任一项所述的显示面板，包括：第一源漏金属层和第一透明走线层，均位于所述衬底和所述发光器件之间，所述第一透明走线层位于所述第一源漏金属层背离所述衬底的一侧；

所述至少一条信号线还包括：初始化信号线，一条所述初始化信号线与一行所述第一像素单元中所述第二复位晶体的第一极电连接；

所述初始化信号线的金属走线位于所述第一源漏金属层，所述初始化信号线的金属走线在所述衬底上的正投影的至少部分位于所述第一子像素的发光器件在所述衬底上的正投影之内；

所述初始化信号线的透明连接走线位于所述第一透明走线层；所述初始化信号线的透明连接走线在所述衬底上的正投影，位于所述第二子像素的发光器件在所述衬底上的正投影之外，且位于所述第三子像素的发光器件在所述衬底上的正投影之外；所述初始化信号线的透明连接走线与所述初始化信号线的金属走线通过过孔连接。

12、根据权利要求 7~11 中任一项所述的显示面板，包括：第二栅金属层、第二源漏金属层和第二透明走线层，位于所述衬底和所述发光器件之间，所述第二源漏金属层位于所述第二栅金属层背离所述衬底的一侧，所述第二透明走线层位于所述第二源漏金属层背离所述第二栅金属层的一侧；

所述像素驱动电路的电路主体还包括：电容器，所述电容器的第一极板位于所述第二栅金属层；

所述至少一条信号线还包括第一电源信号线，所述第一电源信号线沿列方向延伸，一条所述第一电源信号线与一列所述第一像素单元中所述第二子像素的电容器第一极板和所述第三子像素的电容器第一极板电连接；

所述第一电源信号线的金属走线位于所述第二源漏金属层，所述第一电源信号线的金属走线在所述衬底上的正投影的至少部分位于所述第二子像素的发光器件和所述第三子像素的发光器件在所述衬底上的正投影之内；

所述第一电源信号线的透明连接走线位于所述第二透明走线层，所述第一电源信号线的透明连接走线与所述第一电源信号线的金属走线通过过孔连接。

13、根据权利要求 12 所述的显示面板，其中，

所述至少一条信号线还包括第二电源信号线，所述第二电源信号线沿列方向延伸，一条所述第二电源信号线与一列所述第一像素单元中所述第一子

像素的电容器的第一极板电连接；

所述第二电源信号线的金属走线位于所述第二源漏金属层，所述第二电源信号线的金属走线在所述衬底上的正投影至少部分位于所述第一子像素的发光器件在所述的衬底上的正投影之内；

所述第二电源信号线的透明连接走线位于所述第二透明走线层，所述第二电源信号线的透明连接走线与所述第二电源信号线的金属走线通过过孔连接。

14、根据权利要求 12 或 13 所述的显示面板，还包括：

多条数据线，沿列方向延伸，所述多条数据线位于所述第一显示区中的部位在所述衬底上的正投影位于任一所述子像素的发光器件在所述衬底上的正投影之外，至少一条数据线位于所述第一显示区的部位位于所述第二透明走线层；

所述像素驱动电路的电路主体包括：写入晶体管；在一个所述第一像素单元中，所述第一子像素的写入晶体管的第一极、所述第二子像素的写入晶体管的第一极和所述第三子像素的写入晶体管的第一极分别连接于不同的所述数据线。

15、根据权利要求 14 所述的显示面板，其中，

所述至少一条数据线位于所述第一显示区中的部位为透明走线段；

在同一列所述第一像素单元内，所述第一子像素中写入晶体管所电连接的数据线的透明走线段在所述衬底上的正投影，位于该第一子像素的电路主体在所述衬底上的正投影远离所述第二子像素的电路主体在所述衬底上的正投影的一侧；所述第二子像素的发光器件在所述衬底上的正投影和所述第三子像素的发光器件在所述衬底上的正投影，位于所述第二子像素的写入晶体管所电连接的数据线的透明走线段在衬底上的正投影和所述第三子像素的写入晶体管所电连接的数据线的透明走线段在衬底上的正投影之间。

16、根据权利要求 15 所述的显示面板，其中，

所述像素驱动电路的电路主体还包括补偿晶体管和第三复位晶体管；

在一个所述第一像素单元内，所述第一子像素中的第三复位晶体管、补偿晶体管和写入晶体管依次远离所述第二子像素的电路主体；所述第二子像素中的第三复位晶体管、补偿晶体管和写入晶体管沿第一设定方向依次设置；所述第三子像素中的第三复位晶体管、补偿晶体管和写入晶体管沿所述第一设定方向的反方向依次设置。

17、根据权利要求 1~16 中任一项所述的显示面板，其中，

所述发光器件包括阳极、发光层和阴极，所述阳极与所述像素驱动电路电连接，所述发光层位于所述阳极背离所述衬底的一侧，所述阴极位于所述发光层背离所述衬底的一侧；

所述第二子像素中的第一复位晶体管和/或所述第三子像素中的第一复位晶体管在所述衬底上的正投影，位于所述第一子像素的阳极在所述衬底上的正投影之内。

18、根据权利要求 1~17 中任一项所述的显示面板，其中，

所述第一子像素为蓝色子像素，所述第二子像素为绿色子像素，所述第三子像素为红色子像素。

19、根据权利要求 1~18 中任一项所述的显示面板，包括：

第一显示区和第二显示区，所述第一显示区设置有所述第一像素单元；

所述第二显示区设置有多多个第二像素单元，所述多个第二像素单元呈多行多列排布；所述第二像素单元包括多个子像素，所述第一显示区的子像素密度与所述第二显示区的子像素密度相等；

所述第一显示区中子像素的发光器件的面积为所述第二显示区中相同颜色的子像素的发光器件的面积的 0.4~0.6 倍。

20、一种显示装置，包括：

权利要求 1~19 中任一项所述的显示面板。

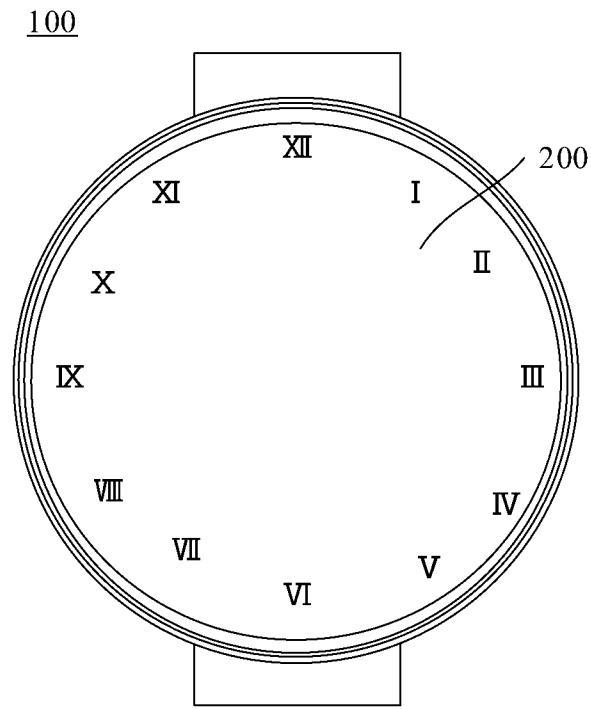


图 1A

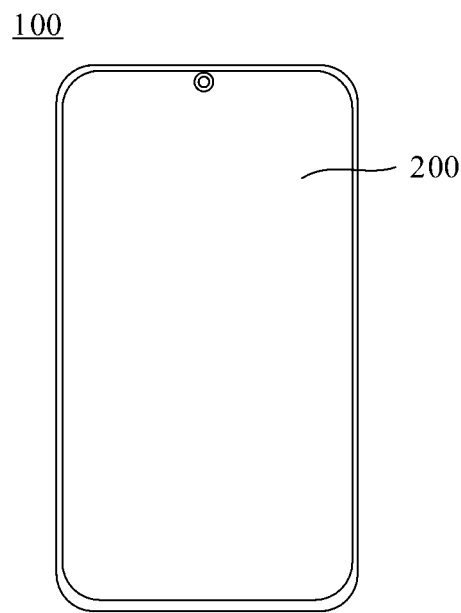


图 1B

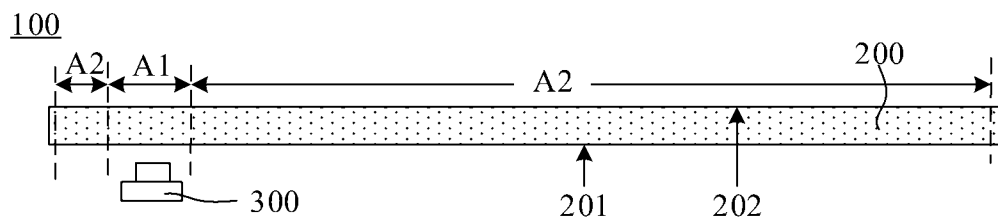


图 2A

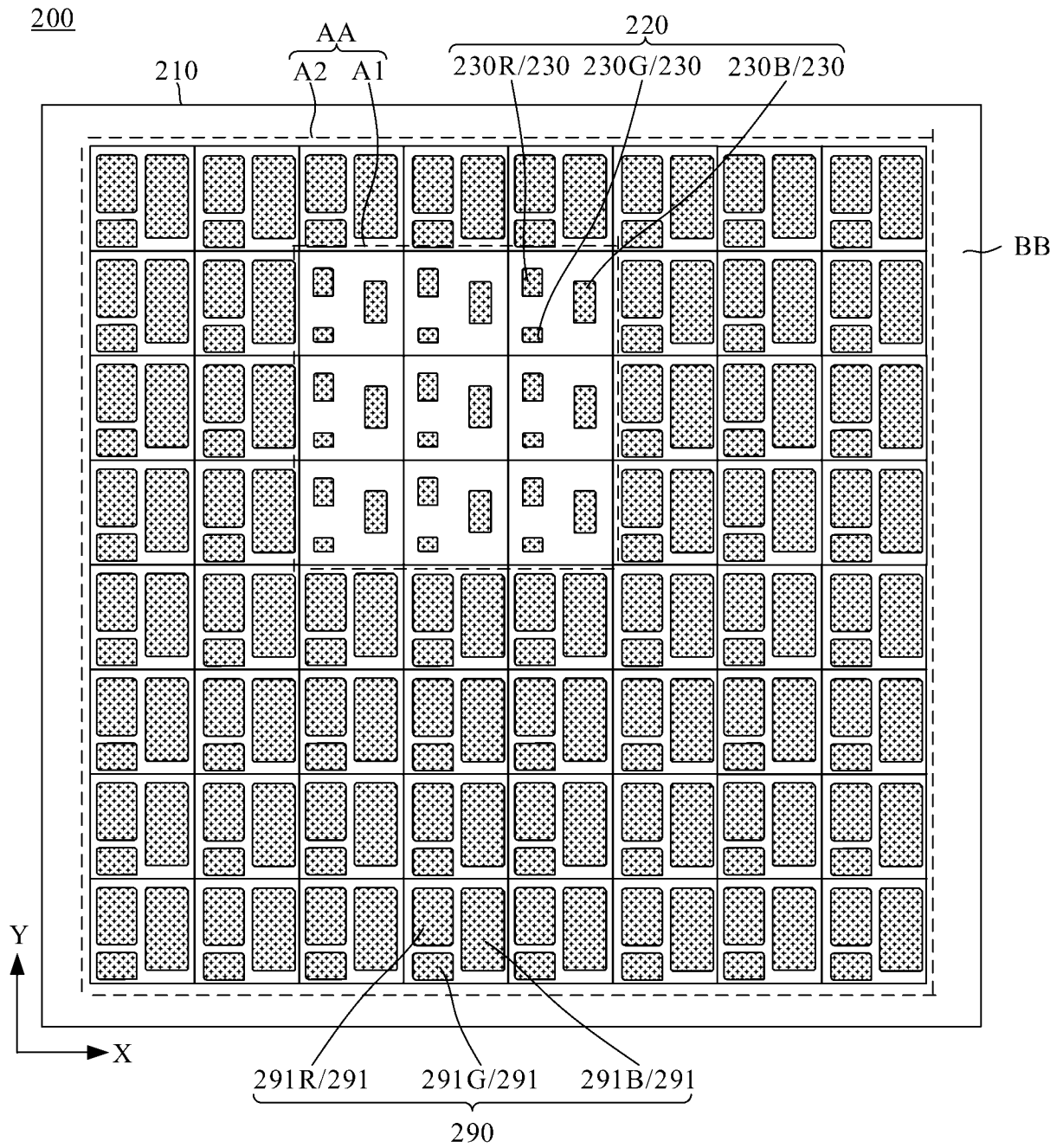


图 2B

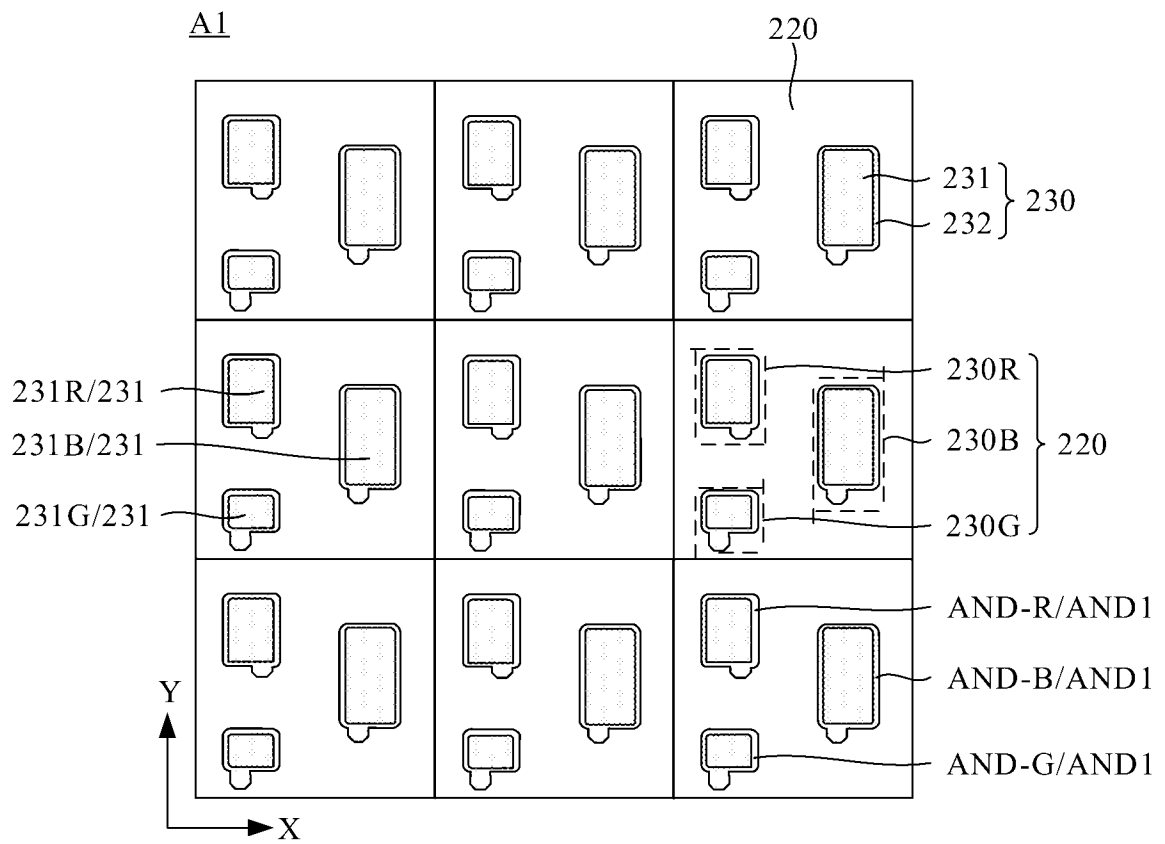


图 3A

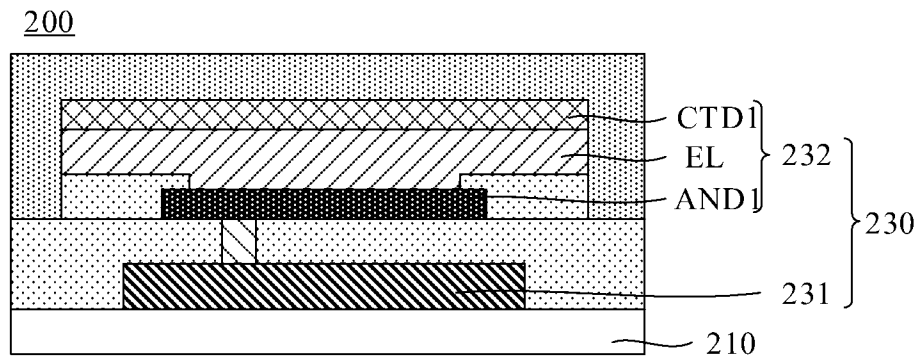


图 3B

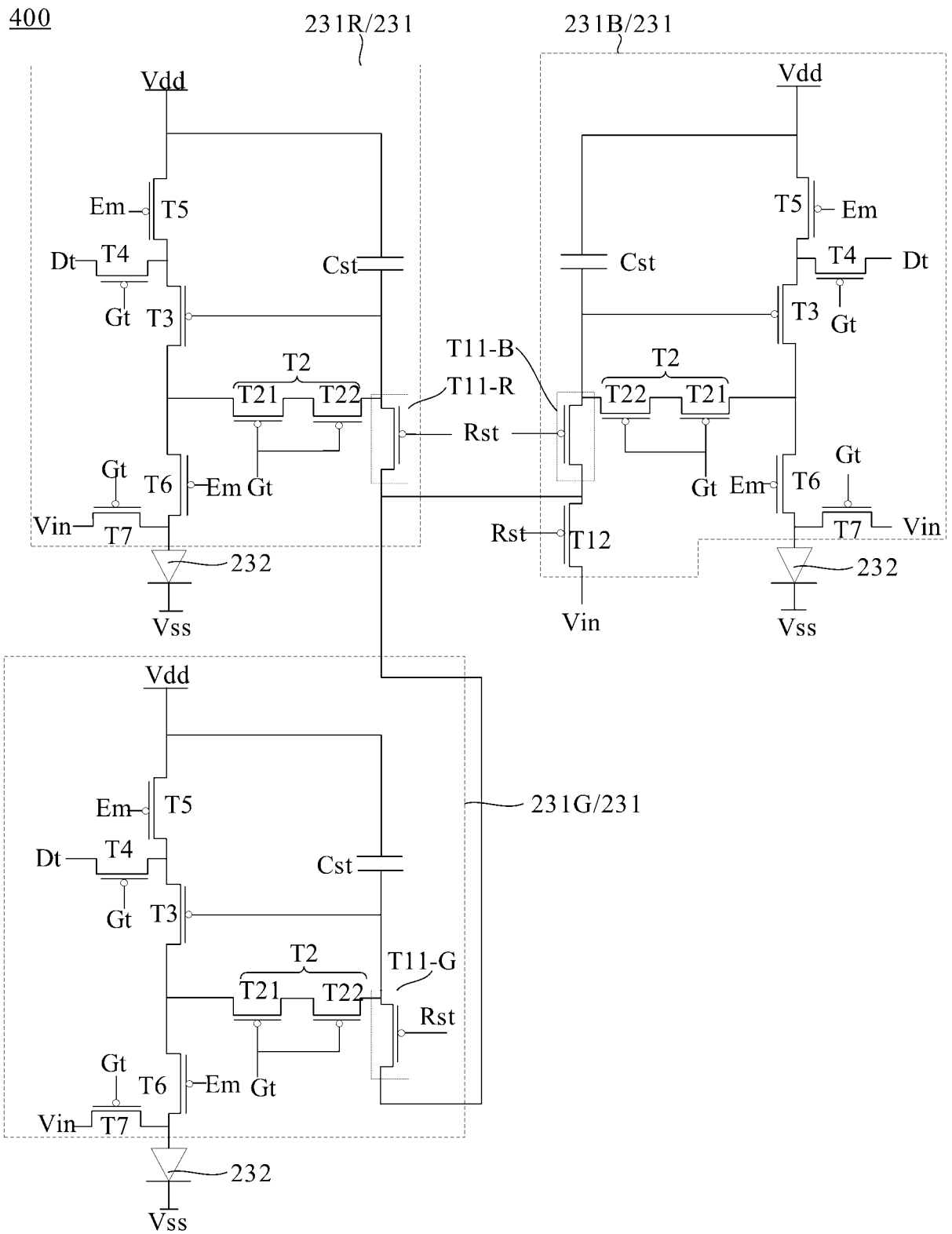


图 4A

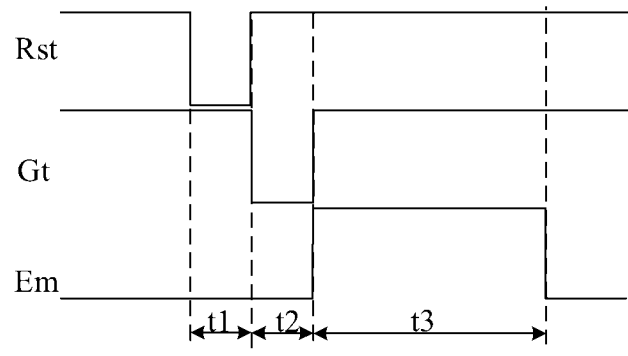


图 4B

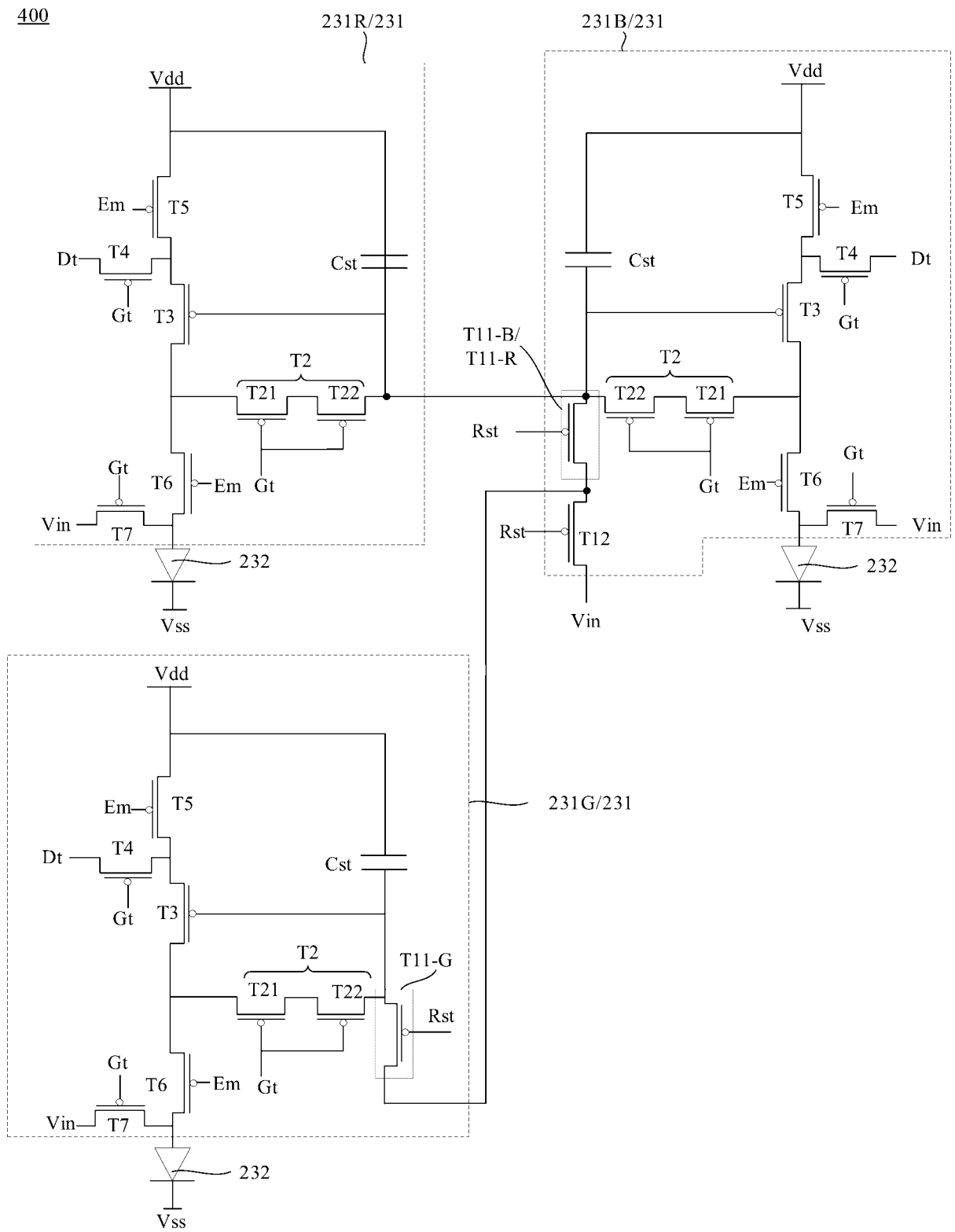


图 4D

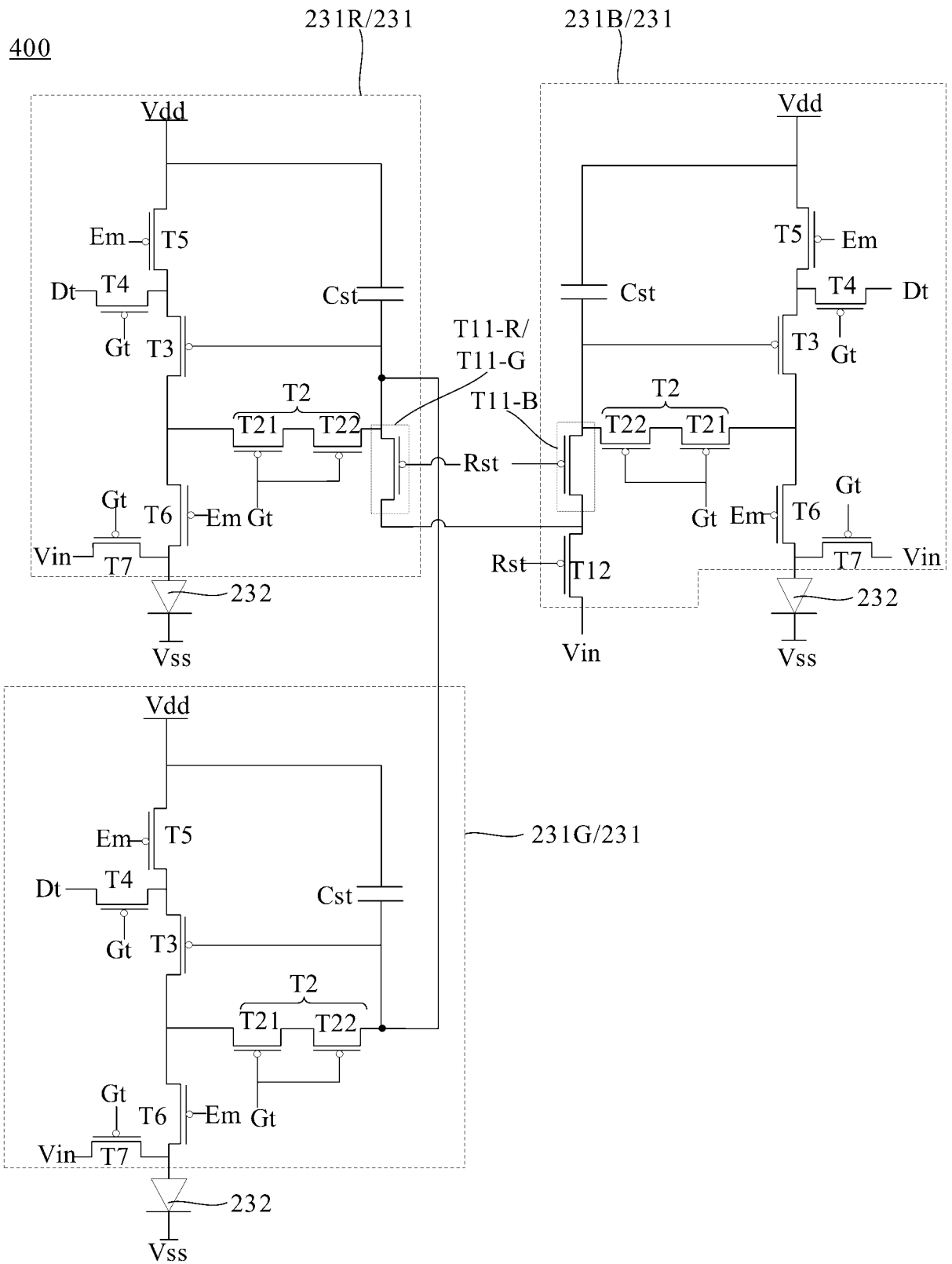


图 4E

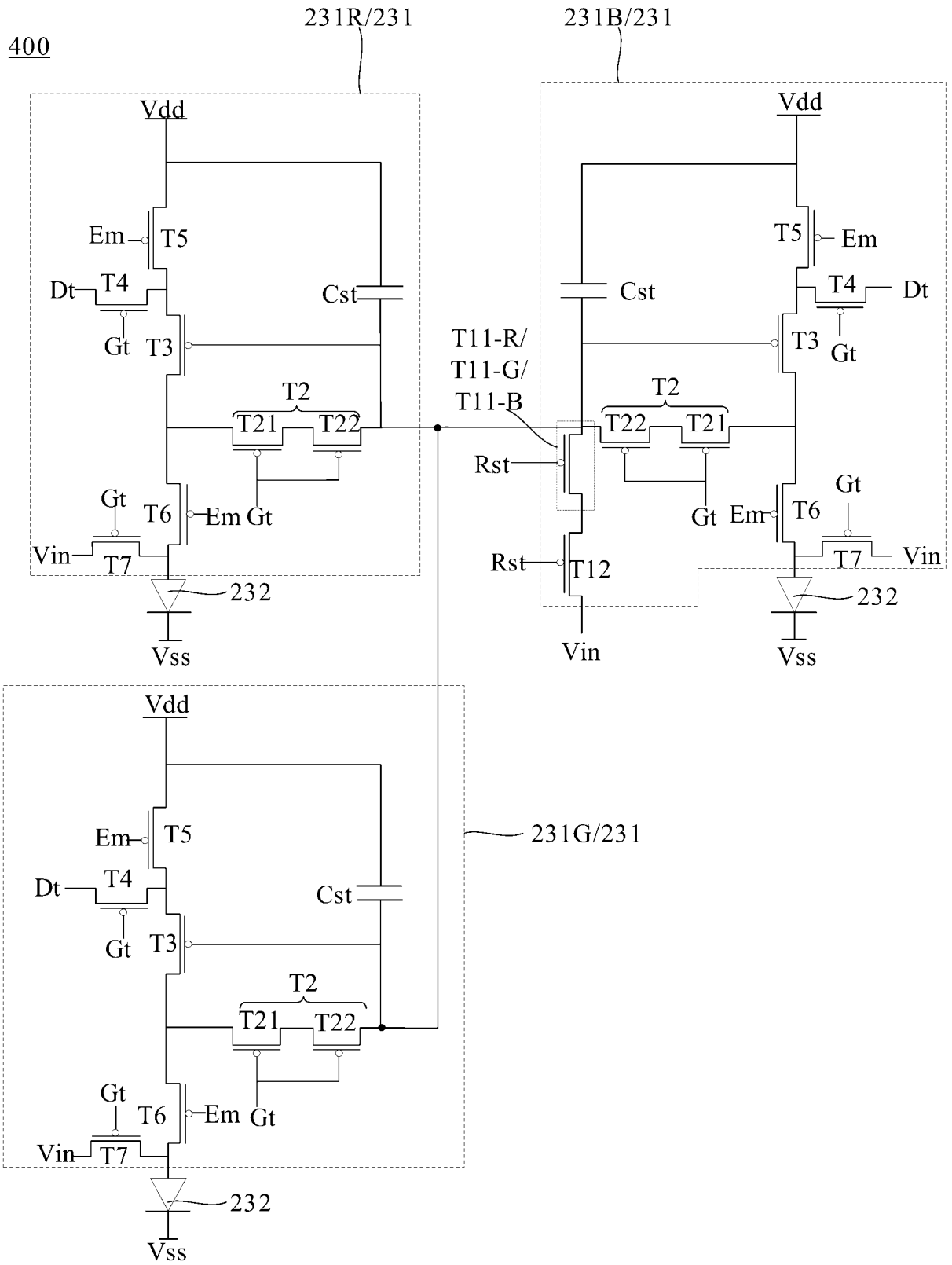


图 4F

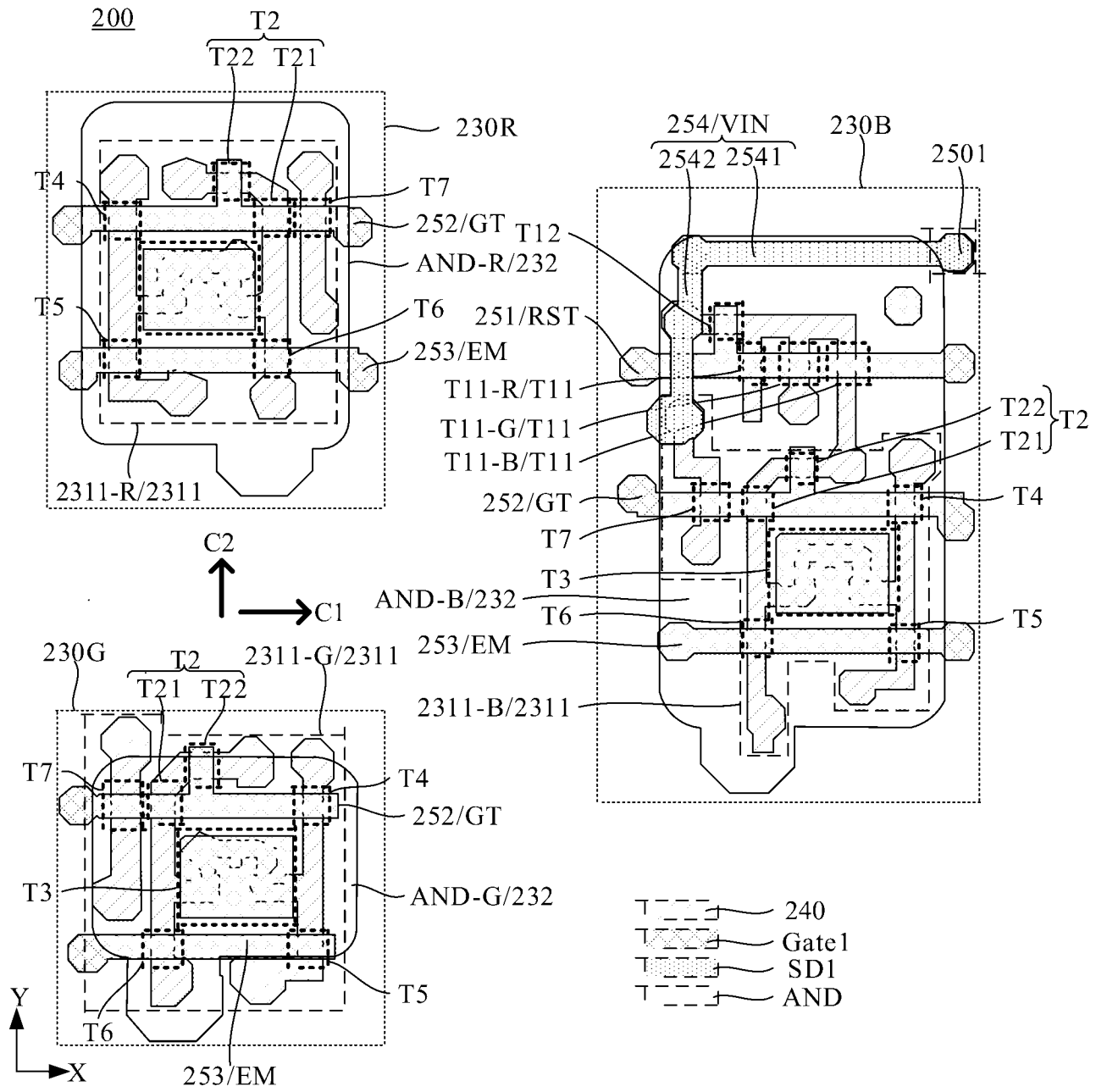


图 5A

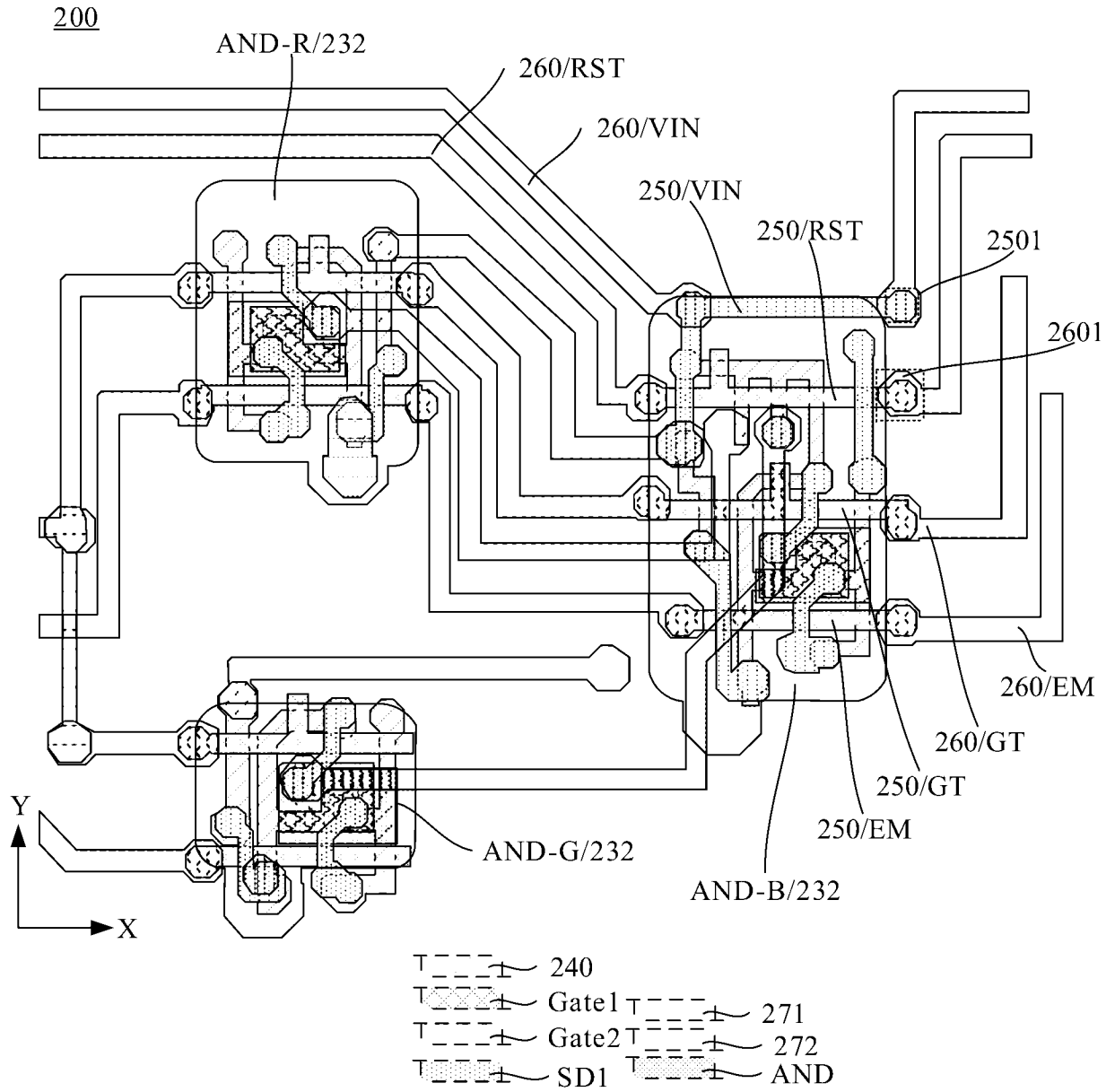


图 5B

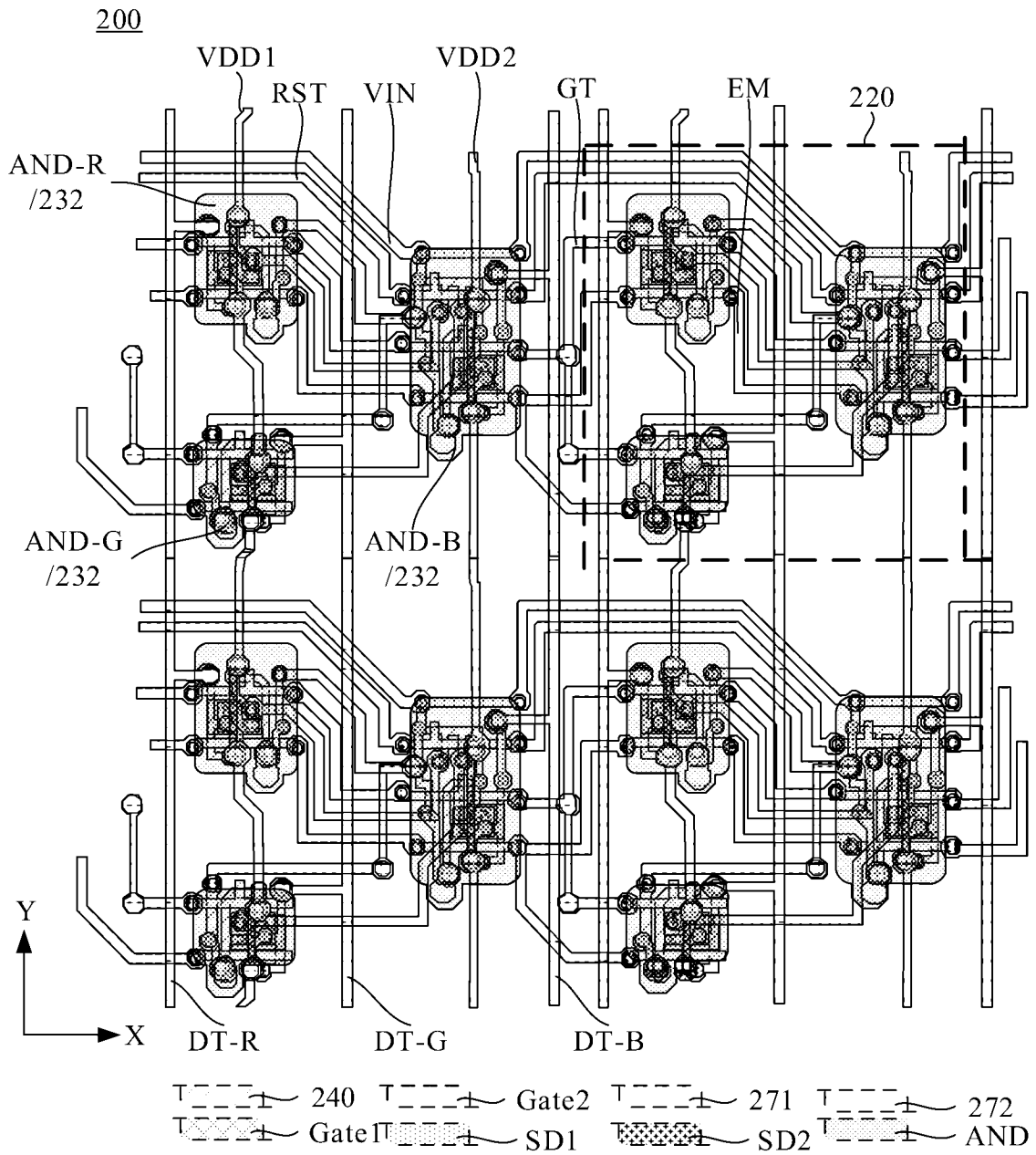


图 5C

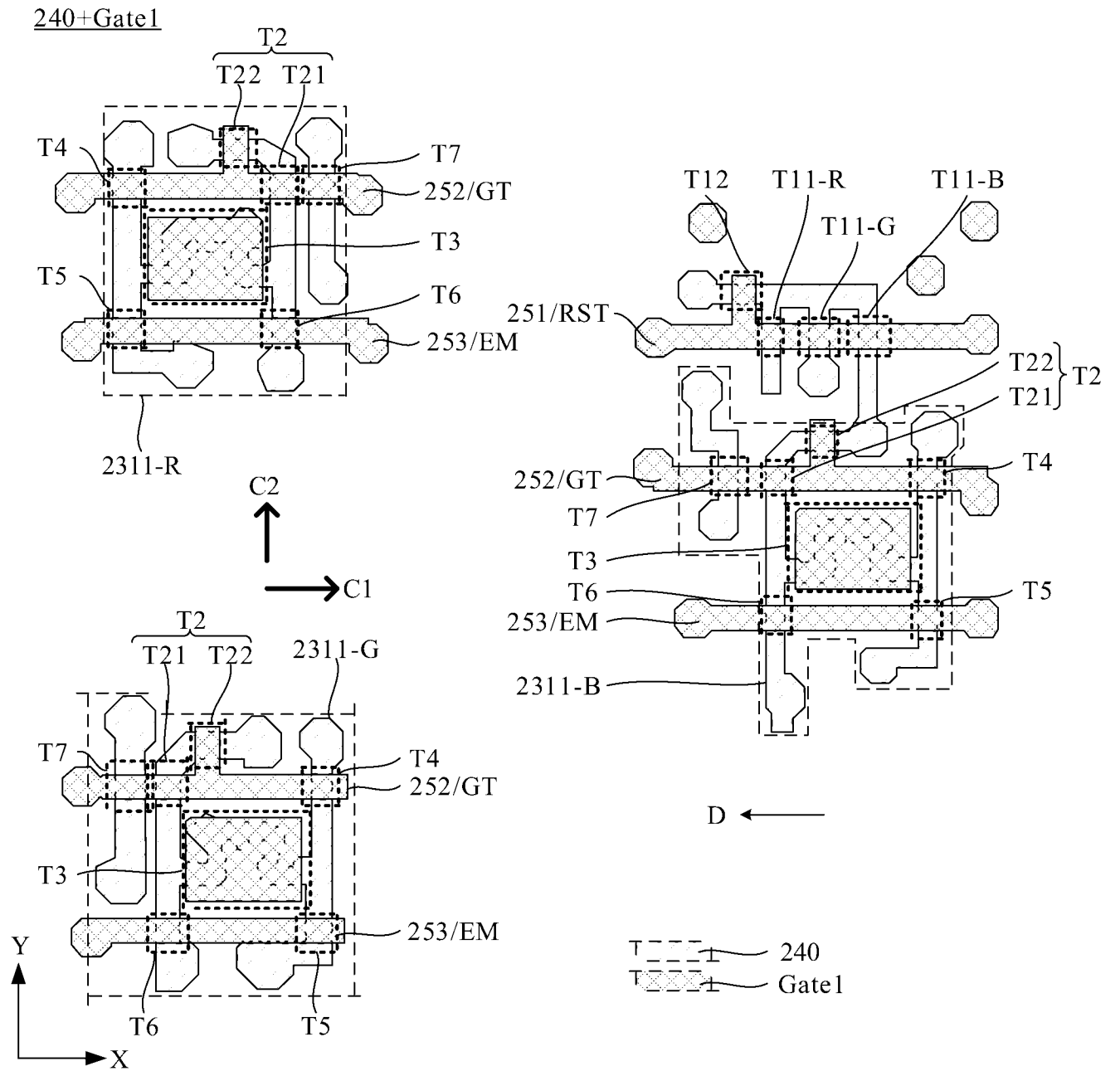


图 5D

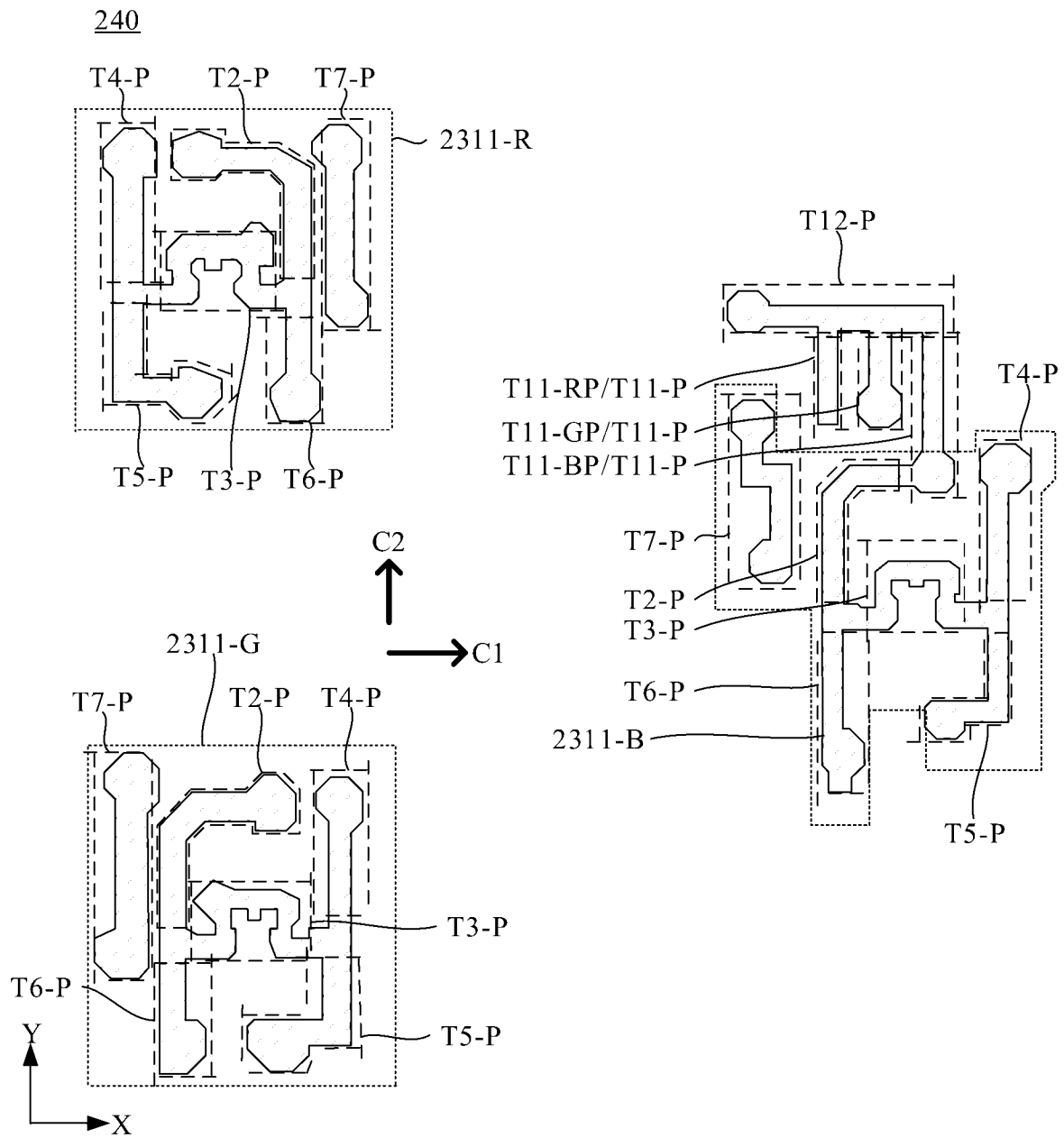


图 6A

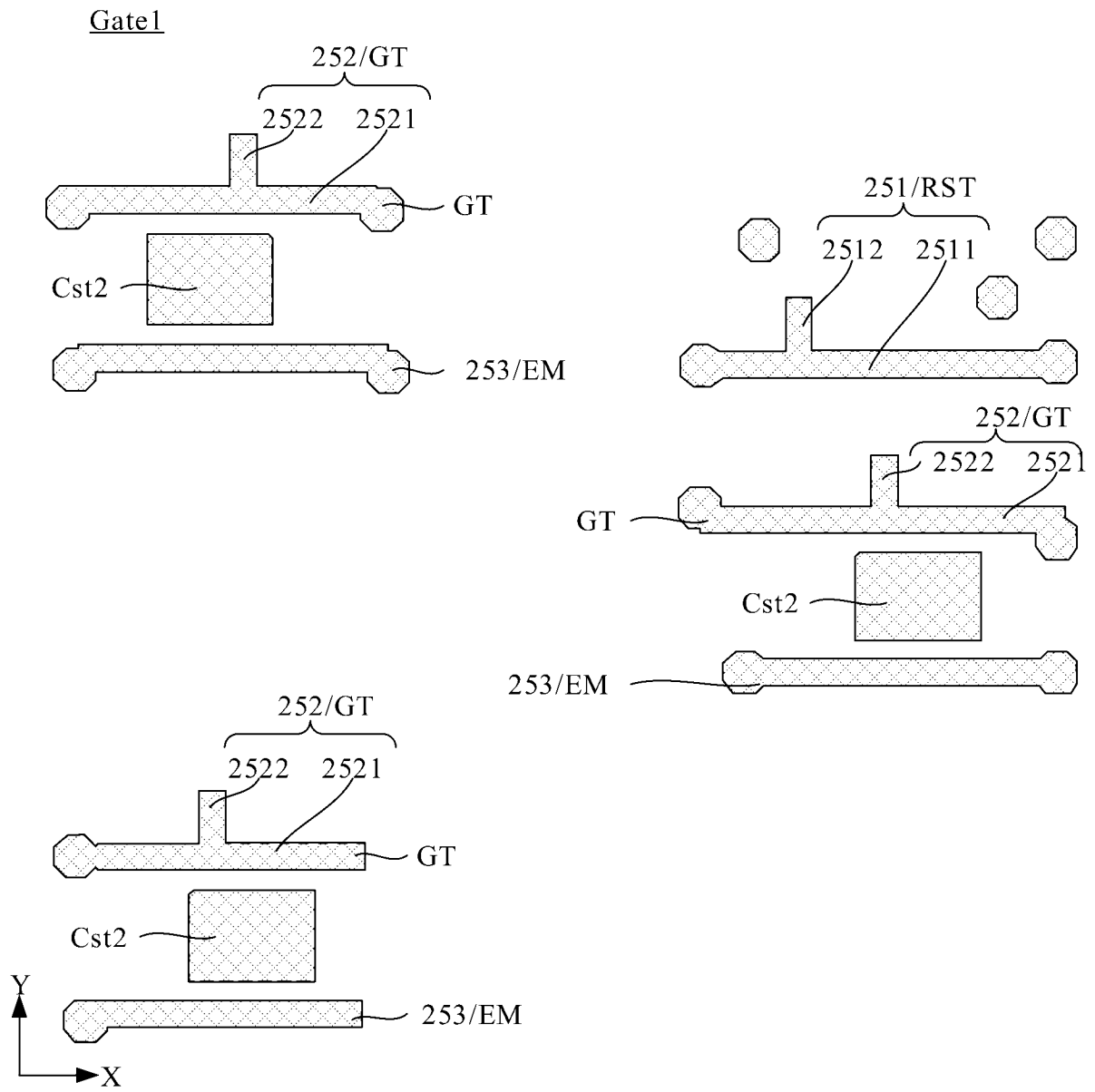


图 6B

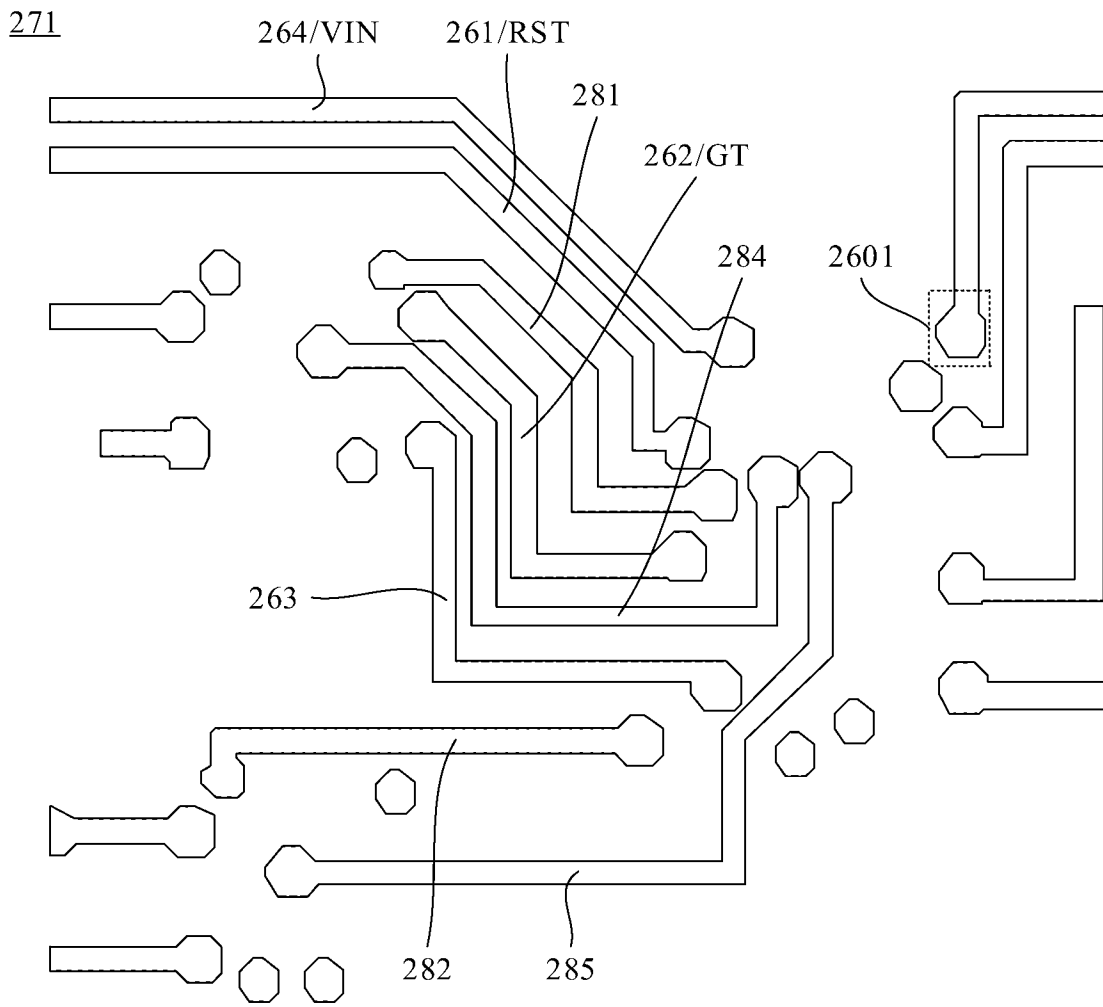


图 7A

240+Gate1+Gate2+SD1+271

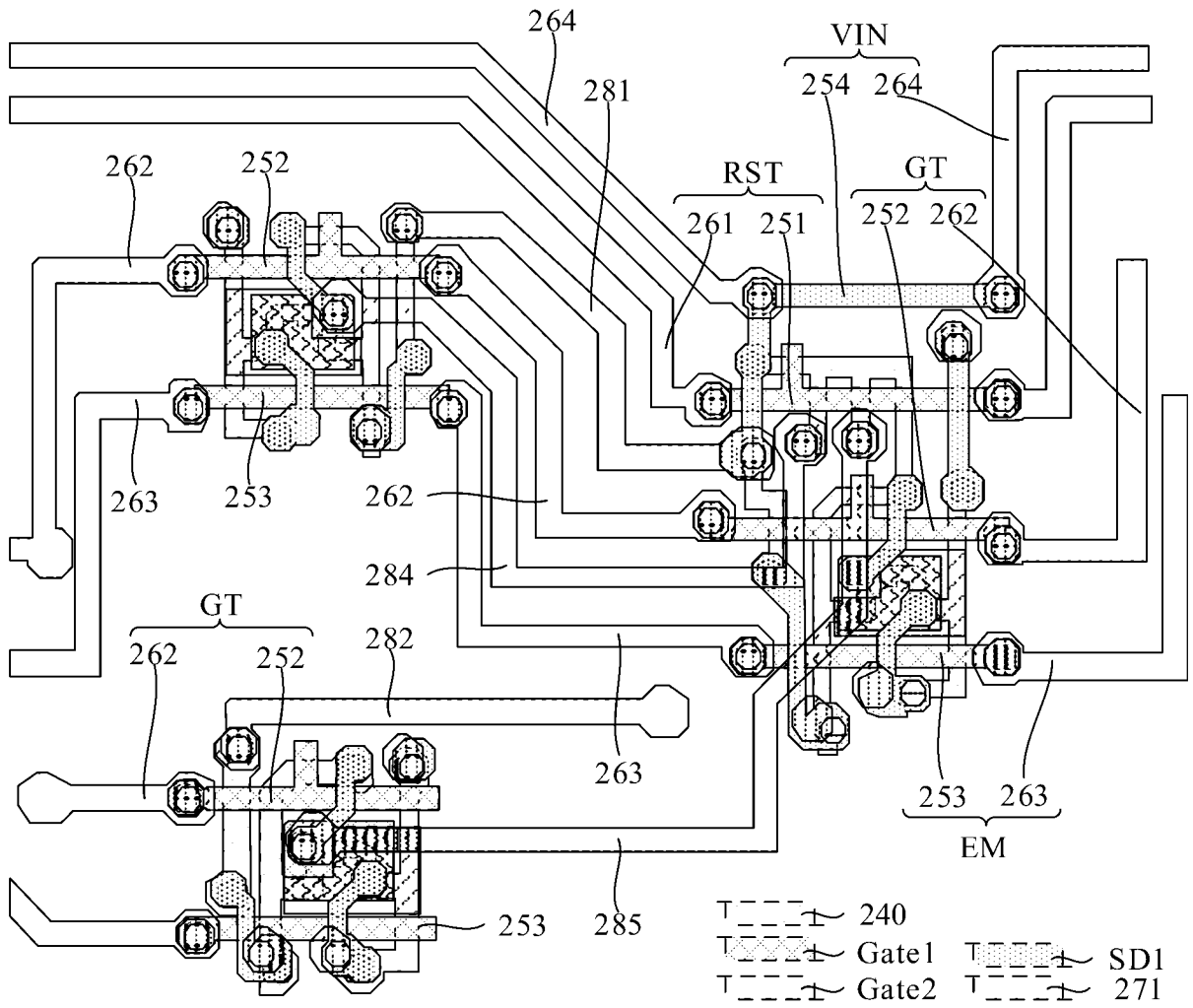


图 7B

240+Gate1+Gate2+SD1+271+SD2+272

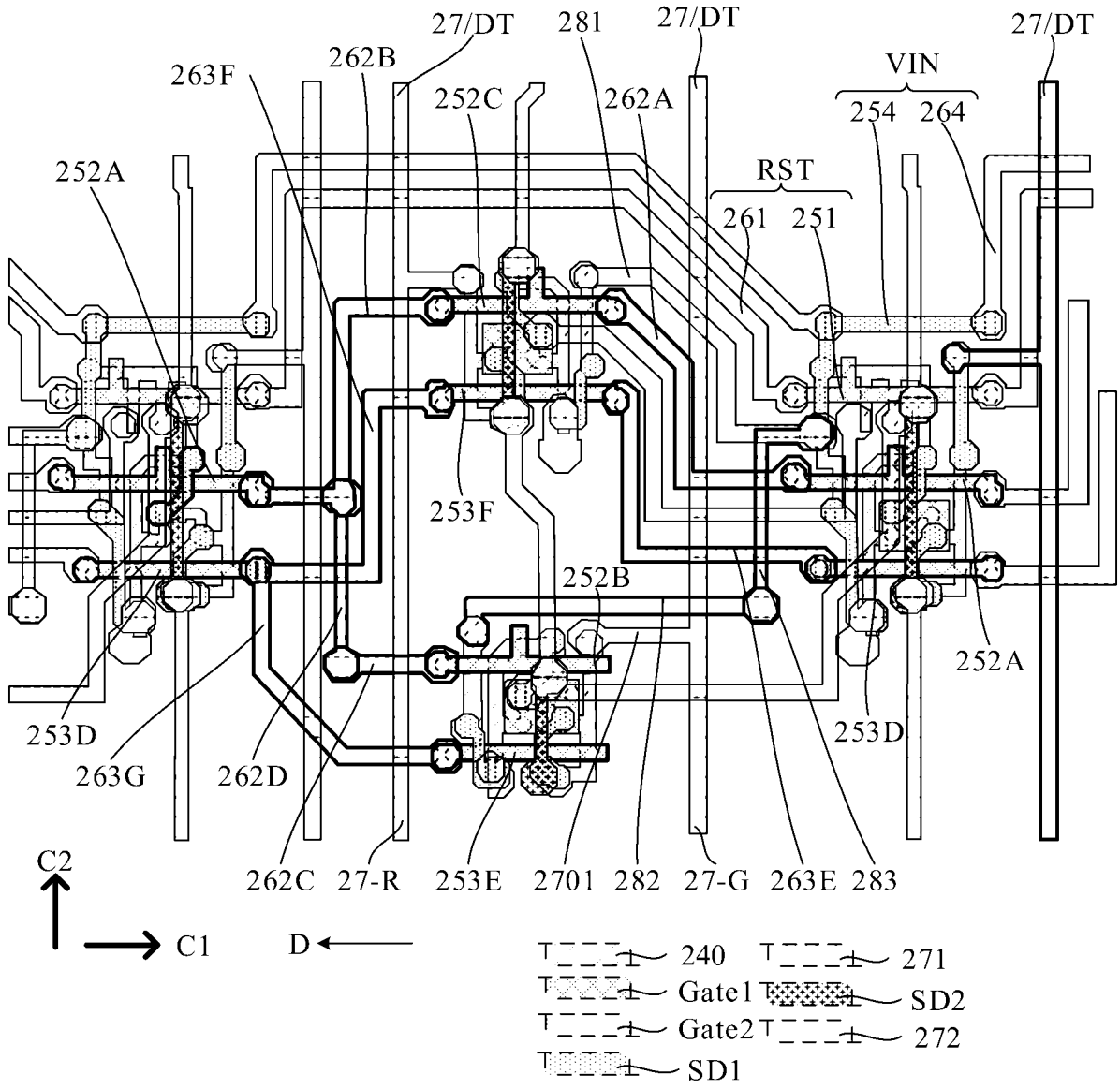


图 7C

Gate2

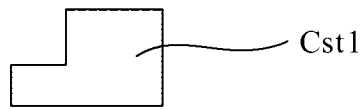
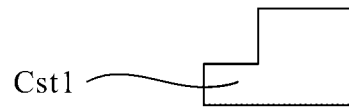
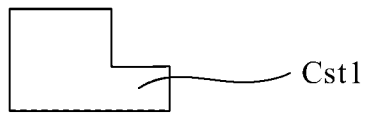


图 8A

240+Gate1+Gate2

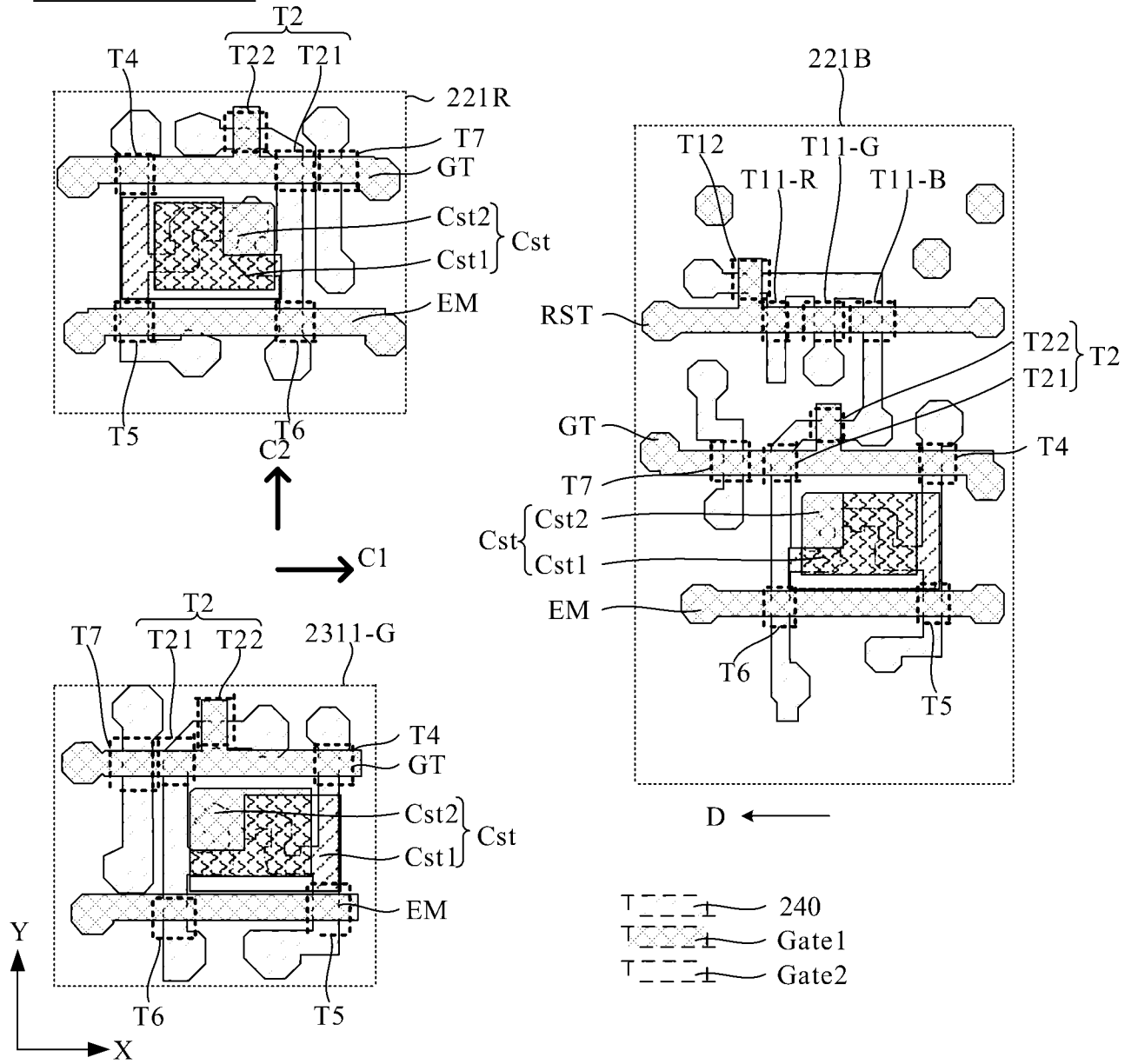


图 8B

SD1

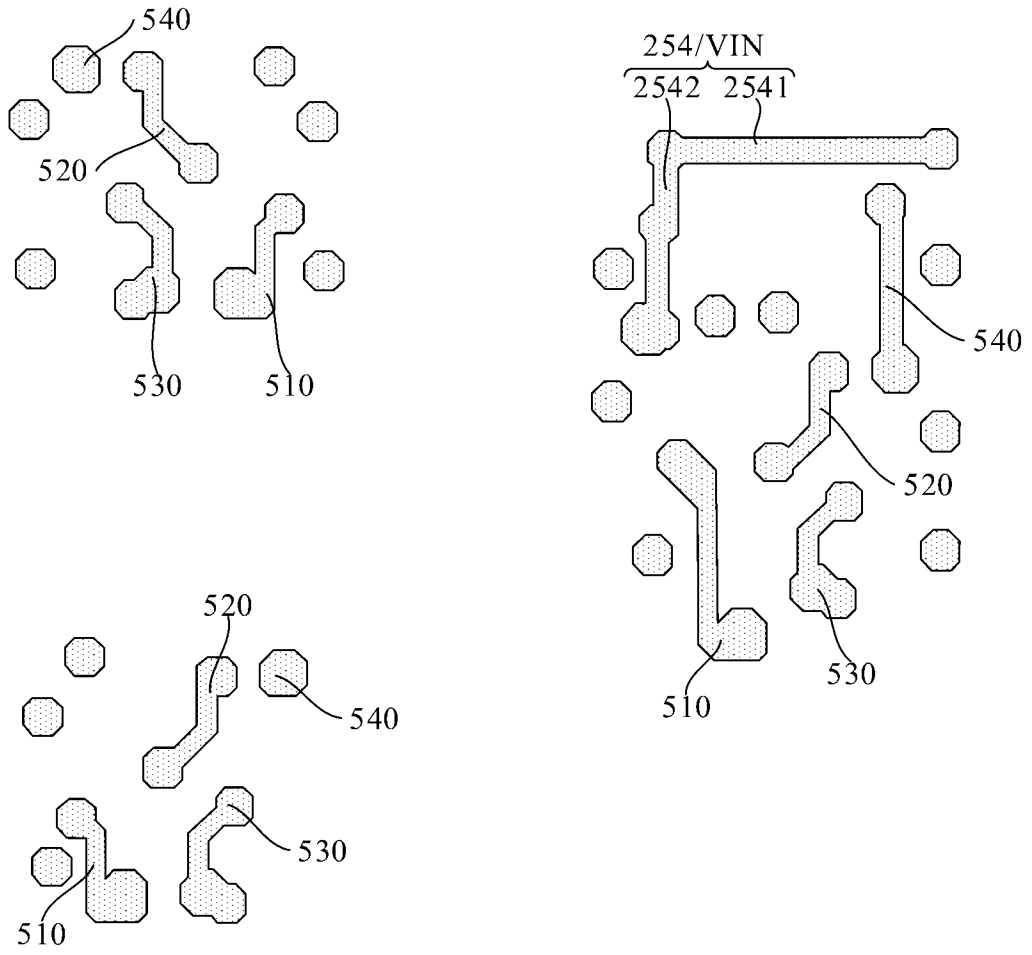


图 9A

240+Gate1+Gate2+SD1

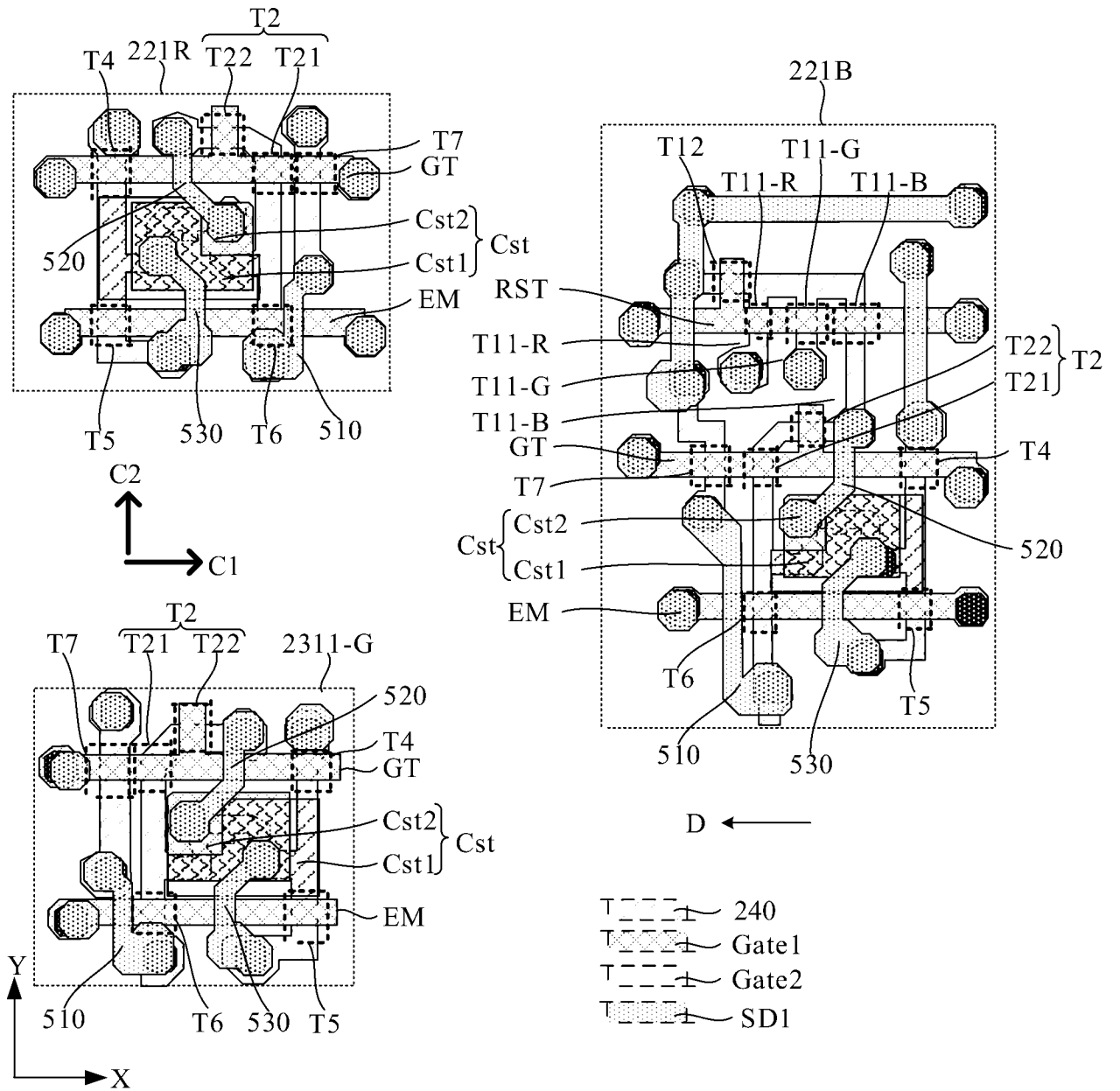


图 9B

ILD

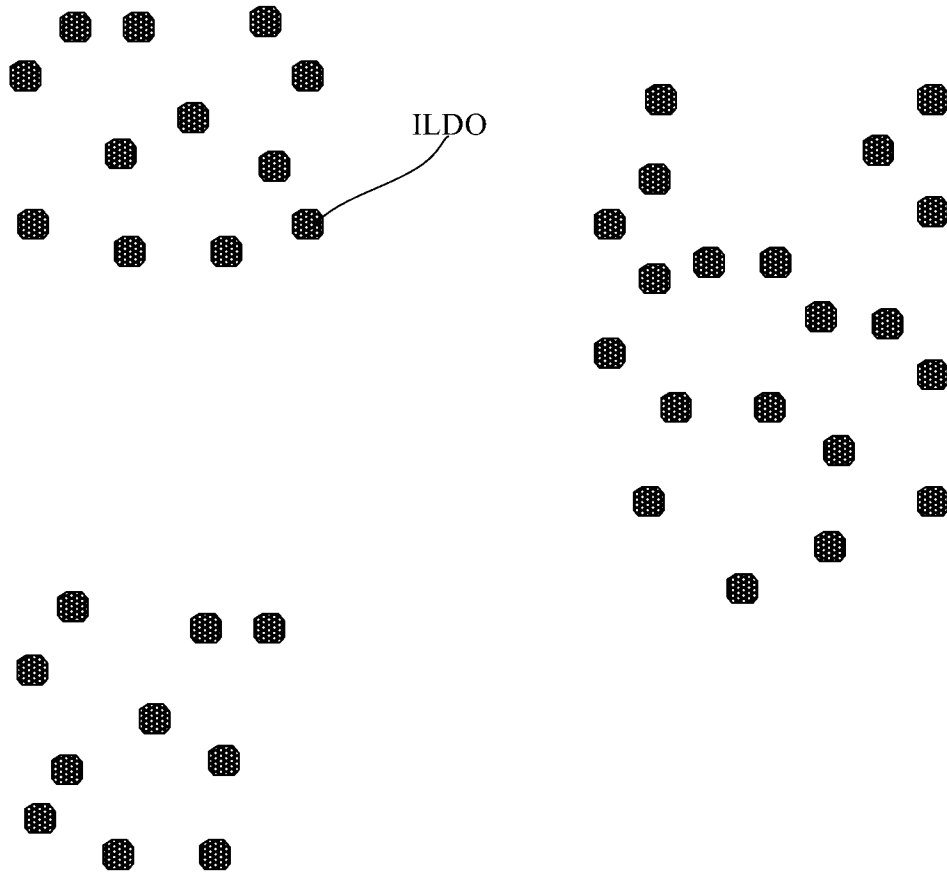


图 9C

SD2

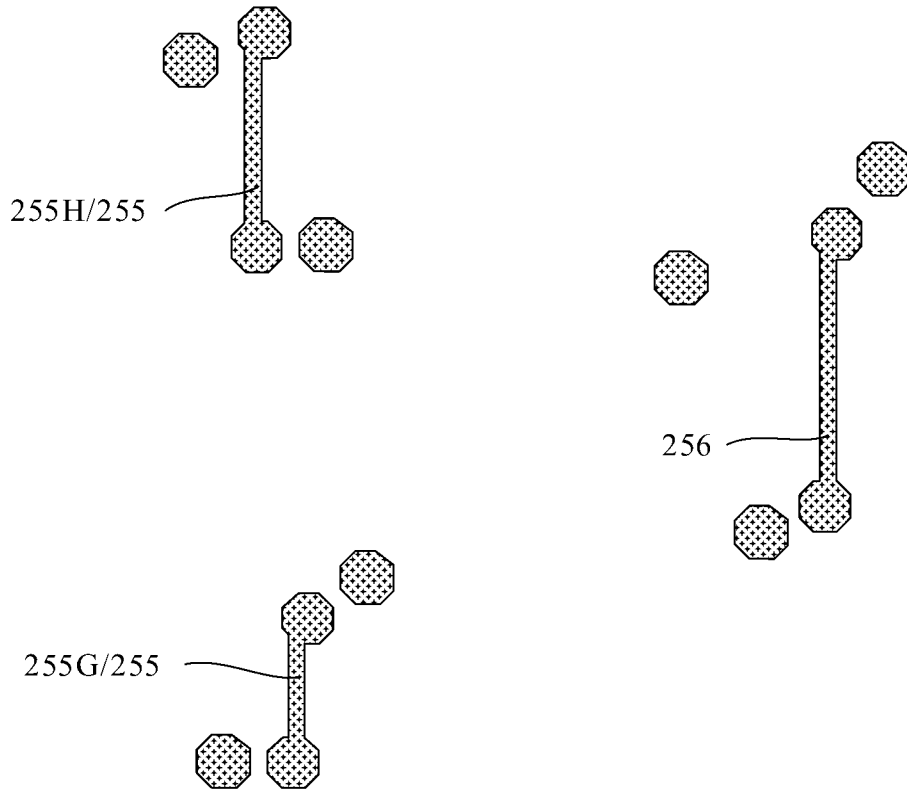


图 10A

240+Gate1+Gate2+SD1+271+SD2

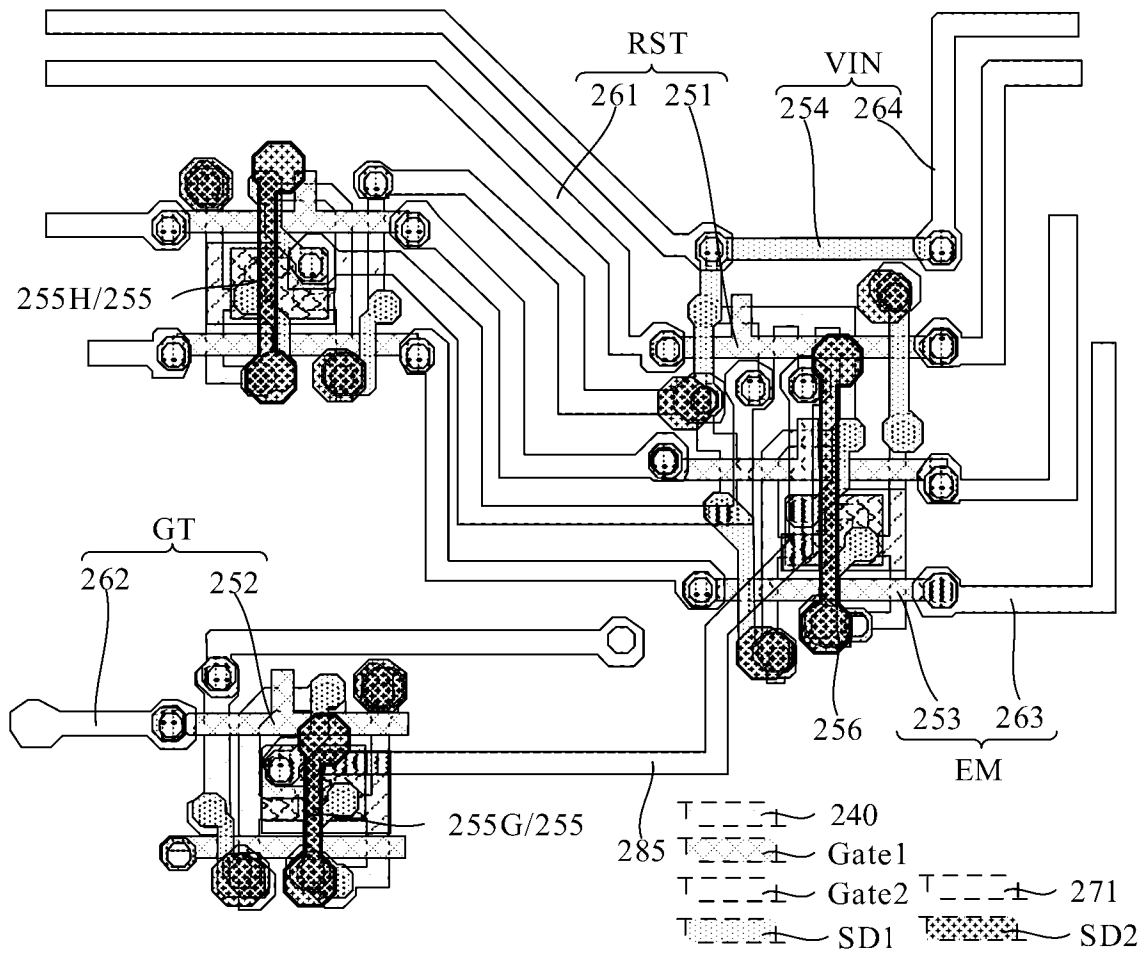


图 10B

272

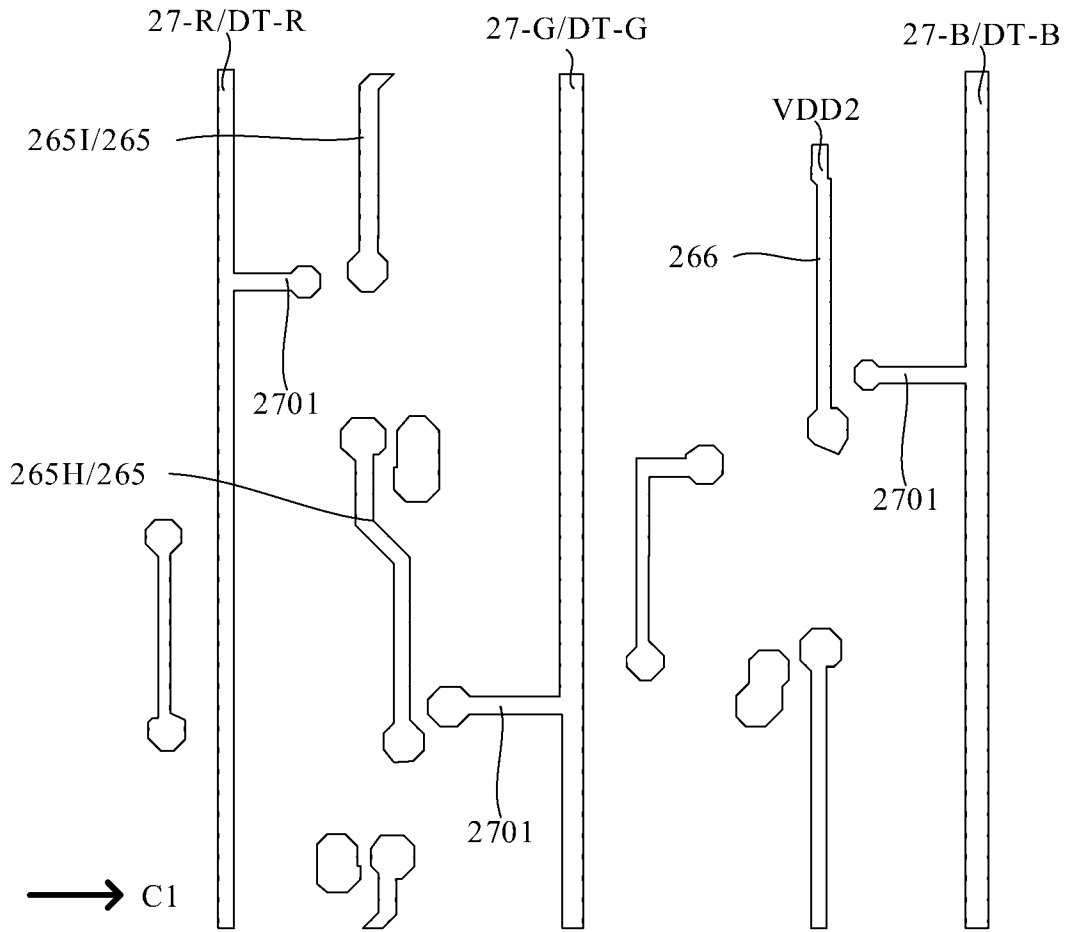


图 11A

240+Gate1+Gate2+SD1+271+SD2+272

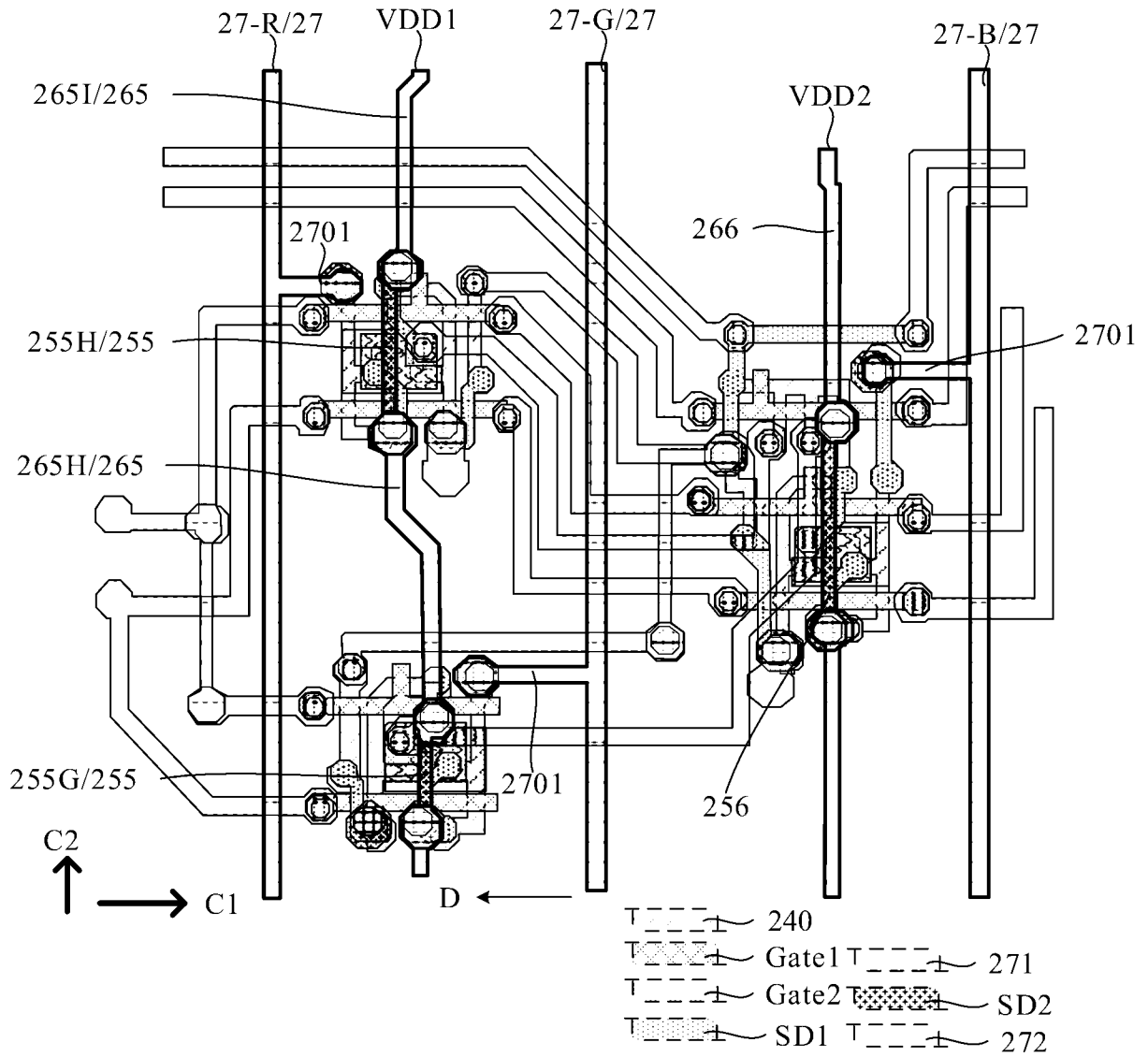


图 11B

PVX

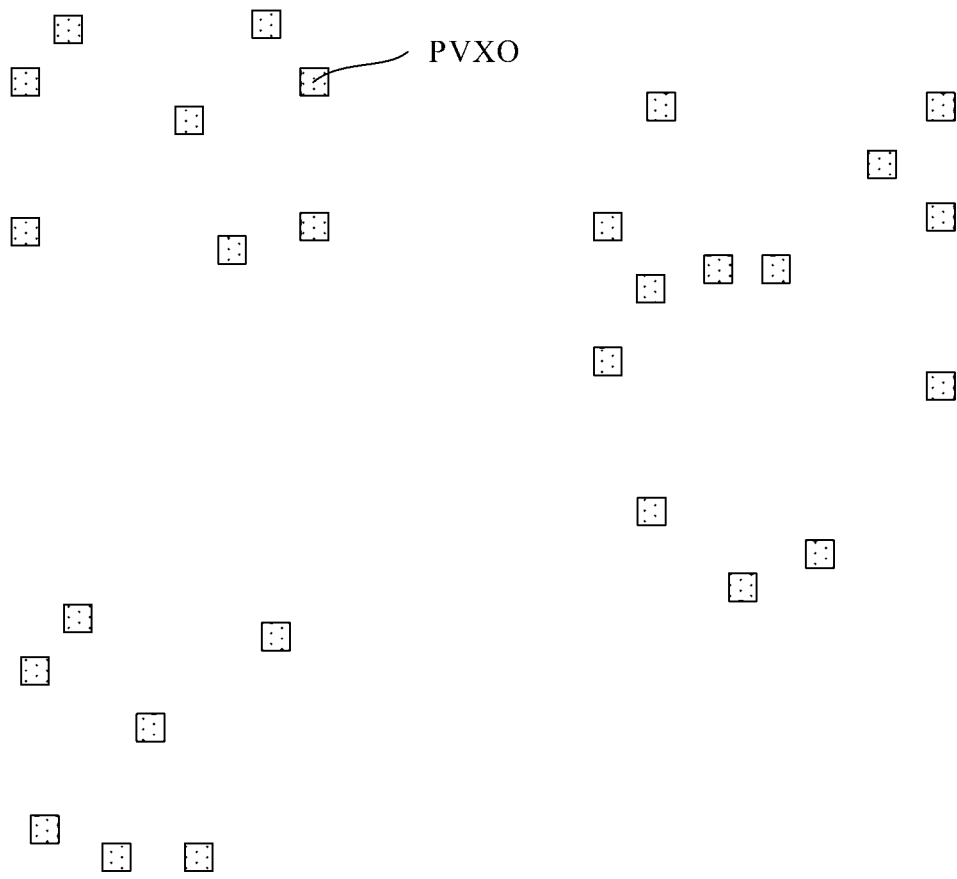


图 11C

PLN1



PLNO1



图 11D

PLN2

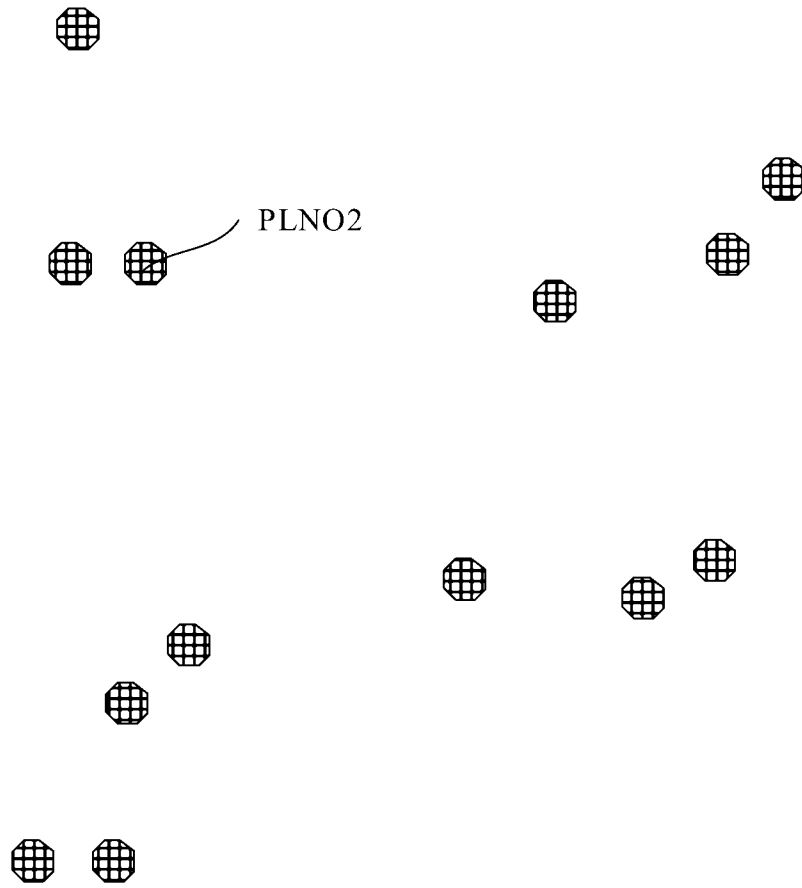


图 11E

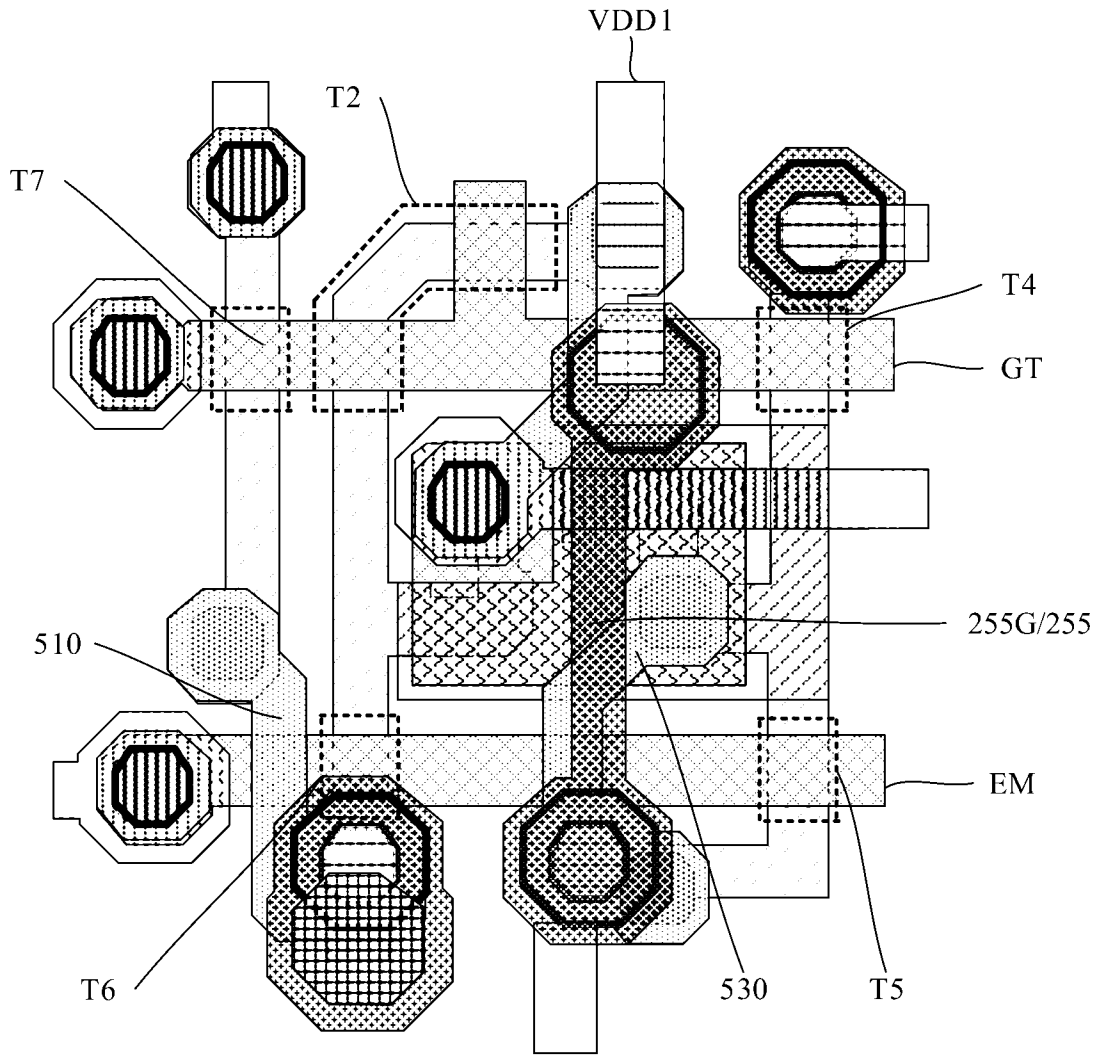


图 12A

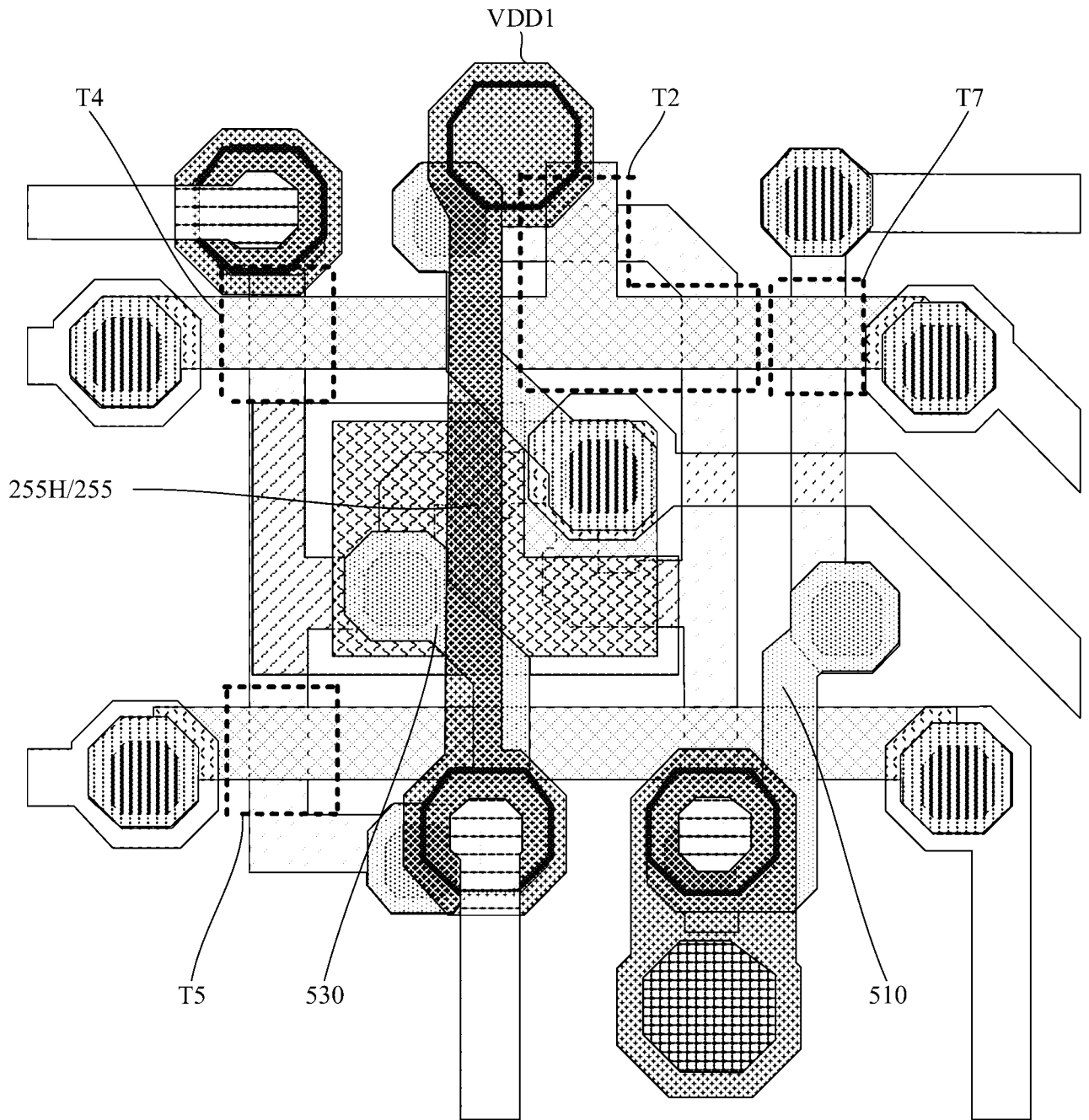


图 12B

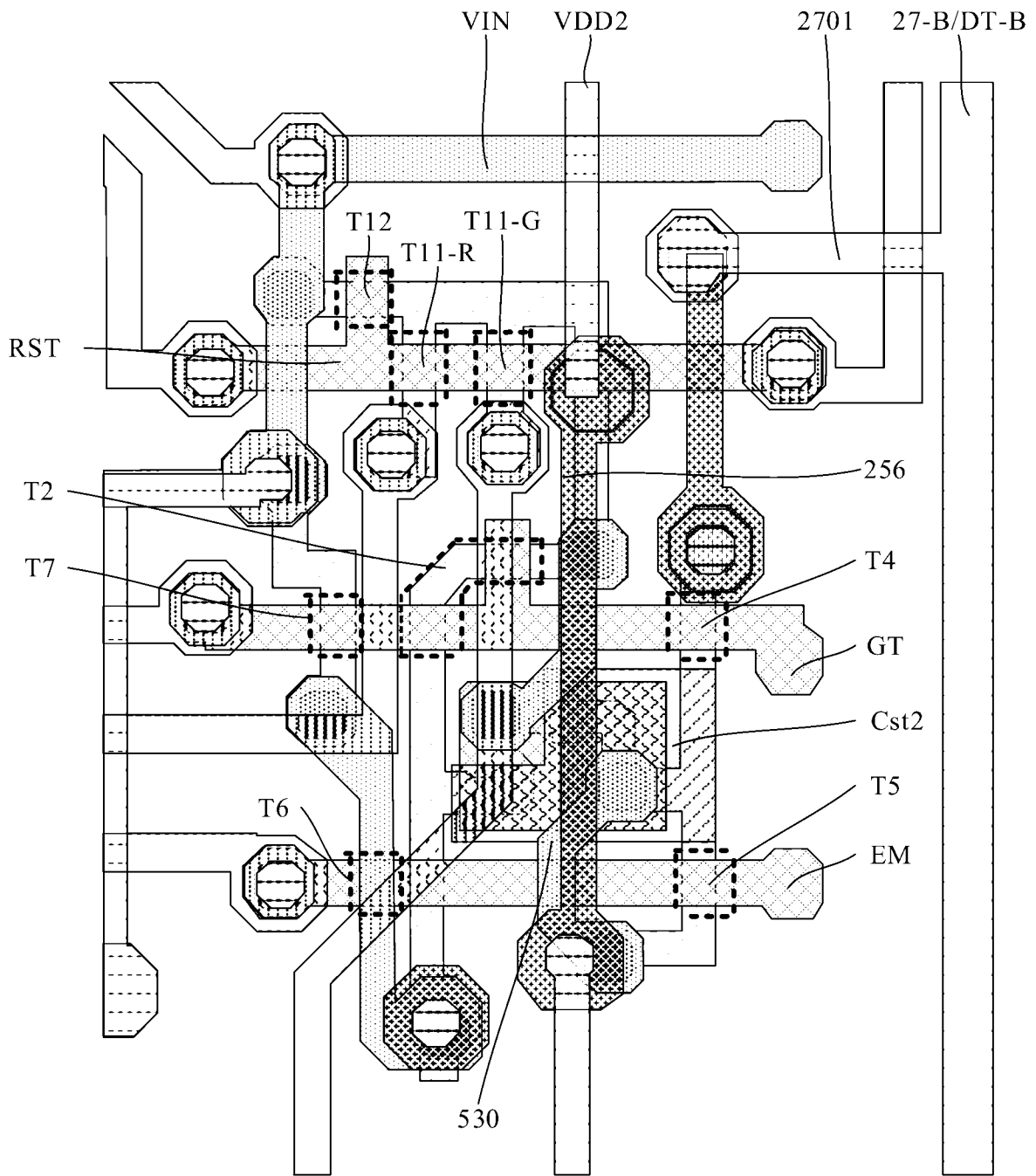


图 12C

AND

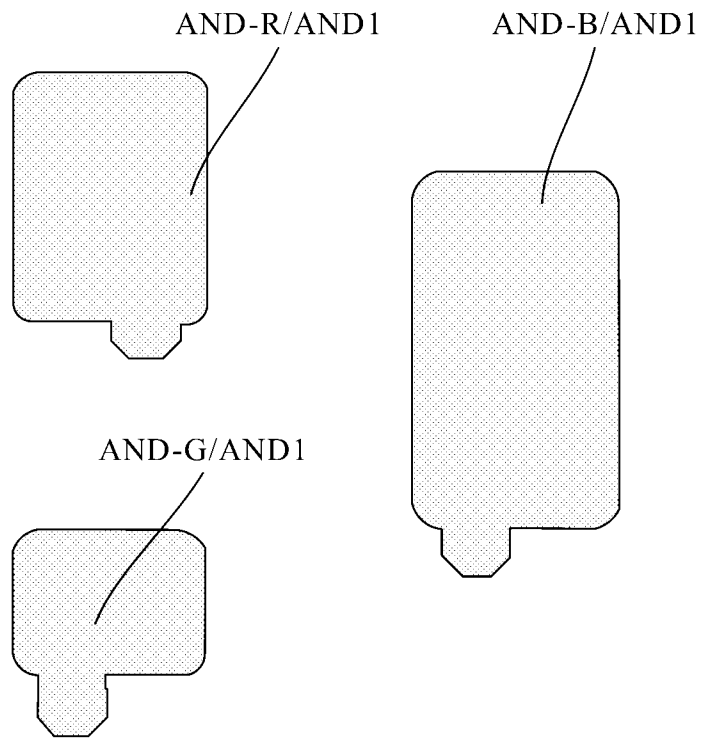


图 13A

240+Gate1+Gate2+SD1+271+SD2+272+AND

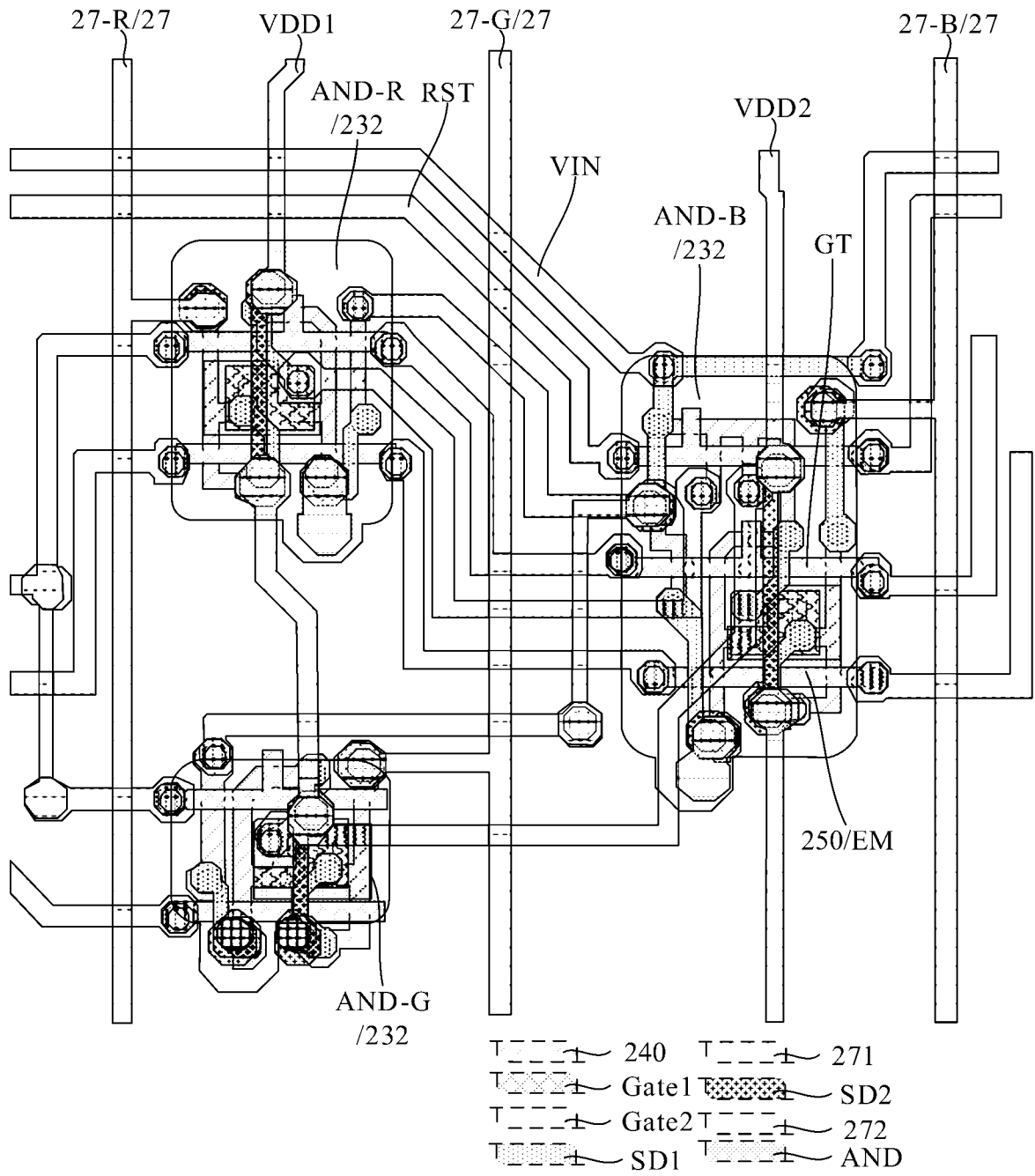


图 13B

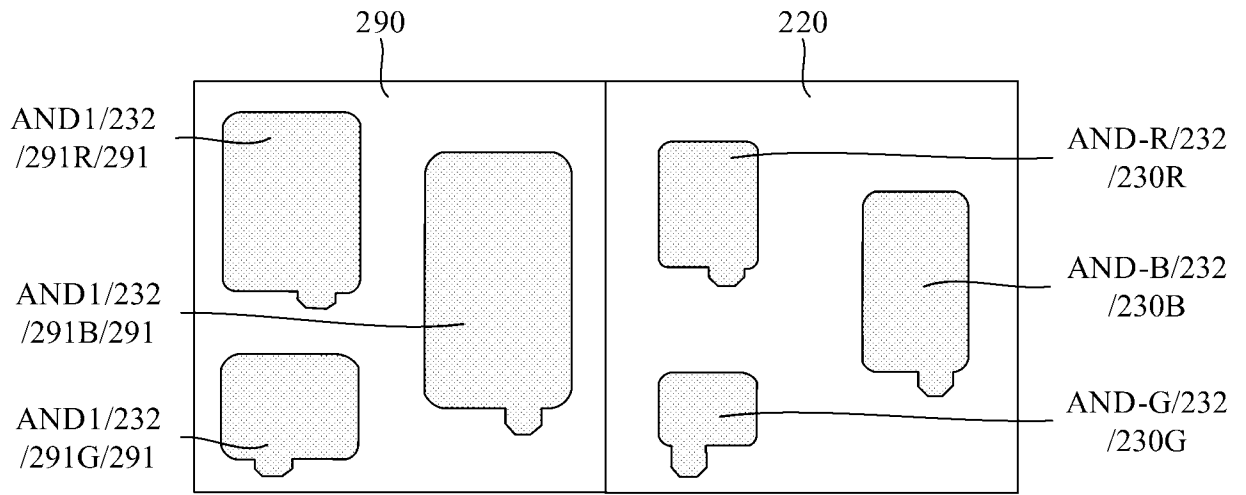


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/078983

A. CLASSIFICATION OF SUBJECT MATTER

H10K59/121(2023.01)i; G09G3/3225(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L,H10K,G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXT, DWPI, CNKI, ENTXTC: 显示, 像素, 子像素, 子象素, 发光, 器件, 元件, LED, 复位, 晶体管, 面积, 投影, 重合, 覆盖, display, sub?pixel, sub-pixel, sub, pixel, light-emitting, light emitting, device, reset, transistor, area, project+, shadow, overlap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 217606820 U (BOE TECHNOLOGY GROUP CO., LTD. et al.) 18 October 2022 (2022-10-18) description, paragraphs [0003]-[0356], and figures 1A-14	1-20
A	CN 113257885 A (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD. et al.) 13 August 2021 (2021-08-13) entire document	1-20
A	CN 113674693 A (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 19 November 2021 (2021-11-19) entire document	1-20
A	CN 113809141 A (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 17 December 2021 (2021-12-17) entire document	1-20
A	CN 112673475 A (BOE TECHNOLOGY GROUP CO., LTD.) 16 April 2021 (2021-04-16) entire document	1-20

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 May 2023

Date of mailing of the international search report

01 June 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/078983

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 217606820 U	18 October 2022	None	
CN 113257885 A	13 August 2021	None	
CN 113674693 A	19 November 2021	None	
CN 113809141 A	17 December 2021	None	
CN 112673475 A	16 April 2021	None	

<p>A. 主题的分类</p> <p>H10K59/121 (2023.01) i; G09G3/3225 (2016.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>IPC:H01L, H10K, G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNXTX, ENTXT, DWPI, CNKI, ENTXTC:显示, 像素, 子像素, 子象素, 发光, 器件, 元件, LED, 复位, 晶体管, 面积, 投影, 重合, 覆盖, display, sub?pixel, sub-pixel, sub, pixel, light-emitting, light emitting, device, reset, transistor, area, project+, shadow, overlap</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 217606820 U (京东方科技集团股份有限公司 等) 2022年10月18日 (2022 - 10 - 18) 说明书第[0003]-[0356]段、附图1A-14</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 113257885 A (北京京东方技术开发有限公司 等) 2021年8月13日 (2021 - 08 - 13) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 113674693 A (成都京东方光电科技有限公司 等) 2021年11月19日 (2021 - 11 - 19) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 113809141 A (合肥维信诺科技有限公司) 2021年12月17日 (2021 - 12 - 17) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 112673475 A (京东方科技集团股份有限公司) 2021年4月16日 (2021 - 04 - 16) 全文</td> <td>1-20</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 217606820 U (京东方科技集团股份有限公司 等) 2022年10月18日 (2022 - 10 - 18) 说明书第[0003]-[0356]段、附图1A-14	1-20	A	CN 113257885 A (北京京东方技术开发有限公司 等) 2021年8月13日 (2021 - 08 - 13) 全文	1-20	A	CN 113674693 A (成都京东方光电科技有限公司 等) 2021年11月19日 (2021 - 11 - 19) 全文	1-20	A	CN 113809141 A (合肥维信诺科技有限公司) 2021年12月17日 (2021 - 12 - 17) 全文	1-20	A	CN 112673475 A (京东方科技集团股份有限公司) 2021年4月16日 (2021 - 04 - 16) 全文	1-20
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 217606820 U (京东方科技集团股份有限公司 等) 2022年10月18日 (2022 - 10 - 18) 说明书第[0003]-[0356]段、附图1A-14	1-20																		
A	CN 113257885 A (北京京东方技术开发有限公司 等) 2021年8月13日 (2021 - 08 - 13) 全文	1-20																		
A	CN 113674693 A (成都京东方光电科技有限公司 等) 2021年11月19日 (2021 - 11 - 19) 全文	1-20																		
A	CN 113809141 A (合肥维信诺科技有限公司) 2021年12月17日 (2021 - 12 - 17) 全文	1-20																		
A	CN 112673475 A (京东方科技集团股份有限公司) 2021年4月16日 (2021 - 04 - 16) 全文	1-20																		
国际检索实际完成的日期	2023年5月30日	国际检索报告邮寄日期	2023年6月1日																	
ISA/CN的名称和邮寄地址	中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	授权官员	王文杰 电话号码 (+86) 62412092																	

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/078983

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 217606820 U	2022年10月18日	无	
CN 113257885 A	2021年8月13日	无	
CN 113674693 A	2021年11月19日	无	
CN 113809141 A	2021年12月17日	无	
CN 112673475 A	2021年4月16日	无	