



등록특허 10-2173927



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년11월05일
(11) 등록번호 10-2173927
(24) 등록일자 2020년10월29일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/02* (2006.01)
H01L 21/66 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/02266 (2013.01)
- (21) 출원번호 10-2015-0025129
- (22) 출원일자 2015년02월23일
심사청구일자 2019년12월13일
- (65) 공개번호 10-2015-0099467
- (43) 공개일자 2015년08월31일
- (30) 우선권주장
JP-P-2014-032192 2014년02월21일 일본(JP)
(뒷면에 계속)
- (56) 선행기술조사문현
JP2013201429 A*
(뒷면에 계속)

전체 청구항 수 : 총 20 항

심사관 : 임창연

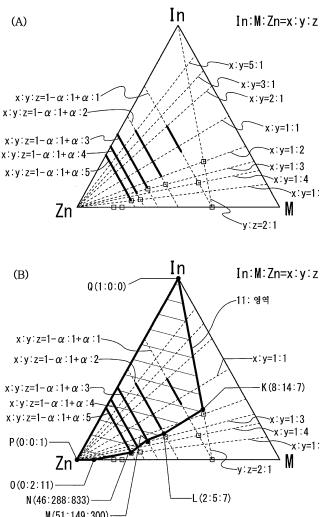
(54) 발명의 명칭 반도체막, 트랜지스터, 반도체 장치, 표시 장치 및 전자 기기

(57) 요 약

(과제) 반도체 장치에 양호한 전기 특성을 부여한다. 또는, 신뢰성이 높은 반도체 장치를 제공한다.

(해결 수단) 프로브 직경의 반값폭이 1nm인 전자선을 사용하고, 산화물 반도체막의 괴형성면에 대해, 산화물 반도체막의 위치와 전자선의 위치를 상대적으로 이동시키면서 조사하여 복수의 전자 회절 패턴을 관측한 경우에 있어서, 복수의 전자 회절 패턴은 서로 상이한 개소에서 관측된 50개 이상의 전자 회절 패턴을 가지며, 제 1 전자 회절 패턴을 갖는 비율과, 제 2 전자 회절 패턴을 갖는 비율의 합이, 100%이며, 제 1 전자 회절 패턴을 갖는 비율은 90% 이상이며, 제 1 전자 회절 패턴은 c축이 산화물 반도체막의 괴형성면에 개략 수직인 방향을 향하고 있는 것을 나타내는 관측점을 가지며, 제 2 전자 회절 패턴은 대칭성을 갖지 않는 관측점, 또는 원을 그리듯이 배치된 관측 영역을 갖는 산화물 반도체막.

대 표 도 - 도1



(52) CPC특허분류

H01L 22/20 (2013.01)

(72) 발명자

사토 유해이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

이시야마 다카히사

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

오카자키 겐이치

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

가와나베 치호

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

오오타 마사시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

이시하라 노리타카

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문현

JP2014007399 A*

JP2013084941 A

JP2008163441 A

JP2014017477 A

*는 심사관에 의하여 인용된 문현

(30) 우선권주장

JP-P-2014-098071 2014년05월09일 일본(JP)

JP-P-2014-122792 2014년06월13일 일본(JP)

JP-P-2014-131834 2014년06월26일 일본(JP)

JP-P-2014-218310 2014년10월27일 일본(JP)

명세서

청구범위

청구항 1

반도체 장치에 있어서:

유리 기판;

채널 에치형의 트랜지스터;

알루미늄 및 몰리브덴을 포함하는 게이트 전극;

제 1 산화물 반도체층 및 상기 제 1 반도체층 위의 제 2 산화물 반도체층을 포함하고 상기 게이트 전극과 중첩하는 산화물 반도체층으로서, 상기 제 1 산화물 반도체층은 In, 원소 M, Zn, 및 Sn을 포함하고 상기 제 2 산화물 반도체층은 In, 원소 M, 및 Zn을 포함하는, 상기 산화물 반도체층;

상기 게이트 전극과 상기 산화물 반도체층 사이의 산화 실리콘을 함유하는 제 1 절연층;

상기 산화물 반도체층 위의 산화 실리콘을 함유하는 제 2 절연층; 및

액정 소자를 포함하고,

상기 제 1 산화물 반도체층은 복수의 나노 결정들을 포함하고,

상기 제 2 산화물 반도체층은 c축 배향된 결정들을 포함하고,

상기 원소 M은 알루미늄, 갈륨, 및 이트륨 중 적어도 하나이고,

상기 제 2 산화물 반도체층은 채널 길이 방향으로 상기 제 1 산화물 반도체층보다 사이즈가 크고,

In, 원소 M, 및 Zn의 원자수비는 $In:M:Zn=x:y:z$ 를 충족시키고,

In, 원소 M, 및 Zn의 3가지 원소들의 정점들에 대한 평형 상태도에서, 상기 원자수비는, 제 1 좌표($x:y:z = 2:2:1$), 제 2 좌표($x:y:z = 23:27:25$), 제 3 좌표($x:y:z = 8:12:35$), 제 4 좌표($x:y:z = 4:0:7$), 제 5 좌표($x:y:z = 2:0:3$), 제 6 좌표($x:y:z = 7:1:8$), 제 7 좌표($x:y:z = 10:4:7$ 또는 $15:5:8$), 및 상기 제 1 좌표를 이 순서대로 연결한 선분들에 의해 둘러싸인 영역의 범위 내에 있는, 반도체 장치.

청구항 2

제 1 항에 있어서,

트랜지스터는 채널 영역에 상기 산화물 반도체층을 포함하고,

상기 제 1 산화물 반도체층은 nc-OS층이고,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

상기 제 2 산화물 반도체층은 상기 제 1 반도체층보다 사이즈가 수 배 크고,

상기 제 1 반도체층의 영역에서 In, 원소 M, 및 Zn의 원자수비는 $4:2:4$, $4:3.2:5.6$, $4:2.4:4.8$, $4:2.4:5.2$, 또는 $4:1.4:3.1$ 이거나, 또는 상기 제 1 반도체층의 영역에서 In 및 Zn 농도들은 상기 원소 M의 상기 농도보다 높고 Zn의 상기 농도는 In의 상기 농도보다 높거나, 또는 Zn의 상기 농도는 In의 농도보다 높고 상기 원소 M의 상기 농도보다 2배 이상 높고,

상기 제 2 반도체층은 In, 원소 M, 및 Zn의 원자수비 $1:1:1$ 을 갖는 타깃을 이용하여 형성되는, 반도체 장치.

청구항 3

반도체 장치에 있어서:

유리 기판;

알루미늄 및 몰리브덴을 포함하는 게이트 전극;

제 1 산화물 반도체층 및 상기 제 1 반도체층 위의 제 2 산화물 반도체층을 포함하고 상기 게이트 전극과 중첩하는 산화물 반도체층으로서, 상기 제 1 산화물 반도체층은 In, Ga, Sn, 및 Zn을 포함하고 상기 제 2 산화물 반도체층은 In, Ga, 및 Zn을 포함하는, 상기 산화물 반도체층;

상기 게이트 전극과 상기 산화물 반도체층 사이의 산화 실리콘을 함유하는 제 1 절연층;

상기 산화물 반도체층 위의 산화 실리콘을 함유하는 제 2 절연층; 및

액정 소자를 포함하고,

상기 제 1 산화물 반도체층은 복수의 나노 결정들을 포함하고,

상기 제 2 산화물 반도체층은 c축 배향된 결정들을 포함하고,

In, Ga, 및 Zn의 원자수비는 $In:Ga:Zn=x:y:z$ 를 충족시키고,

In, Ga, 및 Zn의 3가지 원소들의 정점들에 대한 평형 상태도에서, 상기 원자수비는, 제 1 좌표($x:y:z = 2:2:1$), 제 2 좌표($x:y:z = 23:27:25$), 제 3 좌표($x:y:z = 8:12:35$), 제 4 좌표($x:y:z = 4:0:7$), 제 5 좌표($x:y:z = 2:0:3$), 제 6 좌표($x:y:z = 7:1:8$), 제 7 좌표($x:y:z = 10:4:7$), 및 상기 제 1 좌표를 이 순서대로 연결한 선분들에 의해 둘러싸인 영역의 범위 내에 있고,

상기 제 1 반도체층의 영역에서 In, Ga, 및 Zn의 원자수비는 4:2:4, 4:3.2:5.6, 4:2.4:4.8, 4:2.4:5.2, 또는 4:1.4:3.1 이거나, 또는 상기 제 1 반도체층의 영역에서 In 및 Zn 농도들은 Ga의 상기 농도보다 높고 Zn의 상기 농도는 In의 상기 농도보다 높거나, 또는 Zn의 상기 농도는 In의 농도보다 높고 Ga의 상기 농도보다 2배 이상 높은, 반도체 장치.

청구항 4

제 3 항에 있어서,

트랜지스터는 채널 영역에 상기 산화물 반도체층을 포함하고,

상기 제 1 산화물 반도체층은 nc-OS층인, 반도체 장치.

청구항 5

제 3 항에 있어서,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층의 상면과 접하는, 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 제 2 산화물 반도체층은 상기 제 1 반도체층보다 사이즈가 수 배 큰, 반도체 장치.

청구항 7

제 5 항에 있어서,

상기 제 2 반도체층은 In, Ga, 및 Zn의 원자수비 1:1:1을 갖는 타깃을 이용하여 형성되는, 반도체 장치.

청구항 8

반도체 장치에 있어서:

유리 기판;

알루미늄 및 몰리브덴을 포함하는 게이트 전극;

제 1 산화물 반도체층;

제 2 산화물 반도체층;

상기 게이트 전극과 상기 제 1 산화물 반도체층 사이의 산화 실리콘을 함유하는 제 1 절연층;

상기 제 1 산화물 반도체층 위의 산화 실리콘을 함유하는 제 2 절연층; 및

액정 소자를 포함하고,

상기 제 1 산화물 반도체층은 복수의 나노 결정들을 포함하고,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층과 접하는 영역을 포함하고,

상기 제 1 산화물 반도체층은 제 1 부분을 포함하고,

상기 제 2 산화물 반도체층은 제 2 부분을 포함하고,

상기 제 1 부분은 In, Sn, 원소 M, 및 Zn을 포함하고,

상기 제 2 부분은 In, 원소 M, 및 Zn을 포함하고,

상기 원소 M은 알루미늄, 갈륨, 및 이트륨 중 적어도 하나이고,

상기 제 1 부분 또는 상기 제 2 부분의 In, 원소 M, 및 Zn의 원자수비는 $In:M:Zn=x_a:y_a:z_a$ 를 충족시키고,

x_a, y_a, z_a , 및 a 는,

$$x_a:y_a:z_a = (1-a):(1+a):1 \text{ 및 } -0.33 \leq a \leq +0.08;$$

$$x_a:y_a:z_a = (1-a):(1+a):2 \text{ 및 } -0.68 \leq a \leq +0.32;$$

$$x_a:y_a:z_a = (1-a):(1+a):3 \text{ 및 } -1 \leq a \leq +0.46;$$

$$x_a:y_a:z_a = (1-a):(1+a):4 \text{ 및 } -1 \leq a \leq +0.54; \text{ 및}$$

$$x_a:y_a:z_a = (1-a):(1+a):5 \text{ 및 } -1 \leq a \leq +0.72 \text{의 조건들 중 하나를 충족시키고,}$$

상기 제 2 산화물 반도체층은 채널 길이 방향으로 상기 제 1 산화물 반도체층보다 사이즈가 큰, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 제 2 산화물 반도체층은 c축 배향된 결정들을 포함하는, 반도체 장치.

청구항 10

제 8 항에 있어서,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

상기 제 1 산화물 반도체층은 nc-OS층이고,

상기 제 2 산화물 반도체층은 상기 제 1 반도체층보다 사이즈가 수 배 큰, 반도체 장치.

청구항 11

제 8 항에 있어서,

상기 제 1 반도체층의 영역에서 In, 원소 M, 및 Zn의 원자수비는 4:2:4, 4:3.2:5.6, 4:2.4:4.8, 4:2.4:5.2, 또는 4:1.4:3.1 이거나, 또는 상기 제 1 반도체층의 영역에서 In 및 Zn 농도들은 상기 원소 M의 상기 농도보다 높고 Zn의 상기 농도는 In의 상기 농도보다 높거나, 또는 Zn의 상기 농도는 In의 농도보다 높고 상기 원소 M의 상기 농도보다 2배 이상 높은, 반도체 장치.

청구항 12

제 8 항에 따른 반도체 장치를 포함하는 표시 장치로서,

상기 제 2 반도체층은 In, 원소 M, 및 Zn의 원자수비 1:1:1을 갖는 타깃을 이용하여 형성되는, 표시 장치.

청구항 13

제 8 항에 따른 반도체 장치를 포함하는 전자 기기로서,

마이크로폰, 스피커, 또는 조작 키를 더 포함하는, 전자 기기.

청구항 14

제 12 항에 따른 표시 장치를 포함하는 전자 기기로서,

마이크로폰, 스피커, 또는 조작 키를 더 포함하는, 전자 기기.

청구항 15

반도체 장치에 있어서:

유리 기판;

알루미늄 및 몰리브덴을 포함하는 게이트 전극;

제 1 산화물 반도체층;

제 2 산화물 반도체층;

상기 게이트 전극과 상기 제 1 산화물 반도체층 사이의 산화 실리콘을 함유하는 제 1 절연층;

상기 제 1 산화물 반도체층 위의 산화 실리콘을 함유하는 제 2 절연층; 및

액정 소자를 포함하고,

상기 제 1 산화물 반도체층은 복수의 나노 결정들을 포함하고,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층과 접하는 영역을 포함하고,

상기 제 1 산화물 반도체층은 제 1 부분을 포함하고,

상기 제 2 산화물 반도체층은 제 2 부분을 포함하고,

상기 제 1 부분은 In, Sn, 원소 M, 및 Zn을 포함하고,

상기 원소 M은 알루미늄, 갈륨, 및 이트륨 중 적어도 하나이고,

상기 제 1 부분의 In, 원소 M, 및 Zn의 제 1 원자수비는 $In:M:Zn=x_b:y_b:z_b$ 를 충족시키고,

상기 제 2 산화물 반도체층은 In, 원소 M, 및 Zn을 포함하고,

상기 제 2 산화물 반도체층의 In, 원소 M, 및 Zn의 제 2 원자수비는 $In:M:Zn=x_a:y_a:z_a$ 를 충족시키고,

In, 원소 M, 및 Zn의 3가지 원소들의 정점들에 대한 평형 상태도에서, 상기 제 2 원자수비는, 제 1 좌표 ($x_a:y_a:z_a = 8:14:7$), 제 2 좌표 ($x_a:y_a:z_a = 2:5:7$), 제 3 좌표 ($x_a:y_a:z_a = 51:149:300$), 제 4 좌표 ($x_a:y_a:z_a = 46:288:833$), 제 5 좌표 ($x_a:y_a:z_a = 0:2:11$), 제 6 좌표 ($x_a:y_a:z_a = 0:0:1$), 제 7 좌표 ($x_a:y_a:z_a = 2:2:1$), 및 상기 제 1 좌표를 이 순서대로 연결한 선분들에 의해 둘러싸인 영역의 범위 내에 있고,

In, 원소 M, 및 Zn의 3가지 원소들의 정점들에 대한 평형 상태도에서, 상기 제 1 원자수비는, 제 1 좌표 ($x_b:y_b:z_b = 2:2:1$), 제 2 좌표 ($x_b:y_b:z_b = 23:27:25$), 제 3 좌표 ($x_b:y_b:z_b = 8:12:35$), 제 4 좌표 ($x_b:y_b:z_b = 4:0:7$), 제 5 좌표 ($x_b:y_b:z_b = 2:0:3$), 제 6 좌표 ($x_b:y_b:z_b = 7:1:8$), 제 7 좌표 ($x_b:y_b:z_b = 10:4:7$), 및 상기 제 1 좌표를 이 순서대로 연결한 선분들에 의해 둘러싸인 영역의 범위 내에 있고,

상기 제 1 반도체층의 상기 제 1 영역에서 In, 원소 M, 및 Zn의 원자수비는 4:2:4, 4:3.2:5.6, 4:2.4:4.8, 4:2.4:5.2, 또는 4:1.4:3.1 이거나, 또는 상기 제 1 반도체층의 영역에서 In 및 Zn 농도들은 상기 원소 M의 상

기 농도보다 높고 Zn의 상기 농도는 In의 상기 농도보다 높거나, 또는 Zn의 상기 농도는 In의 농도보다 높고 상기 원소 M의 상기 농도보다 2배 이상 높은, 반도체 장치.

청구항 16

제 15 항에 있어서,

제 1 트랜지스터를 더 포함하고,

상기 제 2 산화물 반도체층은 채널 길이 방향으로 상기 제 1 산화물 반도체층보다 사이즈가 크고,

상기 제 1 산화물 반도체층은 nc-OS층이고,

상기 제 1 산화물 반도체층은 상기 제 1 트랜지스터의 채널 영역으로서 기능하고,

상기 제 2 산화물 반도체층은 c축 배향된 결정들을 포함하는, 반도체 장치.

청구항 17

제 15 항에 있어서,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

$x_a:y_a:z_a = (1-\alpha):(1+\alpha):1$ 및 $-0.33 \leq \alpha \leq +0.08$;

$x_a:y_a:z_a = (1-\alpha):(1+\alpha):2$ 및 $-0.68 \leq \alpha \leq +0.32$;

$x_a:y_a:z_a = (1-\alpha):(1+\alpha):3$ 및 $-1 \leq \alpha \leq +0.46$;

$x_a:y_a:z_a = (1-\alpha):(1+\alpha):4$ 및 $-1 \leq \alpha \leq +0.54$; 및

$x_a:y_a:z_a = (1-\alpha):(1+\alpha):5$ 및 $-1 \leq \alpha \leq +0.72$ 의 조건들 중 하나가 충족되는, 반도체 장치.

청구항 18

제 17 항에 있어서,

$x_b:y_b:z_b = (1-\beta):(1+\beta):1$ 및 $-0.33 \leq \beta \leq +0.08$;

$x_b:y_b:z_b = (1-\beta):(1+\beta):2$ 및 $-0.68 \leq \beta \leq +0.32$;

$x_b:y_b:z_b = (1-\beta):(1+\beta):3$ 및 $-1 \leq \beta \leq +0.46$;

$x_b:y_b:z_b = (1-\beta):(1+\beta):4$ 및 $-1 \leq \beta \leq +0.54$; 및

$x_b:y_b:z_b = (1-\beta):(1+\beta):5$ 및 $-1 \leq \beta \leq +0.72$ 의 조건들 중 하나가 충족되는, 반도체 장치.

청구항 19

삭제

청구항 20

삭제

청구항 21

반도체 장치에 있어서:

유리 기판;

알루미늄 및 몰리브덴을 포함하는 게이트 전극;

제 1 산화물 반도체층 및 상기 제 1 반도체층 위의 제 2 산화물 반도체층을 포함하고 상기 게이트 전극과 중첩

하는 산화물 반도체층으로서, 상기 제 1 산화물 반도체층은 In, 원소 M, Zn, 및 Sn을 포함하고 상기 제 2 산화물 반도체층은 In, 원소 M, 및 Zn을 포함하는, 상기 산화물 반도체층;

상기 게이트 전극과 상기 산화물 반도체층 사이의 산화 실리콘을 함유하는 제 1 절연층;

상기 산화물 반도체층 위의 산화 실리콘을 함유하는 제 2 절연층; 및

액정 소자를 포함하고,

상기 제 1 산화물 반도체층은 결정부를 포함하는 비정질 라이크 산화물 반도체층이고,

상기 제 2 산화물 반도체층은 c축 배향된 결정들을 포함하고,

상기 원소 M은 알루미늄, 갈륨, 및 이트륨 중 적어도 하나이고,

In, 원소 M, 및 Zn의 원자수비는 $In:M:Zn=x:y:z$ 를 충족시키고,

In, 원소 M, 및 Zn의 3가지 원소들의 정점들에 대한 평형 상태도에서, 상기 원자수비는, 제 1 좌표($x:y:z = 8:14:7$), 제 2 좌표($x:y:z = 2:5:7$), 제 3 좌표($x:y:z = 51:149:300$), 제 4 좌표($x:y:z = 46:288:833$), 제 5 좌표($x:y:z = 0:2:11$), 제 6 좌표($x:y:z = 0:0:1$), 제 7 좌표($x:y:z = 1:0:0$), 및 상기 제 1 좌표를 이 순서대로 연결한 선분들에 의해 둘러싸인 영역의 범위 내에 있는, 반도체 장치.

청구항 22

제 21 항에 따른 상기 산화물 반도체층을 채널 영역에 포함하는 트랜지스터로서,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

In, 원소 M, 및 Zn의 원자수비는 상기 제 1 산화물 반도체층의 영역에서 충족되고,

상기 제 2 산화물 반도체층은 상기 제 1 산화물 반도체층보다 사이즈가 수 배 크고,

상기 제 1 반도체층의 영역에서 In, 원소 M, 및 Zn의 원자수비는 4:2:4, 4:3.2:5.6, 4:2.4:4.8, 4:2.4:5.2, 또는 4:1.4:3.1 이거나, 또는 상기 제 1 반도체층의 영역에서 In 및 Zn 농도들은 상기 원소 M의 상기 농도보다 높고 Zn의 상기 농도는 In의 상기 농도보다 높거나, 또는 Zn의 상기 농도는 In의 농도보다 높고 상기 원소 M의 상기 농도보다 2배 이상 높고,

상기 제 2 반도체층은 In, 원소 M, 및 Zn의 원자수비 1:1:1을 갖는 타깃을 이용하여 형성되는, 트랜지스터.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 물건, 방법, 또는, 제조 방법에 관한 것이다. 또는, 본 발명은, 공정, 기계, 제품, 또는, 조성물에 관한 것이다. 특히, 본 발명의 일 형태는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의

구동 방법, 또는, 이들의 제조 방법에 관한 것이다.

[0002] 또한, 본 명세서 등에 있어서, 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터, 반도체 회로는, 반도체 장치의 일 형태이다. 또한, 연산 장치, 기억 장치, 활성 장치, 전기 광학 장치, 발전 장치(박막 태양 전지, 유기 박막 태양 전지 등을 포함한다), 및 전자 기기는 반도체 장치를 가지고 있는 경우가 있다.

배경기술

[0003] 비특허문헌 1에서는, $In_{1-x}Ga_{1+x}O_3(ZnO)_m$ (x 는 $-1 \leq x \leq 1$ 을 충족시키는 수, m 은 자연수)으로 표시되는 호모로 가스상이 존재하는 것이 서술되어 있다. 또한, 호모로 가스상의 고용역(solid solution range)에 관해서 서술되어 있다. 예를 들면, $m=1$ 인 경우의 호모로 가스상의 고용역은, x 가 -0.33 에서부터 0.08 의 범위인 것이 서술되어 있고, $m=2$ 인 경우의 호모로 가스상의 고용역은, x 가 -0.68 에서부터 0.32 의 범위인 것이 서술되어 있다.

[0004] 또한, 스피넬형의 결정 구조를 갖는 화합물로서, AB_2O_4 (A 및 B 는 금속 원소)로 표시되는 화합물이 알려져 있다. 또한 비특허문헌 1에서는 $In_xZn_yGa_zO_w$ 의 예가 개시되어 있고, x , y 및 z 가 $ZnGa_2O_4$ 근방의 조성, 즉 x , y 및 z 가 $(x,y,z)=(0,1,2)$ 에 가까운 값을 갖는 경우에는, 스피넬형의 결정 구조가 형성, 또는 혼재하기 쉬운 것이 기재되어 있다.

[0005] 또한, 반도체 재료를 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(단순히 표시 장치라고도 표기한다)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 재료로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 밖의 재료로서 산화물 반도체가 주목받고 있다.

[0006] 예를 들면, 산화물 반도체로서 산화 아연, 또는 $In-Ga-Zn$ 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2 참조).

[0007] 또한, 최근에는 전자 기기의 고성능화, 소형화, 또는 경량화에 따라, 미세화된 트랜지스터 등의 반도체 소자를 고밀도로 집적 회로의 요구가 높아지고 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본 공개특허공보 2007-123861호

(특허문헌 0002) 일본 공개특허공보 2007-96055호

비특허문헌

[0009] (비)특허문헌 0001) M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the $In_{203-x}Ga_{2Zn04}-ZnO$ System at $1350^{\circ}C$ 」, J. Solid State Chem., 1991, Vol. 93, pp. 298-315

발명의 내용

해결하려는 과제

[0010] 본 발명의 일 형태는, 반도체 장치에 양호한 전기 특성을 부여하는 것을 과제의 하나로 한다. 또는, 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0011] 또는, 특성의 불균일이 적은 양호한 트랜지스터를 제공하는 것을 과제의 하나로 한다. 또는, 유지 특성이 양호한 기억 소자를 갖는 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 미세화에 적합한 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 회로 면적을 축소시킨 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 신규한 구성의 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0012] 또한, 이들 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 이들 과제 전체를 해결할 필요는 없는 것으로 한다. 또한, 이들 이외의 과제는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 과제를 추출하는 것이 가능하다.

과제의 해결 수단

[0013] 본 발명의 일 형태는, 프로브 직경의 반값폭이 1nm인 전자선을 사용하여, 산화물 반도체막의 괴형성면에 대해, 산화물 반도체막의 위치와 전자선의 위치를 상대적으로 이동시키면서 조사하여, 복수의 전자 회절 패턴을 관측한 경우에 있어서, 복수의 전자 회절 패턴은, 서로 상이한 개소에서 관측된 50개 이상의 전자 회절 패턴을 가지며, 복수의 전자 회절 패턴은, 회절 패턴의 방향이 일정하지 않고, 제 1 전자 회절 패턴을 갖는 비율은, 90% 이상이며, 제 1 전자 회절 패턴은, c축이 산화물 반도체막의 괴형성면에 개략 수직인 방향을 향하고 있는 것을 나타내는 관측점을 갖는 것을 특징으로 하는 산화물 반도체막이다.

[0014] 또는, 본 발명의 일 형태는, 프로브 직경의 반값폭이 1nm인 전자선을 사용하여, 산화물 반도체막의 괴형성면에 대해, 산화물 반도체막의 위치와 전자선의 위치를 상대적으로 이동시키면서 조사하고, 복수의 전자 회절 패턴을 관측한 경우에 있어서, 복수의 전자 회절 패턴은, 서로 상이한 개소에서 관측된 50개 이상의 전자 회절 패턴을 가지며, 복수의 전자 회절 패턴은, 회절 패턴의 방향이 일정하지 않고, 50개 이상의 전자 회절 패턴 중, 제 1 전자 회절 패턴을 갖는 비율과, 제 2 전자 회절 패턴을 갖는 비율의 합이, 100%이며, 제 1 전자 회절 패턴을 갖는 비율은, 90% 이상이며, 제 1 전자 회절 패턴은, c축이 산화물 반도체막의 괴형성면에 개략수직인 방향을 향하고 있는 것을 나타내는 관측점을 가지며, 제 2 전자 회절 패턴은, 대칭성을 갖지 않는 관측점, 또는 원을 그리듯이(링상으로) 배치된 관측 영역을 갖는 산화물 반도체막이다.

[0015] 또는, 본 발명의 일 형태는, 프로브 직경의 반값폭이 1nm인 전자선을 사용하여, 산화물 반도체막의 괴형성면에 대해, 산화물 반도체막의 위치와 전자선의 위치를 상대적으로 이동시키면서 조사하여, 복수의 전자 회절 패턴을 관측한 경우에 있어서, 복수의 전자 회절 패턴은, 서로 상이한 개소에서 관측된 50개 이상의 전자 회절 패턴 중, 제 1 전자 회절 패턴을 갖는 비율은, 100%이며, 제 1 전자 회절 패턴은 c축이 산화물 반도체막의 괴형성면에 개략 수직인 방향을 향하고 있는 것을 나타내는 관측점을 가지며, 복수의 전자 회절 패턴은, 회절 패턴의 방향이 일정하지 않은 산화물 반도체막이다.

[0016] 또한, 상기 구성에 있어서, 제 2 전자 회절 패턴이 관측되는 영역은, 나노 결정을 갖는 산화물 반도체막인 것이 바람직하다.

[0017] 또는, 본 발명의 일 형태는, In과, M으로 나타내는 원소와, Zn을 갖는 산화물 반도체막으로서, M으로 나타내는 원소는, 알루미늄, 갈륨, 이트륨, 주석으로부터 적어도 1개 선택되고, In, M 및 Zn의 원자수비는, $In:M:Zn=x:y:z$ 를 충족시키고, x, y 및 z는 In, 원소 M 및 Zn의 3개의 원소를 정점으로 한 평형 상태도에 있어서, 제 1 좌표($x:y:z=2:2:1$)와, 제 2 좌표($x:y:z=23:27:25$)와, 제 3 좌표($x:y:z=8:12:35$)와, 제 4 좌표($x:y:z=4:0:7$)와, 제 5 좌표($x:y:z=2:0:3$)와, 제 6 좌표($x:y:z=7:1:8$)와, 제 7 좌표($x:y:z=15:5:8$)를, 제 1 좌표 내지 제 7 좌표, 상기 제 1 좌표의 순으로 선분으로 이은 범위 내의 원자수비를 갖는 산화물 반도체막이다.

[0018] 또한, 상기 구성에 있어서, 산화물 반도체막은, In, M으로 나타내는 원소 및 Zn을 갖는 타깃을 사용하여 스퍼터링법에 의해 형성되고, M으로 나타내는 원소는, 알루미늄, 갈륨, 이트륨, 주석으로부터 적어도 1개 선택되고, 타깃이 갖는 In, M 및 Zn의 원자수비는 $In:M:Zn=a:b:c$ 를 충족시키고, a, b 및 c는 In, 원소 M 및 Zn의 3개의 원소를 정점으로 한 평형 상태도에 있어서, 제 1 좌표($a:b:c=2:2:1$)와, 제 2 좌표($a:b:c=23:27:25$)와, 제 3 좌표($a:b:c=1:2:9$)와, 제 4 좌표($a:b:c=1:0:3$)와, 제 5 좌표($a:b:c=2:0:3$)와, 제 6 좌표($a:b:c=7:1:8$)와, 제 7 좌표($a:b:c=10:4:7$)를, 제 1 좌표 내지 제 7 좌표, 상기 제 1 좌표의 순으로 선분으로 이은 범위 내의 원자수비를 갖는 것이 바람직하다.

[0019] 또는, 본 발명의 일 형태는, In, Ga 및 Zn을 갖는 산화물 반도체막이며, In, Ga 및 Zn의 원자수비는, $In:Ga:Zn=x:y:z$ 를 충족시키고, x, y 및 z는 In, Ga 및 Zn의 3개의 원소를 정점으로 한 평형 상태도에 있어서, 제 1 좌표($x:y:z=2:2:1$)와, 제 2 좌표($x:y:z=23:27:25$)와, 제 3 좌표($x:y:z=8:12:35$)와, 제 4 좌표($x:y:z=4:0:7$)와, 제 5 좌표($x:y:z=2:0:3$)와, 제 6 좌표($x:y:z=7:1:8$)와, 제 7 좌표($x:y:z=15:5:8$)를, 제 1 좌표 내지 제 7 좌표, 상기 제 1 좌표의 순으로 선분으로 이은 범위 내의 원자수비를 갖는 산화물 반도체막이다.

- [0020] 또는, 본 발명의 일 형태는, 상기에 기재된 산화물 반도체막을 갖는 반도체 장치이다.
- [0021] 또는, 본 발명의 일 형태는, 상기에 기재된 산화물 반도체막을 채널 영역에 갖는 트랜지스터이다.
- [0022] 또한, 상기 구성에 있어서, 제 2 산화물막 및 제 3 산화물막을 가지며, 산화물 반도체막은, 제 2 산화물막의 상면과 접하고, 제 3 산화물막은, 산화물 반도체막의 상면과 접하는 것이 바람직하다. 또한, 상기 구성에 있어서, 제 3 산화물막은, 제 2 산화물막의 측면, 산화물 반도체막의 측면 및 상면과 접하는 것이 바람직하다. 또한, 상기 구성에 있어서, 산화물 반도체막이 갖는 산화물의 전자 친화력은, 제 2 산화물막이 갖는 산화물 및 제 3 산화물막이 갖는 산화물의 전자 친화력보다 큰 것이 바람직하다.
- [0023] 또는, 본 발명의 일 형태는, 제 1 산화물막과, 제 1 산화물막에 접하는 제 2 산화물막을 갖는 반도체 장치이며, 제 1 산화물막은 인듐, 원소 M, 및 아연을 가지며, 제 1 산화물막이 갖는 인듐, 원소 M, 및 아연의 원자수비는 인듐:원소 M:아연= $x_a:y_a:z_a$ 를 충족시키고, x_a , y_a , z_a 및 a 은, $x_a:y_a:z_a=(1-a):(1+a):1$ 또한 $-0.33 \leq a \leq +0.08$, 또는 $x_a:y_a:z_a=(1-a):(1+a):2$ 또한 $-0.68 \leq a \leq +0.32$, 또는 $x_a:y_a:z_a=(1-a):(1+a):3$ 또한 $-1 \leq a \leq +0.46$, 또는 $x_a:y_a:z_a=(1-a):(1+a):4$ 또한 $-1 \leq a \leq +0.54$, 또는 $x_a:y_a:z_a=(1-a):(1+a):5$ 또한 $-1 \leq a \leq +0.72$ 중 어느 하나를 충족시키는 반도체 장치이다.
- [0024] 또는, 본 발명의 일 형태는, 제 1 산화물막과, 제 1 산화물막에 접하는 제 2 산화물을 갖는 반도체 장치이며, 제 1 산화물막은 인듐, 원소 M, 및 아연을 가지며, 제 1 산화물막이 갖는 인듐, 원소 M, 및 아연의 원자수비는 인듐:원소 M:아연= $x_a:y_a:z_a$ 를 충족시키고, 제 2 산화물막은 인듐, 원소 M, 및 아연을 가지며, 제 2 산화물막이 갖는 인듐, 원소 M, 및 아연의 원자수비는 인듐:원소 M:아연= $x_b:y_b:z_b$ 를 충족시키고, x_a , y_a 및 z_a 는 인듐, 원소 M 및 아연의 3개의 원소를 정점으로 한 평형 상태도에 있어서, 제 1 좌표($x_a:y_a:z_a=8:14:7$)와, 제 2 좌표($x_a:y_a:z_a=2:5:7$)와, 제 3 좌표($x_a:y_a:z_a=51:149:300$)와, 제 4 좌표($x_a:y_a:z_a=46:288:833$)와, 제 5 좌표($x_a:y_a:z_a=0:2:11$)와, 제 6 좌표($x_a:y_a:z_a=0:0:1$)와, 제 7 좌표($x_a:y_a:z_a=2:2:1$)와, 상기 제 1 좌표를, 순서대로 선분으로 이은 범위 내의 원자수비를 가지며, x_b , y_b 및 z_b 는 인듐, 원소 M 및 아연의 3개의 원소를 정점으로 한 평형 상태도에 있어서, 제 1 좌표($x_b:y_b:z_b=2:2:1$)와, 제 2 좌표($x_b:y_b:z_b=23:27:25$)와, 제 3 좌표($x_b:y_b:z_b=8:12:35$)와, 제 4 좌표($x_b:y_b:z_b=4:0:7$)와, 제 5 좌표($x_b:y_b:z_b=2:0:3$)와, 제 6 좌표($x_b:y_b:z_b=7:1:8$)와, 제 7 좌표($x_b:y_b:z_b=10:4:7$)와, 상기 제 1 좌표를, 순서대로 선분으로 이은 범위 내의 원자수비를 갖는 반도체 장치이다.
- [0025] 상기 구성에 있어서, 반도체 장치는 제 1 트랜지스터를 가지며, 제 2 산화물막은, 제 1 트랜지스터의 채널 영역으로서의 기능을 갖는 것이 바람직하다. 또한, 상기 구성에 있어서, x_b 및 y_b 는, $x_b > y_b$ 를 충족시키는 것이 바람직하다. 또한, 상기 구성에 있어서, 제 1 산화물막의 전자 친화력은, 제 2 산화물막의 전자 친화력보다 작은 것이 바람직하다. 또한, 상기 구성에 있어서, 반도체 장치는, 제 2 산화물막에 접하는 제 3 산화물막을 가지며, 제 3 산화물막의 전자 친화력은, 제 2 산화물막의 전자 친화력보다 작은 것이 바람직하다.
- [0026] 또한, 상기 구성에 있어서, x_a , y_a , z_a 및 a 가, $x_a:y_a:z_a=(1-a):(1+a):1$ 또한 $-0.33 \leq a \leq +0.08$, 또는 $x_a:y_a:z_a=(1-a):(1+a):2$ 또한 $-0.68 \leq a \leq +0.32$, 또는 $x_a:y_a:z_a=(1-a):(1+a):3$ 또한 $-1 \leq a \leq +0.46$, 또는 $x_a:y_a:z_a=(1-a):(1+a):4$ 또한 $-1 \leq a \leq +0.54$, 또는 $x_a:y_a:z_a=(1-a):(1+a):5$ 또한 $-1 \leq a \leq +0.72$ 중 어느 하나를 충족시키는 것이 바람직하다.
- [0027] 또한, 상기 구성에 있어서, x_b , y_b , z_b 및 β 가, $x_b:y_b:z_b=(1-\beta):(1+\beta):1$ 또한 $-0.33 \leq \beta \leq +0.08$, 또는 $x_b:y_b:z_b=(1-\beta):(1+\beta):2$ 또한 $-0.68 \leq \beta \leq +0.32$, 또는 $x_b:y_b:z_b=(1-\beta):(1+\beta):3$ 또한 $-1 \leq \beta \leq +0.46$, 또는 $x_b:y_b:z_b=(1-\beta):(1+\beta):4$ 또한 $-1 \leq \beta \leq +0.54$, 또는 $x_b:y_b:z_b=(1-\beta):(1+\beta):5$ 또한 $-1 \leq \beta \leq +0.72$ 중 어느 하나를 충족시키는 것이 바람직하다.

발명의 효과

- [0028] 본 발명의 일 형태에 의해, 반도체 장치에 양호한 전기 특성을 부여할 수 있다. 또한, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0029]

또한, 특성의 불균일이 적은 양호한 트랜지스터를 제공할 수 있다. 또한, 유지 특성이 양호한 기억 소자를 갖는 반도체 장치를 제공할 수 있다. 또한, 미세화에 적합한 반도체 장치를 제공할 수 있다. 또한, 회로 면적을 축소시킨 반도체 장치를 제공할 수 있다. 또한, 신규한 구성의 반도체 장치를 제공할 수 있다. 또한, 이들 효과의 기재는, 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 반드시, 이들 효과 전체를 가질 필요는 없다. 또한, 이들 이외의 효과는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 효과를 추출하는 것이 가능하다.

도면의 간단한 설명

[0030]

도 1은 본 발명의 일 형태에 따른 산화물막의 원자수비를 설명하는 도면.

도 2는 본 발명의 일 형태에 따른 산화물막의 원자수비를 설명하는 상도.

도 3은 상도의 설명.

도 4는 본 발명의 일 형태에 따른 타깃의 원자수비를 설명하는 상도.

도 5는 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

도 6은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

도 7은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

도 8은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

도 9는 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

도 10은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

도 11은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

도 12는 본 발명의 일 형태에 따른 회로도.

도 13은 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시하는 도면.

도 14는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시하는 도면.

도 15는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시하는 도면.

도 16은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시하는 도면.

도 17은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시하는 도면.

도 18은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시하는 도면.

도 19는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시하는 도면.

도 20은 본 발명의 일 형태에 따른 트랜지스터의 일부의 밴드 구조를 도시하는 도면 및 도통시의 전류의 경로를 설명하는 도면.

도 21은 산화물 반도체의 단면 TEM상 및 국소적인 푸리에 변환상.

도 22는 산화물 반도체막의 나노 범 전자 회절 패턴을 도시하는 도면, 및 투과 전자 회절 측정 장치의 일례를 도시하는 도면.

도 23은 투과 전자 회절 측정에 의한 구조 해석의 일례를 도시하는 도면, 및 평면 TEM상.

도 24는 실시형태에 따른, 회로도.

도 25는 실시형태에 따른, RF 태그의 구성예.

도 26은 실시형태에 따른, CPU의 구성예.

도 27은 실시형태에 따른, 기억 소자의 회로도.

도 28은 실시형태에 따른, 표시 장치의 상면도 및 회로도.

도 29는 실시형태에 따른, 전자 기기.

도 30은 실시형태에 따른, RF 태그의 사용예.

도 31은 타깃의 원자수비와 산화물 반도체막의 원자수비의 관계를 도시하는 도면.

도 32는 산화물 반도체막의 SIMS 분석 결과.

도 33은 산화물 반도체막의 단면 TEM 관찰 결과.

도 34는 산화물 반도체막의 TDS 분석 결과.

도 35는 산화물 반도체막의 TDS 분석 결과.

도 36은 본 발명의 일 형태에 따른 산화물 반도체막의 XRD 평가 결과.

도 37은 산화물 반도체막의 단면 TEM 관찰 결과.

도 38은 산화물 반도체막의 단면 TEM 관찰 결과.

도 39는 산화물 반도체막의 단면 TEM 관찰 결과.

도 40은 산화물 반도체막의 단면 TEM 관찰 결과.

도 41은 산화물 반도체막의 단면 TEM 관찰 결과.

도 42는 산화물 반도체막의 단면 TEM 관찰 결과.

도 43은 산화물 반도체막의 평면 TEM 관찰 결과.

도 44는 산화물 반도체막의 CAAC 비율을 도시하는 도면.

도 45는 산화물 반도체막의 전자 회절 패턴.

도 46은 산화물 반도체막의 전자 회절 패턴.

도 47은 산화물 반도체막의 전자 회절 패턴.

도 48은 산화물 반도체막의 전자 회절 패턴.

도 49는 산화물 반도체막의 전자 회절 패턴.

도 50은 산화물 반도체막의 전자 회절 패턴.

도 51은 산화물 반도체막의 전자 회절 패턴.

도 52는 산화물 반도체막의 전자 회절 패턴.

도 53은 산화물 반도체막의 전자 회절 패턴.

도 54는 산화물 반도체막의 전자 회절 패턴.

도 55는 산화물 반도체막의 평면 TEM 관찰 결과.

도 56은 산화물 반도체막의 전자 회절 패턴.

도 57은 트랜지스터의 Vg - Id 특성을 도시하는 도면.

도 58은 트랜지스터의 Vg - Id 특성을 도시하는 도면.

도 59는 산화물 반도체막의 단면 TEM 관찰 결과.

도 60은 실시형태에 따른, 반도체 장치의 회로도.

도 61은 In-Ga-Zn 산화물 중의 산소의 이동 경로를 설명하는 도면.

도 62는 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

도 63은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

도 64는 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.

- 도 65는 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.
- 도 66은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.
- 도 67은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시하는 도면.
- 도 68은 본 발명의 일 형태에 따른 산화물 반도체막의 XRD 평가 결과.
- 도 69는 트랜지스터의 Vg - Id 특성을 도시하는 도면.
- 도 70은 트랜지스터의 Vg - Id 특성을 도시하는 도면.
- 도 71은 산화물 반도체막의 CPM 평가 결과.
- 도 72는 트랜지스터의 Vg - Id 특성을 도시하는 도면.
- 도 73은 트랜지스터의 임계값 변화를 도시하는 도면.
- 도 74는 트랜지스터의 임계값 변화를 도시하는 도면.
- 도 75는 트랜지스터의 임계값 변화를 도시하는 도면.
- 도 76은 트랜지스터의 Vg - Id 특성의 계산 결과를 도시하는 도면.
- 도 77은 본 발명의 일 형태에 따른 트랜지스터를 도시하는 단면 사진.
- 도 78은 트랜지스터의 Vg - Id 특성을 도시하는 도면.
- 도 79는 트랜지스터의 Vd - Id 특성을 도시하는 도면.
- 도 80은 본 발명의 일 형태에 따른 산화물의 XRD 평가 결과.
- 도 81은 본 발명의 일 형태에 따른 산화물의 XRD 평가 결과.
- 도 82는 본 발명의 일 형태에 따른 산화물의 평면 TEM 관찰 결과.
- 도 83은 본 발명의 일 형태에 따른 산화물의 평면 TEM 관찰 결과.
- 도 84는 본 발명의 일 형태에 따른 산화물의 평면 TEM 관찰 결과.
- 도 85는 트랜지스터의 Vg - Id 특성을 도시하는 도면.
- 도 86은 트랜지스터의 Vg - Id 특성을 도시하는 도면.
- 도 87은 트랜지스터의 Vg - Id 특성을 도시하는 도면.
- 도 88은 트랜지스터의 Vg - Id 특성을 도시하는 도면.
- 도 89는 트랜지스터의 Vg - Id 특성을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0031] 실시형태에 관해서, 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않으며, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.
- [0032] 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 간에 공통적으로 사용하고, 그 반복 설명은 생략한다. 또한, 같은 기능을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0033] 또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 층의 두께, 또는 영역은, 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일로 한정되지 않는다.
- [0034] 또한, 본 명세서 등에 있어서의 「제 1」, 「제 2」 등의 서수사는, 구성 요소의 혼동을 피하기 위해서 붙이는 것이며, 수적으로 한정하는 것이 아니다.
- [0035] 또한, 「반도체」라고 표기한 경우에도, 예를 들면, 도전성이 충분히 낮은 경우에는 「절연체」로서의 특성을

갖는 경우가 있다. 또한, 「반도체」와 「절연체」는 경계가 애매하여, 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 「반도체」는, 「절연체」라고 바꿔 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 「절연체」는, 「반도체」라고 바꿔 말할 수 있는 경우가 있다.

[0036] 트랜지스터는 반도체 소자의 일종이며, 전류나 전압의 증폭이나, 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에 있어서의 트랜지스터는, IGFET(Insulated Gate Field Effect Transistor)나 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.

[0037] 또한, 「막」이라는 말과, 「층」이라는 말은, 경우에 따라서는, 또는, 상황에 따라, 서로 교체하는 것이 가능하다. 예를 들면, 「도전층」이라는 용어를, 「도전막」이라는 용어로 변경하는 것이 가능한 경우가 있다. 또는, 예를 들면, 「절연막」이라는 용어를, 「절연층」이라는 용어로 변경하는 것이 가능한 경우가 있다.

[0038] (실시형태 1)

[0039] 본 실시형태에서는, 본 발명의 일 형태인 산화물 반도체에 관해서 설명한다.

[0040] 여기서 산화물 반도체는, 예를 들면, 인듐을 함유하는 산화물 반도체이다. 산화물 반도체가 인듐을 함유하면, 예를 들면 캐리어 이동도(전자 이동도)가 높아진다. 또한, 산화물 반도체는, 원소 M을 함유하면 바람직하다. 원소 M은, 바람직하게는, 알루미늄, 갈륨, 이트륨 또는 주석 등으로 한다. 그 밖에 원소 M에 적용 가능한 원소로서는, 봉소, 실리콘, 티타늄, 철, 니켈, 게르마늄, 이트륨, 지르코늄, 몰리브덴, 란탄, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐 등이 있다. 단, 원소 M으로서, 상기한 원소를 복수 조합해도 상관없는 경우가 있다. 원소 M은, 예를 들면, 산소와의 결합 에너지가 높은 원소이다. 예를 들면, 산소와의 결합 에너지가 인듐보다 높은 원소이다. 또는, 원소 M은, 예를 들면, 산화물 반도체의 에너지 갭을 크게 하는 기능을 갖는 원소이다. 또한, 산화물 반도체는, 아연을 함유하면 바람직하다. 산화물 반도체는, 아연을 함유하면 결정화되기 쉬워지는 경우가 있다.

[0041] [산화물 반도체막의 구조]

[0042] 이하에서는, 산화물 반도체막의 구조에 관해서 설명한다.

[0043] 산화물 반도체막은, 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

[0044] 우선은, CAAC-OS막에 관해서 설명한다.

[0045] CAAC-OS막은, c축 배향한 복수의 결정부를 갖는 산화물 반도체막의 하나이다.

[0046] 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의해 CAAC-OS막의 명시야상 및 회절 패턴의 복합 해석상(고분해능 TEM상이라고도 한다.)을 관찰함으로써 복수의 결정부를 확인할 수 있다. 한편, 고분해능 TEM에 의해서도 명확한 결정부끼리의 경계, 즉 결정립계(그레인 바운더리라고도 한다.)를 확인할 수 없다. 이로 인해, CAAC-OS막은, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0047] 시료면과 대략 평행한 방향에서, CAAC-OS막의 단면의 고분해능 TEM상을 관찰하면, 결정부에 있어서, 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은, CAAC-OS막의 막을 형성하는 면(괴형성면이라고도 한다.) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 괴형성면 또는 상면과 평행하게 배열된다.

[0048] 한편, 시료면과 대략 수직인 방향에서, CAAC-OS막의 평면의 고분해능 TEM상을 관찰하면, 결정부에 있어서, 금속 원자가 삼각 형상 또는 육각 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부 간에, 금속 원자의 배열에 규칙성은 나타나지 않는다.

[0049] 본 명세서에 있어서, 「평행」이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한, 「대략 평행」이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한, 「수직」이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다. 또한, 「대략 수직」이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.

[0050] 또한, 본 명세서에 있어서, 결정이 삼방정 또는 능면체정인 경우, 육방정계로서 나타낸다.

- [0051] 도 21의 (A)는, CAAC-OS막의 단면의 고분해능 TEM상이다. 또한, 도 21의 (B)는, 도 21의 (A)를 더 확대한 단면의 고분해능 TEM상이며, 이해를 용이하게 하기 위해서 원자 배열을 강조 표시하고 있다.
- [0052] 도 21의 (C)는, 도 21의 (A)의 A-O-A' 간에 있어서, 원으로 둘러싼 영역(직경 약 4nm)의 국소적인 푸리에 변환상이다. 도 21의 (C)로부터, 각 영역에 있어서 c축 배향성을 확인할 수 있다. 또한, A-O 간과 O-A' 간에서는, c축의 방향이 상이하기 때문에, 상이한 그레인인 것이 시사된다. 또한, A-O 간에서는, c축의 각도가 14.3° , 16.6° , 26.4° 와 같이 조금씩 연속적으로 변화되고 있는 것을 알 수 있다. 마찬가지로, O-A' 간에서는, c축의 각도가 -18.3° , -17.6° , -15.9° 로 조금씩 연속적으로 변화되고 있는 것을 알 수 있다.
- [0053] 또한, CAAC-OS막에 대해, 전자 회절을 행하면, 배향성을 나타내는 스포(휘점)이 관측된다. 예를 들면, CAAC-OS막의 상면에 대해, 예를 들면 1nm 이상 30nm 이하의 전자선을 사용하는 전자 회절(나노 빔 전자 회절이라도 한다.)을 행하면, 스포이 관측된다(도 22의 (A) 참조.).
- [0054] 단면의 고분해능 TEM상 및 평면의 고분해능 TEM상으로부터, CAAC-OS막의 결정부는 배향성을 가지고 있는 것을 알 수 있다.
- [0055] 또한, CAAC-OS막에 포함되는 대부분의 결정부는, 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는, 한 변이 10nm 미만, 5nm 미만 또는 3nm 미만의 입방체 내에 들어가는 크기인 경우도 포함된다. 단, CAAC-OS막에 포함되는 복수의 결정부가 연결됨으로써, 1개의 큰 결정 영역을 형성하는 경우가 있다. 예를 들면, 평면의 고분해능 TEM상에 있어서, 2500nm^2 이상, $5\mu\text{m}^2$ 이상 또는 $1000\mu\text{m}^2$ 이상이 되는 결정 영역이 관찰되는 경우가 있다.
- [0056] CAAC-OS막에 대해, X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 행하면, 예를 들면 InGaZnO_4 의 결정을 갖는 CAAC-OS막의 아웃-오브-플레인(out-of-plane)법에 의한 해석에서는, 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 가지며, c축이 괴형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 확인할 수 있다.
- [0057] 한편, CAAC-OS막에 대해, c축에 대략 수직인 방향에서 X선을 입사시키는 인-플레인(in-plane)법에 의한 해석에서는, 2θ 가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO_4 의 결정의 (110)면에 귀속된다. InGaZnO_4 의 단결정 산화물 반도체막이면, 2θ 를 56° 근방에 고정시키고, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 행하면, (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 이것에 대해, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정시키고 ϕ 스캔한 경우에도, 명료한 피크가 나타나지 않는다.
- [0058] 이상의 점에서, CAAC-OS막에서는, 상이한 결정부 간에는 a축 및 b축의 배향은 불규칙하지만, c축 배향성을 가지며, 또한 c축이 괴형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 상기한 단면의 고분해능 TEM 관찰로 확인된 충상으로 배열된 금속 원자의 각 충은, 결정의 ab면에 평행한 면이다.
- [0059] 또한, 결정부는, CAAC-OS막을 성막했을 때, 또는 가열 처리 등의 결정화 처리를 행했을 때에 형성된다. 상기한 바와 같이, 결정의 c축은, CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들면, CAAC-OS막의 형상을 예칭 등에 의해 변화시킨 경우, 결정의 c축이 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터와 평행해지지 않는 경우도 있다.
- [0060] 또한, CAAC-OS막 중에 있어서, c축 배향된 결정부의 분포가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 결정부가, CAAC-OS막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방의 영역은, 괴형성면 근방의 영역보다 c축 배향된 결정부의 비율이 높아지는 경우가 있다. 또한, 불순물이 첨가된 CAAC-OS막은, 불순물이 첨가된 영역이 변질되어, 부분적으로 c축 배향된 결정부의 비율이 상이한 영역이 형성되는 경우도 있다.
- [0061] 또한, InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방인 피크 이외에, 2θ 가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방인 피크는, CAAC-OS막 중의 일부에, c축 배향성을 갖지 않는 결정, 예를 들면 대표적으로는 스피넬형의 결정 구조가 포함되는 것을 나타내고 있다. CAAC-

OS막은, 2θ 가 31° 근방에 피크를 나타내고, 2θ 가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.

[0062] CAAC-OS막은, 불순물 농도가 낮은 산화물 반도체막이다. 불순물은, 수소, 탄소, 실리콘, 전이 금속 원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등의, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 훌뜨려, 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체막 내부에 함유되면, 산화물 반도체막의 원자 배열을 훌뜨려, 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 함유되는 불순물은, 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0063] 또한, CAAC-OS막은, 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들면, 산화물 반도체막 중의 산소 결손은, 캐리어 트랩이 되는 경우나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0064] 불순물 농도가 낮고, 결합 준위 밀도가 낮은(산소 결손이 적다) 것을, 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 여기서, 상기 산화물 반도체막을 트랜지스터에 사용하는 경우에 관해서 설명한다. 상기 산화물 반도체막을 사용한 트랜지스터는, 임계값 전압이 마이너스가 되는 전기 특성(노멀리온이라고도 한다.)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 트랩이 적다. 이로 인해, 상기 산화물 반도체막을 사용한 트랜지스터는, 전기 특성의 변동이 작아, 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는, 방출될 때까지 필요로 하는 시간이 길어, 마치 고정 전하와 같이 행동하는 경우가 있다. 이로 인해, 불순물 농도가 높고, 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는, 전기 특성이 불안정해지는 경우가 있다. 불순물 및 산소 결손이 적은 CAAC-OS막은, 캐리어 밀도가 낮은 산화물 반도체이다. 구체적으로는, $8 \times 10^{11}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이며, $1 \times 10^{-9}/\text{cm}^3$ 이상의 캐리어 밀도의 산화물 반도체로 할 수 있다. 그러한 산화물 반도체를, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부른다. CAAC-OS막은, 불순물 농도가 낮고, 결합 준위 밀도가 낮다. 즉, 안정된 특성을 갖는 산화물 반도체라고 할 수 있다.

[0065] 또한, CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0066] 다음에, 다결정 산화물 반도체막에 관해서 설명한다.

[0067] 다결정 산화물 반도체막은, 고분해능 TEM에 있어서 결정립을 확인할 수 있다. 다결정 산화물 반도체막에 포함되는 결정립은, 예를 들면, 고분해능 TEM상으로, 2nm 이상 300nm 이하, 3nm 이상 100nm 이하 또는 5nm 이상 50nm 이하의 입자 직경인 경우가 많다. 또한, 다결정 산화물 반도체막은, 고분해능 TEM상에서, 결정립계를 확인할 수 있는 경우가 있다.

[0068] 다결정 산화물 반도체막은, 복수의 결정립을 가지며, 상기 복수의 결정립 간에 있어서 결정의 방위가 상이한 경우가 있다. 또한, 다결정 산화물 반도체막에 대해, XRD 장치를 사용한 구조 해석을 행하면, 예를 들면 InGaZnO_4 의 결정을 갖는 다결정 산화물 반도체막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방인 피크, 2θ 가 36° 근방인 피크, 또는 그 밖의 피크가 나타나는 경우가 있다.

[0069] 다결정 산화물 반도체막은, 높은 결정성을 갖기 때문에, 높은 전자 이동도를 갖는 경우가 있다. 따라서, 다결정 산화물 반도체막을 사용한 트랜지스터는, 높은 전계 효과 이동도를 가진다. 단, 다결정 산화물 반도체막은, 결정립계에 불순물이 편석되는 경우가 있다. 또한, 다결정 산화물 반도체막의 결정립계는 결합 준위가 된다. 다결정 산화물 반도체막은, 결정립계가 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있기 때문에, 다결정 산화물 반도체막을 사용한 트랜지스터는, CAAC-OS막을 사용한 트랜지스터와 비교하여, 전기 특성의 변동이 커서, 신뢰성이 낮은 트랜지스터가 되는 경우가 있다.

[0070] 다음에, 미결정 산화물 반도체막에 관해서 설명한다.

[0071] 미결정 산화물 반도체막은, 고분해능 TEM상에 있어서, 결정부를 확인할 수 있는 영역과, 명확한 결정부를 확인할 수 없는 영역을 가진다. 미결정 산화물 반도체막에 포함되는 결정부는, 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 것이 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을, nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다.

또한, nc-OS막은, 예를 들면, 고분해능 TEM상에서는, 결정립계를 명확하게 확인할 수 없는 경우가 있다.

[0072] nc-OS막은, 미소한 영역(예를 들면, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에 있어서 원자 배열에 주기성을 가진다. 또한, nc-OS막은, 상이한 결정부 간에 결정 방위에 규칙성이 나타나지 않는다. 이로 인해, 막 전체에서 배향성이 나타나지 않는다. 따라서, nc-OS막은, 분석 방법에 따라서는, 비정질 산화물 반도체막과 구별되지 않는 경우가 있다. 예를 들면, nc-OS막에 대해, 결정부보다 큰 직경의 X선을 사용한 XRD 장치를 사용하여 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대해, 결정부보다 큰 프로브 직경(예를 들면 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 한다.)을 행하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대해, 결정부의 크기와 가깝거나 결정부보다 작은 프로브 직경의 전자선을 사용하는 나노 빔 전자 회절을 행하면, 스폷이 관측된다. 또한, nc-OS막에 대해 나노 빔 전자 회절을 행하면, 원을 그리듯이(링상으로) 회도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대해 나노 빔 전자 회절을 행하면, 링상의 영역 내에 복수의 스폷이 관측되는 경우가 있다(도 22의 (B) 참조.).

[0073] nc-OS막은, 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 이로 인해, nc-OS막은, 비정질 산화물 반도체막보다 결함 준위 밀도가 낮아진다. 단, nc-OS막은, 상이한 결정부 간에 결정 방위에 규칙성이 나타나지 않는다. 이로 인해, nc-OS막은, CAAC-OS막과 비교하여 결함 준위 밀도가 높아진다.

[0074] 따라서, nc-OS막은, CAAC-OS막과 비교하여, 캐리어 밀도가 높아지는 경우가 있다. 캐리어 밀도가 높은 산화물 반도체막은, 전자 이동도가 높아지는 경우가 있다. 따라서, nc-OS막을 사용한 트랜지스터는, 높은 전계 효과 이동도를 갖는 경우가 있다. 또한, nc-OS막은, CAAC-OS막과 비교하여, 결함 준위 밀도가 높기 때문에, 캐리어 트랩이 많아지는 경우가 있다. 따라서, nc-OS막을 사용한 트랜지스터는, CAAC-OS막을 사용한 트랜지스터와 비교하여, 전기 특성의 변동이 커서, 신뢰성이 낮은 트랜지스터가 된다. 단, nc-OS막은, 비교적 불순물이 많이 함유되어 있어도 형성할 수 있기 때문에, CAAC-OS막보다 형성이 용이해지고, 용도에 따라서는 적합하게 사용할 수 있는 경우가 있다. 이로 인해, nc-OS막을 사용한 트랜지스터를 갖는 반도체 장치는, 생산성 높게 제작할 수 있는 경우가 있다.

[0075] 다음에, 비정질 산화물 반도체막에 관해서 설명한다.

[0076] 비정질 산화물 반도체막은, 막 중에 있어서의 원자 배열이 불규칙하고, 결정부를 갖지 않는 산화물 반도체막이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체막이 일례이다.

[0077] 비정질 산화물 반도체막은, 고분해능 TEM에 있어서 결정부를 확인할 수 없다.

[0078] 비정질 산화물 반도체막에 대해, XRD 장치를 사용한 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체막에 대해, 전자 회절을 행하면, 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체막에 대해, 나노 빔 전자 회절을 행하면, 스폷이 관측되지 않고, 헤일로 패턴이 관측된다.

[0079] 비정질 산화물 반도체막은, 수소 등의 불순물을 높은 농도로 함유하는 산화물 반도체막이다. 또한, 비정질 산화물 반도체막은, 결함 준위 밀도가 높은 산화물 반도체막이다.

[0080] 불순물 농도가 높고, 결함 준위 밀도가 높은 산화물 반도체막은, 캐리어 트랩이나 캐리어 발생원이 많은 산화물 반도체막이다.

[0081] 따라서, 비정질 산화물 반도체막은, nc-OS막과 비교하여, 더욱 캐리어 밀도가 높아지는 경우가 있다. 이로 인해, 비정질 산화물 반도체막을 사용한 트랜지스터는, 노멀리 온의 전기 특성이 되기 쉽다. 따라서, 노멀리 온의 전기 특성이 요구되는 트랜지스터에 적합하게 사용할 수 있는 경우가 있다. 비정질 산화물 반도체막은, 결함 준위 밀도가 높기 때문에, 캐리어 트랩이 많아지는 경우가 있다. 따라서, 비정질 산화물 반도체막을 사용한 트랜지스터는, CAAC-OS막이나 nc-OS막을 사용한 트랜지스터와 비교하여, 전기 특성의 변동이 커서, 신뢰성이 낮은 트랜지스터가 된다.

[0082] 다음에, 단결정 산화물 반도체막에 관해서 설명한다.

[0083] 단결정 산화물 반도체막은, 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적다) 산화물 반도체막이다. 이로 인해, 캐리어 밀도를 낮게 할 수 있다. 따라서, 단결정 산화물 반도체막을 사용한 트랜지스터는, 노멀리 온의 전기 특성이 되는 경우가 적다. 또한, 단결정 산화물 반도체막은, 불순물 농도가 낮고, 결함 준위 밀도가 낮기 때문에, 캐리어 트랩이 적어지는 경우가 있다. 따라서, 단결정 산화물 반도체막을 사용한 트랜지

스터는, 전기 특성의 변동이 작아, 신뢰성이 높은 트랜지스터가 된다.

[0084] 또한, 단결정을 형성하기 위해서는, 예를 들면 약 1000°C 이상의 높은 온도에 있어서 소성을 행함으로써 형성할 수 있다. 한편, CAAC-OS막은 실온 내지 500°C 정도의 낮은 온도에 있어서 형성하는 것이 가능하여, 산업상 바람직하다.

[0085] 또한, 산화물 반도체막은, 결함이 적으면 밀도가 높아진다. 또한, 산화물 반도체막은, 결정성이 높으면 밀도가 높아진다. 또한, 산화물 반도체막은, 수소 등의 불순물 농도가 낮으면 밀도가 높아진다. 단결정 산화물 반도체막은, CAAC-OS막보다 밀도가 높다. 또한, CAAC-OS막은, 미결정 산화물 반도체막보다 밀도가 높다. 또한, 다결정 산화물 반도체막은, 미결정 산화물 반도체막보다 밀도가 높다. 또한, 미결정 산화물 반도체막은, 비정질 산화물 반도체막보다 밀도가 높다.

[0086] 또한, 산화물 반도체막은, nc-OS막과 비정질 산화물 반도체막 사이의 물성을 나타내는 구조를 갖는 경우가 있다. 그러한 구조를 갖는 산화물 반도체막을, 특히 비정질 라이크 산화물 반도체(a-like OS: amorphous-like Oxide Semiconductor)막이라고 부른다.

[0087] a-like OS막은, 고분해능 TEM상에 있어서 공동(보이드라고도 한다.)이 관찰되는 경우가 있다. 또한, 고분해능 TEM상에 있어서, 명확하게 결정부를 확인할 수 있는 영역과, 결정부를 확인할 수 없는 영역을 가진다. a-like OS막은, TEM에 의한 관찰 정도가 미량인 전자 조사에 의해, 결정화가 일어나고, 결정부의 성장이 나타나는 경우가 있다. 한편, 양질의 nc-OS막이면, TEM에 의한 관찰 정도가 미량인 전자 조사에 의한 결정화는 거의 나타나지 않는다.

[0088] 또한, a-like OS막 및 nc-OS막의 결정부의 크기 계측은, 고분해능 TEM상을 사용하여 행할 수 있다. 예를 들면, InGaZnO_4 의 결정은 층상 구조를 가지며, In-0층 사이에, Ga-Zn-0층을 2층 가진다. InGaZnO_4 의 결정의 단위 격자는, In-0층을 3층 가지며, 또한 Ga-Zn-0층을 6층 갖는, 합계 9층이 c축 방향으로 층상으로 중첩된 구조를 가진다. 따라서, 이를 근접하는 층끼리의 간격은, (009)면의 격자면 간격(d값이라고도 한다.)과 동 정도이며, 결정 구조 해석으로부터 그 값은 0.29nm로 구해지고 있다. 이로 인해, 고분해능 TEM상에 있어서의 격자 줄무늬에 착안하여, 격자 줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 개소에 있어서는, 각각의 격자 줄무늬가 InGaZnO_4 결정의 a-b면에 대응한다.

[0089] 또한, 산화물 반도체막은, 구조마다 밀도가 상이한 경우가 있다. 예를 들면, 어떤 산화물 반도체막의 조성을 알면, 상기 조성과 동일한 조성에 있어서의 단결정의 밀도와 비교함으로써, 그 산화물 반도체막의 구조를 추정할 수 있다. 예를 들면, 단결정의 밀도에 대해, a-like OS막의 밀도는 78.6% 이상 92.3% 미만이 된다. 또한, 예를 들면, 단결정의 밀도에 대해, nc-OS막의 밀도 및 CAAC-OS막의 밀도는 92.3% 이상 100% 미만이 된다. 또한, 단결정의 밀도에 대하여 밀도가 78% 미만이 되는 산화물 반도체막은, 성막하는 것 자체가 곤란하다.

[0090] 상기에 관해서, 구체예를 사용하여 설명한다. 예를 들면, $\text{In:Ga:Zn}=1:1:1$ [원자수비]을 충족시키는 산화물 반도체막에 있어서, 능면체정 구조를 갖는 단결정 InGaZnO_4 의 밀도는 6.357g/cm^3 이 된다. 따라서, 예를 들면, $\text{In:Ga:Zn}=1:1:1$ [원자수비]을 충족시키는 산화물 반도체막에 있어서, a-like OS막의 밀도는 5.0g/cm^3 이상 5.9g/cm^3 미만이 된다. 또한, 예를 들면, $\text{In:Ga:Zn}=1:1:1$ [원자수비]을 충족시키는 산화물 반도체막에 있어서, nc-OS막의 밀도 및 CAAC-OS막의 밀도는 5.9g/cm^3 이상 6.3g/cm^3 미만이 된다.

[0091] 또한, 동일한 조성의 단결정이 존재하지 않는 경우가 있다. 그 경우, 임의의 비율로 조성이 상이한 단결정을 조합함으로써, 원하는 조성의 단결정에 상당하는 밀도를 산출할 수 있다. 원하는 조성의 단결정의 밀도는, 조성이 상이한 단결정을 조합하는 비율에 대해, 가중 평균을 사용하여 산출하면 된다. 단, 밀도는, 가능한 한 적은 종류의 단결정을 조합하여 산출하는 것이 바람직하다.

[0092] 또한, 산화물 반도체막은, 예를 들면, 비정질 산화물 반도체막, a-like OS막, 미결정 산화물 반도체막, CAAC-OS막 중, 2종 이상을 갖는 적층막이라도 좋다.

[0093] 이상과 같이, CAAC-OS막은 산업상의 관점에서도 바람직하다. 또한 다결정 및 미결정과 비교하여 결정립계에 기인하는 캐리어의 산란이 작기 때문에 캐리어 이동도의 저하가 일어나기 어려운 이점이 있다. 또한, CAAC-OS막은, 결함 준위 밀도가 낮은 산화물 반도체막이며 캐리어 트랩이 적기 때문에, CAAC-OS막을 사용한 트랜지스터는, 전기 특성의 변동이 작아, 신뢰성이 높은 우수한 트랜지스터가 된다.

[0094] 여기서, CAAC-OS막은 복수의 구조를 갖는 경우가 있다. CAAC-OS막이 복수의 구조를 갖는 경우, 후술하는 나노

빔 전자 회절을 사용함으로써 구조 해석이 가능해지는 경우가 있다. 여기서, c축 배향된 복수의 결정부를, CAAC 구조라고 부른다. 또한 CAAC-OS막에 대표적으로 나타나는 회절 패턴, 즉 c축 배향을 나타내는 회절 패턴을, CAAC 구조의 회절 패턴이라고 부른다. 예를 들면, c축 배향된 복수의 결정부, 즉 CAAC 구조를 갖는 CAAC-OS막은, 나노 빔 전자 회절을 사용한 경우에, CAAC 구조의 회절 패턴 이외의 회절 패턴이 부분적으로 관측되는 경우가 있다. 예를 들면, nc-OS막과 같은 회절 패턴, 즉 nc 구조의 회절 패턴이 관측되는 경우나, 스피넬형의 결정 구조의 회절 패턴이 관측되는 경우가 있다. 이와 같이 산화물 반도체막이 복수의 구조를 갖는 경우, 이들 구조와, CAAC-OS막의 회절 패턴이 관측되는 영역의 경계에 있어서 예를 들면 캐리어의 산란이 증대되고, 캐리어 이동도가 저하되는 경우가 있다. 또한, 경계부는 불순물의 이동 경로가 되기 쉽고, 또한 불순물을 포획하기 쉬울 것으로 생각되기 때문에, CAAC-OS막의 불순물 농도가 높아질 우려가 있다.

[0095] [나노 빔 전자 회절]

[0096] 다음에, 나노 빔 전자 회절에 관해서 설명한다. 산화물 반도체막이 복수의 구조를 갖는 경우, 나노 빔 전자 회절을 사용함으로써 구조 해석이 가능해지는 경우가 있다.

[0097] 도 22의 (C)에, 전자총실(610)과, 전자총실(610) 아래의 광학계(612)와, 광학계(612) 아래의 시료실(614)과, 시료실(614) 아래의 광학계(616)와, 광학계(616) 아래의 관찰실(620)과, 관찰실(620)에 설치된 카메라(618)와, 관찰실(620) 아래의 필름실(622)을 갖는 투과 전자 회절 측정 장치를 도시한다. 카메라(618)는, 관찰 실(620) 내부를 향하여 설치된다. 또한, 필름실(622)을 갖지 않아도 상관없다.

[0098] 또한, 도 22의 (D)에, 도 22의 (C)에서 도시한 투과 전자 회절 측정 장치 내부의 구조를 도시한다. 투과 전자 회절 측정 장치 내부에서는, 전자총실(610)에 설치된 전자총으로부터 방출된 전자가, 광학계(612)를 개재하여 시료실(614)에 배치된 물질(628)에 조사된다. 물질(628)을 통과한 전자는, 광학계(616)를 개재하여 관찰실(620) 내부에 설치된 형광판(632)에 입사된다. 형광판(632)에서는, 입사된 전자의 강도에 따른 패턴이 나타남으로써 투과 전자 회절 패턴을 측정할 수 있다.

[0099] 카메라(618)는, 형광판(632)을 향하여 설치되어 있어, 형광판(632)에 나타난 패턴을 촬영하는 것이 가능하다. 카메라(618) 렌즈의 중앙, 및 형광판(632)의 중앙을 지나가는 직선과, 형광판(632)과 이루는 각도는, 예를 들면, 15° 이상 80° 이하, 30° 이상 75° 이하, 또는 45° 이상 70° 이하로 한다. 상기 각도가 작을수록, 카메라(618)로 촬영되는 투과 전자 회절 패턴은 변형이 커진다. 단, 미리 상기 각도를 알고 있으면, 얻어진 투과 전자 회절 패턴의 변형을 보정하는 것도 가능하다. 또한, 카메라(618)를 필름실(622)에 설치해도 상관없는 경우가 있다. 예를 들면, 카메라(618)를 필름실(622)에, 전자(624)의 입사 방향과 대향하도록 설치해도 좋다. 이 경우, 형광판(632)의 이면에서 변형이 적은 투과 전자 회절 패턴을 촬영할 수 있다.

[0100] 시료실(614)에는, 시료인 물질(628)을 고정시키기 위한 홀더가 설치되어 있다. 홀더는, 물질(628)을 통과하는 전자를 투과하는 구조를 하고 있다. 홀더는, 예를 들면, 물질(628)을 X축, Y축, Z축 등으로 이동시키는 기능을 가지고 있어도 좋다. 홀더의 이동 기능은, 예를 들면, 1nm 이상 10nm 이하, 5nm 이상 50nm 이하, 10nm 이상 100nm 이하, 50nm 이상 500nm 이하, 100nm 이상 1μm 이하 등의 범위에서 이동시키는 정밀도를 가지면 좋다. 이러한 범위는, 물질(628)의 구조에 따라 최적의 범위를 설정하면 된다.

[0101] 다음에, 상기한 투과 전자 회절 측정 장치를 사용하여, 물질의 투과 전자 회절 패턴을 측정하는 방법에 관해서 설명한다.

[0102] 예를 들면, 도 22의 (D)에 도시하는 바와 같이 물질에 있어서의 나노 빔인 전자(624)의 조사 위치를 변화(스캔)시킴으로써, 물질의 구조가 변화되어 가는 모습을 확인할 수 있다. 이 때, 물질(628)이 CAAC-OS막이면, 도 22의 (A)에 도시하는 바와 같은 회절 패턴이 관측된다. 또는, 물질(628)이 nc-OS막이면, 도 22의 (B)에 도시하는 바와 같은, 휙점을 수반하는 링상의 회절 패턴이 관측된다.

[0103] 도 22의 (A)에 도시하는 바와 같이, CAAC-OS막의 회절 패턴에서는, 예를 들면 육각형의 정점에 위치하는 스폷이 확인된다. CAAC-OS막에서는, 조사 위치를 변화(스캔)시킴으로써, 이 육각형의 방향이 일정하지 않고, 조금씩 회전하고 있는 모습이 나타난다. 또한, 회전의 각도는 일정 폭을 가진다.

[0104] 또는, CAAC-OS막의 회절 패턴에서는, 조사 위치를 변화(스캔)시킴으로써, c축을 중심으로 하여 조금씩 회전하는 모습이 나타난다. 이것은, 예를 들면 a축과 b축이 형성하는 면이 회전하고 있다고도 할 수 있다.

[0105] [CAAC 비율]

[0106] 여기서, 물질(628)이 CAAC-OS막이라고 해도, 부분적으로 nc 구조 등과 같은 회절 패턴이 관측되는 경우가 있다.

따라서, CAAC-OS막의 좋고 나쁨은, 일정한 범위에 있어서의 CAAC 구조의 회절 패턴이 관측되는 영역의 비율 (CAAC 비율, 또는 CAAC화율이라고도 한다.)로 나타낼 수 있는 경우가 있다. 여기서, CAAC 비율은, 바람직하게는 90% 이상, 보다 바람직하게는 95% 이상, 더욱 바람직하게는 97% 이상 100% 이하이다.

[0107] 이하에, CAAC-OS막의 CAAC 비율의 평가 방법에 관해서 설명한다. 무작위로 측정점을 선택하고, 투과 전자 회절 패턴을 취득하여, 전체 측정점의 수에 대해, CAAC 구조의 회절 패턴이 관측되는 측정점의 수의 비율을 산출한다. 여기서, 측정점수는, 50점 이상이 바람직하며, 100점 이상이 보다 바람직하다.

[0108] 무작위로 측정점을 선택하는 방법으로서, 예를 들면 직선상으로 조사 위치를 스캔하고, 일정 등간격의 시간마다 회절 패턴을 취득하면 좋다. 조사 위치를 스캔함으로써 CAAC 구조를 갖는 영역과, 그 밖의 영역의 경계 등을 확인할 수 있기 때문에, 바람직하다.

[0109] 일례로서, 성막 직후(as-sputtered라고 표기), 또는 산소를 함유하는 분위기에 있어서의 450°C 가열 처리후의 CAAC-OS막을 갖는 각 시료의 상면에 대해, 스캔하면서 투과 전자 회절 패턴을 취득하였다. 여기서는, 5nm/초의 속도로 60초간 스캔하면서 회절 패턴을 관측하고, 관측된 회절 패턴을 0.5초마다 정지 화면으로 변환함으로써, CAAC 비율을 도출하였다. 또한, 전자선으로서는, 프로브 직경이 1nm인 나노 빔을 사용하였다. 또한, 같은 측정은 6 시료에 대해 행하였다. 그리고 CAAC 비율의 산출에는, 6 시료에 있어서의 평균값을 사용하였다.

[0110] 또한, TEM상의 관찰이나 전자 회절의 측정 등에 의한 전자선 조사에 의해, 결정 구조가 변화되지 않는 것이 바람직하다. 예를 들면, 히타치하이테크놀로지즈 제 H-9000NAR을 사용한 경우에는, 예를 들면 가속 전압 300kV 이하에서, 예를 들면 전자선의 누적 조사량(전류 밀도×시간)은 $1 \times 10^7 e^-/\text{nm}^2$ 이하인 것이 바람직하다. 또한, 예를 들면 TEM상의 관찰 등에 의해, 조사 전후에 현저한 결정 구조의 변화가 없는 것을 예를 들면 TEM상 등으로 확인하는 것이 바람직하다.

[0111] 각 시료에 있어서의 CAAC 비율을 도 23의 (A)에 도시한다. 성막 직후의 CAAC-OS막의 CAAC 비율은 75.7%(비 CAAC 비율은 24.3%)이었다. 또한, 450°C 가열 처리후의 CAAC-OS막의 CAAC 비율은 85.3%(비CAAC 비율은 14.7%)이었다. 성막 직후와 비교하여, 450°C 가열 처리후의 CAAC 비율이 높은 것을 알 수 있다. 즉, 높은 온도(예를 들면 400°C 이상)에 있어서의 가열 처리에 의해, 비CAAC 비율이 낮아지는(CAAC 비율이 높아지는) 것을 알 수 있다. 또한, 500°C 미만의 가열 처리에 있어서도 높은 CAAC 비율을 갖는 CAAC-OS막이 얻어지는 것을 알 수 있다.

[0112] 여기서, CAAC 구조와 상이한 회절 패턴의 대부분은 nc 구조의 회절 패턴이었다. 또한, 측정 영역에 있어서 비정질 산화물 반도체막과 같은 회절 패턴은, 확인할 수 없었다. 따라서, 가열 처리에 의해, nc-구조를 갖는 영역이, 인접하는 영역의 구조의 영향을 받아 재배열되고, CAAC화되고 있는 것이 시사된다.

[0113] 도 23의 (B) 및 도 23의 (C)는, 성막 직후 및 450°C 가열 처리후의 CAAC-OS막의 평면 TEM상이다. 도 23의 (B)와 도 23의 (C)를 비교함으로써, 450°C 가열 처리후의 CAAC-OS막은, 막질이 보다 균질한 것을 알 수 있다. 즉, 높은 온도에 있어서의 가열 처리에 의해, CAAC-OS막의 막질이 향상되는 것을 알 수 있다.

[0114] 이러한 측정 방법을 사용하면, 복수의 구조를 갖는 산화물 반도체막의 구조해석이 가능해지는 경우가 있다.

[0115] 또한, 예를 들면 CAAC-OS막을 단면 TEM 관찰하면, CAAC 비율이 높을수록 금속 원자가 층상으로 규칙적으로 배열되는 영역이 증대된다고 할 수 있다. 이후의 실시예에서 상세하게 서술하겠지만, 예를 들면 CAAC 비율이 상이한 2개의 CAAC-OS막을 단면 TEM 관찰하면, CAAC 비율이 보다 큰 막에서는 금속 원자가 층상으로 규칙적으로 배열되는 영역이 증대되는 경우가 있다. 도 59의 (A)는, CAAC 비율이 약 90%인 CAAC-OS막의, 도 59의 (B)는 CAAC 비율이 약 98%인 CAAC-OS막의 단면을 관찰한 결과이다. 단면 중에 선으로 표기한 영역은, 금속 원자가 층상으로 규칙적으로 나열된 영역을 나타낸다. 또한, 규칙적으로 배열된 영역 간에는, 배열이 불명료한 영역이 존재하는 경우가 있는데, CAAC-OS막의 CAAC 비율이 높을수록, 불명료한 영역은 보다 감소할 수 있다.

[0116] 여기서 나노 빔 전자 회절을 행한 경우에, CAAC-OS막이 부분적으로 CAAC 구조 이외의 구조를 갖는 영역, 예를 들면 nc 구조의 회절 패턴이 관측되는 영역이나, 스피넬형의 결정 구조의 회절 패턴이 관측되는 영역을 갖는 경우를 생각한다. 이러한 경우에는, CAAC 구조의 회절 패턴이 관측되는 영역과, 다른 구조의 회절 패턴이 관측되는 영역의 경계에서는, 예를 들면 캐리어의 산란이 증대되고, 캐리어 이동도가 저하되는 경우가 있다. 또한, 경계부는 불순물의 이동 경로가 되기 쉽고, 또한 불순물을 포획하기 쉬울 것으로 생각되기 때문에, CAAC-OS막의 불순물 농도가 높아질 우려가 있다.

[0117] 특히, 다른 구조를 갖는 영역이 스피넬형의 결정 구조를 갖는 영역인 경우에는, CAAC 구조를 갖는 영역과의 사

이에 명확한 경계가 관측되는 경우가 있기 때문에, 그 경계부에서는 캐리어의 산란 등에 의해 전자 이동도가 저하되는 경우가 있다. 또한, CAAC-OS막 위에 도전막을 형성하는 경우에, 도전막이 갖는 원소, 예를 들면 금속 등이 스피넬과 다른 영역의 경계로 확산되어 버리는 경우가 있다. 또한, 스피넬형의 결정 구조를 갖는 막에서는 막 중의 불순물 농도, 예를 들면 수소 농도가 상승하는 경우가 있으며, 예를 들면 입체 부분에 수소 등의 불순물이 포획되어 있을 가능성 등이 생각된다. 따라서, CAAC-OS막에는, 특히 스피넬형의 결정 구조가 포함되지 않거나, 또는 적은 것이 보다 바람직하다.

[0118] [원자수비에 관해서]

[0119] 산화물 반도체막이, 인듐, 원소 M 및 아연을 갖는 경우를 생각한다. 여기서, 원소 M은, 바람직하게는, 알루미늄, 갈륨, 이트륨 또는 주석 등으로 한다. 그 밖의 원소 M에 적용 가능한 원소로서는, 봉소, 실리콘, 티타늄, 철, 니켈, 게르마늄, 이트륨, 지르코늄, 몰리브덴, 란탄, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐 등이 있다. 단, 원소 M으로서, 상기한 원소를 복수 조합해도 상관없는 경우가 있다. 산화물 반도체막이 갖는 인듐, 원소 M 및 아연의 원자수비, $x:y:z$ 의 바람직한 범위에 관해서, 도 1 및 도 2를 사용하여 설명한다.

[0120] 여기서, 각 원소의 원자수비에 관해서, 도 3을 사용하여 설명한다. 도 3의 (A) 및 도 3의 (B)에는, X, Y 및 Z를 정점으로 하는 정삼각형과, 좌표점의 예로서 좌표점 R(4:2:1)을 나타낸다. 여기서 각 정점은 각각 원소 X, Y 및 Z를 나타낸다. 각각의 원자수비는, 각 정점에 가까울수록 높고, 멀수록 낮다. 또한, 도 3의 (A)에 도시하는 바와 같이 각각의 원자수비는, 좌표점으로부터, 그 삼각형의 정점의 대변까지의 수선의 길이로 나타낸다. 예를 들면, 원소 X이면, 좌표점으로부터 정점 X의 대변, 즉 변 YZ까지의 수선(21)의 길이로 나타낸다. 따라서, 도 3에 도시하는 좌표 R은, 원소 X, 원소 Y 및 원소 Z의 원자수비가 수선(21), 수선(22) 및 수선(23)의 길이의 비, 즉 $x:y:z=4:2:1$ 인 것을 나타낸다. 또한, 정점 X와 좌표점 R을 지나가는 직선이 변 YZ와 교차하는 점을 γ 로 한다. 이 때, 선분 $Y\gamma$ 의 길이와 선분 γZ 의 길이의 비를 $Y\gamma : \gamma Z$ 로 하면, $Y\gamma : \gamma Z = (\text{원소 } Z\text{의 원자수}) : (\text{원소 } Y\text{의 원자수})$ 가 된다.

[0121] 또한, 도 3의 (B)에 도시하는 바와 같이, 좌표점 R을 지나가고, 삼각형의 3변과 각각 평행한 3개의 직선을 긋는다. 이 때 3개의 직선과 3변의 교점을 사용하여, x, y, 및 z는 도 3의 (B)에 도시하는 바와 같이 나타낼 수 있다.

[0122] 도 1 및 도 2는, 산화물 반도체막이 갖는 인듐, 원소 M 및 아연의 원자수비의 범위에 관해서 도시하고 있다. 여기서 도 1 및 도 2에서는, 원소 M이 Ga인 예를 나타내고 있다. 또한, 산소의 원자수비에 관해서는 도 1 및 도 2에는 기재하지 않는다.

[0123] 예를 들면 비특허문헌 1에 기재되어 있는 바와 같이, 인듐, 원소 M 및 아연을 갖는 산화물에서는, $\text{InM}_0_3(\text{ZnO})_m$ (m 은 자연수)으로 표시되는 호모로 가스상(호모로 가스 시리즈)이 존재하는 것이 알려져 있다. 여기서, 예로서 원소 M이 Ga인 경우를 생각한다. 도 1에 긁은 직선으로 나타낸 영역은, 예를 들면 In_2O_3 , Ga_2O_3 , 및 ZnO 의 분말을 도 1에 도시하는 영역의 비율로 혼합하고, 1350°C 에서 소성한 경우에, 단일상의 고용역을 취할 수 있는 것이 알려져 있는 영역이다. 또한, 도 1에 사각의 심볼로 나타내는 좌표는, 스피넬형의 결정 구조가 혼재되기 쉬운 것이 알려져 있는 조성이다.

[0124] 예를 들면, 스피넬형의 결정 구조를 갖는 화합물로서, ZnGa_2O_4 등의 ZnM_2O_4 로 표시되는 화합물이 알려져 있다. 또한, 도 1에 도시하는 바와 같이 ZnGa_2O_4 근방의 조성, 즉 x, y 및 z가 $(x:y:z)=(0:1:2)$ 에 가까운 값을 갖는 경우에는, 스피넬형의 결정 구조가 형성, 또는 혼재되기 쉬운 것이, 예를 들면 비특허문헌 1에 기재되어 있다.

[0125] 여기서, 산화물 반도체막은 CAAC-OS막인 것이 바람직하다. 또한, CAAC-OS막은, 특히 스피넬형의 결정 구조가 포함되지 않는 것이 바람직하다. 또한, 캐리어 이동도를 높이기 위해서는 In의 함유율을 높이는 것이 바람직하다. 인듐, 원소 M 및 아연을 갖는 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하고 있으며, 인듐의 함유율을 높게 함으로써, 보다 많은 s궤도가 중첩되기 때문에, 인듐의 함유율이 많은 산화물은 인듐의 함유율이 적은 산화물과 비교하여 이동도가 높아진다. 이로 인해, 산화물 반도체막에 인듐의 함유량이 많은 산화물을 사용함으로써, 캐리어 이동도를 높일 수 있다.

[0126] 따라서, 산화물 반도체막이 갖는 인듐, 원소 M 및 아연의 원자수비, $x:y:z$ 는, 예를 들면 도 1의 (B)에 도시하는 영역 11의 범위인 것이 바람직하다. 여기서, 영역 11은, 제 1 좌표 K($x:y:z=8:14:7$)와, 제 2 좌표 L($x:y:z=2:5:7$)과, 제 3 좌표 M($x:y:z=51:149:300$)과, 제 4 좌표 N($x:y:z=46:288:833$)과, 제 5 좌표

0(x:y:z=0:2:11)와, 제 6 좌표 P(x:y:z=0:0:1)와, 제 7 좌표 Q(x:y:z=1:0:0)와, 상기 제 1 좌표 K를, 순서대로 선분으로 이은 범위 내의 원자수비를 갖는 영역이다. 또한, 영역 11에는, 선분 위의 좌표도 포함한다.

[0127] x:y:z를 도 1의 (B)에 도시하는 영역 11로 함으로써, 나노 범 전자 회절에 있어서 스피넬형의 결정 구조가 관측되는 비율을 없앨 수 있거나, 또는 매우 낮게 할 수 있다. 따라서, 우수한 CAAC-OS막을 얻을 수 있다. 또한, CAAC 구조와 스피넬형의 결정 구조의 경계에 있어서의 캐리어 산란 등을 감소시킬 수 있기 때문에, 산화물 반도체막을 트랜지스터에 사용한 경우에, 높은 전계 효과 이동도의 트랜지스터를 실현할 수 있다. 또한, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0128] 여기서, 산화물 반도체막의 CAAC 비율을 보다 높이기 위해서는, 아연의 원자수비를 높이는 것이 바람직하다. 도 1 및 도 2에는, 인듐, 원소 M 및 아연의 원자수비, x:y:z가 이하의 수학식 1을 충족시키는 경우에 관해서, 그 범위를 점선으로 나타내고 있다.

수학식 1

$$x:y:z = (1-\alpha):(1+\alpha):m \quad (-1 \leq \alpha \leq 1)$$

[0129] 여기서, 도 1 및 도 2에는 $m=1,2,3,4,5$ 인 경우를 도시한다. 또한, 도 1에 나타내는 굵은 선은, 예를 들면 원소 M이 갈륨인 경우에, In-Ga-Zn 산화물이 단일상의 고용역을 취할 수 있는 것이 알려져 있는 영역이다. 예를 들면, In-Ga-Zn 산화물의 원자수비를 고용역을 취할 수 있는 범위로 함으로써, CAAC 비율을 보다 높일 수 있는 경우가 있다. 고용역을 취할 수 있는 범위는, 인듐과 갈륨의 원자수의 합에 대해 아연의 원자수비를 높이면 넓어지는 경향이 있다. 따라서, 인듐과 갈륨의 원자수의 합에 대해 아연의 원자수비를 높임으로써, 산화물 반도체막의 CAAC 비율을 보다 높일 수 있는 경우가 있다.

[0130] 여기서, 도 1에 도시하는 굵은 선의 영역, 즉 고용역을 취할 수 있는 범위는, $m=1$ 내지 5에 있어서 이하의 수학식 2 내지 수학식 6으로 표시된다.

수학식 2

$$x:y:z = (1-\alpha):(1+\alpha):1 \quad (-0.33 \leq \alpha \leq +0.08)$$

수학식 3

$$x:y:z = (1-\alpha):(1+\alpha):2 \quad (-0.68 \leq \alpha \leq +0.32)$$

수학식 4

$$x:y:z = (1-\alpha):(1+\alpha):3 \quad (-1 \leq \alpha \leq +0.46)$$

수학식 5

$$x:y:z = (1-\alpha):(1+\alpha):4 \quad (-1 \leq \alpha \leq +0.54)$$

수학식 6

$$x:y:z = (1-\alpha):(1+\alpha):5 \quad (-1 \leq \alpha \leq +0.72)$$

[0136]

[0137] 따라서, 산화물 반도체막의 CAAC 비율을 보다 높이기 위해서는, 산화물 반도체막이 갖는 인듐, 원소 M 및 아연의 원자수비, $x:y:z$ 를, 도 2의 (A)에 도시하는 영역 12의 범위로 하는 것이 바람직하며, 도 2의 (B)에 도시하는 영역 13의 범위로 하는 것이 보다 바람직하다. 여기서 영역 12 및 영역 13은 모두 영역 11에 포함되기 때문에, 산화물 반도체막의 스피넬형의 결정 구조가 판측되는 영역을 없애거나, 또는 적게 할 수 있기 때문에 바람직하다.

[0138]

여기서, 영역 12는, 제 1 좌표 $A(x:y:z=2:2:1)$ 와, 제 2 좌표 $B(x:y:z=23:27:25)$ 와, 제 3 좌표 $C(x:y:z=8:12:35)$ 와, 제 4 좌표 $D(x:y:z=4:0:7)$ 와, 제 5 좌표 $E(x:y:z=2:0:3)$ 와, 제 6 좌표 $F(x:y:z=7:1:8)$ 와, 제 7 좌표 $G(x:y:z=15:5:8)$ 와, 상기 제 1 좌표 A를, 순서대로 선분으로 이은 범위 내의 원자수비를 갖는 영역이다. 또한, 영역 12에는, 선분 위의 좌표도 포함한다.

[0139]

또한, 영역 13은, 제 1 좌표 $H(x:y:z=35:20:22)$ 와, 제 2 좌표 $I(x:y:z=7:4:11)$ 와, 제 3 좌표 $J(x:y:z=5:1:6)$ 와, 제 4 좌표 $U(x:y:z=25:10:14)$ 와, 상기 제 1 좌표 H를, 순서대로 선분으로 이은 범위 내의 원자수비를 갖는 영역이다. 또한, 영역 13에는, 선분 위의 좌표도 포함한다. 예를 들면, 인듐의 원자수비를 높임으로써, 캐리어 이동도를 높일 수 있기 때문에 바람직하다. 예를 들면, x는 y의 1.75배 이상이면 바람직하다.

[0140]

영역 12 및 영역 13의 범위 내에 있어서, x, y 및 z가 수학식 1, 또는 수학식 2 내지 수학식 6의 관계를 충족시키는 경우에는, 특히 CAAC 비율이 높아지는 경우가 있어, 더욱 바람직하다. 여기서, x, y 및 z는 수학식 1 내지 수학식 6의 관계를 충족시키는 값으로부터, 예를 들면 10% 정도 벗어난 값을 가져도 좋다. 예를 들면, $(x:y:z)=(x_1:y_1:z_1)$ 이 수학식 1을 충족시키는 경우, 예를 들면 x, y 및 z의 값은 $0.9 \times x_1 \leq x \leq 1.1 \times x_1$, $0.9 \times y_1 \leq y \leq 1.1 \times y_1$ 및 $0.9 \times z_1 \leq z \leq 1.1 \times z_1$ 이 바람직하다.

[0141]

본 발명의 일 형태에 의해, CAAC 비율이 높은 산화물 반도체막을 실현할 수 있다. 즉, 양질인 CAAC-OS막을 실현할 수 있다. 또한, 본 발명의 일 형태에 의해, 스피넬형의 결정 구조가 판측되는 영역이 없거나, 또는 매우 적은 CAAC-OS막을 실현할 수 있다. 여기서, CAAC 비율은, 바람직하게는 95% 이상, 보다 바람직하게는 97% 이상 100% 이하이면 좋다.

[0142]

또한, 산화물 반도체막을 스피터링법으로 성막하는 경우, 타깃의 원자수비에서 벗어난 원자수비의 막이 형성되는 경우가 있다. 특히, 아연은, 타깃의 원자수비보다 막의 원자수비가 작아지는 경우가 있다. 구체적으로는, 타깃에 함유되는 아연의 원자수비의 40% 이상 90% 정도 이하가 되는 경우가 있다. 여기서, 사용하는 타깃은 다 결정인 것이 바람직하다.

[0143]

여기서, 인듐, 갈륨 및 아연에 관해서, 타깃의 원자수비와 스피터링법으로 얻어지는 산화물 반도체막의 원자수비의 관계를 조사한 결과에 관해서 서술한다. 사용한 타깃의 원자수비와, 스피터링법에 의해 얻어진 산화물 반도체막의 원자수비를 표 1에 기재한다.

표 1

타깃 원자수비 In:Ga:Zn	막의 원자수비		
	In	Ga	Zn
1:1:1	1	0.99	0.66
1:1:1.2	1	0.98	0.84
1:1:1.5	1	0.92	1.04
1:3:2	1	2.89	1.24
1:3:4	1	3.02	2.56
1:3:6	1	3.06	4.19
3:1:2	3	0.98	1.40
3:1:3	3	1.01	2.30

[0144]

[0145] 성막 조건으로서, 성막 가스에 아르곤 및 산소를 사용하여, 산소 유량비를 33%로 하였다. 여기서 산소 유량비란, 산소 유량 \div (산소 유량+아르곤 유량) $\times 100$ [%]로 표시되는 양이다. 또한, 압력은 0.4Pa에서 0.7Pa의 범위로 하고, 기판 온도를 200°C 내지 300°C, 전원 전력을 0.5kW(DC)로 하였다.

[0146]

[0146] 각각의 원자수비의 타깃을 사용하여 얻어진 산화물 반도체막의 각 원소의 농도를 ICP-MS(Inductively Coupled Plasma Mass Spectrometry)를 사용하여 평가하였다. 도 31에는, 타깃의 원자수비와, 아연의 잔류율의 관계를 도시한다. 도면 중의 숫자는, 타깃의 인듐:갈륨:아연의 원자수비를 나타내고, 세로축은, 아연의 잔류율을 나타낸다. 여기서 아연의 잔류율에 관해서 설명한다. 성막에 의해 얻어진 막의 아연의 원자수비를, 인듐, 갈륨 및 아연의 원자수비의 합으로 나눈 값을 Zn(Film)으로 한다. 또한, 타깃의 아연의 원자수비를, 타깃의 인듐, 갈륨 및 아연의 원자수비의 합으로 나눈 값을 Zn(Target)으로 한다. 여기서, 아연의 잔류율을, $A = Zn(Film) \div Zn(Target) \times 100$ [%]로 나타내는 값으로 정의한다. 도 31의 (A)는 가로축에 타깃의 갈륨의 원자수비에 대한 아연의 원자수비(Zn/Ga)를, 도 31의 (B)는 가로축에 타깃의 인듐의 원자수비에 대한 갈륨의 원자수비(Ga/In)를, 도 31의 (C)는 가로축에 타깃의 인듐의 원자수비에 대한 아연의 원자수비(Zn/In)를 각각 나타내고 있다. 또한 각각의 세로축은 아연의 잔류율 A를 나타낸다.

[0147]

[0147] 여기서 도 31로부터, 스퍼터링법에 의해 얻어지는 산화물 반도체막의 아연의 잔류율은, 대략 50% 이상 90% 이하의 범위내인 것을 알 수 있다. 즉, 타깃의 원자수비와 비교하여, 아연은 크게 감소되는 것을 알 수 있다. 또한, 표 1에 기재한 인듐 및 갈륨의 원자수비로부터, 인듐 및 갈륨은, 아연과 비교하여 타깃의 원자수비로부터는 크게 변화되지 않는다고 할 수 있다. 또한, 타깃의 갈륨에 대한 아연의 원자수비(Zn/Ga)가 예를 들면 1인 경우에는 아연의 잔류율 A는 약 66%, 2인 경우에는 약 74%, 3인 경우에는 약 83%이다.

[0148]

[0148] 또한 도 31의 (A)로부터, 타깃의 갈륨에 대한 아연의 원자수비(z/y)와, 아연의 잔류율 사이에는 양호한 상관이 있는 것을 알 수 있다. 즉, 갈륨에 대해 아연이 적은 편이, 잔류율은 보다 낮아져 있다.

[0149]

[0149] 여기서, 산화물 반도체막의 인듐, 갈륨 및 아연의 원자수비 x, y 및 z가 수학식 1을 충족시키는 경우에는, 산화물 반도체막의 CAAC 비율을 보다 높일 수 있는 경우가 있다.

[0150]

[0150] 수학식 1을 충족시키는 원자수비의 예로서, x:y:z=4:2:3, x:y:z=1.1:2.9:6, x:y:z=1:2:3의 3개의 예를 생각한다.

[0151]

[0151] 예를 들면, x:y:z=4:2:3으로 함으로써, 인듐의 원자수비를 갈륨의 2배로 높일 수 있어, 인듐의 함유율을 높일 수 있다. 따라서, 높은 이동도를 얻을 수 있는 경우가 있다.

[0152]

[0152] 또한, 예를 들면 x:y:z=1.1:2.9:6으로 함으로써, 수학식 1을 충족시키고, 또한 도 1에 굵은 선으로 나타내는 고용역을 취할 수 있는 범위 내로 할 수 있기 때문에, 높은 CAAC 비율이 얻어지는 경우가 있어, 바람직하다. 또한, 인듐의 함유율을 낮게 함으로써, 전자 친화력을 작게 할 수 있다. 예를 들면, x:y:z=1.1:2.9:6의 원자수비를 갖는 산화물 반도체막은, 영역 12나 영역 13의 원자수비를 갖는 산화물 반도체막과 비교하여 인듐의 함유율

이 낮기 때문에, 전자 친화력을 상대적으로 작게 할 수 있다.

[0153] 마찬가지로, 예를 들면 $x:y:z=1:2:3$ 으로 함으로써, 수학식 1을 충족시키고, 또한 고용역을 취할 수 있는 범위 내로 할 수 있기 때문에, 높은 CAAC 비율이 얻어지는 경우가 있어, 바람직하다. 또한, 영역 12나 영역 13의 원자수비를 갖는 산화물 반도체막과 비교하여 인듐의 함유율이 낮기 때문에, 전자 친화력을 상대적으로 작게 할 수 있다.

[0154] 타깃의 인듐, 갈륨 및 아연의 원자수비를 a , b 및 c 로 한다. 도 31로부터, 아연의 잔류율 A 와, b 및 c 사이에는 이하의 수학식 7로 표시되는 근사식이 성립된다.

수학식 7

$$A[\%] = \{0.0811 \times (c/b) + 0.5825\} \times 100$$

[0155] 따라서, 인듐 및 갈륨의 잔류율을 100%라고 가정하면, $In:Ga:Zn=a:b:c$ 의 타깃을 사용하여 스퍼터링법에 의해 산화물 반도체막을 형성하는 경우에는, 얻어지는 산화물 반도체막의 원자수비 $x:y:z=a:b:\{0.0811 \times (c/b) + 0.5825\} \times c$ 가 된다.

[0157] 여기서, 얻어지는 산화물 반도체막의 인듐, 갈륨 및 아연의 원자수비 $x:y:z=4:2:3$ 을 목표로 하는 경우에는, 타깃의 아연의 원자수비 c 는 하기의 수학식 8을 충족시키면 좋다. 또한, $a=x=4$, $b=y=2$, $z=3$ 으로 한다.

수학식 8

$$3 = \{0.0811 \times (c/2) + 0.5825\} \times c$$

[0158] 수학식 8은 c 의 2차 방정식이며, 그 해는 4.0234 및 -18.3883으로 구해진다. 여기서 음의 값을 적합하지 않기 때문에, $x:y:z=4:2:3$ 을 목표로 하기 위해서는, $a:b:c=4:2:4$ 로 하면 좋은 것을 알 수 있다.

[0160] 마찬가지로, $x:y:z=1.1:2.9:6$ 을 목표로 하는 경우에는 $a:b:c=1.1:2.9:7.6$ 으로 하면 되고, $x:y:z=1:2:3$ 을 목표로 하는 경우에는 $a:b:c=1:2:4$ 로 하면 좋다.

[0161] 또한, 예를 들면 도 2에 도시하는 영역 12의 산화물 반도체막을 얻기 위해서는, 타깃의 원자수비는, 도 2에 도시하는 영역 12보다 아연의 원자수비가 많아지는 것이 바람직하다. 여기서 타깃이 갖는 인듐, 원소 M 및 아연의 원자수비를 $a:b:c$ 로 한다. 여기서, 스퍼터링법에 의해 얻어지는 산화물 반도체막의 인듐, 원소 M 및 아연의 원자수비를 $x:y:z$ 로 하기 위해서는, c/b 가 1인 경우에는, 예를 들면 $c/(a+b+c)$ 의 값을, $z/(x+y+z)$ 의 약 1.5배 ($100 \div 66=1.51$) 정도로 하면 좋으며, c/b 가 2인 경우에는, 예를 들면 $c/(a+b+c)$ 의 값을, $z/(x+y+z)$ 의 약 1.35 배 ($100 \div 74=1.35$) 정도로 하면 좋고, c/b 가 3인 경우에는, 예를 들면 $c/(a+b+c)$ 의 값을, $z/(x+y+z)$ 의 약 1.20 배 ($100 \div 83=1.20$) 정도로 하면 좋다.

[0162] 산화물 반도체막의 원자수비를 영역 12의 범위로 함으로써, CAAC 비율을 더욱 높일 수 있기 때문에 바람직하다.

[0163] 따라서 CAAC 비율이 더욱 높은 산화물 반도체막을 얻기 위해서는, 타깃의 원자수비는, $c/b \geq 2$ 이면, 예를 들면 $c/(a+b+c)$ 의 값을 $z/(x+y+z)$ 의 1.4배 정도로 하면 좋다. 구체적으로는, 타깃의 원자수비는 예를 들면, 도 4에 도시하는 영역 14의 범위 내의 값을 취하는 것이 바람직하다. 여기서 영역 14는, 제 1 좌표 A($a:b:c=2:2:1$)와, 제 2 좌표 B($a:b:c=23:27:25$)와, 제 3 좌표 S($a:b:c=2:4:15$)와, 제 4 좌표 T($a:b:c=2:0:5$)와, 제 5 좌표 E($a:b:c=2:0:3$)와, 제 6 좌표 F($a:b:c=7:1:8$)와, 제 7 좌표 G($a:b:c=15:5:8$)와, 상기 제 1 좌표 A를, 순서대로 선분으로 이은 범위 내의 원자수비를 갖는 영역이다. 또한, 영역 14에는, 선분 위의 좌표도 포함한다.

[0164] 여기서, 본 발명의 일 형태인 산화물 반도체막은, 복수의 막을 적층해도 좋다. 또한 복수의 막의 각각의 CAAC 비율이 상이해도 좋다. 또한, 적층된 복수의 막 중, 적어도 1층의 막은 예를 들면 CAAC 비율이 90%보다 높은 것이 바람직하며, 95% 이상인 것이 보다 바람직하며, 97% 이상 100% 이하인 것이 더욱 바람직하다.

[0165] 여기서, 산화물 반도체막의 막 밀도에 관해서, 설명한다.

[막 밀도 평가 결과]

[0167] CAAC-OS막은, c축으로 배향된 복수의 결정부를 가지며, 또한 결정부끼리는 명확한 입계가 관측되지 않기 때문에, 치밀한 막을 얻을 수 있다. 나중의 실시예에 상세하게 조건을 서술하겠지만, 스퍼터링법을 사용하여, 타깃으로서, 원자수비가 In:Ga:Zn=1:1:1인 In-Ga-Zn 산화물을 사용하여 형성한 CAAC-OS막과, 원자수비가 In:Ga:Zn=2:1:3인 In-Ga-Zn 산화물을 사용하여 형성한 CAAC-OS막의 막 밀도를 평가한 결과, 그 밀도는 모두 약 6.3g/cm³이었다. 산소 유량비는 33%, 성막시의 기판 온도는 200°C 이상, 300°C 이하인 조건을 사용하였다. 또한, 막 밀도는, X선 반사율(XRR: X-Ray Reflectivity)법에 의해 구하였다.

[0168] 한편, 산화물 반도체막의 형성 조건에 따라서는, 막 밀도가 낮은 막이 얻어지는 경우가 있다. 또한, 막 밀도의 저하에 따라, 소위 공동을 갖는 막이 얻어지는 경우가 있다. 여기서 공동이란, 예를 들면, 밀도가 매우 낮은 영역, 또는 공간이다. 이러한 막은 결정성도 낮고, 또한 불순물을 트랩하기 쉬운 경우가 있어, 양호한 트랜지스터 특성을 얻는 것이 어렵다.

[0169] 여기서, 공동이 많은 막의 막 밀도에 관해서 설명한다. 예를 들면 스퍼터링법을 사용하고, 산소 유량비가 낮은 조건을 사용하고, 낮은 기판 온도에서 성막을 행함으로써 공동이 많은 막이 형성되는 경우가 있다. 표 2에 도시하는 조건을 사용하고, 산화물 반도체막을 스퍼터링법을 사용하여 형성하였다. 타깃으로서 원자수비가 In:Ga:Zn=1:1:1인 In-Ga-Zn 산화물을 사용하였다. 전원은, RF 전원을 사용하였다.

표 2

전원 전력	가스 유량		기판 온도 [°C]	압력 [Pa]
	Ar [sccm]	O ₂ [sccm]		
조건 C	100W	98	2	실온
조건 D	100W	98	2	실온

[0170]

표 2에 기재하는 조건 C의 성막 레이트는 0.48nm/분, 조건 D의 성막 레이트는 1.78nm/분이었다.

[0172]

표 3은, 표 2에 기재하는 조건 C 및 조건 D를 사용하여 형성한 산화물 반도체막의 막 밀도를 측정한 결과이다.

표 3

	막밀도 [g/cm ³]
조건 C	5.57
조건 D	6.10

[0173]

조건 C, 조건 D 모두 막 밀도가 낮은 경향이 나타났다. 이것은, 산소 유량비가 2%로 낮은 것과, 성막 온도가 낮은 것에 기인하는 것으로 생각된다. 또한, 조건 D와 비교하여 성막 압력이 높은 조건 C에서는, 막 밀도가 보다 낮은 결과가 되었다.

[막중 수소 농도]

다음에, 조건 C 및 조건 D를 사용하여 형성한 산화물 반도체막의 막중 수소 농도를 도 32에 도시한다. 조건 C에서는 수소의 농도가 현저하게 높은 결과가 얻어졌다.

[0177]

조건 C 및 조건 D를 사용하여 성막한 산화물 반도체막의, 단면 TEM상을 관찰한 결과를 도 33에 도시한다. 도

33의 (A)는 조건 C를 사용한 막, 도 33의 (B)는 조건 D를 사용한 막의 단면 TEM상이다. 조건 C에서는 막이 성긴 부분, 소위 공동이 관찰되었다. 공동이 나타나는 영역의 일례를 점선으로 둘러싸고, 나타내었다.

[0178] 조건 C 및 조건 D를 사용하여 성막한 산화물 반도체막의 TDS(Thermal Desorption Spectroscopy: 승온 탈리 가스 분광법) 분석 결과를 도 34에 도시한다. 도 34는 분자량=18에 있어서의 방출량을 도시한다. 도 34의 (A)는 조건 C를 사용한 막, 도 34의 (B)는 조건 D를 사용한 막의 결과이다. 막 밀도가 낮은 조건 C를 사용하여 형성한 산화물 반도체막에서는, TDS 분석에 있어서 분자량=18에 있어서의 방출이 현저하게 관측되고, H_2O , 즉 수분의 방출인 것이 시사된다. 즉 수분의 흡착이 많은 막이라고 생각된다.

[0179] 수분의 흡착에 관해서 보다 상세하게 조사하기 위해서, 조건 C를 사용하여 성막한 산화물 반도체막에 관해서, TDS 분석을 행한 후에, 평균 온도 $24^\circ C$, 평균 습도 61%의 대기 중에 24시간 방치한 후, 다시 TDS 분석을 행하였다. 그 결과를 도 35에 도시한다. 도 35의 (A)는 1회째의 분석 결과를, 도 35의 (B)는 대기 중에 방치한 후의 분석 결과, 즉 2회째의 분석 결과를 도시한다. 2회째의 분석에 있어서, 분자량 18에 기인하는 피크는 다시 관측되었다. 이것으로부터, 1회째의 TDS 분석에 의해 수분이 방출된 후, 대기 중에서 다시 수분을 흡착한 것으로 생각된다. 즉, 밀도가 낮고, 공동을 갖는 막은, 수분을 흡착하기 쉽다고 할 수 있다.

[0180] (실시형태 2)

[0181] 본 실시형태에서는, 본 발명의 일 형태인 산화물 반도체를 사용한 트랜지스터의 일례에 관해서 설명한다.

[0182] 종래의 실리콘이나 게르마늄, 및 그 화합물을 사용한 트랜지스터에서는, 특히 미세한 채널 길이를 갖는 소자에서는 단채널 효과를 억제하기 위해서, 게이트 전계를 강하게 하는 것이 바람직하며, 게이트 전계를 강하게 하기 위해서는 게이트 절연막의 박막화가 바람직하다.

[0183] 한편, 산화물 반도체막을 사용한 트랜지스터는, 전자를 다수 캐리어로 하는 축적형 트랜지스터이다. 이로 인해, pn 접합을 갖는 반전형 트랜지스터와 비교하여 단채널 효과의 하나인 DIBL(Drain-Induced Barrier Lowering)의 영향이 작다. 산화물 반도체막을 사용한 트랜지스터는, 단채널 효과에 대한 내성을 갖는다고 바꿔 말할 수도 있다.

[0184] 단채널 효과에 대한 내성이 높기 때문에, 산화물 반도체막을 사용한 트랜지스터에서는 실리콘 등을 사용한 종래의 트랜지스터보다 게이트 절연막을 두껍게 하는 것이 가능해진다. 예를 들면 채널 길이 및 채널 폭이 50nm 이하인 미세한 트랜지스터에 있어서도, 10nm 정도의 두꺼운 게이트 절연막을 사용해도 좋다. 여기서, 게이트 절연막을 두껍게 함으로써 기생 용량을 저감시킬 수 있다. 따라서, 회로의 동특성을 향상시킬 수 있는 경우가 있다. 또한 게이트 절연막을 두껍게 함으로써, 리크 전류를 저감시키고, 소비 전력을 낮출 수 있는 경우가 있다.

[0185] 또한, 채널 길이가 미세화됨에 따라 드레인 전계가 강해지기 때문에, 실리콘 등을 사용한 종래의 트랜지스터에 있어서는, 특히 미세한 채널 길이를 갖는 경우에 핫 캐리어 열화에 의한 신뢰성의 저하가 보다 현저해진다. 한편, 산화물 반도체에서는 밴드갭이 크고(예를 들면 인듐, 갈륨 및 아연을 갖는 산화물 반도체에서는 2.5eV 이상), 전자가 여기되기 어려운 점이나, 홀의 유효 질량이 큰 점 등에서, 종래의 실리콘 등을 사용한 트랜지스터와 비교하여, 애벌란시 항복 등이 발생하기 어려운 경우가 있다. 따라서, 예를 들면 애벌란시 항복에 기인하는 핫 캐리어 열화 등을 억제할 수 있는 경우가 있다.

[0186] 게이트 절연막을 두껍게 함으로써 게이트 절연막의 내압을 높일 수 있고, 보다 높은 게이트 전압으로 트랜지스터를 구동할 수 있다. 또한, 핫 캐리어 열화를 억제함으로써, 채널 길이를 길게 하지 않고도 높은 드레인 전압으로 트랜지스터를 구동할 수 있다. 따라서, 높은 전압이 입력되는 회로에 있어서 트랜지스터의 신뢰성을 높일 수 있는 동시에, 채널 길이의 축소가 가능해져 회로의 집적도를 높일 수 있다.

[0187] 또한, 진성 또는 실질적으로 진성의 산화물 반도체막을 사용한 트랜지스터에서는, 소스 전극 및 드레인 전극 간의 거리가 충분히 작을 때에는, 소스 전계 및 드레인 전계의 영향에 의해 전도대 하단의 에너지가 낮아져, 전도대 하단의 에너지와 페르미 준위가 가까워진다. 이 현상을, Conduction Band Lowering Effect(CBL 효과)라고 부른다. CBL 효과에 의해, Vg - Id 특성에 있어서 OV 부근의 낮은 게이트 전압으로부터 드레인 전류가 흐르기 시작하기 때문에, 트랜지스터의 구동 전압을 낮게 할 수 있는 경우가 있다.

[0188] 여기서, 산화물 반도체막으로서 CAAC-OS막을 사용하는 것이 바람직하다. CAAC-OS막의 CAAC 비율은 높은 것이 바람직하다. CAAC 비율을 높임으로써, 예를 들면 트랜지스터의 캐리어 산란의 영향을 작게 할 수 있고, 높은 전계 효과 이동도를 얻을 수 있다. 또한, 입계의 영향을 작게 할 수 있기 때문에, 트랜지스터의 온 특성의 불

균일을 작게 할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 얻을 수 있다. 또한, 불균일이 작은 트랜지스터를 사용함으로써 구동 전압을 작게 하여, 소비 전력을 낮출 수 있다. 또한, 예를 들면 결합 밀도가 낮은 CAAC-OS막을 실현할 수 있다. 또한, 불순물이 적은 CAAC-OS막을 실현할 수 있다. 결합 밀도를 저감시킴으로써, 예를 들면 매우 낮은 오프 전류 특성을 실현할 수 있다.

[0189] [산화물 반도체막을 사용한 트랜지스터]

[0190] 산화물 반도체막을 사용한 트랜지스터의 일례에 관해서, 도 5를 사용하여 설명한다.

도 5의 (A)는 트랜지스터(100)의 상면도를 도시한다. 또한, 도 5의 (B)는 도 5의 (A)에 도시하는 일점 쇄선 X-X'에 있어서의 단면을, 도 5의 (C)는 일점 쇄선 Y-Y'에 있어서의 단면을 도시한다. 도 5에 도시하는 트랜지스터(100)는, 반도체층(101)과, 도전층(104a) 및 도전층(104b)과, 반도체층(101) 위의 게이트 절연막(102)과, 게이트 절연막(102)을 개재하여 반도체층(101)과 중첩되는 게이트 전극(103)을 가진다. 또한 트랜지스터(100)를 피복하여, 절연막(112) 및 절연막(113)이 설치되어 있다. 또한, 트랜지스터(100)는, 도전층(105)을 가져도 좋다. 여기서, 도 5에 도시하는 바와 같이 트랜지스터(100)는 기판(50) 위에 설치되는 것이 바람직하다. 또한, 기판과 트랜지스터(100) 사이에, 기판(50)의 상면에 접하는 절연막(51)과, 절연막(51)의 상면에 접하는 절연막(114)을 가져도 좋다. 또한, 도 5에 있어서 반도체층(101)은 절연막(114)의 상면에 접한다. 또한, 기판(50)과 절연막(114) 사이에, 절연막을 설치하지 않아도 좋다.

[0192] 반도체층(101)은, 단층으로 형성해도 좋고, 또한 도 5에 도시하는 예와 같이, 반도체층(101a), 반도체층(101b) 및 반도체층(101c)의 적층 구조로 형성되는 것이 보다 바람직하다. 이러한 경우에는 도 5에 도시하는 트랜지스터(100)는, 반도체층(101a)과, 반도체층(101a)의 상면에 접하는 반도체층(101b)과, 반도체층(101b)의 상면에 접하고, 반도체층(101b)과 중첩되는 영역에서 이간되는 도전층(104a) 및 도전층(104b)과, 반도체층(101b)의 상면에 접하는 반도체층(101c)과, 반도체층(101c) 위에 게이트 절연막(102)과, 게이트 절연막(102) 및 반도체층(101c)을 개재하여 반도체층(101b)과 중첩되는 게이트 전극(103)을 가진다. 반도체층(101a)은, 절연막(114)과 반도체층(101b) 사이에 설치되어 있다. 또한, 반도체층(101c)은, 반도체층(101b)과 게이트 절연막(102) 사이에 설치되어 있다. 또한, 도전층(104a) 및 도전층(104b)은, 반도체층(101b)의 상면에 접하고, 반도체층(101c)의 하면과 접한다.

[0193] 도전층(104a) 및 도전층(104b)은 소스 전극 또는 드레인 전극으로서의 기능을 가진다. 또한, 도전층(105)에, 소스 전극보다 낮은 전압 또는 높은 전압을 인가하고, 트랜지스터의 임계값 전압을 플러스 방향 또는 마이너스 방향으로 변동시켜도 좋다. 예를 들면, 트랜지스터의 임계값 전압을 플러스 방향으로 변동시킴으로써, 게이트 전압이 0V라도 트랜지스터가 비도통 상태(오프 상태)가 되는, 노멀리 오프를 실현할 수 있는 경우가 있다. 또한, 도전층(105)에 인가하는 전압은, 가변이라도 좋고, 고정이라도 좋다. 도전층(105)에 인가하는 전압을 가변으로 하는 경우, 전압을 제어하는 회로를 도전층(105)에 접속해도 좋다. 또한, 도전층(105)은, 게이트 전극(103)과 접속해도 좋다.

[0194] 트랜지스터에 설치되는 도전층(104a) 및 도전층(104b)으로서, 텅스텐, 티타늄, 알루미늄, 구리, 몰리브덴, 크롬, 또는 탄탈럼 단체 또는 합금 등의 산소와 결합하기 쉬운 도전 재료를 사용할 수 있다. 이 결과, 반도체층(101)에 함유되는 산소와, 도전층(104a) 및 도전층(104b)에 함유되는 도전 재료가 결합하고, 반도체층(101)에 있어서, 산소 결손 영역이 형성된다. 또한, 반도체층(101)에 도전층(104a) 및 도전층(104b)을 형성하는 도전 재료의 구성 원소의 일부가 혼입되는 경우도 있다. 이러한 결과, 반도체층(101)에 있어서, 도전층(104a), 및 도전층(104b)과 접하는 영역 근방에, 제 1 저저항 영역, 및 제 2 저저항 영역이 형성된다. 제 1 저저항 영역, 및 제 2 저저항 영역은, 도전성이 높기 때문에, 반도체층(101)과, 도전층(104a) 및 도전층(104b)의 접촉 저항을 저감시키는 것이 가능하고, 트랜지스터의 온 전류를 증대시키는 것이 가능하다.

[0195] 또한, 제 1 저저항 영역과, 제 2 저저항 영역의 단부는, 도전층(104a)과, 도전층(104b)의 단부와 대략 일치해도 좋다. 또는, 도전층(104a)과 도전층(104b)의 단부보다 내측에, 제 1 저저항 영역과 제 2 저저항 영역의 단부가 위치해도 좋다. 반도체층(101)에 있어서, 제 1 저저항 영역과 제 2 저저항 영역이 형성되는 경우, 채널 길이는 반도체층(101)과 게이트 절연막(102)의 계면에 있어서의 제 1 저저항 영역과 제 2 저저항 영역 사이의 거리가 된다.

[0196] 반도체층(101b)은, 반도체층(101a) 및 반도체층(101c)보다 전자 친화력이 큰 산화물을 사용하는 것이 바람직하다. 예를 들면, 반도체층(101b)으로서, 반도체층(101a) 및 반도체층(101c)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더욱 바람직하게는 0.15eV 이상 0.4eV 이하인 큰 산화물을

사용한다. 또한, 전자 친화력은, 진공 준위와 전도대 하단의 에너지의 차이다.

[0197] 반도체층(101b)으로서, 반도체층(101a) 및 반도체층(101c)보다 전자 친화력이 큰 산화물을 사용함으로써, 게이트 전극에 전계를 인가하면, 반도체층(101a), 반도체층(101b), 반도체층(101c) 중, 전자 친화력이 큰 반도체층(101b)에 채널이 형성된다. 여기서, 반도체층(101b)에 채널이 형성됨으로써, 예를 들면 채널 형성 영역이 게이트 절연막(102)과의 계면으로부터 멀어지기 때문에, 게이트 절연막과의 계면에서의 산란의 영향을 작게 할 수 있다. 따라서, 트랜지스터의 전계 효과 이동도를 높게 할 수 있다. 여기서, 반도체층(101b)과 반도체층(101c)은 후술하는 바와 같이, 구성하는 원소가 공통되어 있기 때문에, 계면 산란이 거의 발생하지 않는다.

[0198] 또한, 게이트 절연막에 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막 또는 질화 실리콘막 등을 사용하는 경우, 게이트 절연막에 함유되는 실리콘, 산화물 반도체막에 혼입되는 경우가 있다. 산화물 반도체막에 실리콘이 함유되면, 산화물 반도체막의 결정성의 저하, 캐리어 이동도의 저하 등이 일어나는 경우가 있다. 따라서, 채널이 형성되는 반도체층(101b)의 불순물 농도, 예를 들면 실리콘 농도를 저감시키기 위해서, 반도체층(101b)과 게이트 절연막 사이에 반도체층(101c)을 설치하는 것이 바람직하다. 같은 이유에 의해, 절연막(114)으로부터의 불순물 확산의 영향을 저감시키기 위해서, 반도체층(101b)과 절연막(114) 사이에 반도체층(101a)을 설치하는 것이 바람직하다.

[0199] 반도체층(101b)은, 예를 들면, 인듐을 함유하는 산화물 반도체이다. 반도체층(101b)은, 예를 들면, 인듐을 함유하면, 캐리어 이동도(전자 이동도)가 높아진다. 또한, 반도체층(101b)은, 원소 M을 함유하면 바람직하다. 원소 M은, 바람직하게는, 알루미늄, 갈륨, 이트륨 또는 주석 등으로 한다. 그 밖의 원소 M에 적용 가능한 원소로서는, 봉소, 실리콘, 티타늄, 철, 니켈, 게르마늄, 이트륨, 지르코늄, 몰리브덴, 란탄, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐 등이 있다. 단, 원소 M으로서, 상기한 원소를 복수 조합해도 상관없는 경우가 있다. 원소 M은, 예를 들면, 산소와의 결합 에너지가 높은 원소이다. 예를 들면, 산소와의 결합 에너지가 인듐보다 높은 원소이다. 또는, 원소 M은, 예를 들면, 산화물 반도체의 에너지갭을 크게 하는 기능을 갖는 원소이다. 또한, 반도체층(101b)은, 아연을 함유하면 바람직하다. 산화물 반도체는, 아연을 함유하면 결정화되기 쉬워지는 경우가 있다.

[0200] 반도체층(101b)은, 예를 들면, 에너지갭이 큰 산화물을 사용한다. 반도체층(101b)의 에너지갭은, 예를 들면, 2.5eV 이상 4.2eV 이하, 바람직하게는 2.7eV 이상 3.7eV 이하, 더욱 바람직하게는 2.8eV 이상 3.3eV 이하로 한다.

[0201] 여기서, 반도체층(101b)에는 CAAC-OS막을 사용하는 것이 바람직하다. CAAC-OS막을 사용함으로써, 캐리어의 산란이 작고, 높은 전계 효과 이동도의 트랜지스터를 실현할 수 있다. 또한, 반도체층(101b)의 CAAC 비율을 높이는 것이 바람직하다. CAAC 비율은 예를 들면, 바람직하게는 90% 이상, 보다 바람직하게는 95% 이상, 더욱 바람직하게는 97% 이상 100% 이하이다.

[0202] 다음에, 반도체층(101a) 및 반도체층(101c)에 관해서 설명한다. 예를 들면, 반도체층(101a) 및 반도체층(101c)은, 반도체층(101b)을 구성하는 산소 이외의 원소 1종 이상, 또는 2종 이상으로 구성되는 산화물 반도체이다. 반도체층(101b)을 구성하는 산소 이외의 원소 1종 이상, 또는 2종 이상으로 반도체층(101a) 및 반도체층(101c)이 구성되기 때문에, 반도체층(101a)과 반도체층(101b)의 계면, 및 반도체층(101b)과 반도체층(101c)의 계면에 있어서, 계면 준위가 형성되기 어렵다.

[0203] 여기서, 반도체층(101a) 및 반도체층(101c)에는 CAAC-OS막을 사용하는 것이 바람직하다.

[0204] 예를 들면, c축 배향된 복수의 결정부를 갖는 CAAC-OS막을 반도체층(101a)으로서 사용함으로써, 그 위에 적층되는 반도체층(101b)은, 반도체층(101a)과의 계면근방에 있어서도, 양호한 c축 배향을 갖는 영역을 형성할 수 있다.

[0205] 또한, CAAC-OS막의 CAAC 비율을 높임으로써, 예를 들면, 결함을 보다 적게 할 수 있다. 또한, 예를 들면 스피넬형의 구조를 갖는 영역을 적게 할 수 있다. 또한, 예를 들면 캐리어의 산란을 작게 할 수 있다. 또한, 예를 들면 불순물에 대한 차단성이 높은 막으로 할 수 있다. 따라서, 반도체층(101a) 및 반도체층(101c)의 CAAC 비율을 높임으로써, 채널이 형성되는 반도체층(101b)과 양호한 계면을 형성하여, 캐리어 산란을 작게 억제할 수 있다. 또한, 반도체층(101b)으로의 불순물의 혼입을 억제할 수 있어, 반도체층(101b)의 불순물 농도를 저감시킬 수 있다.

[0206] 여기서 밴드 구조에 관해서 도 20의 (A)에 도시한다. 도 20의 (A)에는, 진공 준위(vacuum level이라고 표기.),

각 층의 전도대 하단의 에너지(Ec라고 표기.) 및 가전자대 상단의 에너지(Ev라고 표기.)를 도시한다.

[0207] 여기서, 반도체층(101a)과 반도체층(101b) 사이에는, 반도체층(101a)과 반도체층(101b)의 혼합 영역을 갖는 경우가 있다. 또한, 반도체층(101b)과 반도체층(101c) 사이에는, 반도체층(101b)과 반도체층(101c)의 혼합 영역을 갖는 경우가 있다. 혼합 영역은, 계면 준위 밀도가 낮아진다. 이로 인해, 반도체층(101a), 반도체층(101b) 및 반도체층(101c)의 적층체는, 각각의 계면 근방에 있어서, 에너지가 연속적으로 변화되는(연속 접합이라고도 한다.) 밴드 구조가 된다.

[0208] 또한, 도 20의 (A)에서는, 반도체층(101a)과 반도체층(101c)의 Ec가 같은 경우에 관해서 도시했지만, 각각이 상이해도 좋다. 예를 들면, 반도체층(101a)보다 반도체층(101c)의 Ec가 높은 에너지를 가져도 좋다.

[0209] 이 때, 전자는, 반도체층(101a) 중 및 반도체층(101c) 중이 아니라, 반도체층(101b) 중을 주로 하여 이동한다 (도 20의 (B) 참조.). 상기한 바와 같이, 반도체층(101a) 및 반도체층(101b)의 계면에 있어서의 계면 준위 밀도, 반도체층(101b)과 반도체층(101c)의 계면에 있어서의 계면 준위 밀도를 낮게 함으로써, 반도체층(101b) 중에서 전자의 이동이 저해되는 경우가 적고, 트랜지스터의 온 전류를 높게 할 수 있다.

[0210] 도 5의 (B)에 도시하는 바와 같이, 반도체층(101b)의 측면은, 도전층(104a) 및 도전층(104b)과 접한다. 또한, 도 5의 (C)에 도시하는 바와 같이, 게이트 전극(103)의 전계에 의해, 반도체층(101b)을 전기적으로 둘러쌀 수 있다(도전체의 전계에 의해, 반도체를 전기적으로 둘러싸는 트랜지스터의 구조를, surrounded channel(s-channel) 구조라고 부른다.). 이로 인해, 반도체층(101b)의 전체(별크)에 채널이 형성되는 경우가 있다. s-channel 구조에서는, 트랜지스터의 소스-드레인 간에 대전류를 흘려보낼 수 있어, 도통시의 전류(온 전류)를 높게 할 수 있다.

[0211] 높은 온 전류가 얻어지기 때문에, s-channel 구조는, 미세화된 트랜지스터에 적합한 구조라고 할 수 있다. 트랜지스터를 미세화할 수 있기 때문에, 상기 트랜지스터를 갖는 반도체 장치는, 접적도가 높은, 고밀도화된 반도체 장치로 하는 것이 가능해진다. 예를 들면, 트랜지스터는, 채널 길이가 바람직하게는 40nm 이하, 더욱 바람직하게는 30nm 이하, 보다 바람직하게는 20nm 이하의 영역을 가지며, 또한, 트랜지스터는, 채널 폭이 바람직하게는 40nm 이하, 더욱 바람직하게는 30nm 이하, 보다 바람직하게는 20nm 이하의 영역을 가진다.

[0212] 또한, 채널 길이란, 예를 들면, 트랜지스터 상면도에 있어서, 반도체(또는 트랜지스터가 온 상태일 때에 반도체 중에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에 있어서의, 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 또한, 1개의 트랜지스터에 있어서, 채널 길이가 모든 영역에서 동일한 값을 취한다고는 한정되지 않는다. 즉, 1개의 트랜지스터의 채널 길이는, 1개의 값으로 정해지지 않는 경우가 있다. 이로 인해, 본 명세서에서는, 채널 길이는, 채널이 형성되는 영역에 있어서의, 어느 하나의 값, 최대값, 최소값 또는 평균값으로 한다.

[0213] 채널 폭이란, 예를 들면, 반도체(또는 트랜지스터가 온 상태일 때에 반도체 중에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에 있어서의, 소스와 드레인이 마주 보고 있는 부분의 길이를 말한다. 또한, 1개의 트랜지스터에 있어서, 채널 폭이 모든 영역에서 동일한 값을 취한다고는 한정되지 않는다. 즉, 1개의 트랜지스터의 채널 폭은, 1개의 값으로 정해지지 않는 경우가 있다. 이로 인해, 본 명세서에서는, 채널 폭은, 채널이 형성되는 영역에 있어서의, 어느 하나의 값, 최대값, 최소값 또는 평균값으로 한다.

[0214] 또한, 트랜지스터의 구조에 따라서는, 실제로 채널이 형성되는 영역에 있어서의 채널 폭(이하, 실효적인 채널 폭이라고 부른다.)과, 트랜지스터 상면도에 있어서 도시되는 채널 폭(이하, 겉보기상의 채널 폭이라고 부른다.)이 상이한 경우가 있다. 예를 들면, 입체적인 구조를 갖는 트랜지스터에서는, 실효적인 채널 폭이, 트랜지스터의 상면도에 있어서 도시되는 겉보기상의 채널 폭보다 커져, 그 영향을 무시할 수 없게 되는 경우가 있다. 예를 들면, 미세하고 입체적인 구조를 갖는 트랜지스터에서는, 반도체의 상면에 형성되는 채널 영역의 비율에 대해, 반도체의 측면에 형성되는 채널 영역의 비율이 커지는 경우가 있다. 그 경우는, 상면도에 있어서 도시되는 겉보기상의 채널 폭보다, 실제로 채널이 형성되는 실효적인 채널 폭이 커진다.

[0215] 그런데, 입체적인 구조를 갖는 트랜지스터에 있어서는, 실효적인 채널 폭의, 실측에 의한 견적이 곤란해지는 경우가 있다. 예를 들면, 설계값으로부터 실효적인 채널 폭을 견적하기 위해서는, 반도체의 형상이 가정 조건이라고 하는 가정이 필요하다. 따라서, 반도체의 형상을 정확하게 모르는 경우에는, 실효적인 채널 폭을 정확하게 측정하는 것은 곤란하다.

[0216] 그래서, 본 명세서에서는, 트랜지스터 상면도에 있어서, 반도체와 게이트 전극이 중첩되는 영역에 있어서의, 소

스와 드레인이 마주 보고 있는 부분의 길이인 겉보기상의 채널 폭을, 「서라운드 채널 폭(SCW: Surrounded Channel Width)」이라고 부르는 경우가 있다. 또한, 본 명세서에서는, 단순히 채널 폭이라고 기재한 경우에는, 서라운드 채널 폭 또는 겉보기상의 채널 폭을 가리키는 경우가 있다. 또는, 본 명세서에서는, 단순히 채널 폭이라고 기재한 경우에는, 실효적인 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 실효적인 채널 폭, 겉보기상의 채널 폭, 서라운드 채널 폭 등은, 단면 TEM상 등을 취득하고, 그 화상을 해석하는 것 등에 의해, 값을 결정할 수 있다.

[0217] 또한, 트랜지스터의 전계 효과 이동도나, 채널 폭당 전류값 등을 계산하여 구하는 경우, 서라운드 채널 폭을 사용하여 계산하는 경우가 있다. 그 경우에는, 실효적인 채널 폭을 사용하여 계산하는 경우와는 상이한 값을 취하는 경우가 있다.

[0218] 여기서는, 도 5에 예로서 도시하는 바와 같이, 산화물 반도체로서 반도체층(101a), 반도체층(101b) 및 반도체층(101c)의 3층을 적층하여 사용하는 예를 도시하지만, 트랜지스터(100)에 사용할 수 있는 산화물 반도체는, 단층이라도 좋다. 또한, 반도체층(101a), 반도체층(101b) 및 반도체층(101c) 중, 어느 하나, 또는 2개를 갖지 않는 구조로 해도 좋다.

[0219] 반도체층(101a), 반도체층(101b) 및 반도체층(101c)은, 적어도 인듐을 함유하면 바람직하다. 또한, 반도체층(101a)이 In-M-Zn 산화물일 때, In 및 M의 합을 100atomic%로 했을 때, 바람직하게는 In이 50atomic% 미만, M이 50atomic% 이상, 더욱 바람직하게는 In이 25atomic% 미만, M이 75atomic% 이상으로 한다. 또한, 반도체층(101b)이 In-M-Zn 산화물일 때, In 및 M의 합을 100atomic%로 했을 때, 바람직하게는 In이 25atomic% 이상, M이 75atomic% 미만, 더욱 바람직하게는 In이 34atomic% 이상, M이 66atomic% 미만으로 한다. 또한, 반도체층(101c)이 In-M-Zn 산화물일 때, In 및 M의 합을 100atomic%로 했을 때, 바람직하게는 In이 50atomic% 미만, M이 50atomic% 이상, 더욱 바람직하게는 In이 25atomic% 미만, M이 75atomic% 이상으로 한다. 또한, 반도체층(101c)은, 반도체층(101a)과 동종의 산화물을 사용해도 상관없다.

[0220] 또한, 인듐갈륨 산화물은, 작은 전자 친화력과, 높은 산소 블록성을 가진다. 이로 인해, 예를 들면 반도체층(101c)은 인듐갈륨 산화물을 함유해도 좋다. 갈륨 원자 비율[Ga/(In+Ga)]은, 예를 들면, 70% 이상, 바람직하게는 80% 이상, 더욱 바람직하게는 90% 이상으로 한다.

[0221] 여기서, 반도체층(101b)은, 반도체층(101a) 및 반도체층(101c)보다 전자 친화력이, 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더욱 바람직하게는 0.15eV 이상 0.4eV 이하 큰 산화물인 것이 바람직하다.

[0222] 높은 CAAC 비율을 갖는, 보다 우수한 CAAC-OS막을 얻기 위해서는, 예를 들면 반도체층(101b)이 인듐, 원소 M 및 아연을 갖는 경우에는, 인듐, 원소 M 및 아연의 원자수비, x:y:z는, 실시형태 1에서 나타낸 도 2의 영역 12의 범위 내의 값인 것이 바람직하며, 영역 13에 나타내는 범위 내의 값인 것이 보다 바람직하다.

[0223] 또한, 반도체층(101a), 반도체층(101b) 및 반도체층(101c)은, 스페넬형의 결정 구조가 포함되지 않거나, 또는 적은 것이 바람직하다. 또한, 반도체층(101a), 반도체층(101b) 및 반도체층(101c)은, CAAC-OS막인 것이 바람직하다.

[0224] 여기서, 보다 구체적인 예로서, 반도체층(101a), 반도체층(101b) 및 반도체층(101c)이 각각 인듐, 원소 M 및 아연을 갖는 산화물인 경우를 생각한다. 여기서, 반도체층(101a)의 인듐, 원소 M 및 아연의 원자수비를 인듐:원소 M:아연=x_a:y_a:z_a로 한다. 마찬가지로, 반도체층(101b)의 인듐, 원소 M 및 아연의 원자수비를 인듐:원소 M:아연=x_b:y_b:z_b로 하고, 반도체층(101c)의 인듐, 원소 M 및 아연의 원자수비를 인듐:원소 M:아연=x_c:y_c:z_c로 한다.

[0225] 반도체층(101a) 및 반도체층(101c)은 스페넬형의 결정 구조가 포함되지 않거나, 또는 적은 것이 바람직하다. 따라서, x_a:y_a:z_a 및 x_c:y_c:z_c는, 예를 들면 도 1의 (B)의 영역 11의 범위 내인 것이 바람직하다. 또한, 반도체층(101b)은, 반도체층(101a) 및 반도체층(101c)보다 전자 친화력이 높은 산화물인 것이 바람직하다.

[0226] 따라서, 예를 들면 x_a:y_a:z_a 및 x_c:y_c:z_c는, 예를 들면 영역 11의 범위 내이고, 또한 반도체층(101b)보다 전자 친화력이 작아지는 값을 취하는 것이 바람직하다.

[0227] 여기서, 반도체층(101b)의 전자 친화력을 반도체층(101a) 및 반도체층(101c)보다 크게 하기 위해서는, 예를 들면 반도체층(101b)의 인듐의 함유율을 반도체층(101a) 및 반도체층(101c)보다 높이는 것이 바람직하다. 예를

들면, $x_b/(x_b+y_b+z_b) > x_a/(x_a+y_a+z_a)$, 및 $x_b/(x_b+y_b+z_b) > x_c/(x_c+y_c+z_c)$ 를 충족시키는 것이 바람직하다.

[0228] 또는, 반도체층(101a)은, 예를 들면 영역 11의 범위 내이며, 또한 $x_a \leq 2y_a$ 를 충족시키는 것이 바람직하다. 또한, 반도체층(101c)은, 예를 들면 영역 11의 범위 내이며, 또한 $x_c \leq y_c$ 를 충족시키는 것이 보다 바람직하다.

[0229] 마찬가지로, 반도체층(101c)은, 예를 들면 영역 11의 범위 내이며, 또한 $x_c \leq 2y_c$ 를 충족시키는 것이 바람직하다. 또한, 반도체층(101c)은, 예를 들면 영역 11의 범위 내이며, 또한 $x_c \leq y_c$ 를 충족시키는 것이 보다 바람직하다.

[0230] 즉, 반도체층(101a)은, 좌표 K(8:14:7)와, 좌표 L(2:5:7)과, 좌표 M(51:149:300)과, 좌표 N(46:288:833)과, 좌표 O(0:2:11)와, 좌표 P(0:0:1)와, 좌표 A(2:2:1)와, 상기 좌표 K를, 순서대로 선분으로 이은 범위 내의 원자수비를 갖는 것이 바람직하다.

[0231] 또한, 반도체층(101c)은, 좌표 K(8:14:7)와, 좌표 L(2:5:7)과, 좌표 M(51:149:300)과, 좌표 N(46:288:833)과, 좌표 O(0:2:11)와, 좌표 P(0:0:1)와, 좌표 A(2:2:1)와, 상기 좌표 K를, 순서대로 선분으로 이은 범위 내의 원자수비를 갖는 것이 바람직하다.

[0232] 또한, 반도체층(101a)이나, 반도체층(101c)은, 좌표 K(8:14:7)와, 좌표 L(2:5:7)과, 좌표 M(51:149:300)과, 좌표 N(46:288:833)과, 좌표 P(0:0:1)와, 좌표 C(8:12:25)와, 좌표 B(23:27:25)와, 좌표 A(2:2:1)와, 상기 좌표 K를, 순서대로 선분으로 이은 범위 내의 원자수비를 갖는 것이 바람직하다.

[0233] 또한, 트랜지스터가 s-channel 구조를 갖는 경우, 반도체층(101b) 전체에 채널이 형성된다. 따라서, 반도체층(101b)이 두꺼울수록 채널 영역은 커진다. 즉, 반도체층(101b)이 두꺼울수록, 트랜지스터의 온 전류를 높게 할 수 있다. 예를 들면, 20nm 이상, 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상, 보다 바람직하게는 100nm 이상의 두께의 영역을 갖는 반도체층(101b)으로 하면 좋다. 단, 반도체 장치의 생산성이 저하되는 경우가 있기 때문에, 예를 들면, 300nm 이하, 바람직하게는 200nm 이하, 더욱 바람직하게는 150nm 이하의 두께의 영역을 갖는 반도체층(101b)으로 하면 좋다.

[0234] 또한, 트랜지스터의 온 전류를 높게 하기 위해서는, 반도체층(101c)의 두께는 작을수록 바람직하다. 예를 들면, 10nm 미만, 바람직하게는 5nm 이하, 더욱 바람직하게는 3nm 이하의 영역을 갖는 반도체층(101c)으로 하면 좋다. 한편, 반도체층(101c)은, 채널이 형성되는 반도체층(101b)에, 인접하는 절연체를 구성하는 산소 이외의 원소(수소, 실리콘 등)가 들어가지 않도록 차단하는 기능을 가진다. 이로 인해, 반도체층(101c)은, 어느 정도의 두께를 갖는 것이 바람직하다. 예를 들면, 0.3nm 이상, 바람직하게는 1nm 이상, 더욱 바람직하게는 2nm 이상의 두께의 영역을 갖는 반도체층(101c)으로 하면 좋다. 또한, 반도체층(101c)은, 게이트 절연막(102) 등으로부터 방출되는 산소의 외방 확산을 억제하기 위해서, 산소를 차단하는 성질을 가지면 바람직하다.

[0235] 또한, 신뢰성을 높게 하기 위해서는, 반도체층(101a)은 두껍고, 반도체층(101c)은 얇은 것이 바람직하다. 예를 들면, 10nm 이상, 바람직하게는 20nm 이상, 더욱 바람직하게는 40nm 이상, 보다 바람직하게는 60nm 이상의 두께의 영역을 갖는 반도체층(101a)으로 하면 좋다. 반도체층(101a)의 두께를, 두껍게 함으로써, 인접하는 절연체와 반도체층(101a)의 계면으로부터 채널이 형성되는 반도체층(101b)까지의 거리를 벌어지게 할 수 있다. 단, 반도체 장치의 생산성이 저하되는 경우가 있기 때문에, 예를 들면, 200nm 이하, 바람직하게는 120nm 이하, 더욱 바람직하게는 80nm 이하의 두께의 영역을 갖는 반도체층(101a)으로 하면 좋다.

[0236] 산화물 반도체막에 수소가 다량으로 함유되면, 수소에 기인하여 도너 준위가 형성되는 경우가 있다. 이것에 의해, 트랜지스터의 임계값 전압이 마이너스 방향으로 시프트되어 버린다. 이로 인해, 산화물 반도체막 형성후에 있어서, 탈수화 처리(탈수소화 처리)를 행하여 산화물 반도체막으로부터, 수소, 또는 수분을 제거하여 불순물이 극력 함유되지 않도록 고순도화하는 것이 바람직하다.

[0237] 또한, 산화물 반도체막으로의 탈수화 처리(탈수소화 처리)에 의해, 산화물 반도체막으로부터 산소도 동시에 감소되어 버리는 경우가 있다. 따라서, 산화물 반도체막으로의 탈수화 처리(탈수소화 처리)에 의해 증가한 산소 결손을 보충하기 위해 산소를 산화물 반도체에 가하는 처리를 행하는 것이 바람직하다. 본 명세서 등에 있어서, 산화물 반도체막에 산소를 공급하는 경우를, 가산소화 처리라고 기재하는 경우가 있고, 또는 산화물 반도체막에 함유되는 산소를 화학량론적 조성보다 많게 하는 경우를 과산소화 처리라고 기록하는 경우가 있다.

[0238] 이와 같이, 산화물 반도체막은, 탈수화 처리(탈수소화 처리)에 의해, 수소 또는 수분이 제거되어, 가산소화 처

리에 의해 산소 결손을 보충함으로써, i형(진성)화 또는 i형에 한없이 가까워 실질적으로 i형(진성)인 산화물 반도체막으로 할 수 있다. 또한, 실질적으로 진성이란, 산화물 반도체막 중에 도너에 유래하는 캐리어가 매우 적고(제로에 가깝고), 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 이하, $1 \times 10^{16}/\text{cm}^3$ 이하, $1 \times 10^{15}/\text{cm}^3$ 이하, $1 \times 10^{14}/\text{cm}^3$ 이하, $1 \times 10^{13}/\text{cm}^3$ 이하인 것을 말한다.

[0239] 또한 이와 같이, i형 또는 실질적으로 i형인 산화물 반도체막을 구비하는 트랜지스터는, 매우 우수한 오프 전류 특성을 실현할 수 있다. 예를 들면, 산화물 반도체막을 사용한 트랜지스터가 오프 상태일 때의 드레인 전류를, 실온(25°C 정도)에서 $1 \times 10^{-18}\text{A}$ 이하, 바람직하게는 $1 \times 10^{-21}\text{A}$ 이하, 더욱 바람직하게는 $1 \times 10^{-24}\text{A}$ 이하, 또는 85°C에서 $1 \times 10^{-15}\text{A}$ 이하, 바람직하게는 $1 \times 10^{-18}\text{A}$ 이하, 더욱 바람직하게는 $1 \times 10^{-21}\text{A}$ 이하로 할 수 있다. 또한, 트랜지스터가 오프 상태란, n 채널형의 트랜지스터의 경우, 게이트 전압이 임계값 전압보다 충분히 작은 상태를 말한다. 구체적으로는, 게이트 전압이 임계값 전압보다 1V 이상, 2V 이상 또는 3V 이상 작으면, 트랜지스터는 오프 상태가 된다.

[0240] 여기서, 트랜지스터의 반도체의 형상에 의한 전기 특성의 차이를, 디바이스 시뮬레이션에 의해 계산하였다. 계산에서 사용한 트랜지스터의 모델을 도 65에 도시한다. 또한, 계산에는, Synopsys사의 Sentaurus를 사용하였다.

[0241] 도 65의 (A) 및 도 65의 (B)는, 적층 구조의 반도체층을 갖는 트랜지스터(60a)의 단면 구조이다. 도 65의 (A)는 채널 길이 방향의 단면도이며, 도 65의 (B)는 채널 폭 방향의 단면도이다.

[0242] 트랜지스터(60a)는, 기판(도시하지 않는다.)의 상면에 접하는 절연막(61)과, 절연막(61)의 상면에 접하는 반도체층(62)과, 반도체층(62)의 상면에 접하는 반도체층(63)과, 반도체층(63)의 상면과 접하고, 반도체층(63)과 중첩되는 영역에서 이간되는 도전층(65s) 및 도전층(65d)과, 반도체층(63)의 상면에 접하는 반도체층(66)과, 반도체층(66) 위의 절연막(67)과, 절연막(67)을 개재하여 반도체층(63)과 중첩되는 게이트 전극(68)을 가진다. 또한, 반도체층(63)에 있어서, 도전층(65s, 65d)과 접하는 영역은, 저저항층(64s, 64d)을 가진다. 또한, 절연막(67)은 게이트 절연막으로서의 기능을 가진다. 도전층(65s, 65d)은, 소스 전극 또는 드레인 전극으로서의 기능을 가진다. 또한, 트랜지스터(60a)를 페복하고, 절연막(69)이 설치되어 있다.

[0243] 도 65의 (C) 및 도 65의 (D)는, 단층 구조의 반도체층을 갖는 트랜지스터(60b)의 단면 구조이다. 도 65의 (C)는 채널 길이 방향의 단면도이며, 도 65의 (D)는 채널 폭 방향의 단면도이다.

[0244] 트랜지스터(60b)는, 기판(도시하지 않는다.)의 상면에 접하는 절연막(61)과, 절연막(61)의 상면에 접하는 절연막(72)과, 절연막(72)의 상면에 접하는 반도체층(63)과, 반도체층(63)의 상면과 접하고, 반도체층(63)과 중첩되는 영역에서 이간되는 도전층(65s) 및 도전층(65d)과, 반도체층(63)의 상면에 접하는 절연막(76)과, 절연막(76) 위의 절연막(67)과, 절연막(67)을 개재하여 반도체층(63)과 중첩되는 게이트 전극(68)을 가진다. 또한, 반도체층(63)에 있어서, 도전층(65s, 65d)과 접하는 영역은, 저저항층(64s, 64d)을 가진다. 또한, 절연막(67) 및 절연막(76)은, 게이트 절연막으로서의 기능을 가진다. 또한, 트랜지스터(60b)를 페복하고, 절연막(69)이 설치되어 있다.

[0245] 계산에 사용한 조건을 이하에 나타낸다. 트랜지스터(60a, 60b)에 있어서, 채널 길이(L)를 60nm, 채널 폭을 60nm로 하고, 반도체층(63)의 길이(L1)를 140nm로 하고, 채널 길이 방향에 있어서, 도전층(65s, 65d)과, 게이트 전극(68)의 중첩되는 길이를 20nm로 하였다. 또한, 절연막(61)의 비유전율을 4.1로 하고, 막 두께를 400nm로 하였다. 도전층(65s, 65d)의 일함수를 4.6eV로 하였다. 절연막(67)의 비유전율을 4.1로 하고, 막 두께를 10nm로 하였다. 게이트 전극(68)의 일함수를 5.0eV로 하였다.

[0246] 또한, 트랜지스터(60a, 60b)의 반도체층(63)의 조건을 표 4에 기재한다.

표 4

조성비	IGZO (In:Ga:Zn=1:1:1)
전자 친화력	4.6 eV
E _g	3.2 eV
비유전율	15
도너밀도	6.60E-09 cm ⁻³
도너밀도 (66s,66d)	5.00E+18 cm ⁻³
전자 이동도	10 cm ² /Vs
정공 이동도	0.01 cm ² /Vs
N _c	5.00E+18 cm ⁻³
N _v	5.00E+18 cm ⁻³
막두께	15 nm

[0247]

[0248] 또한, 트랜지스터(60a)에 있어서, 반도체층(62, 66)으로서, In-Ga-Zn 산화물(In:Ga:Zn=1:3:2)을 사용하고, 반도체층(62, 66)의, 전자 친화력을 4.3eV, 밴드갭을 3.7eV, 비유전율을 15, 도너 밀도를 6.6×10^{-9} 개/cm³, 전자 이동도를 0.1cm²/Vs, 정공 이동도를 0.01cm²/Vs, N_c 및 N_v를 각각 5×10^{18} 개/cm³로 하였다. 또한, 반도체층(62)의 두께를 20nm, 반도체층(66)의 두께를 5nm로 하였다.

[0249]

또한, 트랜지스터(60b)에 있어서, 절연막(72, 76)의, 전자 친화력을 0.9eV, 밴드갭을 9eV, 비유전율을 15로 하였다. 또한, 절연막(72)의 두께를 20nm, 절연막(76)의 두께를 5nm로 하였다.

[0250]

또한, 트랜지스터(60a)의 반도체층(66)과 절연막(67)의 계면에 전자 트랩을 설치하였다. 또한, 트랜지스터(60b)의 반도체층(63)과 절연막(76)의 계면에 전자 트랩을 설치하였다. 전자 트랩의 분포(f)는, 정규 분포를 하고 있기 때문에, 수학식 9로 구할 수 있다.

수학식 9

$$f = N_0 \exp\left(-\frac{(E - E_0)^2}{2E_s^2}\right)$$

[0251]

[0252] 또한, 수학식 9에 있어서, N₀은 전자 트랩의 최대 밀도이며, E₀은 전도대 하단의 에너지이며, E는 전도대 하단으로부터 가전자대를 향하여 분포되는 전자 트랩의 준위이며, E_s는 전자 트랩의 불균일의 크기를 나타낸다. 여기서는, N₀= 1.7×10^{13} /eVcm³, E₀=0eV, E_s=0.1eV로 하여 계산을 행하였다.

[0253]

도 76의 (A)에, 트랜지스터(60a)의 V_g-I_d 특성의 계산 결과를 도시하고, 도 76의 (B)에 트랜지스터(60b)의 V_g-I_d 특성의 계산 결과를 도시한다. 또한, 도 76에 있어서, 가로축은 게이트 전압(V_g)을 나타내고, 제 1 세로축은 드레인 전류(I_d)를 나타내고, 제 2 세로축은 전계 효과 이동도를 나타낸다. 또한, 실선은 전자 트랩을 설치하지 않은 트랜지스터의 계산 결과이고, 파선은 전자 트랩을 설치한 트랜지스터의 계산 결과이다. 또한, 세선은 드레인 전압(V_d)=0.1V로 했을 때의 계산 결과이며, 굵은 선은 드레인 전압(V_d)=1V로 했을 때의 계산 결과이다.

[0254]

도 76의 (B)에 도시하는 바와 같이, 반도체층(63)과 절연막(76)의 계면에 전자 트랩을 설치하면, 온 전류의 저하가 나타난다. 그러나, 도 76의 (A)에 도시하는 바와 같이, 반도체층(66)과 절연막(67)의 계면에 전자 트랩을 설치해도, 온 전류의 저하는 근소하다. 적층 구조의 반도체층에 있어서, 반도체층(63)은, 반도체층(62) 및 반도체층(66)보다 전자 친화력이 큰 산화물이다. 게이트 전극에 전계를 인가하면, 반도체층(62), 반도체층(63),

반도체층(66) 중, 전자 친화력이 큰 반도체층(63)에 채널이 형성된다. 채널이, 반도체층(66)과 절연막(67)의 계면으로부터 멀어지기 때문에, 채널에 있어서, 반도체층(66)과 절연막(67)의 계면에서의 전자 트랩의 영향을 작게 할 수 있다. 따라서, 트랜지스터의 온 전류의 저하를 억제할 수 있다. 또한, 트랜지스터의 임계값 전압의 변동을 억제하는 것이 가능하고, 트랜지스터의 신뢰성을 높일 수 있다.

[0255] 또한, 본 실시형태에 있어서, 본 발명의 일 형태에 관해서 서술하였다. 또는, 다른 실시형태에 있어서, 본 발명의 일 형태에 관해서 서술한다. 단, 본 발명의 일 형태는, 이들로 한정되지 않는다. 예를 들면, 본 발명의 일 형태로서, 산화물 반도체를 갖는 트랜지스터를 사용한 경우의 예를 나타냈지만, 본 발명의 일 형태는, 이것으로 한정되지 않는다. 경우에 따라서는, 또는, 상황에 따라, 본 발명의 일 형태는, 산화물 반도체를 사용해도 좋다. 또는, 경우에 따라서는, 또는, 상황에 따라, 본 발명의 일 형태는, 산화물 반도체와는 상이한 반도체 재료를 사용한 트랜지스터를 사용해도 좋다. 그러한 트랜지스터로서, 예를 들면, 본 발명의 일 형태는, Si(실리콘), Ge(게르마늄), SiGe(실리콘게르마늄), GaAs(갈륨비소), 탄화실리콘, 질화물 반도체, 화합물 반도체, 유기 반도체 등을 갖는 트랜지스터를 사용해도 좋다. 또한, 반도체의 결정성으로서, 경우에 따라서는, 또는, 상황에 따라, 비정질 반도체, 미결정 반도체, 다결정 반도체, 단결정 반도체 등을 사용해도 좋다. 또한, 예를 들면, 본 발명의 일 형태로서, 소정의 원자비로 소정의 원자를 갖는 반도체의 예를 나타냈지만, 본 발명의 일 형태는, 이것으로 한정되지 않는다. 경우에 따라서는, 또는, 상황에 따라, 본 발명의 일 형태는, 소정의 원자비에 합치하지 않는 비율로 원자를 갖는 반도체를 사용해도 좋다.

[0256] 본 실시형태는, 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0257] (실시형태 3)

[0258] 이하에서는, 본 발명의 일 형태의 산화물 반도체를 사용한 트랜지스터의 구조 및 반도체 장치에 관해서 설명한다.

[0259] [트랜지스터의 변형예]

[0260] 산화물 반도체를 사용한 트랜지스터(100)는, 실시형태 2에서 나타낸 도 5의 구조로 한정되지 않는다. 예를 들면 트랜지스터(100)는, 도 6에 도시하는 구조라도 좋다. 도 6은, 도전층(104a) 및 도전층(104b)의 형상이 도 5와 상이하다. 도 5의 (B)에 도시하는 단면에서는, 도전층(104a) 및 도전층(104b)은, 반도체층(101a)의 측면, 반도체층(101b)의 측면 및 반도체층(101b)의 상면과 접한다. 도 6의 (A)에서는, 도전층(104a) 및 도전층(104b)은, 반도체층(101b)의 상면과 접하고, 도전층(104a)의 단부 및 도전층(104b)의 단부는, 반도체층(101b)의 단부와 개략 일치하는 영역을 가진다. 또한, 도 6의 (B)는, 도 6의 (A)에 도시하는 일점 쇄선 A-B를 지나가고, 도 6의 (A)와 수직인 면의 단면을 도시한다.

[0261] 또한, 트랜지스터(100)는, 도 66에 도시하는 구조라도 좋다. 도 66은, 절연막(114)의 표면의 평탄화를 행하고 있지 않은 것이, 도 6과 상이한 주된 점이다.

[0262] 또한, 트랜지스터(100)는, 도 7에 도시하는 구조라도 좋다. 도 7은, 게이트 절연막(102) 및 반도체층(101c)의 형상이 도 5와 상이하다. 도 5의 (B) 및 도 5의 (C)에서는 게이트 절연막(102) 및 반도체층(101c)의 단부는, 게이트 전극(103)의 단부와 개략 일치하는 영역을 가진다. 한편, 도 7의 (A) 및 도 7의 (B)에서는, 게이트 절연막(102) 및 반도체층(101c)의 단부는, 게이트 전극(103)의 단부보다 외측에 위치하는 영역을 가진다. 또한, 도 7의 (B)는, 도 7의 (A)에 도시하는 일점 쇄선 A-B를 지나가고, 도 7의 (A)와 수직인 면의 단면을 도시한다.

[0263] 또한, 트랜지스터(100)는 도 8에 도시하는 구조라도 좋다. 도 5에서는, 반도체층(101c)이 도전층(104a) 및 도전층(104b)의 상면에 접하는데 대해, 도 8에서는, 도전층(104a) 및 도전층(104b)의 하면에 접한다. 또한, 도 8의 (B)는, 도 8의 (A)에 도시하는 일점 쇄선 A-B를 지나가고, 도 8의 (A)와 수직인 면의 단면을 도시한다. 이러한 구성으로 함으로써, 반도체층(101a), 반도체층(101b) 및 반도체층(101c)을 구성하는 각각의 막의 성막시에 있어서, 대기에 접촉시키지 않고 연속적으로 성막할 수 있기 때문에, 각각의 계면 결함을 저감시킬 수 있다.

[0264] 또한, 트랜지스터(100)는, 도 67에 도시하는 바와 같이, 층(119a) 및 층(119b)을 가져도 좋다.

[0265] 층(119a) 및 층(119b)으로서는, 예를 들면, 투명 도전체, 산화물 반도체, 질화물 반도체 또는 산화 질화물 반도체를 사용하면 좋다. 층(119a) 및 층(119b)으로서는, 예를 들면, 인듐, 주석 및 산소를 함유하는 층, 인듐 및 아연을 함유하는 층, 인듐, 텉스텐 및 아연을 함유하는 층, 주석 및 아연을 함유하는 층, 아연 및 갈륨을 함유

하는 층, 아연 및 알루미늄을 함유하는 층, 아연 및 불소를 함유하는 층, 아연 및 봉소를 함유하는 층, 주석 및 안티몬을 함유하는 층, 주석 및 불소를 함유하는 층 또는 티타늄 및 니오븀을 함유하는 층 등을 사용하면 좋다. 또는, 이들의 층이 수소, 탄소, 질소, 실리콘, 게르마늄 또는 아르곤을 함유해도 상관없다.

[0266] 층(119a) 및 층(119b)은, 가시광선을 투과하는 성질을 가져도 상관없다. 또는, 층(119a) 및 층(119b)은, 가시광선, 자외선, 적외선 또는 X선을, 반사 또는 흡수함으로써 투과시키지 않는 성질을 가져도 상관없다. 이러한 성질을 가짐으로써, 미광(迷光)에 의한 트랜지스터의 전기 특성의 변동을 억제할 수 있는 경우가 있다.

[0267] 또한, 층(119a) 및 층(119b)은, 반도체층(101b) 등과의 사이에 쇼트키 장벽을 형성하지 않는 층을 사용하면 바람직한 경우가 있다. 이렇게 함으로써, 트랜지스터의 온 특성을 향상시킬 수 있다.

[0268] 또한, 층(119a) 및 층(119b)은, 도전층(104a) 및 도전층(104b)보다 고저항의 층을 사용하면 바람직한 경우가 있다. 또한, 층(119a) 및 층(119b)은, 트랜지스터의 채널보다 저저항의 층을 사용하면 바람직한 경우가 있다. 예를 들면, 층(119a) 및 층(119b)의 저항율을, $0.1\Omega\text{cm}$ 이상 $100\Omega\text{cm}$ 이하, $0.5\Omega\text{cm}$ 이상 $50\Omega\text{cm}$ 이하, 또는 $1\Omega\text{cm}$ 이상 $10\Omega\text{cm}$ 이하로 하면 좋다. 층(119a) 및 층(119b)의 저항율을 상기의 범위로 함으로써, 채널과 드레인의 경계부에 있어서의 전계 집중을 완화할 수 있다. 이로 인해, 트랜지스터의 전기 특성의 변동을 저감시킬 수 있다. 또한, 드레인으로부터 발생하는 전계에 기인한 편치스루 전류를 저감시킬 수 있다. 이로 인해, 채널 길이가 짧은 트랜지스터에 있어서도, 포화 특성을 양호하게 할 수 있다. 또한, 소스와 드레인이 교체되지 않는 회로 구성이면, 층(119a) 및 층(119b) 중 어느 한쪽만(예를 들면, 드레인측)을 배치하는 편이 바람직한 경우가 있다.

[0269] 또한, 트랜지스터(100)는, 도 9에 도시하는 구조라도 좋다. 또한, 도 9의 (B)는, 도 9의 (A)에 도시하는 일점 쇄선 A-B를 지나가고, 도 9의 (A)와 수직인 면의 단면을 도시한다. 도 9는 도전층(104a) 및 도전층(104b)을 갖지 않는 점이, 도 5와 상이하다. 여기서 도 9의 (C)에 도시하는 바와 같이, 트랜지스터(100)는 저저항층(171a) 및 저저항층(171b)을 가져도 좋다. 저저항층(171a) 및 저저항층(171b)은 소스 영역 또는 드레인 영역으로서 기능하는 것이 바람직하다. 또한, 저저항층(171a) 및 저저항층(171b)은 불순물이 첨가되어 있어도 좋다. 불순물을 첨가함으로써 반도체층(101)의 저항을 낮출 수 있다. 첨가하는 불순물로서는, 예를 들면 아르곤, 봉소, 탄소, 마그네슘, 알루미늄, 실리콘, 인, 칼슘, 스칸듐, 티타늄, 바나듐, 크롬, 망간, 철, 코발트, 니켈, 갈륨, 게르마늄, 비소, 이트륨, 지르코늄, 니오븀, 몰리브덴, 인듐, 주석, 란탄, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐으로부터 선택된 1종 이상을 첨가하는 것이 바람직하다. 저저항층(171a) 및 저저항층(171b)은 예를 들면, 반도체층(101) 중에, 상기의 불순물 원소를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 더욱 바람직하게는 $2 \times 10^{20} \text{ atoms/cm}^3$ 이상, 보다 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이상 함유하는 영역이다. 도 9의 (D)는, 도 9의 (C)의 영역(324)의 확대도이다.

[0270] 또한, 이러한 저항이 낮은 영역에 불순물, 예를 들면 불필요한 수소 등을 트랩할 수 있는 경우가 있다. 불필요한 수소를 저저항층에 트랩함으로써 채널 영역의 수소 농도를 낮게 하고, 트랜지스터(100)의 특성으로서, 양호한 특성을 얻을 수 있다.

[0271] 또한, 트랜지스터(100)는, 도 10에 도시하는 구조라도 좋다. 도 10은, 반도체층(101c)과 게이트 절연막(102)의 형상이 도 9와 상이하다. 도 9의 (A) 및 도 9의 (B)에서는 게이트 절연막(102)의 단부는, 게이트 전극(103)의 단부와 개략 일치하는 영역을 가지며, 반도체층(101c)은 게이트 전극(103)의 단부보다 외측에 위치하는 영역을 가진다. 도 10의 (A) 및 (B)에서는, 반도체층(101c)과 게이트 절연막(102)의 단부는, 게이트 전극(103)의 단부보다 외측에 위치하고, 반도체층(101c)이 반도체층(101a) 및 반도체층(101b)의 측면과 접하는 영역을 가진다. 또한, 도 10의 (B)는, 도 10의 (A)에 접하는 일점 쇄선 A-B를 지나가고, 도 10의 (A)와 수직인 면의 단면을 도시한다.

[0272] 또한, 도 6 내지 도 10에 도시한 구조에서는, 반도체층(101b)에 접하여 반도체층(101a) 및 반도체층(101c)을 설치하는 구성을 설명했지만, 반도체층(101a) 또는 반도체층(101c)의 한쪽, 또는 그 양쪽을 설치하지 않는 구성으로 해도 좋다.

[0273] 또한, 트랜지스터(100)는, 도 11에 도시하는 바와 같이, 게이트 전극(103)이 게이트 절연막(102)을 개재하여 반도체층(101)의 하측에 설치되는 구조로 해도 좋다. 도 11의 (A) 및 도 11의 (B)에, 트랜지스터(100) 상면도 및 단면도를 도시한다. 도 11의 (A)는 트랜지스터(100) 상면도이며, 도 11의 (B)는, 도 11의 (A)의 일점 쇄선 A-B 간의 단면도, 도 11의 (C)는, 도 11의 (A)의 일점 쇄선 C-D 간의 단면도이다. 또한, 도 11의 (A)에서는, 명료화를 위해, 기판(50), 게이트 절연막(102), 보호막(25) 등을 생략하고 있다. 도 11에 도시하는 트랜지스터

(100)는, 기판(50) 위에 설치되는 게이트 전극(103)과, 기판(50) 및 게이트 전극(103) 위에 형성되는 게이트 절연막(102)과, 게이트 절연막(102)을 개재하여 게이트 전극(103)과 중첩되는 반도체층(101)과, 반도체층(101)에 접하는 도전층(104a) 및 도전층(104b)을 가진다. 또한, 게이트 절연막(102), 반도체층(101), 도전층(104a) 및 도전층(104b) 위에는, 보호막(25)이 형성된다.

[0274] 또한, 보호막(25)은, 반도체층(101)에 있어서, 게이트 절연막(102)이 접하는 면과 반대측의 면에 있어서 접한다. 즉, 보호막(25)은, 반도체층(101)에 있어서, 채널이 형성되는 영역의 반대측(이하, 백 채널 영역이라고 한다.)에 있어서, 반도체층(101)과 접함으로써, 반도체층(101)의 백 채널 영역을 보호하는 기능을 가진다.

[0275] 여기서, 보호막(25)은, 예를 들면 2층 이상의 적층으로 해도 좋다. 또한, 보호막(25)은, 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하고, 가열에 의해 산소의 일부가 탈리되는 막을 갖는 것이 바람직하다. 보호막(25)은, 예를 들면 산화 실리콘막, 산화 질화 실리콘막, 질화 실리콘막 등을 사용하면 좋다.

[0276] 또한, 트랜지스터(100)는 도 62에 도시하는 바와 같이, 보호막(25) 위에 전극(126)을 가져도 좋다.

[0277] 또한, 트랜지스터(100)는 도 63에 도시하는 구조라도 좋다. 여기서, 도 11 및 도 62에 도시한 트랜지스터(100)는, 채널 에치형의 트랜지스터이었지만, 도 63에 도시하는 트랜지스터(100)는, 채널 보호형의 트랜지스터이다.

[0278] 여기서, 채널 에치형의 트랜지스터의 제작 공정에 관해서 설명한다. 채널 에치형의 트랜지스터의 반도체층(101)으로서, CAAC-OS막을 사용함으로써, 한쌍의 도전층(104a) 및 도전층(104b)을 형성할 때의 에칭시에 반도체층(101)이 노출되어도, 반도체층(101)의 결정성이 높기 때문에 에칭의 대미지를 받기 어려워, 양호한 트랜지스터 특성을 얻을 수 있다. 채널 에치형의 트랜지스터를 사용함으로써, 구조를 간략화할 수 있다. 따라서, 예를 들면 트랜지스터의 제작에 필요로 하는 가격을 저감시킬 수 있다.

[0279] 또한, CAAC-OS막은 결정립계가 존재하지 않기 때문에, 구리의 배리어막으로서 기능하고, 예를 들면 도전층(104a) 및 도전층(104b)에 구리를 사용한 경우에, 도전층(104a) 및 도전층(104b)에 함유되는 구리가 트랜지스터의 채널 영역으로 확산되는 것을 방지할 것으로 생각된다.

[0280] 도 63의 (A)에 도시하는 트랜지스터(100)는, 기판(50) 위에 설치되는 게이트 전극(103)과, 기판(50) 및 게이트 전극(103) 위에 형성되는 게이트 절연막(102)과, 게이트 절연막(102)을 개재하여, 게이트 전극(103)과 중첩되는 반도체층(101)과, 게이트 절연막(102) 및 반도체층(101) 위의 절연막(127)과, 상기 절연막의 개구부에 있어서 반도체층(101)에 접하는 한쌍의 도전층(104a) 및 도전층(104b)을 가진다.

[0281] 또한, 도 63의 (B)에 도시하는 트랜지스터(100)와 같이, 반도체층(101) 위에 형성되는 절연막(128)과, 절연막(128) 위에 단부가 형성되고, 또한 반도체층(101)과 접하는 한쌍의 도전층(104a) 및 도전층(104b)을 가져도 좋다.

[0282] 도 63의 (A), 도 63의 (B)에 도시하는 트랜지스터(100)는 모두, 한쌍의 도전층(104a) 및 도전층(104b)을 형성할 때에 반도체층(101)이 절연막(127, 128)으로 피복되어 있기 때문에, 한쌍의 도전층(104a) 및 도전층(104b)을 형성하는 에칭에 의해, 반도체층(101)은 대미지를 받지 않는다. 또한, 절연막(127, 128)을, 질소를 가지며, 또한 결합량이 적은 산화물 절연막으로 함으로써, 전기 특성의 변동이 억제되어, 신뢰성이 향상된 트랜지스터를 제작할 수 있다.

[0283] 또한, 도 63의 (A), 도 63의 (B)에 도시하는 트랜지스터(100)는, 도 62에 도시하는 바와 같은 보호막(25)이나 전극(126)을 가져도 좋다.

[0284] [구성 예 1]

[0285] 도 12의 (A)는, 본 발명의 일 형태의 반도체 장치의 회로도의 일례이다. 도 12의 (A)에 도시하는 반도체 장치는, 트랜지스터(100)와, 트랜지스터(130)와, 용량 소자(150)와, 배선(BL)과, 배선(WL)과, 배선(CL), 배선(SL), 및 배선(BG)을 가진다.

[0286] 트랜지스터(130)는, 소스 또는 드레인의 한쪽이 배선(BL)과 전기적으로 접속하고, 다른쪽이 배선(SL)과 전기적으로 접속하고, 게이트가 트랜지스터(100)의 소스 또는 드레인의 한쪽 및 용량 소자(150)의 한쪽의 전극과 전기적으로 접속한다. 트랜지스터(100)는, 소스 또는 드레인의 다른쪽이 배선(BL)과 전기적으로 접속하고, 게이트가 배선(WL)과 전기적으로 접속한다. 용량 소자(150)는, 다른쪽의 전극이 배선(CL)과 전기적으로 접속한다. 또한 배선(BG)은 트랜지스터(100)의 제 2 게이트와 전기적으로 접속한다. 또한, 트랜지스터(130)의 게이트와,

트랜지스터(100)의 소스 또는 드레인의 한쪽과, 용량 소자(150)의 한쪽의 전극간의 노드를 노드 FN이라고 부른다.

[0287] 도 12의 (A)에 도시하는 반도체 장치는, 트랜지스터(100)가 도통 상태(온 상태)일 때에 배선(BL)의 전위에 따른 전위를, 노드 FN에 부여한다. 또한, 트랜지스터(100)가 비도통 상태(오프 상태)일 때에, 노드 FN의 전위를 유지하는 기능을 가진다. 한편, 도 12의 (A)에 도시하는 반도체 장치는, 기억 장치의 메모리 셀로서의 기능을 가진다. 또한, 노드 FN과 전기적으로 접속하는 액정 소자나 유기 EL(Electroluminescence) 소자 등의 표시 소자를 갖는 경우, 도 12의 (A)의 반도체 장치는 표시 장치의 화소로서 기능시킬 수도 있다.

[0288] 트랜지스터(100)의 도통 상태, 비도통 상태의 선택은, 배선(WL) 또는 배선(BG)에 부여하는 전위에 의해 제어할 수 있다. 또한 배선(WL) 또는 배선(BG)에 부여하는 전위에 따라 트랜지스터(100)의 임계값 전압을 제어할 수 있다. 트랜지스터(100)로서, 오프 전류가 작은 트랜지스터를 사용함으로써, 비도통 상태에 있어서의 노드 FN의 전위를 장기간에 걸쳐 유지할 수 있다. 따라서, 반도체 장치의 리프레시 빈도를 저감시킬 수 있기 때문에, 소비 전력이 작은 반도체 장치를 실현할 수 있다. 또한, 오프 전류가 작은 트랜지스터의 일례로서, 산화물 반도체를 사용한 트랜지스터를 들 수 있다.

[0289] 또한, 배선(CL)에는 기준 전위나 접지 전위, 또는 임의의 고정 전위 등의 정전위가 부여된다. 이 때, 노드 FN의 전위에 의해, 트랜지스터(100)의 겉보기상의 임계값 전압이 변동된다. 겉보기상의 임계값 전압의 변동에 의해, 트랜지스터(130)의 도통 상태, 비도통 상태가 변화되는 것을 이용하여, 노드 FN에 유지된 전위의 정보를 데이터로서 판독할 수 있다.

[0290] 또한, 노드 FN에 유지된 전위를 85°C 에 있어서 10년간(3.15×10^8 초) 유지하기 위해서는, 용량 1fF 당, 트랜지스터의 채널 폭 $1\mu\text{m}$ 당 오프 전류의 값이 4.3yA (혹은 암페어: 1yA 는 10^{-24}A) 미만인 것이 바람직하다. 이 때, 허용되는 노드 FN의 전위의 변동이 0.5V 이내인 것이 바람직하다. 또는, 95°C 에 있어서, 상기 오프 전류가 1.5yA 미만인 것이 바람직하다. 본 발명의 일 형태의 반도체 장치는, 배리어막보다 하층의 수소 농도가 충분히 저감되어 있기 때문에, 그 결과, 그 상층의 산화물 반도체를 사용한 트랜지스터는, 이와 같이 매우 낮은 오프 전류를 실현할 수 있다.

[0291] 또한, 용량을 많게 함으로써, 보다 길게, 노드 FN에 전위를 유지할 수 있다. 즉, 유지 시간을 길게 할 수 있다.

[0292] 도 12의 (A)에 도시하는 반도체 장치를 매트릭스상으로 배치함으로써, 기억 장치(메모리 셀 어레이)를 구성할 수 있다.

[0293] 도 13에, 도 12의 (A)에 도시한 회로를 실현 가능한 반도체 장치의 단면 구성의 일례를 도시한다. 또한, 도 13의 (B)는, 도 13의 (A)에 도시하는 일점 쇄선 A-B를 지나가고, 도 13의 (A)와 수직인 면의 단면을 도시한다. 또한, 도 13의 (C)는, 도 13의 (A)에 도시하는 일점 쇄선 C-D를 지나가고, 도 13의 (A)와 수직인 면의 단면을 도시한다.

[0294] 반도체 장치는, 트랜지스터(130), 트랜지스터(100), 및 용량 소자(150)를 가진다. 트랜지스터(100)는 트랜지스터(130)의 상면에 설치되고, 트랜지스터(130)와 트랜지스터(100) 사이에는 적어도 1층 이상의 배리어막이 설치되어 있다. 또한, 복수의 배리어막을 형성해도 좋다.

[0295] 도 13에서는, 트랜지스터(100)로서, 도 7에 도시한 트랜지스터 구조를 사용한다.

[0296] 트랜지스터(130)는, 제 1 반도체 재료를 함유하여 구성된다. 또한, 트랜지스터(100)는 제 2 반도체 재료를 함유하여 구성된다. 제 1 반도체 재료와 제 2 반도체 재료는, 동일한 재료라도 좋지만, 상이한 반도체 재료로 하는 것이 보다 바람직하다.

[0297] 제 1 반도체 재료, 또는 제 2 반도체 재료로서 사용할 수 있는 반도체로서는, 예를 들면 실리콘이나 게르마늄이나 갈륨이나 비소 등의 반도체 재료, 실리콘이나 게르마늄이나 갈륨이나 비소나 알루미늄 등을 갖는 화합물 반도체 재료, 유기반도체 재료, 또는 산화물 반도체 재료 등을 들 수 있다.

[0298] 여기서는, 제 1 반도체 재료로서 단결정 실리콘을, 제 2 반도체 재료로서 산화물 반도체를 사용한 경우에 관해서 설명한다.

[0299] [제 1 트랜지스터]

- [0300] 트랜지스터(130)는, 반도체 기판(131)에 설치되고, 반도체 기판(131)의 일부로 이루어지는 반도체층(132), 게이트 절연막(134), 게이트 전극(135), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항층(133a) 및 저저항층(133b)을 가진다.
- [0301] 트랜지스터(130)는, p 채널형, n 채널형 중 어느 것이라도 좋지만, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 된다.
- [0302] 반도체층(132)의 채널이 형성되는 영역이나 그 근방의 영역이나, 소스 영역 또는 드레인 영역이 되는 저저항층(133a) 및 저저항층(133b) 등에 있어서, 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하며, 단결정 실리콘을 포함하는 것이 바람직하다. 또는, Ge(게르마늄), SiGe(실리콘 게르마늄), GaAs(갈륨비소), GaAlAs(갈륨알루미늄비소) 등을 갖는 재료로 형성해도 좋다. 결정 격자에 변형을 갖는 실리콘을 사용한 구성으로 해도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(130)를 HEMT(High Electron Mobility Transistor)로 해도 좋다.
- [0303] 또한, 트랜지스터(130)는, LDD(Lightly Doped Drain) 영역인 영역(176a)과 영역(176b)을 가져도 좋다.
- [0304] 저저항층(133a) 및 저저항층(133b)은, 반도체층(132)에 적용되는 반도체 재료에 더하여, 인 등의 n형의 도전성을 부여하는 원소, 또는 봉소 등의 p형의 도전성을 부여하는 원소를 함유한다.
- [0305] 게이트 전극(135)은, 인 등의 n형의 도전성을 부여하는 원소, 또는 봉소 등의 p형의 도전성을 부여하는 원소를 함유하는 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 특히, 내열성과 도전성을 양립하는 텁스텐이나 몰리브덴 등의 고용점 재료를 사용하는 것이 바람직하며, 특히 텁스텐을 사용하는 것이 바람직하다.
- [0306] 여기서, 트랜지스터(130) 대신 도 15의 (C) 및 도 15의 (D)에 도시하는 바와 같은 트랜지스터(190)를 사용해도 좋다. 도 15의 (D)는, 도 15의 (C)에 도시하는 일점 쇄선 E-F를 지나가고, 도 15의 (C)와 수직인 면의 단면을 도시한다. 트랜지스터(190)는 채널이 형성되는 반도체층(132)(반도체 기판의 일부)이 볼록 형상을 가지며, 그 측면 및 상면을 따라 게이트 절연막(134) 및 게이트 전극(135)이 설치되어 있다. 또한 트랜지스터 사이에는 소자 분리층(181)이 설치되어 있다. 이러한 트랜지스터(190)는 반도체 기판의 볼록부를 이용하고 있기 때문에 FIN형 트랜지스터라고도 불린다. 또한, 볼록부의 상부에 접하고, 볼록부를 형성하기 위한 마스크로서 기능하는 절연막을 가지고 있어도 좋다. 또한, 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우를 나타냈지만, SOI(Silicon on Insulator) 기판을 가공하여 볼록 형상을 갖는 반도체층을 형성해도 좋다.
- [0307] 트랜지스터(130)를 폐복하고, 절연막(136), 절연막(137), 및 절연막(138)이 순서대로 적층되어 설치되어 있다.
- [0308] 절연막(136)은 반도체 장치의 제작 공정에 있어서, 저저항층(133a) 및 저저항층(133b)에 첨가된 도전성을 부여하는 원소의 활성화시의 보호막으로서 기능한다. 절연막(136)은 불필요하면 설치하지 않아도 좋다.
- [0309] 반도체층(132)에 실리콘계 반도체 재료를 사용한 경우, 절연막(137)은 수소를 함유하는 절연 재료를 함유하는 것이 바람직하다. 수소를 함유하는 절연막(137)을 트랜지스터(130) 위에 설치하고, 가열 처리를 행함으로써 절연막(137) 중의 수소에 의해 반도체층(132) 중의 댱글링 본드가 종단되어, 트랜지스터(130)의 신뢰성을 향상시킬 수 있다.
- [0310] 절연막(138)은 그 하층에 설치되는 트랜지스터(130) 등에 의해 발생하는 단차를 평탄화하는 평탄화층으로서 기능한다. 절연막(138)의 상면은, 그 상면의 평탄성을 높이기 위해 CMP(Chemical Mechanical Polishing)법 등을 사용한 평탄화 처리에 의해 평탄화되어 있어도 좋다.
- [0311] 또한, 절연막(136), 절연막(137), 절연막(138)에는 저저항층(133a)이나 저저항층(133b) 등과 전기적으로 접속하는 플러그(140), 트랜지스터(130)의 게이트 전극(135)과 전기적으로 접속하는 플러그(139) 등이 매립되어 있어도 좋다.
- [0312] [용량 소자]
- [0313] 트랜지스터(130)와, 트랜지스터(100) 사이에는, 배리어막(111)이 설치되어 있다. 배리어막은 도 13에 도시하는 바와 같이 단층이라도 좋고, 복수라도 좋다.
- [0314] 배리어막(111)은, 이것보다 하층으로부터 물 및 수소가 상층으로 확산되는 것을 억제하는 기능을 갖는 층이다. 또한, 배리어막(111)은 산소 투과성이 낮은 것이 바람직하다. 또한, 배리어막(111)은 이 상방에 설치되는 전극

또는 배선과, 하방에 설치되는 전극 또는 배선을 전기적으로 접속하기 위한 개구나 플러그를 가지고 있어도 좋다. 여기서, 물 및 산소의 확산을 억제한다란, 예를 들면 일반적으로 절연막으로서 사용되는 산화 실리콘 등과 비교하여, 물 및 수소를 확산시키기 어렵거나 또는 투과성이 낮은 것을 나타낸다. 또한, 산소 투과성이 낮다란, 일반적으로 절연막으로서 사용되는 산화 실리콘 등과 비교하여, 산소의 투과성이 낮은 것을 나타낸다.

[0315] 절연막(112)은 배리어막(111)과 같이, 물이나 수소가 확산되기 어려운 재료를 사용하는 것이 바람직하다. 또한, 특히, 절연막(112)으로서 산소를 투과하기 어려운 재료를 사용하는 것이 바람직하다. 또한, 절연막(112)을 2층 이상의 적층 구조로 해도 좋다. 그 경우에는, 예를 들면 절연막(112)을 2층의 적층 구조로 하고, 하층에 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다. 또한 상층에는 배리어막(111)과 같이 물이나 수소가 확산되기 어려운 재료를 사용하는 것이 바람직하다. 또한 하층에 설치하는 절연막은, 후술하는 절연막(114)과 같은, 가열에 의해 산소가 탈리되는 절연막으로서 게이트 절연막(102)을 개재하여 반도체층(101)의 상층으로부터도 산소를 공급하는 구성으로 해도 좋다.

[0316] 산소를 투과하기 어려운 재료를 함유하는 절연막(112)으로 반도체층(101)을 피복함으로써, 반도체층(101)으로부터 절연막(112)보다 상방으로 산소가 방출되는 것을 억제할 수 있다. 또한, 절연막(114)으로부터 탈리된 산소를 절연막(112)보다 하층에 가둘 수 있기 때문에, 반도체층(101)에 공급할 수 있는 산소의 양을 증대시킬 수 있다.

[0317] 또한, 물이나 수소를 투과하기 어려운 절연막(112)에 의해, 외부로부터 산화물 반도체에 있어서의 불순물인 물이나 수소가 혼입되는 것을 억제할 수 있고, 트랜지스터(100)의 전기 특성의 변동이 억제되어, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0318] 또한, 절연막(112)보다 하층에, 절연막(114)과 같은, 가열에 의해 산소가 탈리되는 절연막을 설치하고, 게이트 절연막(102)을 개재하여 반도체층(101)의 상층으로부터도 산소를 공급하는 구성으로 해도 좋다.

[0319] 여기서, 배리어막(111)보다 하층에서는, 수소나 물 등을 가능한 한 저감시켜 두는 것이 바람직하다. 또는, 탈리 가스를 억제하는 것이 바람직하다. 수소나 물은 산화물 반도체에 있어서 전기 특성의 변동을 일으키는 요인이 될 수 있다. 또한 배리어막(111)을 개재하여 하층으로부터 상층으로 확산되는 수소나 물은, 배리어막(111)에 의해 억제할 수 있지만, 배리어막(111)에 설치되는 개구나 플러그 등을 개재하여 수소나 물이 상층으로 확산되어 버리는 경우가 있다.

[0320] 배리어막(111)보다 하층에 위치하는 각 층에 함유되는 수소나 물을 저감시키기 위해서, 또는 탈리 가스를 억제하기 위해서, 배리어막(111)을 형성하기 전, 또는 배리어막(111)에 플러그를 형성하기 위한 개구를 형성한 직후에, 배리어막(111)보다 하층에 함유되는 수소나 물을 제거하기 위해서, 또는 탈리 가스를 억제하기 위한 가열 처리를 가하는 것이 바람직하다. 반도체 장치를 구성하는 도전막 등의 내열성이나, 트랜지스터의 전기 특성이 열화되지 않을 정도이면, 가열 처리의 온도는 높을수록 바람직하다. 구체적으로는, 예를 들면 450°C 이상, 바람직하게는 490°C 이상, 보다 바람직하게는 530°C 이상의 온도로 하면 좋는데, 650°C 이상으로 행해도 좋다. 불활성 가스 분위기하 또는 감압 분위기하에서 1시간 이상, 바람직하게는 5시간 이상, 보다 바람직하게는 10시간 이상의 가열 처리를 행하는 것이 바람직하다. 배리어막(111)보다 하층에 위치하는 배선 또는 전극의 재료의 내열성을 고려하여 결정하면 좋은데, 예를 들면 상기 재료의 내열성이 낮은 경우에는, 550°C 이하, 또는 600°C 이하, 또는 650°C 이하, 또는 800°C 이하의 온도로 행하면 좋다. 또한 이러한 가열 처리는, 적어도 1회 이상 행하면 좋은데, 복수회 행하면 보다 바람직하다.

[0321] 배리어막(111)보다 하층에 설치되는 절연막은, 승온 탈리 가스 분광법 분석(TDS 분석이라고도 한다)에 의해 측정되는, 기판 표면 온도 400°C에서의 수소 분자의 탈리량이, 300°C에서 수소 분자 탈리량의 130% 이하, 바람직하게는 110% 이하인 것이 바람직하다. 또는, TDS 분석에 의해 측정되는, 기판 표면 온도 450°C에서의 수소 분자의 탈리량이, 350°C에서의 탈리량의 130% 이하, 바람직하게는 110% 이하인 것이 바람직하다.

[0322] 또한, 배리어막(111) 자체에 함유되는 물이나 수소도 저감되어 있는 것이 바람직하다. 또는 탈리 가스가 억제되어 있는 것이 바람직하다. 예를 들면 배리어막(111)으로서, TDS 분석에 의해 측정되는, 기판 표면 온도가 20°C에서부터 600°C의 범위에 있어서의 수소 분자(M/z=2)의 탈리량이, 2×10^{15} 개/cm² 미만, 바람직하게는 1×10^{15} 개/cm² 미만, 보다 바람직하게는 5×10^{14} 개/cm² 미만인 재료를 배리어막(111)에 사용하는 것이 바람직하다. 또는, TDS 분석에 의해 측정되는, 기판 표면 온도가 20°C에서부터 600°C의 범위에 있어서의 물 분자(M/z=18)의 탈리량

이, 1×10^{16} 개/cm³ 미만, 바람직하게는 5×10^{15} 개/cm³ 미만, 보다 바람직하게는 2×10^{12} 개/cm³ 미만인 재료를 배리어 막(111)에 사용하는 것이 바람직하다.

[0323] 또한, 트랜지스터(130)의 반도체층에 단결정 실리콘을 사용한 경우에서는, 상기 가열 처리는, 실리콘의 부대(不對) 결합수(앵글링 본드라고도 한다)를 수소에 의해 종단화하는 처리(수소화 처리라고도 부른다)를 겸할 수 있다. 수소화 처리에 의해 트랜지스터(130)의 게이트 절연막이나, 배리어막(111)보다 하층에 형성되는 그 밖의 절연막에 함유되는 수소의 일부가 탈리되어 제 1 트랜지스터의 반도체층으로 확산되고, 실리콘 중의 앵글링 본드를 종단시킴으로써, 제 2 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0324] 배리어막(111)에 사용할 수 있는 재료로서는, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 티타늄산지르콘산납(PZT), 티타늄산스트론튬(SrTiO₃) 또는 (Ba, Sr)TiO₃(BST) 등의 소위 high-k 재료를 함유하는 절연막을 단층 또는 적층으로 사용할 수 있다. 또는 이를 절연막에 예를 들면 산화 알루미늄, 산화 비스무트, 산화 게르마늄, 산화 니오븀, 산화 실리콘, 산화 티타늄, 산화 텉스텐, 산화 이트륨, 산화 지르코늄, 산화 갈륨을 첨가해도 좋다. 또는 이를 절연막을 질화 처리하여 산화 질화막으로 해도 좋다. 상기의 절연막에 산화 실리콘, 산화 질화 실리콘 또는 질화 실리콘을 적층하여 사용해도 좋다. 특히, 산화 알루미늄은 물이나 수소에 대한 배리어성이 우수하기 때문에 바람직하다.

[0325] 배리어막(111)은 물이나 수소를 투과하기 어려운 재료의 층 이외에, 다른 절연 재료를 함유하는 층을 적층시켜 사용해도 좋다. 예를 들면, 산화 실리콘 또는 산화 질화 실리콘을 함유하는 층, 금속 산화물을 함유하는 층 등을 적층시켜 사용해도 좋다.

[0326] 또한, 배리어막(111)은, 산소를 투과하기 어려운 재료를 사용하는 것이 바람직하다. 상기한 재료는, 수소, 물에 더하여 산소에 대해서도 배리어성이 우수한 재료이다. 이러한 재료를 사용함으로써, 절연막(114)을 가열했을 때에 방출되는 산소가 배리어막(111)보다 하층으로 확산되는 것을 억제할 수 있다. 그 결과, 절연막(114)으로부터 방출되어, 트랜지스터(100)의 반도체층에 공급될 수 있는 산소의 양을 증대시킬 수 있다.

[0327] 이와 같이, 배리어막(111)보다 하층에 위치하는 각 층에 함유되는 수소나 물의 농도를 감소시키거나, 또는 탈리 가스를 억제하고, 또한 배리어막(111)에 의해 수소나 물이 트랜지스터(100)로 확산되는 것을 억제한다. 이로 인해, 절연막(114)이나, 트랜지스터(100)를 구성하는 각 층에 있어서의 수소 및 물의 함유량을, 매우 낮은 것으로 할 수 있다. 예를 들면, 절연막(114), 트랜지스터(100)의 반도체층(101), 또는 게이트 절연막(102)에 함유되는 수소 농도를 5×10^{18} cm⁻³ 미만, 바람직하게는 1×10^{18} cm⁻³ 미만, 더욱 바람직하게는 3×10^{17} cm⁻³ 미만으로까지 저감시킬 수 있다.

[0328] 이상의 구성에 의해, 제 1 트랜지스터와 제 2 트랜지스터 중 어느 것에 있어서도 높은 신뢰성을 양립하는 것이 가능해져, 매우 신뢰성이 높은 반도체 장치를 실현할 수 있다.

[0329] 배리어막(111)을 사이에 개재하도록, 도전층(151), 도전층(152a) 및 도전층(152b)이 설치되어, 용량 소자(150)를 형성하고 있다. 플러그(140), 도전층(251)은 트랜지스터(100)의 도전층(104b)과 전기적으로 접속되어 있다. 도전층(151)은, 트랜지스터(100)의 도전층(104a)과 전기적으로 접속한다. 도전층(151), 도전층(143) 및 도전층(251)은 절연막(115)에 설치된 개구부에 매립되도록 형성된다.

[0330] 배리어막(111), 도전층(152a), 도전층(152b), 도전층(105) 등을 피복하여, 절연막(114)이 설치되어 있다.

[0331] 절연막(114)의 상면은 CMP법 등을 사용한 평탄화 처리에 의해 평탄화되어 있는 것이 바람직하다.

[0332] 절연막(114)은, 산화물을 함유하는 것이 바람직하다. 특히 가열에 의해 일부의 산소가 탈리되는 산화물 재료를 함유하는 것이 바람직하다. 적합하게는, 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하는 산화물을 사용하는 것이 바람직하다. 제 2 반도체 재료로서 산화물 반도체를 사용한 경우, 절연막(114)으로부터 탈리된 산소가 산화물 반도체에 공급되어, 산화물 반도체 중의 산소 결손을 저감시키는 것이 가능해진다. 그 결과, 제 2 트랜지스터의 전기 특성의 변동을 억제하여, 신뢰성을 높일 수 있다.

[0333] 또한 절연막(114)은, 가열에 의해 일부의 산소가 탈리되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의해 산소를 탈리하는 산화물 재료로서, 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하는 산화물을 사용하는 것이 바람직하다. 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하는 산화물 막은, 가열에 의해 일부의 산소가 탈리된다. 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하는 산화물 막은, 승온 탈리 가스 분광법 분석에서, 산소 원자로 환산한 산소의 탈리량이 1.0×10^{18} atoms/cm³ 이상, 바

람직하게는 3.0×10^{20} atoms/cm³ 이상인 산화물막이다. 또한, 상기 TDS 분석시에 있어서의 막의 표면 온도로서는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위가 바람직하다.

[0334] 예를 들면 이러한 재료로서, 산화 실리콘 또는 산화 질화 실리콘을 함유하는 재료를 사용하는 것이 바람직하다. 또는, 금속 산화물을 사용할 수도 있다. 금속 산화물로서, 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄 등을 사용할 수 있다. 또한, 본 명세서 중에 있어서, 산화 질화 실리콘이라면, 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화 산화 실리콘이라면, 그 조성으로서, 산소보다 질소의 함유량이 많은 재료를 나타낸다.

[0335] 또한 절연막(114)에 산소를 과잉으로 함유시키기 위해서, 절연막(114)에 산소를 도입하여 산소를 과잉으로 함유하는 영역을 형성해도 좋다. 예를 들면, 성막후의 절연막(114)에 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 함유한다)를 도입하여 산소를 과잉으로 함유하는 영역을 형성한다. 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 침지 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

[0336] [제 2 트랜지스터]

[0337] 절연막(114)의 상부에는, 트랜지스터(100)의 반도체층(101)이 설치되어 있다.

[0338] 트랜지스터(100)는, 절연막(114)의 상면에 접하는 반도체층(101)과, 도전층(104a) 및 도전층(104b)과, 반도체층(101) 위에 게이트 절연막(102)과, 게이트 절연막(102)을 개재하여 반도체층(101)과 중첩되는 게이트 전극(103)을 가진다. 또한 트랜지스터(100)를 피복하고, 절연막(112), 절연막(113), 및 절연막(116)이 설치되어 있다. 또한, 트랜지스터(100)는, 제 2 게이트 전극으로서 기능하는 도전층(105)을 가져도 좋다.

[0339] 또한, 반도체층(101)은, 단층으로 형성해도 좋고, 또한 도 13에 도시하는 예와 같이, 반도체층(101a), 반도체층(101b) 및 반도체층(101c)의 적층 구조로 형성되는 것이 보다 바람직하다. 도 13에 도시하는 트랜지스터(100)는, 반도체층(101a)과, 반도체층(101a)의 상면에 접하는 반도체층(101b)과, 반도체층(101b)의 상면과 접하고, 반도체층(101b)과 중첩되는 영역에서 이간되는 도전층(104a) 및 도전층(104b)과, 반도체층(101b)의 상면에 접하는 반도체층(101c)과, 반도체층(101c) 위에 게이트 절연막(102)과, 게이트 절연막(102) 및 반도체층(101c)을 개재하여 반도체층(101b)과 중첩되는 게이트 전극(103)을 가진다. 또한, 도 13에 도시하는 트랜지스터(100)는, 제 2 게이트 전극으로서 기능하는 도전층(105)을 가진다. 도전층(105)은, 용량 소자(150)의 일부를 형성하는 도전층(152a) 및 도전층(152b)과 동시에 형성해도 좋다. 반도체층(101a)은, 절연막(114)과 반도체층(101b) 사이에 설치되어 있다. 또한, 반도체층(101c)은, 반도체층(101b)과 게이트 절연막(102)의 사이에 설치되어 있다. 또한, 도전층(104a) 및 도전층(104b)은, 반도체층(101b)의 상면에 접하고, 반도체층(103c)의 하면과 접한다.

[0340] 또한 트랜지스터(100)를 피복하고, 절연막(112), 절연막(113), 및 절연막(116)이 설치되어 있다.

[0341] 여기서, 반도체층(101b)에는 산화물 반도체를 사용하는 것이 바람직하다. 가열에 의해 절연막(114)으로부터 탈리되는 산소는, 반도체층(101b)에 공급되어, 반도체층(101b) 중의 산소 결손을 저감시키는 것이 가능해진다. 그 결과, 예를 들면 트랜지스터(100)의 전기 특성의 변동을 억제하여, 신뢰성을 높일 수 있다.

[0342] 이하에서는, 반도체층(101b)이 In-Ga-Zn 산화물인 경우의 결정성과, 산소 투과성의 관계를 설명한다.

[0343] In-Ga-Zn 산화물의 결정에 있어서의, 과잉 산소(산소)의 이동에 따른 에너지 장벽에 관해서 계산에 의해 구한다. 계산에는, 밀도 범함수 이론에 기초하는 평면파 기저 제 1 원리 계산 소프트 VASP(Vienna ab-initio simulation package)를 사용한다. 또한, 범함수로서는 GGA-PBE를 사용한다. 또한, 평면파의 컷오프 에너지를 400eV로 한다. 또한, PAW(Projector Augmented Wave)법에 의해 내각 전자의 효과를 도입한다.

[0344] 여기서는, 도 61에 도시하는 In-Ga-Zn 산화물의 결정에 있어서, 과잉 산소(산소)의 이동 경로 1, 이동 경로 2, 이동 경로 3 및 이동 경로 4의 이동 용이성을 계산한다.

[0345] 또한, 이동 경로 1은, 3개의 인듐 원자 및 1개의 아연 원자와 결합한 산소에 결합한 과잉 산소(산소)가, 인접하는 3개의 인듐 원자 및 1개의 아연 원자와 결합한 산소에 결합하는 경로이다. 또한, 이동 경로 2는, 3개의 인듐 원자 및 1개의 갈륨 원자와 결합한 산소에 결합한 과잉 산소(산소)가, 인듐 및 산소를 함유하는 층을 횡단하여, 인접하는 3개의 인듐 원자 및 1개의 아연 원자와 결합한 산소에 결합하는 경로이다. 또한, 이동 경로 3은, 2개의 갈륨 원자 및 1개의 아연 원자와 결합한 산소에 결합한 과잉 산소(산소)가, 인접하는 2개의 아연 원자 및 1개의 갈륨 원자와 결합한 산소에 결합하는 경로이다. 또한, 이동 경로 4는, 2개의 갈륨 원자 및 1개의 아연 원자와 결합한 산소에 결합한 과잉 산소(산소)가, 갈륨, 아연 및 산소를 함유하는 층을 횡단하여, 인접하는 3개

의 인듐 원자 및 1개의 갈륨 원자와 결합한 산소에 결합하는 경로이다.

[0346] 단위 시간당 확산의 에너지 장벽(E_a)을 초과하는 빈도를 확산 빈도(R)로 하면, R 은 아래에 나타내는 식으로 표시할 수 있다.

$$R = v \cdot \exp[-E_a/(k_B T)]$$

[0348] 또한, v 는 확산 원자의 열 진동의 진동수, k_B 는 볼츠만 상수, T 는 절대 온도이다. v 에 데바이 진동수로서 $10^{13} [1/\text{sec}]$ 을 부여한 경우의, 350°C 및 450°C에 있어서의 확산 빈도(R)는 표 5와 같아진다.

표 5

	에너지 장벽 [eV]	확산 빈도 R [1/sec]	
		350°C	450°C
이동경로 1	0.50	9.0×10^8	3.3×10^9
이동경로 2	1.97	1.2×10^{-3}	1.9×10^{-1}
이동경로 3	0.53	5.2×10^8	2.0×10^9
이동경로 4	0.56	3.0×10^8	1.3×10^9

[0349]

[0350] 표 5에 기재하는 바와 같이, 인듐 및 산소를 함유하는 층을 형성하는 이동 경로 2에 있어서, 다른 이동 경로보다 높은 에너지 장벽을 갖는 것을 알 수 있다. 이것은, In-Ga-Zn 산화물의 결정은, c축 방향에 있어서의 과잉 산소(산소)의 이동이 일어나기 어려운 것을 나타내고 있다. 즉, CAAC-OS 등과 같이, c축 배향성을 가지며, 피형성면 또는 상면에 개략 수직인 방향을 향하고 있는 구조를 갖는 경우, 피형성면 또는 상면에 개략 수직인 방향에 있어서의 과잉 산소(산소)의 이동이 일어나기 어려운 것을 나타내고 있다.

[0351] 따라서, 반도체층(101b)에 과잉 산소를 공급하는 경우에는, 피형성면 또는 상면에 수직인 방향으로부터 각도가 조금 벗어난 방향으로부터 산소를 공급하면 좋다. 예를 들면, 반도체층(101b)을 형성한 후, 그 측면으로부터 산소를 공급하면 좋다.

[0352] 또한, 예를 들면 반도체층(101a) 위에 반도체층(101b)을 적층하는 경우, 반도체층(101a)의 상면, 즉 반도체층(101b)과의 계면은 과잉 산소의 이동이 일어나기 어렵다. 따라서, 반도체층(101b)에 공급된 산소의 재방출을 억제할 수 있다. 마찬가지로, 반도체층(101b) 위에 반도체층(101c)을 적층하는 경우, 반도체층(101b)과 반도체층(101c)의 계면은, 과잉 산소의 이동이 일어나기 어려워, 반도체층(101b)으로부터의 산소의 재방출을 억제할 수 있다. 한편, 반도체층(101b)의 측면으로부터의 산소의 재방출은 일어나기 쉬운 가능성이 있기 때문에, 예를 들면 도 5에 도시하는 바와 같이, 반도체층(101b)의 측면을 반도체층(101c)으로 피복하는 것이 바람직하다. 또는, 예를 들면 도 6에 도시하는 바와 같이, 반도체층(101b)의 측면을 절연막(112)이나, 게이트 절연막(102)을 개재하여 게이트 전극(103) 등으로 피복하는 것이 바람직하다.

[0353] 또한, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의, 표면, 측면, 상면, 및/또는, 하면의 적어도 일부(또는 전부)에 설치되어 있다.

[0354] 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의, 표면, 측면, 상면, 및/또는, 하면의 적어도 일부(또는 전부)와, 접촉하고 있다. 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의 적어도 일부(또는 전부)와, 접촉하고 있다.

[0355] 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의, 표면, 측면, 상면, 및/또는, 하면의 적어도 일부(또는 전부)와, 전기적으로 접속되어 있다. 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의 일부(또는 전부)와, 전기적으로 접속되어 있다.

[0356] 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의, 표면, 측면, 상면, 및/또는, 하면의 적어도 일부(또는 전부)에, 근접하여 배치되어

있다. 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의 일부(또는 전부)에, 근접하여 배치되어 있다.

[0357] 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의, 표면, 측면, 상면, 및/또는, 하면의 적어도 일부(또는 전부)의 옆측에 배치되어 있다. 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의 일부(또는 전부)의 옆측에 배치되어 있다.

[0358] 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의, 표면, 측면, 상면, 및/또는, 하면의 적어도 일부(또는 전부)의 비스듬하게 상측에 배치되어 있다. 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의 일부(또는 전부)의 비스듬하게 상측에 배치되어 있다.

[0359] 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의, 표면, 측면, 상면, 및/또는, 하면의 적어도 일부(또는 전부)의 상측에 배치되어 있다. 또는, 도전층(104a)(및/또는, 도전층(104b))의, 적어도 일부(또는 전부)는, 반도체층(101b)(및/또는, 반도체층(101a)) 등의 반도체층의 일부(또는 전부)의 상측에 배치되어 있다.

[0360] 반도체층(101)은, 채널이 형성되는 영역에 있어서, 실리콘계 반도체 등의 반도체를 포함하고 있어도 좋다. 특히, 반도체층(101)은, 실리콘보다 밴드갭이 큰 반도체를 포함하는 것이 바람직하다. 적합하게는, 반도체층(101)은 산화물 반도체를 포함하여 구성된다. 실리콘보다 밴드갭이 넓고, 또한 캐리어 밀도가 작은 반도체 재료를 사용하면, 트랜지스터의 오프 상태에 있어서의 전류를 저감시킬 수 있기 때문에 바람직하다.

[0361] 반도체층으로서 이러한 재료를 사용함으로써, 전기 특성의 변동이 억제되어, 신뢰성이 높은 트랜지스터를 실현 할 수 있다.

[0362] 반도체층에 적용 가능한 산화물 반도체의 바람직한 형태에 관해서는, 예를 들면 실시형태 1에 나타내는 산화물 반도체를 참조하면 좋다.

[0363] 또한, 본 명세서 등에 있어서 실질적으로 진성이라고 하는 경우, 산화물 반도체층의 캐리어 밀도는, $1 \times 10^{17} / \text{cm}^3$ 미만, $1 \times 10^{15} / \text{cm}^3$ 미만, 또는 $1 \times 10^{13} / \text{cm}^3$ 미만이다. 산화물 반도체층을 고순도 진성화함으로써, 트랜지스터에 안정된 전기 특성을 부여할 수 있다.

[0364] 도전층(104a) 및 도전층(104b)은, 한쪽이 소스 전극으로서 기능하고, 다른쪽이 드레인 전극으로서 기능한다.

[0365] 도전층(104a) 및 도전층(104b)은, 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈럼, 또는 텉스텐 등의 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용한다. 예를 들면, 실리콘을 함유하는 알루미늄막의 단층 구조, 티타늄막 위에 알루미늄막을 적층하는 2층 구조, 텉스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 위에 구리막을 적층하는 2층 구조, 텉스텐막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화 티타늄막과, 그 티타늄막 또는 질화 티타늄막 위에 포개어 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 티타늄막 또는 질화 티타늄막을 형성하는 3층 구조, 몰리브덴막 또는 질화 몰리브덴막과, 그 몰리브덴막 또는 질화 몰리브덴막 위에 포개어 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 몰리브덴막 또는 질화 몰리브덴막을 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석 또는 산화 아연을 함유하는 투명 도전 재료를 사용해도 좋다.

[0366] 게이트 절연막(102)은, 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물, 질화 실리콘 등을 사용하면 좋고, 적층 또는 단층으로 설치한다.

[0367] 또한, 게이트 절연막(102)으로서, 하프늄실리케이트(HfSiO_x), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소가 첨가된 하프늄알루미네이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화 이트륨 등의 high-k 재료를 사용해도 좋다.

[0368] 또한, 게이트 절연막(102)으로서, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈럼 등의 산화물 절연막, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등의 질화물 절연막, 또는

상기 재료를 혼합한 막을 사용하여 형성할 수 있다.

[0369] 또한, 게이트 절연막(102)으로서, 절연막(114)과 마찬가지로, 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하는 산화물 절연막을 사용하는 것이 바람직하다.

[0370] 또한, 특정한 재료를 게이트 절연막에 사용하면, 특정한 조건으로 게이트 절연막에 전자를 포획시키고, 임계값 전압을 증대시킬 수도 있다. 예를 들면, 산화 실리콘과 산화 하프늄의 적층막과 같이, 게이트 절연막의 일부에 산화 하프늄, 산화 알루미늄, 산화 탄탈럼과 같은 전자 포획 준위가 많은 재료를 사용하고, 보다 높은 온도(반도체 장치의 사용 온도 또는 보관 온도보다 높은 온도, 또는, 125°C 이상 450°C 이하, 대표적으로는 150°C 이상 300°C 이하) 하에서, 게이트 전극의 전위를 소스 전극이나 드레인 전극의 전위보다 높은 상태를, 1초 이상, 대표적으로는 1분 이상 유지함으로써, 반도체층으로부터 게이트 전극을 향하여, 전자가 이동하고, 그 중 어느 정도는 전자 포획 준위에 포획된다.

[0371] 이와 같이 전자 포획 준위에 전자를 포획시킨 트랜지스터는, 임계값 전압이 플러스측으로 시프트한다. 게이트 전극의 전압의 제어에 의해 전자가 포획하는 양을 제어할 수 있고, 그것에 따라 임계값 전압을 제어할 수 있다. 또한, 전자를 포획시키는 처리는, 트랜지스터의 제작 과정에 행하면 좋다.

[0372] 예를 들면, 트랜지스터의 소스 전극 또는 드레인 전극에 접속하는 배선 메탈 형성후, 또는, 전공정(웨이퍼 처리) 종료후, 또는, 웨이퍼 다이싱 공정후, 패키지후 등, 공장 출하전 어느 단계에서 행하면 좋다. 어느 경우에도, 그 후에, 125°C 이상의 온도에 1시간 이상 노출되지 않는 것이 바람직하다.

[0373] 게이트 전극(103)은, 예를 들면 알루미늄, 크롬, 구리, 탄탈럼, 티타늄, 몰리브덴, 텉스텐으로부터 선택된 금속, 또는 상기한 금속을 성분으로 하는 합금이나, 상기한 금속을 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나 또는 복수로부터 선택된 금속을 사용해도 좋다. 또한, 인 등의 불순물 원소를 도핑한 다결정 실리콘으로 대표되는 반도체, 니켈실리사이드 등의 실리사이드를 사용해도 좋다. 또한, 게이트 전극(103)은, 단층 구조라도, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 함유하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 텉스텐막을 적층하는 2층 구조, 질화 탄탈럼막 또는 질화 텉스텐막 위에 텉스텐막을 적층하는 2층 구조 등이 있다. 또한, 알루미늄에, 티타늄, 탄탈럼, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 하나 또는 복수의 금속을 조합한 합금막, 또는 이들의 질화막을 사용해도 좋다.

[0374] 또한, 게이트 전극(103)은, 인듐주석 산화물, 산화 텉스텐을 함유하는 인듐 산화물, 산화 텉스텐을 함유하는 인듐아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 함유하는 인듐주석 산화물, 인듐아연 산화물, 산화 실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 갖는 도전성 재료와, 상기 금속의 적층 구조로 할 수도 있다.

[0375] 또한, 게이트 전극(103)과 게이트 절연막(102) 사이에, In-Ga-Zn계 산질화물 반도체막, In-Sn계 산질화물 반도체막, In-Ga계 산질화물 반도체막, In-Zn계 산질화물 반도체막, Sn계 산질화물 반도체막, In계 산질화물 반도체막, 금속질화막(InN, ZnN 등) 등을 형성해도 좋다. 이들 막은 5eV 이상, 바람직하게는 5.5eV 이상의 일함수를 가지며, 산화물 반도체의 전자 친화력보다 큰 값이기 때문에, 산화물 반도체를 사용한 트랜지스터의 임계값 전압을 플러스로 시프트할 수 있어, 소위 노멀리 오프 특성의 스위칭 소자를 실현할 수 있다. 예를 들면, In-Ga-Zn계 산질화물 반도체막을 사용하는 경우, 적어도 반도체층(101)보다 높은 질소 농도, 구체적으로는 7원자% 이상의 In-Ga-Zn계 산질화물 반도체막을 사용한다.

[0376] 절연막(112)은, 배리어막(111)과 같이, 물이나 수소가 확산되기 어려운 재료를 사용하는 것이 바람직하다. 또한, 특히, 절연막(112)으로서 산소를 투과하기 어려운 재료를 사용하는 것이 바람직하다.

[0377] 산소를 투과하기 어려운 재료를 함유하는 절연막(112)으로 반도체층(101)을 피복함으로써, 반도체층(101)으로부터 절연막(112)보다 상방으로 산소가 방출되는 것을 억제할 수 있다. 또한, 절연막(114)으로부터 탈리된 산소를 절연막(112)보다 하측에 가둘 수 있기 때문에, 반도체층(101)에 공급할 수 있는 산소의 양을 증대시킬 수 있다.

[0378] 또한, 물이나 수소를 투과하기 어려운 절연막(112)에 의해, 외부로부터 산화물 반도체에 있어서의 불순물인 물이나 수소가 혼입되는 것을 억제할 수 있고, 트랜지스터(100)의 전기 특성의 변동이 억제되어, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

- [0379] 또한, 절연막(112)보다 하측에, 절연막(114)과 같은, 가열에 의해 산소가 탈리되는 절연막을 설치하고, 게이트 절연막(102)을 개재하여 반도체층(101)의 상측으로부터도 산소를 공급하는 구성으로 해도 좋다.
- [0380] 또한, 도 13의 (B)에 도시하는 바와 같이, 트랜지스터의 채널 폭 방향의 단면에 있어서, 게이트 전극(103)이 반도체층(101b)의 상면 및 측면에 면하여 설치됨으로써, 반도체층(101b)의 상면 근방뿐만 아니라 측면 근방에까지 채널이 형성되어, 실효적인 채널 폭이 증대되고, 온 상태에 있어서의 전류(온 전류)를 높일 수 있다. 특히, 반도체층(101b)의 폭이 매우 작은(예를 들면 50nm 이하, 바람직하게는 30nm 이하, 보다 바람직하게는 20nm 이하) 경우에는, 반도체층(101b)의 내부에까지 채널이 형성되는 영역이 확대되기 때문에, 미세화할수록 온 전류에 대한 기여가 높아진다.
- [0381] 이상이 트랜지스터(100)에 관한 설명이다.
- [0382] 트랜지스터(100)를 회복하는 절연막(116)은, 그 하층의 요철 형상을 회복하는 평탄화층으로서 기능한다. 또한 절연막(113)은, 절연막(116)을 성막할 때의 보호막으로서의 기능을 가지고 있어도 좋다. 절연막(113)은 불필요하면 설치하지 않아도 좋다.
- [0383] 절연막(112), 절연막(113) 및 절연막(116)에는, 도전층(104b)이나 도전층(104a)과 전기적으로 접속하는 플러그(321), 플러그(322), 플러그(123)가 매립되어 있다.
- [0384] 절연막(116)의 상부에는, 플러그(322)와 전기적으로 접속하는 배선(124) 등이 설치되어 있다.
- [0385] 여기서, 도 13의 (A)에 도시하는 배선(124)이 도 12에 도시하는 배선(BL)에 상당한다. 마찬가지로, 도 13의 (B)에 도시하는 배선(166)이 배선(BG)에 상당하고, 또한 도시하지 않지만, 도 13의 게이트 전극(103)에 접속하는 배선이 배선(WL)에 상당한다. 또한, 도전층(152a) 및 도전층(152b)에 접속하는 배선이 배선(CL)에 상당한다. 또한, 트랜지스터(130)의 저저항층(133b)에 접속하는 배선이, 배선(SL)에 상당한다. 또한 트랜지스터(130)의 게이트 전극(135), 용량 소자(150)의 제 1 전극으로서 기능하는 도전층(151), 및 트랜지스터(100)의 도전층(104a)을 함유하는 노드가, 도 12의 (A)에 도시하는 노드 FN에 상당한다.
- [0386] 또한 도 13에 도시하는 바와 같이, 수소를 함유하는 절연막(136) 위에, 배리어막(111)과 같은 재료를 함유하는 절연막(137)을 설치하는 구성으로 해도 좋다. 이러한 구성으로 함으로써, 수소를 함유하는 절연막(136) 중에 잔존한 물이나 수소가 상방으로 확산되는 것을 효과적으로 억제할 수 있다. 이 경우, 절연막(137)을 형성하기 전과, 절연막(137)을 형성한 후에 배리어막(111)을 형성하는 것보다 전에, 물이나 수소를 제거하기 위한 가열 처리를 함께 2회 이상 행해도 좋다.
- [0387] 배선(124), 배선(166) 등의 배선은, 재료로서 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 특히, 내열성과 도전성을 양립하는 텅스텐이나 몰리브덴 등의 고용접 재료를 사용하는 것이 바람직하며, 특히 텅스텐을 사용하는 것이 바람직하다.
- [0388] 또한, 도전층(151), 도전층(152a), 도전층(152b), 도전층(251), 도전층(143) 등의 도전층이나, 플러그(123), 플러그(139), 플러그(140), 플러그(164), 플러그(165) 등의 플러그에는, 재료로서 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 특히, 내열성과 도전성을 양립하는 텅스텐이나 몰리브덴 등의 고용접 재료를 사용하는 것이 바람직하며, 특히 텅스텐을 사용하는 것이 바람직하다. 또한, 질화 티타늄이나 티타늄 등의 재료를, 다른 재료와 적층하여 사용해도 좋다. 예를 들면, 질화 티타늄이나 티타늄을 사용함으로써, 개구부에 대한 밀착성을 향상시킬 수 있다. 도전층(151), 도전층(152a), 도전층(152b), 도전층(251), 도전층(143) 등의 도전층이나, 플러그(123), 플러그(139), 플러그(140), 플러그(164), 플러그(165) 등의 플러그는, 절연막에 매립되도록 설치되어, 각각의 상면은 평탄화되어 있는 것이 바람직하다.
- [0389] 본 발명의 일 형태의 반도체 장치는, 트랜지스터(130)와, 트랜지스터(130)의 상방에 위치하는 트랜지스터(100)를 갖기 때문에, 이들을 적층하여 설치함으로써 소자의 점유 면적을 축소시킬 수 있다. 또한, 트랜지스터(130)와 트랜지스터(100) 사이에 설치된 배리어막(111)에 의해, 이것보다 하층에 존재하는 물이나 수소 등의 불순물이 트랜지스터(100)측으로 확산되는 것을 억제할 수 있다. 또한, 상기 배리어막(111)을 사이에 개재하여, 일부가 제 1 전극으로서 기능하는 도전층(151)과, 일부가 제 2 전극으로서 기능하는 도전층(152a) 및 도전층(152b)이 설치되어, 용량 소자(150)를 형성하기 때문에, 용량 소자(150)를 제작하기 위한 공정을 별도 추가하지 않고 용량 소자(150)를 용이하게 제작할 수 있다.
- [0390] [구성 예 2]
- [0391] 다음에, 도 12의 (B)에 도시하는 회로는, p 채널형의 트랜지스터와 n 채널형의 트랜지스터를 직렬로 접속하고,

또한 각각의 게이트를 접속한, 소위 CMOS 회로가 2단 접속한 구성을 나타내고 있다. 여기서 예를 들면, n 채널형의 트랜지스터로서 제 2 반도체 재료를 함유하여 구성되는 트랜지스터(100) 및 트랜지스터(201)를 사용하고, p 채널형의 트랜지스터로서 제 1 반도체 재료를 함유하여 구성되는 트랜지스터(130) 및 트랜지스터(230)를 사용하면 좋다.

[0392] 도 14에, 도 12의 (B)에서 도시한 회로를 실현 가능한 반도체 장치의 단면 구성의 일례를 도시한다. 또한, 도 14의 (B)는, 도 14의 (A)에 도시하는 일점 쇄선 A-B를 지나가고, 도 14의 (A)와 수직인 면의 단면을 도시한다. 도 14에 도시하는 바와 같이 p 채널형의 트랜지스터와 n 채널형의 트랜지스터를 상하로 적층함으로써, 회로 면적을 축소시킬 수 있는 경우가 있다.

[0393] 도 14에 도시하는 반도체 장치는, 트랜지스터(230), 트랜지스터(231) 및 트랜지스터(100)를 가진다. 도 14의 (A)에 도시하는 바와 같이, 트랜지스터(100)는 트랜지스터(230)의 상방에 설치되고, 트랜지스터(230)와 트랜지스터(100) 사이에는 적어도 1층 이상의 배리어막이 설치되어 있다. 또한, 도 14의 (B)에 도시하는 바와 같이, 트랜지스터(100)는 트랜지스터(231)의 상방에 설치되고, 트랜지스터(231)와 트랜지스터(100) 사이에는 적어도 1층 이상의 배리어층이 설치되어 있다. 또한, 도 14에는 트랜지스터(201)는 도시하고 있지 않다.

[0394] 트랜지스터(230) 및 트랜지스터(231)는, 제 1 반도체 재료를 함유하여 구성된다. 또한, 트랜지스터(100) 및 트랜지스터(201)는 제 2 반도체 재료를 함유하여 구성된다. 제 1 반도체 재료와 제 2 반도체 재료는, 동일한 재료라도 좋고, 상이한 반도체 재료로 하는 것이 보다 바람직하다.

[0395] 제 1 반도체 재료, 또는 제 2 반도체 재료로서 사용할 수 있는 반도체로서는, 예를 들면 실리콘이나 게르마늄이나 갈륨이나 비소 등의 반도체 재료, 실리콘이나 게르마늄이나 갈륨이나 비소나 알루미늄 등을 갖는 화합물 반도체 재료, 유기 반도체 재료, 또는 산화물 반도체 재료 등을 들 수 있다.

[0396] 여기서는, 제 1 반도체 재료로서 단결정 실리콘을, 제 2 반도체 재료로서 산화물 반도체를 사용한 경우에 관해서 설명한다.

[0397] 트랜지스터(230) 및 트랜지스터(231)와, 트랜지스터(100)는 적층하여 설치된다. 여기서 트랜지스터(230)는 p 채널형의 트랜지스터이며, 트랜지스터(100)는 n 채널형의 트랜지스터이다.

[0398] 트랜지스터(230)는, 반도체 기판(131)에 설치되고, 반도체 기판(131)의 일부로 이루어지는 반도체층(132), 게이트 절연막(134), 게이트 전극(135), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항층(233a) 및 저저항층(233b)을 가진다. 또한, 트랜지스터(231)는, 반도체 기판(131)에 설치되고, 반도체 기판(131)의 일부로 이루어지는 반도체층(132b), 게이트 절연막(134b), 게이트 전극(135b), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항층(233c) 및 저저항층(233d)을 가진다. 도 14의 (C)에, 도 14의 (B)의 일점 쇄선 C-D에 있어서의 단면을 도시한다.

[0399] 반도체층(132)의 채널이 형성되는 영역이나 그 근방의 영역이나, 소스 영역 또는 드레인 영역이 되는 저저항층(233a), 저저항층(233b), 저저항층(233c) 및 저저항층(233d) 등에 있어서, 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하며, 단결정 실리콘을 함유하는 것이 바람직하다. 또는, Ge(게르마늄), SiGe(실리콘게르마늄), GaAs(갈륨비소), GaAlAs(갈륨알루미늄비소) 등을 갖는 재료로 형성해도 좋다. 결정 격자에 변형을 갖는 실리콘을 사용한 구성으로 해도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(230)를 HEMT(High Electron Mobility Transistor)로 해도 좋다.

[0400] 또한, 트랜지스터(230)는, LDD 영역인 영역(276a), 영역(276b), 영역(276c) 및 영역(276d)을 가져도 좋다.

[0401] 저저항층(233a), 저저항층(233b), 저저항층(233c) 및 저저항층(233d)은, 반도체층(132)에 적용되는 반도체 재료에 더하여, 인 등의 n형의 도전성을 부여하는 원소, 또는 붕소 등의 p형의 도전성을 부여하는 원소를 함유한다. 여기서는 예로서, 붕소 등의 p형 도전성을 부여하는 원소를 함유하는 경우를 생각한다.

[0402] 게이트 전극(135)은, 인 등의 n형의 도전성을 부여하는 원소, 또는 붕소 등의 p형의 도전성을 부여하는 원소를 함유하는 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 특히, 내열성과 도전성을 양립하는 텉스텐이나 몰리브덴 등의 고용접 재료를 사용하는 것이 바람직하며, 특히 텉스텐을 사용하는 것이 바람직하다.

[0403] 도 14의 (A)에 도시하는 바와 같이, 트랜지스터(230)의 저저항층(233a)은, 플러그(140), 도전층(251)을 개재하여 트랜지스터(100)의 도전층(104b)과 전기적으로 접속하고 있다. 여기서, 도전층(104b)은 절연막(114) 및 배리어막(211)의 개구부에 매립하도록 형성되는 것이 바람직하다. 여기서, 절연막(114) 및 배리어막(211)의 개구

부에 매립하도록 형성함으로써, 도전층(104b)을 도전층(251)을 전기적으로 접속하기 위한 플러그를 별도 형성할 필요가 없고, 공정을 간략화할 수 있을 뿐아니라, 도전층(104b)과 플러그의 위치 정밀도를 고려하여 설계하지 않아도 되기 때문에, 접속화가 가능하다.

[0404] 또한, 도 14의 (B)에 도시하는 바와 같이, 트랜지스터(230)의 게이트 전극(135), 트랜지스터(231)의 저저항층(233c) 및 게이트 전극(103)은, 플러그(139), 플러그(323), 도전층(151) 및 도전층(104c)을 개재하여 전기적으로 접속하고 있다. 여기서, 도전층(104c)은, 도전층(104a) 및 도전층(104b)과 동시에 형성하는 것이 바람직하다. 도전층(104a), 도전층(104b) 및 도전층(104c)을 동시에 형성함으로써, 배리어막(211) 및 절연막(114)의 개구부에 별도, 플러그 형성할 필요가 없어지기 때문에, 공정을 간략화할 수 있다.

[0405] 또한, 트랜지스터(230) 및 트랜지스터(231)로서, 도 15의 (C) 및 도 15의 (D)에 도시하는 소위 FIN형 트랜지스터라고 불리는 구조를 사용해도 좋다.

[0406] 또한 도 14에 도시하는 트랜지스터(100)에 관해서는, 도 13에 도시하는 트랜지스터(100)의 기재를 참조하면 좋다.

[0407] 다음에, 도 14에 도시하는 반도체 장치의 구성의 변형예를, 도 15의 (A)에 도시한다. 또한, 도 15의 (B)는, 도 15의 (A)에 도시하는 일점 쇄선 A-B를 지나가고, 도 15의 (A)와 수직인 면의 단면을 도시한다. 도 15에서는, 트랜지스터(100)로서, 도 9의 (A)에 도시한 트랜지스터 구조를 사용한다.

[0408] 도 15는, 도전층(104a), 도전층(104b) 및 도전층(104c)을 갖지 않는 것, 플러그(121) 및 플러그(122)를 설치하는 것, 및 플러그(322)의 형상이 상이한 것 등이 도 14와 상이한 점이다.

[0409] 여기서, 본 실시형태에서 나타내는 CMOS 회로는, NAND 회로, NOR 회로, 인코더, 디코더, MUX(multiplexer), DEMUX(demultiplexer) 등의 논리 회로의 기본 소자로서 이용될 수 있다.

[0410] 이상이 구성예에 관한 설명이다.

[제작 방법예]

[0412] 이하에서는, 상기 구성예에서 나타낸 반도체 장치 중, 도 13에 도시한 반도체 장치의 제작 방법의 일례에 관해서, 도 16 내지 도 19를 사용하여 설명한다.

[0413] 우선, 반도체 기판(131)을 준비한다. 반도체 기판(131)으로서는, 예를 들면 단결정 실리콘 기판(p형의 반도체 기판, 또는 n형의 반도체 기판을 포함한다), 탄화 실리콘이나 질화 갈륨으로 이루어지는 화합물 반도체 기판 등을 사용할 수 있다. 또한, 반도체 기판(131)으로서, SOI 기판을 사용해도 좋다. 이하에서는, 반도체 기판(131)으로서 단결정 실리콘을 사용한 경우에 관해서 설명한다.

[0414] 계속해서, 반도체 기판(131)에 소자 분리층(도시하지 않음)을 형성한다. 소자 분리층은 LOCOS(Local Oxidation of Silicon)법 또는 STI(Shallow Trench Isolation)법, 메사 분리법 등을 사용하여 형성하면 좋다.

[0415] 동일 기판 위에 p형의 트랜지스터와 n형의 트랜지스터를 형성하는 경우, 반도체 기판(131)의 일부에 n웰 또는 p웰을 형성해도 좋다. 예를 들면, n형의 반도체 기판(131)에 p형의 도전성을 부여하는 봉소 등의 불순물 원소를 첨가하여 p웰을 형성하고, 동일 기판 위에 n형의 트랜지스터와 p형의 트랜지스터를 형성해도 좋다.

[0416] 계속해서, 반도체 기판(131) 위에 게이트 절연막(134)이 되는 절연막을 형성한다. 예를 들면, 반도체 기판(131)의 표면을 산화하여 산화 실리콘막을 형성한다. 또는, 열산화법에 의해 산화 실리콘을 형성한 후에, 질화 처리를 행함으로써 산화 실리콘막의 표면을 질화함으로써, 산화 실리콘막과, 산화 질화 실리콘막의 적층 구조를 형성해도 좋다. 또는, 산화 실리콘, 산화 질화 실리콘, 고유전율 물질(high-k 재료라고도 한다)인 탄탈럼 산화물, 산화 하프늄, 산화 하프늄실리케이트, 산화 지르코늄, 산화 알루미늄, 산화 티타늄 등의 금속 산화물, 또는 산화 란탄 등의 희토류 산화물 등을 사용해도 좋다.

[0417] 상기 절연막은, 스퍼터링법, CVD(Chemical Vapor Deposition)법 (열 CVD법, MOCVD(Metal Organic CVD)법, PECVD(Plasma Enhanced CVD)법 등을 포함한다), MBE(Molecular Beam Epitaxy)법, ALD(Atomic Layer Deposition)법, 또는 PLD(Pulsed Laser Deposition)법 등으로 성막함으로써 형성해도 좋다.

[0418] 계속해서, 게이트 전극(135)이 되는 도전막을 성막한다. 도전막으로서는, 탄탈럼, 텅스텐, 티타늄, 몰리브덴, 크롬, 니오븀 등으로부터 선택된 금속, 또는 이들 금속을 주성분으로 하는 합금 재료 또는 화합물 재료를 사용하는 것이 바람직하다. 또한, 인 등의 불순물을 첨가한 다결정 실리콘을 사용할 수 있다. 또한, 금속 질화물

막과 상기의 금속막의 적층 구조를 사용해도 좋다. 금속 질화물로서는, 질화 텅스텐, 질화 몰리브덴, 질화 티타늄을 사용할 수 있다. 금속 질화물막을 설치함으로써, 금속막의 밀착성을 향상시킬 수 있어, 박리를 방지할 수 있다.

[0419] 도전막은, 스퍼터링법, 증착법, CVD법(열 CVD법, MOCVD법, PECVD법 등을 포함한다) 등에 의해 성막할 수 있다. 또한 플라즈마에 의한 대미지를 감소시키기 위해서는, 열 CVD법, MOCVD법 또는 ALD법이 바람직하다.

[0420] 계속해서, 상기 도전막 위에 리소그래피법 등을 사용하여 레지스트 마스크를 형성하고, 상기 도전막의 불필요한 부분을 제거한다. 그 후, 레지스트 마스크를 제거함으로써, 게이트 전극(135)을 형성할 수 있다.

[0421] 여기서, 피가공막의 가공 방법에 관해서 설명한다. 피가공막을 미세하게 가공하는 경우에는, 여러 가지 미세 가공 기술을 사용할 수 있다. 예를 들면, 포토리소그래피법 등으로 형성한 레지스트 마스크에 대해 슬리밍 처리를 가하는 방법을 사용해도 좋다. 또한, 포토리소그래피법 등으로 더미 패턴을 형성하고, 상기 더미 패턴에 사이드월을 형성한 후에 더미 패턴을 제거하고, 잔존한 사이드월을 레지스트 마스크로서 사용하여, 피가공막을 에칭해도 좋다. 또한 피가공막의 에칭으로서, 높은 종횡비를 실현하기 위해, 이방성의 드라이 에칭을 사용하는 것이 바람직하다. 또한, 무기막 또는 금속막으로 이루어지는 하드 마스크를 사용해도 좋다.

[0422] 레지스트 마스크의 형성에 사용하는 광은, 예를 들면 i선(파장 365nm), g선(파장 436nm), h선(파장 405nm), 또는 이들을 혼합시킨 광을 사용할 수 있다. 그 밖에, 자외선이나 KrF 레이저광, 또는 ArF 레이저광 등을 사용할 수도 있다. 또한, 액침 노광 기술에 의해 노광을 행해도 좋다. 또한, 노광에 사용하는 광으로서, 극단 자외광 (EUV: Extreme Ultra-violet)이나 X선을 사용해도 좋다. 또한, 노광에 사용하는 광 대신, 전자빔을 사용할 수도 있다. 극단 자외광, X선 또는 전자빔을 사용하면, 매우 미세한 가공이 가능해지기 때문에 바람직하다. 또한, 전자빔 등의 빔을 주사함으로써 노광을 행하는 경우에는, 포토마스크는 불필요하다.

[0423] 또한, 레지스트 마스크가 되는 레지스트막을 형성하기 전에, 피가공막과 레지스트막의 밀착성을 개선하는 기능을 갖는 유기 수지막을 형성해도 좋다. 상기 유기 수지막은, 예를 들면 스픬 코트법 등에 의해, 그 하층의 단차를 회복하여 표면을 평탄화하도록 형성할 수 있어, 상기 유기 수지막의 상층에 설치되는 레지스트 마스크의 두께의 불균일을 저감시킬 수 있다. 또한 특히 미세한 가공을 행하는 경우에는, 상기 유기 수지막으로서, 노광에 사용하는 광에 대한 반사 방지막으로서 기능하는 재료를 사용하는 것이 바람직하다. 이러한 기능을 갖는 유기 수지막으로서는, 예를 들면 BARC(Bottom Anti-Reflection Coating)막 등이 있다. 상기 유기 수지막은, 레지스트 마스크의 제거와 동시에 제거하거나, 레지스트 마스크를 제거한 후에 제거하면 좋다.

[0424] 게이트 전극(135)의 형성후, 게이트 전극(135)의 측면을 회복하는 사이드월을 형성해도 좋다. 사이드월은, 게이트 전극(135)의 두께보다 두꺼운 절연막을 성막한 후에, 이방성 에칭을 가하고, 게이트 전극(135)의 측면 부분만 상기 절연막을 잔존시킴으로써 형성할 수 있다.

[0425] 도 16에는, 사이드월의 형성시에 게이트 절연막의 에칭을 행하지 않는 예를 도시하지만, 사이드월의 형성시에 게이트 절연막(134)이 되는 절연막도 동시에 에칭해도 좋다. 이 경우에는 게이트 전극(135) 및 사이드월의 하부에 게이트 절연막(134)이 형성된다.

[0426] 계속해서, 반도체 기판(131)의 게이트 전극(135)(및 사이드월)이 설치되어 있지 않은 영역에 인 등의 n형의 도전성을 부여하는 원소, 또는 봉소 등의 p형의 도전성을 부여하는 원소를 첨가한다. 이 단계에 있어서의 단면 개략도가 도 16의 (A)에 상당한다.

[0427] 계속해서, 절연막(136)을 형성한 후, 상기한 도전성을 부여하는 원소의 활성화를 위한 제 1 가열 처리를 행한다.

[0428] 절연막(136)은, 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 사용하면 좋고, 적층 또는 단층으로 설치한다. 절연막(136)은 스퍼터링법, CVD법(열 CVD법, MOCVD법, PECVD법 등을 포함한다), MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다. 특히, 상기 절연막을 CVD법, 바람직하게는 플라즈마 CVD법에 의해 성막하면, 회복성을 향상시킬 수 있기 때문에 바람직하다. 또한 플라즈마에 의한 대미지를 감소시키기 위해서는, 열 CVD법, MOCVD법 또는 ALD법이 바람직하다.

[0429] 제 1 가열 처리는, 희가스나 질소 가스 등의 불활성 가스 분위기하, 또는 감압 분위기하에서, 예를 들면 400°C 이상 기판의 변형점 미만에서 행할 수 있다.

[0430] 이 단계에서 트랜지스터(130)가 형성된다. 또한, 트랜지스터(130)를 형성하는 것과 같은 방법으로, 제 3 트랜

지스터(160)를 형성해도 좋다.

[0431] 계속해서, 절연막(137) 및 절연막(138)을 형성한다.

[0432] 절연막(137)은, 절연막(136)에 사용할 수 있는 재료 외에, 산소와 수소를 함유하는 절화 실리콘(SiNOH)을 사용하면, 가열에 의해 탈리되는 수소의 양을 크게 할 수 있기 때문에 바람직하다. 또한, 절연막(138)은, 절연막(136)에 사용할 수 있는 재료 외에, TEOS(Tetra-Ethyl-Ortho-Silicate) 또는 실란 등과, 산소 또는 아산화질소 등을 반응시켜서 형성한 단차피복성이 양호한 산화 실리콘을 사용하는 것이 바람직하다.

[0433] 절연막(137) 및 절연막(138)은, 예를 들면 스퍼터링법, CVD법(열 CVD법, MOCVD법, PECVD법 등을 포함한다), MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다. 특히, 상기 절연막을 CVD법, 바람직하게는 플라즈마 CVD법에 의해 성막하면, 피복성을 향상시킬 수 있기 때문에 바람직하다. 또한 플라즈마에 의한 대미지를 감소시키기 위해서는, 열 CVD법, MOCVD법 또는 ALD법이 바람직하다.

[0434] 계속해서 절연막(138)의 상면을 CMP법 등을 사용하여 평탄화한다. 또한, 절연막(138)으로서 평탄화막을 사용해도 좋다. 그 경우는, 반드시 CMP법 등으로 평탄화하지 않아도 된다. 평탄화 막의 형성에는, 예를 들면 상압 CVD법이나, 도포법 등을 사용할 수 있다. 상압 CVD법을 사용하여 형성할 수 있는 막으로서는 예를 들면, BPSG(Boron Phosphorus Silicate Glass) 등을 들 수 있다. 또한, 도포법을 사용하여 형성할 수 있는 막으로서는 예를 들면, HSQ(수소 실세스퀴옥산) 등을 들 수 있다.

[0435] 그 후, 반도체층(132) 중의 댱글링 본드를 절연막(137)으로부터 탈리되는 수소에 의해 종단하기 위한 제 2 가열 처리를 행한다. 또한, 제 2 가열 처리에 의해 각각의 층에 함유되는 물이나 수소를 탈리시킴으로써, 물이나 수소의 함유량을 저감시킬 수 있다.

[0436] 제 2 가열 처리는, 상기 적층 구조의 설명에서 예시한 조건으로 행할 수 있다. 예를 들면 제 1 가열 처리에서 설명한 조건 등을 사용할 수 있다.

[0437] 계속해서, 절연막(136), 절연막(137), 및 절연막(138)에 저저항층(133a), 저저항층(133b) 및 게이트 전극(135) 등에 도달하는 개구를 형성한다(도 16의 (B) 참조). 그 후, 개구를 매립하도록 도전막을 형성한다(도 16의 (C) 참조). 그 후, 절연막(138)의 상면이 노출되도록, 상기 도전막에 평탄화 처리를 가함으로써, 플러그(139)나 플러그(140) 등을 형성한다(도 16의 (D) 참조). 도전막의 형성은, 예를 들면 스퍼터링법, CVD법(열 CVD법, MOCVD법, PECVD법 등을 포함한다), MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다.

[0438] 계속해서, 절연막(138) 위에 절연막(215)을 성막한다. 절연막(215)은, 절연막(136) 등과 같은 재료 및 방법에 의해 형성할 수 있다.

[0439] 절연막(215)을 형성한 후, 제 3 가열 처리를 행하는 것이 바람직하다. 제 3 가열 처리에 의해, 각 층에 함유되는 물이나 수소를 탈리시킴으로써, 물이나 수소의 함유량을 저감시킬 수 있다. 배리어막(111)을 형성하기 직전에 제 3 가열 처리를 가하고, 배리어막(111)보다 하층에 함유되는 수소나 물을 철저히 제거한 후, 배리어막(111)을 형성함으로써, 나중의 공정에서 배리어막(111)보다 하층측에 물이나 수소가 다시 확산되어 버리는 것을 억제할 수 있다.

[0440] 제 3 가열 처리는, 상기 적층 구조의 설명에서 예시한 조건으로 행할 수 있다. 예를 들면 제 1 가열 처리에서 설명한 조건 등을 사용할 수 있다.

[0441] 계속해서 절연막(215)에 개구부를 형성한다. 그 후, 개구를 매립하도록 도전막을 형성하고, 절연막(215)의 상면이 노출되도록, 상기 도전막에 평탄화 처리를 가함으로써, 도전층(251), 도전층(143) 및 도전층(151) 등을 형성한다(도 16의 (E) 참조).

[0442] 계속해서, 배리어막(111)을 성막하고, 개구부를 형성한다(도 17의 (A) 참조). 배리어막(111)은, 예를 들면 스퍼터링법, CVD법(열 CVD법, MOCVD법, PECVD법 등을 포함한다), MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다. 특히, 상기 절연막을 CVD법, 바람직하게는 플라즈마 CVD법에 의해 성막하면, 피복성을 향상시킬 수 있기 때문에 바람직하다. 또한 플라즈마에 의한 대미지를 감소시키기 위해서는, 열 CVD법, MOCVD법 또는 ALD법이 바람직하다.

[0443] 계속해서, 도전층(105), 도전층(152a) 및 도전층(152b)이 되는 도전막을 성막한다. 그 후, 에칭 등에 의해 도전층(105), 도전층(152a) 및 도전층(152b)을 형성한다(도 17의 (B) 참조).

[0444] 다음에, 절연막(114)을 성막한다. 절연막(114)은, 예를 들면 스퍼터링법, CVD법(열 CVD법, MOCVD법, PECVD법

등을 포함한다), MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다. 특히, 상기 절연막을 CVD법, 바람직하게는 플라즈마 CVD법에 의해 성막하면, 피복성을 향상시킬 수 있기 때문에 바람직하다. 또한 플라즈마에 의한 대미지를 감소시키기 위해서는, 열 CVD법, MOCVD법 또는 ALD법이 바람직하다.

[0445] 절연막(114)에 산소를 과잉으로 함유시키기 위해서는, 예를 들면 산소 분위기 하에서 절연막(114)의 성막을 행하면 좋다. 또는, 성막후의 절연막(114)에 산소를 도입하여 산소를 과잉으로 함유하는 영역을 형성해도 좋고, 쌍방의 수단을 조합해도 좋다.

[0446] 예를 들면, 성막후의 절연막(114)에 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 함유한다)를 도입하여 산소를 과잉으로 함유하는 영역을 형성한다. 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 침지 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

[0447] 산소 도입 처리에는, 산소를 함유하는 가스를 사용할 수 있다. 산소를 함유하는 가스로서는, 예를 들면 산소, 아산화질소, 이산화질소, 이산화탄소, 일산화탄소 등을 사용할 수 있다. 또한, 산소 도입 처리에 있어서, 산소를 함유하는 가스에 희가스를 함유시켜도 좋다. 또는, 수소 등을 함유시켜도 좋다. 예를 들면, 이산화탄소, 수소 및 아르곤의 혼합 가스를 사용하면 좋다.

[0448] 또한, 절연막(114)을 성형한 후, 그 상면의 평탄성을 높이기 위해 CMP법 등을 사용한 평탄화 처리를 행해도 좋다.

[0449] 다음에, 반도체층(101a)이 되는 반도체막과, 반도체층(101b)이 되는 반도체막을 순차적으로 성막한다(도 17의 (C) 참조). 상기 반도체막은, 대기에 접촉시키지 않고 연속적으로 성막하는 것이 바람직하다. 반도체층(101a)이 되는 반도체, 및 반도체층(101b)이 되는 반도체는, 스퍼터링법, CVD법, MBE법 또는 PLD법, ALD법 등을 사용하여 성막하면 좋다.

[0450] 또한, 반도체층(101a)이 되는 반도체, 및 반도체층(101b)이 되는 반도체로서, In-Ga-Zn 산화물층을 MOCVD법에 의해 성막하는 경우, 원료 가스로서 트리메틸인듐, 트리메틸갈륨 및 디메틸아연 등을 사용하면 좋다. 또한, 상기 원료 가스의 조합으로 한정되지 않고, 트리메틸인듐 대신에 트리에틸인듐 등을 사용해도 좋다. 또한, 트리메틸갈륨 대신에 트리에틸갈륨 등을 사용해도 좋다. 또한, 디메틸아연 대신에 디에틸아연 등을 사용해도 좋다.

[0451] 여기서, 반도체층(101a)을 형성한 후에, 반도체층(101a)에 산소를 도입해도 좋다. 예를 들면, 성막후의 반도체층(101a)에 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 함유한다)를 도입하여 산소를 과잉으로 함유하는 영역을 형성한다. 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 침지 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

[0452] 산소 도입 처리에는, 산소를 함유하는 가스를 사용할 수 있다. 산소를 함유하는 가스로서는, 예를 들면 산소, 아산화질소, 이산화질소, 이산화탄소, 일산화탄소 등을 사용할 수 있다. 또한, 산소 도입 처리에 있어서, 산소를 함유하는 가스에 희가스를 함유시켜도 좋다. 또는, 수소 등을 함유시켜도 좋다. 예를 들면, 이산화탄소, 수소 및 아르곤의 혼합 가스를 사용하면 좋다.

[0453] 반도체층(101a) 및 반도체층(101b)을 성막후, 제 4 가열 처리를 행하는 것이 바람직하다. 가열 처리는, 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도에서, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 함유하는 분위기, 또는 감압 상태에서 행하면 좋다. 또한, 가열 처리의 분위기는, 불활성 가스 분위기에서 가열 처리한 후에, 탈리한 산소를 보충하기 위해서 산화성 가스를 10ppm 이상 함유하는 분위기에서 행해도 좋다. 가열 처리는, 반도체막을 성막한 직후에 행해도 좋고, 반도체막을 가공하여 섬 형상의 반도체층(101a 및 101b)을 형성한 후에 행해도 좋다. 가열 처리에 의해, 절연막(114)이나 산화물막으로부터 반도체막에 산소가 공급되어, 반도체막 중의 산소 결손을 저감시킬 수 있다.

[0454] 그 후, 레지스트 마스크를 형성하고, 불필요한 부분을 에칭에 의해 제거한다. 그 후 레지스트 마스크를 제거함으로써, 섬 형상의 반도체층(101a)과 섬 형상의 반도체층(101b)의 적층 구조를 형성할 수 있다(도 17의 (D) 참조). 또한, 반도체막의 에칭시에, 절연막(114)의 일부가 에칭되어, 반도체층(101a) 및 반도체층(101b)으로 피복되어 있지 않은 영역에 있어서의 절연막(114)이 박막화되는 경우가 있다. 따라서, 상기 에칭에 의해 절연막(114)이 소실하지 않도록, 미리 두껍게 형성해 두는 것이 바람직하다.

[0455] 또한, 반도체막의 에칭 조건에 따라서는, 레지스트가 에칭시에 소실되어 버리는 경우가 있기 때문에, 에칭의 내성이 높은 재료, 예를 들면 무기막 또는 금속막으로 이루어지는 소위 하드 마스크를 사용해도 좋다. 여기서 하

드 마스크(281)로서, 도전막을 사용하는 예를 나타낸다. 도 18의 (A)는, 하드 마스크(281)를 사용하여 반도체 막을 가공하고, 반도체층(101a) 및 반도체층(101b)을 형성하는 예를 나타낸다. 여기서, 하드 마스크(281)에 도전층(104a) 및 도전층(104b)으로서 사용할 수 있는 재료를 사용하면, 하드 마스크(281)를 가공하여, 도전층(104a) 및 도전층(104b)을 형성할 수 있다. 이러한 방법을 사용함으로써, 예를 들면 도 6에 도시하는 트랜지스터(100)를 제작할 수 있다.

[0456] 도 17의 (D)에 도시하는 구조를 형성한 후, 절연막(114)에 도전층(151), 도전층(251) 등에 도달하는 개구부를 형성한다(도 18의 (B) 참조). 그 후, 절연막(114)에 형성한 개구부를 매립하도록, 도전층(104a), 도전층(104b) 등이 되는 도전막을 성막한다. 도전층(104a), 도전층(104b) 등이 되는 도전막의 형성은, 예를 들면 스퍼터링법, CVD법(열 CVD법, MOCVD법, PECVD법 등을 포함한다), MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다. 특히, 상기 절연막을 CVD법, 바람직하게는 플라즈마 CVD법에 의해 성막하면, 피복성을 향상시킬 수 있기 때문에 바람직하다. 또한 플라즈마에 의한 대미지를 감소시키기 위해서는, 열 CVD법, MOCVD법 또는 ALD법이 바람직하다.

[0457] 다음에, 레지스트 마스크를 형성하고, 도전층(104a), 도전층(104b) 등이 되는 도전막의 불필요한 부분을 에칭에 의해 제거한다. 그 후 레지스트 마스크를 제거하고, 도전층(104a) 및 도전층(104b) 등을 형성한다(도 18의 (C) 참조). 여기서, 도전막의 에칭시에, 반도체층(101b)이나 절연막(114)의 상부의 일부가 에칭되어, 도전층(104a) 및 도전층(104b)과 중첩되지 않는 부분이 박막화되는 경우가 있다. 따라서, 반도체층(101b)이 되는 반도체막 등의 두께를, 에칭되는 깊이를 고려하여 미리 두껍게 형성해 두는 것이 바람직하다.

[0458] 다음에, 반도체층(101c) 및 게이트 절연막(102)을 성막한다. 그 후, 레지스트 마스크를 형성하고, 에칭에 의해 가공하고, 그 후 레지스트 마스크를 제거한다(도 19의 (A) 참조). 다음에 게이트 전극(103)이 되는 도전막을 성막하고, 레지스트 마스크를 형성하고, 에칭에 의해 상기 도전막을 가공하고, 그 후 레지스트 마스크를 제거하여 게이트 전극(103)을 형성한다(도 19의 (B) 참조). 반도체층(101c)이 되는 반도체는, 스퍼터링법, CVD법, MBE법 또는 PLD법, ALD법 등을 사용하여 성막하면 좋다.

[0459] 또는, 반도체층(101c) 및 게이트 절연막(102)은, 게이트 전극 형성후에 에칭해도 좋다. 에칭은, 예를 들면 레지스트 마스크를 사용하여 행하면 좋다. 또는, 형성한 게이트 전극(103)을 마스크로 하여 게이트 절연막(102) 및 반도체층(101c)을 에칭해도 좋다. 게이트 전극(103)을 마스크로 함으로써, 도 5이나 도 6에 도시하는 바와 같이 게이트 전극(103), 게이트 절연막(102) 및 반도체층(101c)의 측면이 개략 연결되는 형상을 제작할 수 있다.

[0460] 또한, 반도체층(101c)이 되는 반도체로서, In-Ga-Zn 산화물층을 MOCVD법에 의해 성막하는 경우, 원료 가스로서 트리메틸인듐, 트리메틸갈륨 및 디메틸아연 등을 사용하면 좋다. 또한, 상기 원료 가스의 조합으로 한정되지 않고, 트리메틸인듐 대신에 트리에틸인듐 등을 사용해도 좋다. 또한, 트리메틸갈륨 대신에 트리에틸갈륨 등을 사용해도 좋다. 또한, 디메틸아연 대신에 디에틸아연 등을 사용해도 좋다.

[0461] 또한 반도체층(101c)을 형성한 후에, 반도체층(101c)에 산소를 도입해도 좋다. 예를 들면, 성막후의 반도체층(101c)에 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 함유한다)를 도입하여 산소를 과잉으로 함유하는 영역을 형성한다. 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 침지 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

[0462] 산소 도입 처리에는, 산소를 함유하는 가스를 사용할 수 있다. 산소를 함유하는 가스로서는, 예를 들면 산소, 아산화질소, 이산화질소, 이산화탄소, 일산화탄소 등을 사용할 수 있다. 또한, 산소 도입 처리에 있어서, 산소를 함유하는 가스에 희가스를 함유시켜도 좋다. 또는, 수소 등을 함유시켜도 좋다. 예를 들면, 이산화탄소, 수소 및 아르곤의 혼합 가스를 사용하면 좋다.

[0463] 이 단계에서 트랜지스터(100)가 형성된다.

[0464] 다음에, 절연막(112)을 형성한다. 절연막(112)은, 예를 들면 스퍼터링법, CVD법(열 CVD법, MOCVD법, PECVD법 등을 포함한다), MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다. 특히, 상기 절연막을 CVD법, 바람직하게는 플라즈마 CVD법에 의해 성막하면, 피복성을 향상시킬 수 있기 때문에 바람직하다. 또한 플라즈마에 의한 대미지를 감소시키기 위해서는, 열 CVD법, MOCVD법 또는 ALD법이 바람직하다.

[0465] 절연막(112)의 성막후, 제 5 가열 처리를 행하는 것이 바람직하다. 가열 처리에 의해, 절연막(114) 등으로부터 반도체층(101)에 대해 산소를 공급하고, 반도체층(101) 중의 산소 결손을 저감시킬 수 있다. 또한 이 때, 절연막(114)으로부터 탈리된 산소는, 배리어막(111) 및 절연막(112)에 의해 차단되어, 배리어막(111)보다 하층 및

절연막(114)보다 상층으로는 확산되지 않기 때문에, 상기 산소를 효과적으로 가둘 수 있다. 이로 인해 반도체층(101)에 공급할 수 있는 산소의 양을 증대시킬 수 있어, 반도체층(101) 중의 산소 결손을 효과적으로 저감시킬 수 있다.

[0466] 또한, 절연막(112)을 2층 이상의 적층 구조로 해도 좋다. 그 경우에는, 예를 들면 절연막(112)을 2층의 적층 구조로 하고, 하층에 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다. 또한 상층에는 배리어막(111)과 같이 물이나 수소가 확산되기 어려운 재료를 사용하는 것이 바람직하다. 또한 하층에 설치하는 절연막은, 절연막(114)과 같은, 가열에 의해 산소가 탈리되는 절연막으로서 게이트 절연막(102)을 개재하여 반도체층(101)의 상측으로부터도 산소를 공급하는 구조으로 해도 좋다.

[0467] 계속해서, 절연막(113)을 형성한다. 절연막(113)은, 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 사용하면 좋고, 적층 또는 단층으로 설치한다. 절연막(113)은, 예를 들면 스퍼터링법, CVD법(열 CVD법, MOCVD법, PECVD법 등을 포함한다), MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다. 특히, CVD법, 바람직하게는 플라즈마 CVD법에 의해 성막하면, 피복성을 양호한 것으로 할 수 있기 때문에 바람직하다. 또한 플라즈마에 의한 대미지를 감소시키기 위해서는, 열 CVD법, MOCVD법 또는 ALD법이 바람직하다.

[0468] 계속해서, 절연막(113), 절연막(112), 게이트 절연막(102) 및 반도체층(101c)에, 도전층(104a) 등에 도달하는 개구부를 형성한다. 이어서, 개구부를 매립하도록 도전막을 형성한 후, 레지스트 마스크를 사용하여 불필요 부분을 제거하고, 레지스트 마스크를 제거하여 플러그(321) 및 플러그(322)를 형성한다.

[0469] 계속해서, 절연막(116)을 형성한다. 절연막(116)은, 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 사용하면 좋고, 적층 또는 단층으로 설치한다. 절연막(116)은, 예를 들면 스퍼터링법, CVD법(열 CVD법, MOCVD법, PECVD법 등을 포함한다), MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다. 또한 절연막(116)으로서 유기 수지 등의 유기 절연 재료를 사용하는 경우에는, 스픬 코트법 등의 도포법을 사용하여 형성해도 좋다. 또한, 절연막(116)을 형성한 후에 그 상면에 대해 평탄화 처리를 행하는 것이 바람직하다. 또한, 절연막(116)으로서, 절연막(138)에 나타내는 재료나, 형성 방법을 사용해도 좋다.

[0470] 계속해서, 상기와 같은 방법에 의해, 절연막(116)에, 플러그(322)에 도달하는 플러그(123) 등을 형성한다.

[0471] 계속해서, 절연막(116) 위에 도전막을 성막한다. 그 후 상기와 같은 방법에 의해 레지스트 마스크를 형성하고, 도전막의 불필요한 부분을 에칭에 의해 제거한다. 그 후 레지스트 마스크를 제거함으로써, 배선(124) 등을 형성할 수 있다.

[0472] 이상의 공정에 의해, 본 발명의 일 형태의 반도체 장치를 제작할 수 있다.

[0473] (실시형태 4)

[0474] 본 실시형태에서는, 본 발명의 일 형태의 트랜지스터를 이용한 회로의 일례에 관해서 도면을 참조하여 설명한다.

[0475] [회로 구성예]

[0476] 실시형태 1에 나타낸 구성에 있어서, 트랜지스터나 배선, 전극의 접속 구성을 상이하게 함으로써, 여러 가지 회로를 구성할 수 있다. 이하에서는, 본 발명의 일 형태의 반도체 장치를 사용함으로써 실현할 수 있는 회로 구성의 예를 설명한다.

[0477] [CMOS 회로]

[0478] 도 24의 (A)에 도시하는 회로도는, p 채널형의 트랜지스터(2200)와 n 채널형의 트랜지스터(2100)를 직렬로 접속하고, 또한 각각의 게이트를 접속한, 소위 CMOS 회로의 구성을 도시하고 있다. 또한 도면 중, 제 2 반도체 재료가 적용된 트랜지스터에는 「OS」의 기호를 붙여 나타내고 있다.

[0479] [아날로그 스위치]

[0480] 또한 도 24의 (B)에 도시하는 회로도는, 트랜지스터(2100)와 트랜지스터(2200)의 각각의 소스와 드레인을 접속한 구성을 나타내고 있다. 이러한 구조으로 함으로써, 소위 아날로그 스위치로서 기능시킬 수 있다.

[0481] [기억 장치의 예]

본 발명의 일 형태인 트랜지스터를 사용하여, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기록 횟수에도 제한이 없는 반도체 장치(기억 장치)의 일례를 도 24에 도시한다.

도 24의 (C)에 도시하는 반도체 장치는, 제 1 반도체 재료를 사용한 트랜지스터(3200)와 제 2 반도체 재료를 사용한 트랜지스터(3300), 및 용량 소자(3400)를 가지고 있다. 또한, 트랜지스터(3300)로서는, 상기 실시형태에서 예시한 트랜지스터를 사용할 수 있다.

본 실시형태에서는, 트랜지스터(3300)로서, 산화물 반도체를 갖는 반도체층에 채널이 형성되는 트랜지스터를 사용하는 예를 나타낸다. 트랜지스터(3300)는, 오프 전류가 작기 때문에, 이것을 사용함으로써 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작을 필요로 하지 않거나, 또는, 리프레시 동작의 빈도가 매우 적은 반도체 기억 장치로 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감시킬 수 있다.

도 24의 (C)에 있어서, 제 1 배선(3001)은 트랜지스터(3200)의 소스 전극과 전기적으로 접속되고, 제 2 배선(3002)은 트랜지스터(3200)의 드레인 전극과 전기적으로 접속되어 있다. 또한, 제 3 배선(3003)은 트랜지스터(3300)의 소스 전극 또는 드레인 전극과 전기적으로 접속되고, 제 4 배선(3004)은 트랜지스터(3300)의 게이트 전극과 전기적으로 접속되어 있다. 그리고, 트랜지스터(3200)의 게이트 전극, 및 트랜지스터(3300)의 소스 전극 또는 드레인 전극의 다른쪽은, 용량 소자(3400)의 전극의 한쪽과 전기적으로 접속되고, 제 5 배선(3005)은 용량 소자(3400)의 전극의 다른쪽과 전기적으로 접속되어 있다.

도 24의 (C)에 도시하는 반도체 장치에서는, 트랜지스터(3200)의 게이트 전극의 전위가 유지 가능하다는 특징을 활용으로써, 다음과 같이, 정보의 기록, 유지, 판독이 가능하다.

정보의 기록 및 유지에 관해서 설명한다. 우선, 제 4 배선(3004)의 전위를, 트랜지스터(3300)가 온 상태가 되는 전위로 하여, 트랜지스터(3300)를 온 상태로 한다. 이것에 의해, 제 3 배선(3003)의 전위가, 트랜지스터(3200)의 게이트 전극, 및 용량 소자(3400)에 부여된다. 즉, 트랜지스터(3200)의 게이트 전극에는, 소정의 전하가 부여된다(기록). 여기서는, 상이한 2개의 전위 레벨을 부여하는 전하(이하 Low 레벨 전하, High 레벨 전하라고 한다) 중 어느 하나가 주어지는 것으로 한다. 그 후, 제 4 배선(3004)의 전위를, 트랜지스터(3300)가 오프 상태가 되는 전위로 하여, 트랜지스터(3300)를 오프 상태로 함으로써, 트랜지스터(3200)의 게이트 전극에 부여된 전하가 유지된다(유지).

트랜지스터(3300)의 오프 전류는 매우 작기 때문에, 트랜지스터(3200)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.

다음에 정보의 판독에 관해서 설명한다. 제 1 배선(3001)에 소정의 전위(정전위)를 부여한 상태에서, 제 5 배선(3005)에 적절한 전위(판독 전위)를 부여하면, 트랜지스터(3200)의 게이트 전극에 유지된 전하량에 따라, 제 2 배선(3002)은 상이한 전위를 취한다. 일반적으로, 트랜지스터(3200)를 n 채널형으로 하면, 트랜지스터(3200)의 게이트 전극에 High 레벨 전하가 부여되어 있는 경우의 겉보기 임계값($V_{th,H}$)은, 트랜지스터(3200)의 게이트 전극에 Low 레벨 전하가 부여되어 있는 경우의 겉보기의 임계값($V_{th,L}$)보다 낮아지기 때문이다. 여기서, 겉보기의 임계값 전압이란, 트랜지스터(3200)를 「온 상태」로 하기 위해 필요한 제 5 배선(3005)의 전위를 말하는 것으로 한다. 따라서, 제 5 배선(3005)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위(V_0)로 함으로써, 트랜지스터(3200)의 게이트 전극에 부여된 전하를 판별할 수 있다. 예를 들면, 기록에 있어서, High 레벨 전하가 부여되어 있는 경우에는, 제 5 배선(3005)의 전위가 $V_0 (> V_{th,H})$ 가 되면, 트랜지스터(3200)는 「온 상태」가 된다. Low 레벨 전하가 부여되어 있는 경우에는, 제 5 배선(3005)의 전위가 $V_0 (< V_{th,L})$ 이 되어도, 트랜지스터(3200)는 「오프 상태」 그대로이다. 이로 인해, 제 2 배선(3002)의 전위를 판별함으로써, 유지되어 있는 정보를 판독할 수 있다.

또한, 메모리 셀을 어레이상으로 배치하여 사용하는 경우, 원하는 메모리 셀의 정보만을 판독할 수 있는 것이 필요하게 된다. 이와 같이 정보를 판독하지 않는 경우에는, 게이트 전극의 상태에 상관없이 트랜지스터(3200)가 「오프 상태」가 되는 전위, 즉, $V_{th,H}$ 보다 작은 전위를 제 5 배선(3005)에 부여하면 된다. 또는, 게이트 전극의 상태에 상관없이 트랜지스터(3200)가 「온 상태」가 되는 전위, 즉, $V_{th,L}$ 보다 큰 전위를 제 5 배선(3005)에 부여하면 된다.

도 24의 (D)에 도시하는 반도체 장치는, 트랜지스터(3200)를 설치하고 있지 않은 점에서 주로 도 24의 (C)와 상

이하다. 이 경우도 상기와 같은 동작에 의해 정보의 기록 및 유지 동작이 가능하다.

[0492] 다음에, 정보의 관독에 관해서 설명한다. 트랜지스터(3300)가 온 상태가 되면, 부유 상태인 제 3 배선(3003)과 용량 소자(3400)가 도통하여, 제 3 배선(3003)과 용량 소자(3400) 사이에서 전하가 재분배된다. 그 결과, 제 3 배선(3003)의 전위가 변화된다. 제 3 배선(3003)의 전위의 변화량은, 용량 소자(3400)의 전극의 한쪽의 전위(또는 용량 소자(3400)에 축적된 전하)에 의해, 상이한 값을 취한다.

[0493] 예를 들면, 용량 소자(3400)의 전극의 한쪽의 전위를 V, 용량 소자(3400)의 용량을 C, 제 3 배선(3003)이 갖는 용량 성분을 CB, 전하가 재분배되기 전의 제 3 배선(3003)의 전위를 VB0로 하면, 전하가 재분배된 후의 제 3 배선(3003)의 전위는, $(CB \times VB0 + C \times V) / (CB + C)$ 이 된다. 따라서, 메모리 셀의 상태로서, 용량 소자(3400)의 전극의 한쪽의 전위가 V1과 V0($V1 > V0$)의 2상태를 취하는 것으로 하면, 전위 V1을 유지하고 있는 경우의 제 3 배선(3003)의 전위($= (CB \times VB0 + C \times V1) / (CB + C)$)는, 전위 V0을 유지하고 있는 경우의 제 3 배선(3003)의 전위($= (CB \times VB0 + C \times V0) / (CB + C)$)보다 높아지는 것을 알 수 있다.

[0494] 그리고, 제 3 배선(3003)의 전위를 소정의 전위와 비교함으로써, 정보를 판독할 수 있다.

[0495] 이 경우, 메모리 셀을 구동시키기 위한 구동 회로에 상기 제 1 반도체 재료가 적용된 트랜지스터를 사용하고, 트랜지스터(3300)로서 제 2 반도체 재료가 적용된 트랜지스터를 구동 회로 위에 적층하여 설치하는 구성으로 하면 좋다.

[0496] 본 실시형태에 나타내는 반도체 장치에서는, 채널 형성 영역에 산화물 반도체를 사용한 오프 전류가 매우 작은 트랜지스터를 적용함으로써, 매우 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작이 불필요해지거나, 또는, 리프레시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직하다)에도, 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다.

[0497] 또한, 본 실시형태에 나타내는 반도체 장치에서는, 정보의 기록에 높은 전압을 필요로 하지 않아, 소자 열화의 문제도 없다. 예를 들면, 종래의 불휘발성 메모리와 같이, 플로우팅 게이트로의 전자의 주입이나, 플로우팅 게이트로부터의 전자의 추출을 행할 필요가 없기 때문에, 게이트 절연막의 열화와 같은 문제가 전혀 발생하지 않는다. 즉, 개시하는 발명에 따르는 반도체 장치에서는, 종래의 불휘발성 메모리에서 문제가 되고 있는 재기록 가능 횟수에 제한은 없어, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 의해, 정보의 기록이 행해지기 때문에, 고속 동작도 용이하게 실현할 수 있다.

[0498] 본 실시형태는, 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0499] (실시형태 5)

[0500] 본 실시형태에서는, 본 발명의 일 형태인 트랜지스터를 사용한 반도체 장치의 일례에 관해서, 도면을 사용하여 설명한다. 도 60은, 본 발명의 일 형태에 따르는 반도체 장치의 회로도의 일례이다.

[0501] 도 60에 도시하는 반도체 장치는, 용량 소자(660a)와, 용량 소자(660b)와, 트랜지스터(661a)와, 트랜지스터(661b)와, 트랜지스터(662a)와, 트랜지스터(662b)와, 인버터(663a)와, 인버터(663b)와, 배선(BL)과, 배선(BL B)과, 배선(WL)과, 배선(CL)과, 배선(GL)을 가진다.

[0502] 도 60에 도시하는 반도체 장치는, 인버터(663a) 및 인버터(663b)가 텅 접속함으로써 플립플롭이 구성되는 메모리 셀이다. 인버터(663b)의 출력 신호가 출력되는 노드를 노드 VN1로 하고, 인버터(663a)의 출력 신호가 출력되는 노드를 노드 VN2로 한다. 또한, 상기 메모리 셀을 매트릭스상으로 배치함으로써, 기억 장치(메모리 셀 어레이)를 구성할 수 있다.

[0503] 트랜지스터(662a)의 소스, 드레인의 한쪽은 배선(BL)과 전기적으로 접속하고, 소스, 드레인의 다른쪽은 노드 VN1과 전기적으로 접속하고, 게이트는 배선(WL)과 전기적으로 접속한다. 트랜지스터(662b)의 소스, 드레인의 한쪽은 노드 VN2와 전기적으로 접속하고, 소스, 드레인의 다른쪽은 배선(BLB)과 전기적으로 접속하고, 게이트는 배선(WL)과 전기적으로 접속한다.

[0504] 트랜지스터(661a)의 소스, 드레인의 한쪽은 노드 VN1과 전기적으로 접속하고, 소스, 드레인의 다른쪽은 용량 소자(660a)의 한쪽의 전극과 전기적으로 접속하고, 게이트는 배선(GL)과 전기적으로 접속한다. 여기서, 트랜지스터(661a)의 소스, 드레인의 다른쪽과, 용량 소자(660a)의 한쪽의 전극 간의 노드를 노드 NVN1로 한다. 트랜지

스터(661b)의 소스, 드레인의 한쪽은 노드 VN2와 전기적으로 접속하고, 소스, 드레인의 다른쪽은 용량 소자(660b)의 한쪽의 전극과 전기적으로 접속하고, 게이트는 배선(GL)과 전기적으로 접속한다. 여기서, 트랜지스터(661b)의 소스, 드레인의 다른쪽과, 용량 소자(660b)의 한쪽의 전극 간의 노드를 노드 NVN2로 한다.

- [0505] 용량 소자(660a)의 다른쪽의 전극은 배선(CL)과 전기적으로 접속한다. 용량 소자(660b)의 다른쪽의 전극은 배선(CL)과 전기적으로 접속한다.
- [0506] 트랜지스터(662a) 및 트랜지스터(662b)의 도통 상태, 비도통 상태의 선택은, 배선(WL)에 부여하는 전위에 의해 제어할 수 있다. 트랜지스터(661a) 및 트랜지스터(661b)의 도통 상태, 비도통 상태의 선택은, 배선(GL)에 부여하는 전위에 의해 제어할 수 있다.
- [0507] 도 60에 도시한 메모리 셀의 기록, 유지 및 판독에 관해서 이하에 설명한다.
- [0508] 기록시에는, 우선 배선(BL) 및 배선(BLB)에 데이터 0 또는 데이터 1에 대응하는 전위를 인가한다.
- [0509] 예를 들면, 데이터 1을 기록하고 싶은 경우, 배선(BL)을 하이레벨의 전원 전위(VDD), 배선(BLB)을 접지 전위로 한다. 다음에, 배선(WL)에 트랜지스터(662a), 트랜지스터(662b)의 임계값 전압에 VDD를 가한 전위 이상의 전위(VH)를 인가한다.
- [0510] 다음에, 배선(WL)의 전위를 트랜지스터(662a), 트랜지스터(662b)의 임계값 전압 미만으로 함으로써, 플립플롭에 기록한 데이터 1이 유지된다.
- [0511] 판독시에는, 미리 배선(BL) 및 배선(BLB)을 VDD로 한다. 다음에, 배선(WL)에 VH를 인가함으로써, 배선(BL)은 VDD인채로 변화되지 않지만, 배선(BLB)은 트랜지스터(662a) 및 인버터(663a)를 개재하여 방전하고, 접지 전위가 된다. 이 배선(BL)과 배선(BLB)의 전위차를 센스 앰프(도시하지 않음)에서 증폭시킴으로써 유지된 데이터 1을 판독할 수 있다.
- [0512] 또한, 데이터 0을 기록하고 싶은 경우에는, 배선(BL)을 접지 전위, 배선(BLB)을 VDD로 하고, 그 후 배선(WL)에 VH를 인가하면 좋다. 다음에, 배선(WL)의 전위를 트랜지스터(662a), 트랜지스터(662b)의 임계값 전압 미만으로 함으로써, 플립플롭에 기록한 데이터 0이 유지된다. 판독시에는, 미리 배선(BL) 및 배선(BLB)을 VDD로 하고, 배선(WL)에 VH를 인가함으로써, 배선(BLB)은 VDD인채로 변화되지 않지만, 배선(BL)은 트랜지스터(662b) 및 인버터(663b)를 개재하여 방전하고, 접지 전위가 된다. 이 배선(BL)과 배선(BLB)의 전위차를 센스 앰프에서 증폭시킴으로써 유지된 데이터 0을 판독할 수 있다.
- [0513] 따라서, 도 60에 도시하는 반도체 장치는 소위 SRAM(Static Random Access Memory)로서 기능한다. SRAM은 플립플롭을 사용하여 데이터를 유지하기 때문에, 리프레시 동작이 불필요하다. 이로 인해, 데이터 유지시의 소비 전력을 억제할 수 있다. 또한, 플립플롭에 있어서 용량 소자를 사용하지 않기 때문에, 고속 동작이 요구되는 용도에 적합하다.
- [0514] 또한, 도 60에 도시하는 반도체 장치는, 트랜지스터(661a)를 개재하여, 노드 VN1로부터 노드 NVN1에 데이터를 기록하는 것이 가능하다. 마찬가지로, 트랜지스터(661b)를 개재하여, 노드 VN2로부터 노드 NVN2에 데이터를 기록하는 것이 가능하다. 기록된 데이터는, 트랜지스터(661a) 또는 트랜지스터(661b)를 비도통 상태로 함으로써 유지된다. 예를 들면, 전원 전위의 공급을 멈춘 경우에도, 노드 VN1 및 노드 VN2의 데이터를 유지할 수 있는 경우가 있다.
- [0515] 전원 전위의 공급을 멈추면, 즉시 데이터가 소실되는 종래의 SRAM과 달리, 도 60에 도시하는 반도체 장치는, 전원 전위의 공급을 멈춘 후에도 데이터를 유지할 수 있다. 이로 인해, 적절히 전원 전위를 온 또는 오프함으로써, 소비 전력이 작은 반도체 장치를 실현할 수 있다. 예를 들면, CPU의 기억 영역에 도 60에 도시하는 반도체 장치를 사용함으로써, CPU의 소비 전력을 작게 할 수도 있다.
- [0516] 또한, 노드 NVN1 및 노드 NVN2에 데이터를 유지하는 기간은, 트랜지스터(661a) 및 트랜지스터(661b)의 오프 전류에 의해 변화되는 것을 알 수 있다. 따라서, 데이터의 유지 기간을 길게 하기 위해서는, 트랜지스터(661a) 및 트랜지스터(661b)에는, 오프 전류가 낮은 트랜지스터를 사용하면 양호해진다. 또는, 용량 소자(660a) 및 용량 소자(660b)의 용량을 크게 하면 양호해진다.
- [0517] 예를 들면, 실시형태 1에 나타낸 트랜지스터(100) 및 용량 소자(150)를, 트랜지스터(661a) 및 용량 소자(660a)로서 사용하면, 노드 NVN1에 장기간에 걸쳐 데이터를 유지하는 것이 가능해진다. 마찬가지로, 트랜지스터(100) 및 용량 소자(150)를, 트랜지스터(661b) 및 용량 소자(660b)로서 사용하면, 노드 NVN2에 장기간에 걸쳐 데이터

를 유지하는 것이 가능해진다. 따라서, 트랜지스터(661a) 및 트랜지스터(661b)에 관해서는, 트랜지스터(100)에 관한 기재를 참조하면 된다. 또한, 용량 소자(660a) 및 용량 소자(660b)에 관해서는, 용량 소자(150)에 관한 기재를 참조하면 된다.

[0518] 또한, 상기 실시형태에서 설명한 바와 같이, 트랜지스터(100) 및 용량 소자(150)는, 트랜지스터(130)와 적어도 일부를 중첩하여 제작할 수 있다. 도 60에 도시하는 트랜지스터(662a), 트랜지스터(662b), 인버터(663a)에 포함되는 트랜지스터 및 인버터(663b)에 포함되는 트랜지스터는, 트랜지스터(661a), 트랜지스터(661b), 용량 소자(660a) 및 용량 소자(660b)와 적어도 일부를 중첩하여 제작할 수 있다. 따라서, 도 60에 도시하는 반도체 장치는, 종래의 SRAM과 비교하여 점유 면적을 크게 증대시키지 않고, 제작할 수 있는 경우가 있다. 트랜지스터(662a), 트랜지스터(662b), 인버터(663a)에 포함되는 트랜지스터 및 인버터(663b)에 포함되는 트랜지스터에 관해서는, 트랜지스터(130)에 관한 기재를 참조하면 좋다.

[0519] 이상에 나타낸 바와 같이, 본 발명의 일 형태에 따르는 반도체 장치는, 점유 면적에 대해 높은 성능을 갖는 것을 알 수 있다. 또한, 생산성이 높은 반도체 장치인 것을 알 수 있다.

[0520] 본 실시형태는, 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0521] (실시형태 6)

[0522] 본 실시형태에서는, 상기 실시형태에서 예시한 트랜지스터, 또는 기억 장치를 포함하는 RF 태그에 관해서, 도 25를 사용하여 설명한다.

[0523] 본 실시형태에 있어서의 RF 태그는, 내부에 기억 회로를 가지며, 기억 회로에 필요한 정보를 기억하고, 비접촉 수단, 예를 들면 무선 통신을 사용하여 외부와 정보의 수수를 행하는 것이다. 이러한 특징으로부터, RF 태그는, 물품 등의 개체정보를 판독함으로써 물품의 식별을 행하는 개체 인증 시스템 등에 사용하는 것이 가능하다. 또한, 이러한 용도에 사용하기 위해서는 매우 높은 신뢰성이 요구된다.

[0524] RF 태그의 구성에 관해서 도 25를 사용하여 설명한다. 도 25는, RF 태그의 구성예를 도시하는 블록도이다.

[0525] 도 25에 도시하는 바와 같이 RF 태그(800)는, 통신기(801)(질문기, 리더/라이터 등이라고도 한다)에 접속된 안테나(802)로부터 송신되는 무선 신호(803)를 수신하는 안테나(804)를 가진다. 또한 RF 태그(800)는, 정류 회로(805), 정전압 회로(806), 복조 회로(807), 변조 회로(808), 논리 회로(809), 기억 회로(810), ROM(811)을 가지고 있다. 또한, 복조 회로(807)에 포함되는 정류 작용을 나타내는 트랜지스터에 역방향 전류를 충분히 억제하는 것이 가능한 재료, 예를 들면, 산화물 반도체가 사용된 구성으로 해도 좋다. 이것에 의해, 역방향 전류에 기인하는 정류 작용의 저하를 억제하여, 복조 회로의 출력이 포화되는 것을 방지할 수 있다. 즉, 복조 회로의 입력에 대한 복조 회로의 출력을 선형에 가깝게 할 수 있다. 또한, 데이터의 전송 형식은, 한쌍의 코일을 대향 배치하여 상호 유도에 의해 교신을 행하는 전자 결합 방식, 유도 전자계에 의해 교신하는 전자 유도 방식, 전파를 이용하여 교신하는 전파 방식의 3개로 대별된다. 본 실시형태에 나타내는 RF 태그(800)는 그 어느 방식에 사용하는 것도 가능하다.

[0526] 다음에 각 회로의 구성에 관해서 설명한다. 안테나(804)는, 통신기(801)에 접속된 안테나(802)와의 사이에서 무선 신호(803)의 송수신을 행하기 위한 것이다. 또한, 정류 회로(805)는, 안테나(804)로 무선 신호를 수신함으로써 생성되는 입력 교류 신호를 정류, 예를 들면, 반파 2배암 정류하고, 후단에 마련된 용량 소자에 의해, 정류된 신호를 평활화함으로써 입력 전위를 생성하기 위한 회로이다. 또한, 정류 회로(805)의 입력측 또는 출력측에는, 리미터 회로를 설치해도 좋다. 리미터 회로란, 입력 교류 신호의 진폭이 크고, 내부 생성 전압이 큰 경우에, 일정 전력을 후단의 회로에 입력하지 않도록 제어하기 위한 회로이다.

[0527] 정전압 회로(806)는, 입력 전위로부터 안정된 전원 전압을 생성하고, 각 회로에 공급하기 위한 회로이다. 또한, 정전압 회로(806)는, 내부에 리셋 신호 생성 회로를 가지고 있어도 좋다. 리셋 신호 생성 회로는, 안정된 전원 전압의 상승을 이용하여, 논리 회로(809)의 리셋 신호를 생성하기 위한 회로이다.

[0528] 복조 회로(807)는, 입력 교류 신호를 포락선 검출함으로써 복조하고, 복조 신호를 생성하기 위한 회로이다. 또한, 변조 회로(808)는, 안테나(804)로부터 출력되는 데이터에 따라 변조를 행하기 위한 회로이다.

[0529] 논리 회로(809)는 복조 신호를 해석하여, 처리를 행하기 위한 회로이다. 기억 회로(810)는, 입력된 정보를 유지하는 회로이며, 로우 디코더, 칼럼 디코더, 기억 영역 등을 가진다. 또한, ROM(811)은, 고유 번호(ID) 등을 저장하고, 처리에 따라 출력을 행하기 위한 회로이다.

- [0530] 또한, 상기의 각 회로는, 필요에 따라, 적절히, 취사할 수 있다.
- [0531] 여기서, 상기의 실시형태에서 설명한 기억 회로를, 기억 회로(810)에 사용할 수 있다. 본 발명의 일 형태의 기억 회로는, 전원이 차단된 상태에서도 정보를 유지할 수 있기 때문에, RF 태그에 적합하게 행할 수 있다. 또한 본 발명의 일 형태의 기억 회로는, 데이터의 기록에 필요한 전력(전압)이 종래의 불휘발성 메모리에 비해 현저하게 작기 때문에, 데이터의 판독시와 기록시의 최대 통신 거리의 차를 발생시키지 않는 것도 가능하다. 또한, 데이터의 기록시에 전력이 부족하여, 오동작 또는 오기록이 발생하는 것을 억제할 수 있다.
- [0532] 또한, 본 발명의 일 형태의 기억 회로는, 불휘발성의 메모리로서 사용하는 것이 가능하기 때문에, ROM(811)에 적용할 수도 있다. 그 경우에는, 생산자가 ROM(811)에 데이터를 기록하기 위한 코マン드를 별도 준비하고, 유저가 자유롭게 기록할 수 없도록 해 두는 것이 바람직하다. 생산자가 출하전에 고유 번호를 기록한 후에 제품을 출하함으로써, 제작한 RF 태그 전체에 관해서 고유 번호를 부여하는 것이 아니라, 출하하는 양품(良品)에만 고유 번호를 할당하는 것이 가능해져, 출하후의 제품의 고유 번호가 불연속적이 되지 않아 출하후의 제품에 대응한 고객 관리가 용이해진다.
- [0533] 본 실시형태는, 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0534] (실시형태 7)
- [0535] 본 실시형태에서는, 적어도 실시형태에서 설명한 트랜지스터를 사용할 수 있고, 상기의 실시형태에서 설명한 기억 장치를 포함하는 CPU에 관해서 설명한다.
- [0536] 도 26은, 상기의 실시형태에서 설명한 트랜지스터를 적어도 일부에 사용한 CPU의 일례의 구성을 도시하는 블록도이다.
- [0537] 도 26에 도시하는 CPU는, 기판(1190) 위에, ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 가지고 있다. 기판(1190)은, 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는, 별도 칩에 설치해도 좋다. 물론, 도 26에 도시하는 CPU는, 그 구성을 간략화하여 도시한 일례에 지나지 않으며, 실제의 CPU는 그 용도에 따라 각종 다양한 구성을 가지고 있다. 예를 들면, 도 26에 도시하는 CPU 또는 연산 회로를 포함하는 구성을 1개의 코어로 하고, 상기 코어를 복수 포함하고, 각각의 코어가 병렬로 동작하는 구조으로 해도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스에서 취급할 수 있는 비트수는, 예를 들면 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.
- [0538] 버스 인터페이스(1198)를 개재하여 CPU에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되고, 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0539] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는, 디코드된 명령에 기초하여, 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는, ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는, CPU의 프로그램 실행 중에, 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를, 그 우선도나 마스크 상태로부터 판단하고, 처리한다. 레지스터 컨트롤러(1197)는, 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 행한다.
- [0540] 또한, 타이밍 컨트롤러(1195)는, ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면, 타이밍 컨트롤러(1195)는, 기준 클록 신호(CLK1)를 바탕으로, 내부 클록 신호(CLK2)를 생성하는 내부 클록 생성부를 구비하고 있어, 내부 클록 신호(CLK2)를 상기 각종 회로에 공급한다.
- [0541] 도 26에 도시하는 CPU에서는, 레지스터(1196)에, 메모리 셀이 설치되어 있다. 레지스터(1196)의 메모리 셀로서, 상기의 실시형태에 나타낸 트랜지스터를 사용할 수 있다.
- [0542] 도 26에 도시하는 CPU에 있어서, 레지스터 컨트롤러(1197)는, ALU(1191)로부터의 지시에 따라, 레지스터(1196)에 있어서의 유지 동작을 선택한다. 즉, 레지스터(1196)가 갖는 메모리 셀에 있어서, 플립플롭에 의한 데이터의 유지를 행할지, 용량 소자에 의한 데이터의 유지를 행할지를, 선택한다. 플립플롭에 의한 데이터의 유지가

선택되고 있는 경우, 레지스터(1196) 내의 메모리 셀로의, 전원 전압의 공급이 행해진다. 용량 소자에 있어서의 데이터의 유지가 선택되고 있는 경우, 용량 소자로의 데이터의 재기록이 행해져, 레지스터(1196) 내의 메모리 셀로의 전원 전압의 공급을 정지할 수 있다.

[0543] 도 27은, 레지스터(1196)로서 사용할 수 있는 기억 소자의 회로도의 일례이다. 기억 소자(1200)는, 전원 차단으로 기억 데이터가 휘발되는 회로(1201)와, 전원 차단으로 기억 데이터가 휘발되지 않는 회로(1202)와, 스위치(1203)와, 스위치(1204)와, 논리 소자(1206)와, 용량 소자(1207)와, 선택 기능을 갖는 회로(1220)를 가진다. 회로(1202)는, 용량 소자(1208)와, 트랜지스터(1209)와, 트랜지스터(1210)를 가진다. 또한, 기억 소자(1200)는, 필요에 따라, 다이오드, 저항 소자, 인덕터 등의 그 밖의 소자를 추가로 가지고 있어도 좋다. 트랜지스터(1209)는 산화물 반도체층에 채널이 형성되는 트랜지스터인 것이 바람직하다.

[0544] 여기서, 회로(1202)에는, 상기의 실시형태에서 설명한 기능 장치를 행할 수 있다. 기억 소자(1200)로의 전원 전압의 공급이 정지되었을 때, 회로(1202)의 트랜지스터(1209)의 게이트에는 접지 전위(0V), 또는 트랜지스터(1209)가 오프되는 전위가 계속 입력되는 구성으로 한다. 예를 들면, 트랜지스터(1209)의 게이트가 저항 등의 부하를 개재하여 접지되는 구성으로 한다.

[0545] 스위치(1203)는, 일도전형(예를 들면, n 채널형)의 트랜지스터(1213)를 사용하여 구성되고, 스위치(1204)는, 일도전형과는 반대의 도전형(예를 들면, p 채널형)의 트랜지스터(1214)를 사용하여 구성한 예를 나타낸다. 여기서, 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스와 드레인의 한쪽에 대응하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스와 드레인의 다른쪽에 대응하고, 스위치(1203)는 트랜지스터(1213)의 게이트에 입력되는 제어 신호(RD)에 의해, 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(1213)의 온 상태 또는 오프 상태)이 선택된다. 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스와 드레인의 한쪽에 대응하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스와 드레인의 다른쪽에 대응하고, 스위치(1204)는 트랜지스터(1214)의 게이트에 입력되는 제어 신호(RD)에 의해, 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(1214)의 온 상태 또는 오프 상태)이 선택된다.

[0546] 트랜지스터(1209)의 소스와 드레인의 한쪽은, 용량 소자(1208)의 한쌍의 전극 중 한쪽, 및 트랜지스터(1210)의 게이트와 전기적으로 접속된다. 여기서, 접속 부분을 노드 M2로 한다. 트랜지스터(1210)의 소스와 드레인의 한쪽은, 저전원 전위를 공급할 수 있는 배선(예를 들면 GND선)에 전기적으로 접속되고, 다른쪽은, 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스와 드레인의 한쪽)와 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른쪽)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스와 드레인의 한쪽)와 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스와 드레인의 다른쪽)는 전원 전위 VDD를 공급할 수 있는 배선과 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른쪽)와, 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스와 드레인의 한쪽)와, 논리 소자(1206)의 입력 단자와, 용량 소자(1207)의 한 쌍의 전극 중 한쪽은 전기적으로 접속된다. 여기서, 접속 부분을 노드 M1로 한다. 용량 소자(1207)의 한쌍의 전극 중 다른쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들면, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1207)의 한쌍의 전극 중 다른쪽은, 저전원 전위를 공급할 수 있는 배선(예를 들면 GND선)과 전기적으로 접속된다. 용량 소자(1208)의 한쌍의 전극 중 다른쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들면, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1208)의 한쌍의 전극 중 다른쪽은, 저전원 전위를 공급할 수 있는 배선(예를 들면 GND선)과 전기적으로 접속된다.

[0547] 또한, 용량 소자(1207) 및 용량 소자(1208)는, 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용함으로써 생략하는 것도 가능하다.

[0548] 트랜지스터(1209)의 제 1 게이트(제 1 게이트 전극)에는, 제어 신호(WE)가 입력된다. 스위치(1203) 및 스위치(1204)는, 제어 신호(WE)와는 상이한 제어 신호(RD)에 의해 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택되고, 한쪽의 스위치의 제 1 단자와 제 2 단자 사이가 도통 상태일 때 다른쪽의 스위치의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다.

[0549] 트랜지스터(1209)의 소스와 드레인의 다른쪽에는, 회로(1201)에 유지된 데이터에 대응하는 신호가 입력된다. 도 27에서는, 회로(1201)로부터 출력된 신호가, 트랜지스터(1209)의 소스와 드레인의 다른쪽에 입력되는 예를 도시하였다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른쪽)로부터 출력되는 신호는, 논리 소자(1206)에 의해 그 논리값이 반전된 반전 신호가 되고, 회로(1220)를 개재하여 회로(1201)에 입력된다.

- [0550] 또한, 도 27에서는, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른쪽)로부터 출력되는 신호는, 논리 소자(1206) 및 회로(1220)를 개재하여 회로(1201)에 입력하는 예를 도시했지만 이것으로 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른쪽)로부터 출력되는 신호가, 논리 값을 반전시키지 않고, 회로(1201)에 입력되어도 좋다. 예를 들면, 회로(1201) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우에, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른쪽)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.
- [0551] 또한, 도 27에 있어서, 기억 소자(1200)에 사용되는 트랜지스터 중, 트랜지스터(1209) 이외의 트랜지스터는, 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들면, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(1200)에 사용되는 트랜지스터 전체를, 채널이 산화물 반도체층으로 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(1200)는, 트랜지스터(1209) 이외에도, 채널이 산화물 반도체층으로 형성되는 트랜지스터를 포함하고 있어도 좋고, 나머지 트랜지스터는 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.
- [0552] 도 27에 있어서의 회로(1201)에는, 예를 들면 플립플롭 회로를 사용할 수 있다. 또한, 논리 소자(1206)로서는, 예를 들면 인버터나 클록드 인버터 등을 사용할 수 있다.
- [0553] 본 발명의 일 형태에 있어서의 반도체 장치에서는, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안에는, 회로(1201)에 기억되어 있던 데이터를, 회로(1202)에 설치된 용량 소자(1208)에 의해 유지할 수 있다.
- [0554] 또한, 산화물 반도체층에 채널이 형성되는 트랜지스터는 오프 전류가 매우 작다. 예를 들면, 산화물 반도체층에 채널이 형성되는 트랜지스터의 오프 전류는, 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비해 현저하게 낮다. 이로 인해, 상기 트랜지스터를 트랜지스터(1209)로서 사용함으로써, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안에도 용량 소자(1208)에 유지된 신호는 장기간에 걸쳐 유지된다. 이와 같이 하여, 기억 소자(1200)는 전원 전압의 공급이 정지된 동안에도 기억 내용(데이터)을 유지하는 것이 가능하다.
- [0555] 또한, 스위치(1203) 및 스위치(1204)를 설치함으로써, 프리차지 동작을 행하는 것을 특징으로 하는 기억 소자이기 때문에, 전원 전압 공급 재개후에, 회로(1201)가 원래의 데이터를 다시 유지할 때까지의 시간을 짧게 할 수 있다.
- [0556] 또한, 회로(1202)에 있어서, 용량 소자(1208)에 의해 유지된 신호는 트랜지스터(1210)의 게이트에 입력된다. 이로 인해, 기억 소자(1200)로의 전원 전압의 공급이 재개된 후, 용량 소자(1208)에 의해 유지된 신호를, 트랜지스터(1210)의 상태(온 상태, 또는 오프 상태)로 변환하고, 회로(1202)로부터 판독할 수 있다. 이로 인해, 용량 소자(1208)에 유지된 신호에 대응하는 전위가 다소 변동하고 있어도, 본래의 신호를 정확하게 판독하는 것이 가능하다.
- [0557] 이러한 기억 소자(1200)를, 프로세서가 갖는 레지스터나 캐시 메모리 등의 기억 장치에 사용함으로써, 전원 전압의 공급 정지에 의한 기억 장치 내의 데이터의 소실을 방지할 수 있다. 또한, 전원 전압의 공급을 재개한 후, 단시간에 전원 공급 정지전의 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 또는 프로세서를 구성하는 하나, 또는 복수의 논리 회로에 있어서, 짧은 시간으로도 전원 정지를 행할 수 있기 때문에, 소비 전력을 억제할 수 있다.
- [0558] 본 실시형태에서는, 기억 소자(1200)를 CPU에 사용하는 예로서 설명했지만, 기억 소자(1200)는, DSP(Digital Signal Processor), 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF-ID(Radio Frequency Identification)에도 응용 가능하다.
- [0559] 본 실시형태는, 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0560] (실시형태 8)
- [0561] 본 실시형태에서는, 본 발명의 일 형태의 표시 패널의 구성예에 관해서 설명한다.
- [0562] [구성예]
- [0563] 도 28의 (A)는, 본 발명의 일 형태의 표시 패널 상면도이며, 도 28의 (B)는, 본 발명의 일 형태의 표시 패널의

화소에 액정 소자를 적용하는 경우에 사용할 수 있는 화소 회로를 설명하기 위한 회로도이다. 또한, 도 28의 (C)는, 본 발명의 일 형태의 표시 패널의 화소에 유기 EL 소자를 적용하는 경우에 사용할 수 있는 화소 회로를 설명하기 위한 회로도이다.

[0564] 화소부에 배치하는 트랜지스터는, 상기 실시형태에 따라서 형성할 수 있다. 또한, 상기 트랜지스터는 n 채널형으로 하는 것이 용이하기 때문에, 구동 회로 중, n 채널형 트랜지스터로 구성할 수 있는 구동 회로의 일부를 화소부의 트랜지스터와 동일 기판 위에 형성한다. 이와 같이, 화소부나 구동 회로에 상기 실시형태에 나타내는 트랜지스터를 사용함으로써, 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0565] 액티브 매트릭스형 표시 장치의 블록도의 일례를 도 28의 (A)에 도시한다. 표면 장치의 기판(700) 위에는, 화소부(701), 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 신호선 구동 회로(704)를 가진다. 화소부(701)에는, 복수의 신호선이 신호선 구동 회로(704)로부터 연신되어 배치되고, 복수의 주사선이 제 1 주사선 구동 회로(702), 및 제 2 주사선 구동 회로(703)로부터 연신되어 배치되어 있다. 또한 주사선과 신호선의 교차 영역에는, 각각, 표시 소자를 갖는 화소가 매트릭스상으로 설치되어 있다. 또한, 표시 장치의 기판(700)은 FPC(Flexible Printed Circuit) 등의 접속부를 개재하여, 타이밍 제어 회로(컨트롤러, 제어 IC라고도 한다)에 접속되어 있다.

[0566] 도 28의 (A)에서는 제 1주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 신호선 구동 회로(704)는, 화소부(701)와 동일한 기판(700) 위에 형성된다. 이로 인해, 외부에 설치하는 구동 회로 등의 부품의 수가 감소되기 때문에, 비용의 저감을 도모할 수 있다. 또한, 기판(700)의 외부에 구동 회로를 설치한 경우, 배선을 연신시킬 필요가 발생하여, 배선 간의 접속수가 증가한다. 동일한 기판(700) 위에 구동 회로를 설치한 경우, 그 배선 간의 접속수를 감소시킬 수 있어, 신뢰성의 향상, 또는 제조 수율의 향상을 도모할 수 있다.

[액정 패널]

[0568] 또한, 화소의 회로 구성의 일례를 도 28의 (B)에 도시한다. 여기서는, VA형 액정 표시 패널의 화소에 적용할 수 있는 화소 회로를 나타낸다.

[0569] 이 화소 회로는, 1개의 화소에 복수의 화소 전극층을 갖는 구성에 적용할 수 있다. 각각의 화소 전극층은 상이한 트랜지스터에 접속되고, 각 트랜지스터는 상이한 게이트 신호로 구동할 수 있도록 구성되어 있다. 이것에 의해, 멀티 도메인 설계된 화소의 개개의 화소 전극층에 인가하는 신호를, 독립적으로 제어할 수 있다.

[0570] 트랜지스터(716)의 게이트 배선(712)과, 트랜지스터(717)의 게이트 배선(713)에는, 상이한 게이트 신호를 부여할 수 있도록 분리되어 있다. 한편, 데이터선으로서 기능하는 소스 전극층 또는 드레인 전극층(714)은, 트랜지스터(716)와 트랜지스터(717)에 의해 공통적으로 사용되고 있다. 트랜지스터(716)와 트랜지스터(717)는 상기 실시형태에서 설명하는 트랜지스터(100)를 적절히 사용할 수 있다. 이것에 의해, 신뢰성이 높은 액정 표시 패널을 제공할 수 있다.

[0571] 트랜지스터(716)와 전기적으로 접속하는 제 1 화소 전극층과, 트랜지스터(717)와 전기적으로 접속하는 제 2 화소 전극층의 형상에 관해서 설명한다. 제 1 화소 전극층과 제 2 화소 전극층의 형상은, 슬릿에 의해 분리되어 있다. 제 1 화소 전극층은 V자형으로 넓어지는 형상을 가지며, 제 2 화소 전극층은 제 1 화소 전극층의 외측을 둘러싸도록 형성된다.

[0572] 트랜지스터(716)의 게이트 전극은 게이트 배선(712)과 접속되고, 트랜지스터(717)의 게이트 전극은 게이트 배선(713)과 접속되어 있다. 게이트 배선(712)과 게이트 배선(713)에 상이한 게이트 신호를 부여하여 트랜지스터(716)와 트랜지스터(717)의 동작 타이밍을 상이하게 하여, 액정의 배향을 제어할 수 있다.

[0573] 또한, 용량 배선(710)과, 유전체로서 기능하는 게이트 절연막과, 제 1 화소 전극층 또는 제 2 화소 전극층과 전기적으로 접속하는 용량 전극으로 유지 용량을 형성해도 좋다.

[0574] 멀티 도메인 구조는, 일 화소에 제 1 액정 소자(718)와 제 2 액정 소자(719)를 구비한다. 제 1 액정 소자(718)는 제 1 화소 전극층과 대향 전극층과 그 사이의 액정층으로 구성되고, 제 2 액정 소자(719)는 제 2 화소 전극층과 대향 전극층과 그 사이의 액정층으로 구성된다.

[0575] 또한, 도 28의 (B)에 도시하는 화소 회로는, 이것으로 한정되지 않는다. 예를 들면, 도 28의 (B)에 도시하는 화소에 새롭게 스위치, 저항 소자, 용량 소자, 트랜지스터, 센서, 또는 논리 회로 등을 추가해도 좋다.

[유기 EL 패널]

- [0577] 화소의 회로 구성의 다른 일례를 도 28의 (C)에 도시한다. 여기서는, 유기 EL 소자를 사용한 표시 패널의 화소 구조를 도시한다.
- [0578] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한쌍의 전극의 한쪽으로부터 전자가, 다른쪽으로부터의 정공이 각각 발광성의 유기 화합물을 함유하는 층에 주입되어, 전류가 흐른다. 그리고, 전자 및 정공이 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때에 발광한다. 이러한 메커니즘으로부터, 이러한 발광 소자는, 전류 여기형의 발광 소자라고 불린다.
- [0579] 도 28의 (C)는, 적용 가능한 화소 회로의 일례를 도시하는 도면이다. 여기서는 n 채널형의 트랜지스터를 1개의 화소에 2개 사용하는 예를 나타낸다. 또한, 본 발명의 일 형태의 금속 산화물막은, n 채널형의 트랜지스터의 채널 형성 영역에 사용할 수 있다. 또한, 상기 화소 회로는, 디지털 시간 계조 구동을 적용할 수 있다.
- [0580] 적용 가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 적용한 경우의 화소의 동작에 관해서 설명한다.
- [0581] 화소(720)는, 스위칭용 트랜지스터(721), 구동용 트랜지스터(722), 발광 소자(724) 및 용량 소자(723)를 가지고 있다. 스위칭용 트랜지스터(721)는, 게이트 전극층이 주사선(726)에 접속되고, 제 1 전극(소스 전극층 및 드레인 전극층의 한쪽)이 신호선(725)에 접속되고, 제 2 전극(소스 전극층 및 드레인 전극층의 다른쪽)이 구동용 트랜지스터(722)의 게이트 전극층에 접속되어 있다. 구동용 트랜지스터(722)는, 게이트 전극층이 용량 소자(723)를 개재하여 전원선(727)에 접속되고, 제 1 전극이 전원선(727)에 접속되고, 제 2 전극이 발광 소자(724)의 제 1 전극(화소 전극)에 접속되어 있다. 발광 소자(724)의 제 2 전극은 공통 전극(728)에 상당한다. 공통 전극(728)은, 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다.
- [0582] 스위칭용 트랜지스터(721) 및 구동용 트랜지스터(722)는 상기 실시형태에서 설명하는 트랜지스터(100)를 적절히 사용할 수 있다. 이것에 의해, 신뢰성이 높은 유기 EL 표시 패널을 제공할 수 있다.
- [0583] 발광 소자(724)의 제 2 전극(공통 전극(728))의 전위는 저전원 전위로 설정한다. 한편, 저전원 전위란, 전원선(727)에 공급되는 고전원 전위보다 낮은 전위이며, 예를 들면 GND, 0V 등을 저전원 전위로서 설정할 수 있다. 발광 소자(724)의 순방향의 임계값 전압 이상이 되도록 고전원 전위와 저전원 전위를 설정하고, 그 전위차를 발광 소자(724)에 인가함으로써, 발광 소자(724)에 전류를 흘려 보내어 발광시킨다. 또한, 발광 소자(724)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고 있고, 적어도 순방향 임계값 전압을 포함한다.
- [0584] 또한, 용량 소자(723)는 구동용 트랜지스터(722)의 게이트 용량을 대용함으로써 생략할 수 있다. 구동용 트랜지스터(722)의 게이트 용량에 관해서는, 채널 형성 영역과 게이트 전극층 사이에서 용량이 형성되어 있어도 좋다.
- [0585] 다음에, 구동용 트랜지스터(722)에 입력하는 신호에 관해서 설명한다. 전압 입력 전압 구동 방식의 경우, 구동용 트랜지스터(722)가 충분히 온 또는 오프시킬 수 있는 비디오 신호를 구동용 트랜지스터(722)에 입력한다. 또한, 구동용 트랜지스터(722)를 선형 영역에서 동작시키기 위해, 전원선(727)의 전압보다 높은 전압을 구동용 트랜지스터(722)의 게이트 전극층에 가한다. 또한, 신호선(725)에는, 전원선 전압에 구동용 트랜지스터(722)의 임계값 전압(Vth)을 더한 값 이상의 전압을 가한다.
- [0586] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(722)의 게이트 전극층에 발광 소자(724)의 순방향 전압에 구동용 트랜지스터(722)의 임계값 전압(Vth)을 더한 값 이상의 전압을 가한다. 또한, 구동용 트랜지스터(722)가 포화 영역에서 동작하도록 비디오 신호를 입력하고, 발광 소자(724)에 전류를 흘려 보낸다. 또한, 구동용 트랜지스터(722)를 포화 영역에서 동작시키기 위해서, 전원선(727)의 전위를, 구동용 트랜지스터(722)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(724)에 비디오 신호에 따른 전류를 흘려보내고, 아날로그 계조 구동을 행할 수 있다.
- [0587] 또한, 화소 회로의 구성은, 도 28의 (C)에 도시하는 화소 구성으로 한정되지 않는다. 예를 들면, 도 28의 (C)에 도시하는 화소 회로에 스위치, 저항 소자, 용량 소자, 센서, 트랜지스터 또는 논리 회로 등을 추가해도 좋다.
- [0588] 도 28에서 예시한 회로에 상기 실시형태에서 예시한 트랜지스터를 적용하는 경우, 저전위측에 소스 전극(제 1 전극), 고전위측에 드레인 전극(제 2 전극)이 각각 전기적으로 접속되는 구성으로 한다. 또한, 제어 회로 등에 의해 제 1 게이트 전극의 전위를 제어하고, 제 2 게이트 전극에는 도시하지 않는 배선에 의해 소스 전극에 부여하는 전위보다 낮은 전위 등, 상기에서 예시한 전위를 입력 가능한 구성으로 하면 좋다.
- [0589] 예를 들면, 본 명세서 등에 있어서, 표시 소자, 표시 소자를 갖는 장치인 표시 장치, 발광 소자, 및 발광 소자

를 갖는 장치인 발광 장치는, 여러 가지 형태를 사용하는 것, 또는 여러 가지 소자를 가질 수 있다. 표시 소자, 표시 장치, 발광 소자 또는 발광 장치는, 예를 들면, EL(일렉트로루미네센스)소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동 소자, 그레이팅 라이트 밸브(GLV), 플라즈마 디스플레이(PDP), MEMS(마이크로 · 일렉트로 · 메커니컬 · 시스템)를 사용한 표시 소자, 디지털 마이크로 미러 디바이스(DMD), DMS(디지털 · 마이크로 · 셔터), MIRASOL(등록상표), IMOD(인터파이어런스 · 모듈레이션) 소자, 셔터 방식의 MEMS 표시 소자, 광 간섭 방식의 MEMS 표시 소자, 일렉트로 웨팅 소자, 압전 세라믹 디스플레이, 카본 나노 튜브를 사용한 표시 소자의 적어도 하나를 가지고 있다. 이들 이외에도, 전기적 또는 자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화되는 표시 매체를 가지고 있어도 좋다. EL 소자를 사용한 표시 장치의 일례로서는, EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일례로서는, 필드 에미션 디스플레이(FED) 또는 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 사용한 표시 장치의 일례로서는, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크, 전자 분유체(등록상표), 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는, 전자 종이 등이 있다. 또한, 반투과형 액정 디스플레이나 반사형 액정 디스플레이를 실현하는 경우에는, 화소 전극의 일부, 또는, 전부가, 반사 전극으로서의 기능을 갖도록 하면 좋다. 예를 들면, 화소 전극의 일부, 또는, 전부가, 알루미늄, 은 등을 갖도록 하면 좋다. 또한, 그 경우, 반사 전극 아래에, SRAM 등의 기억 회로를 설치하는 것도 가능하다. 이것에 의해, 한층 더, 소비 전력을 절감시킬 수 있다.

[0590] 예를 들면, 본 명세서 등에 있어서, 여러 가지 기판을 사용하여, 트랜지스터를 형성할 수 있다. 기판의 종류는, 특정한 것으로 한정되는 것은 아니다. 그 기판의 일례로서는, 반도체 기판(예를 들면 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 · 스틸 기판, 스테인리스 · 스틸 · 호일을 갖는 기판, 텅스텐 기판, 텅스텐 · 호일을 갖는 기판, 가요성 기판, 접합 필름, 섬유상의 재료를 함유하는 종이, 또는 기재 필름 등이 있다. 유기 기판의 일례로서는, 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리, 또는 소다라임 유리 등이 있다. 가요성 기판, 접합 필름, 기재 필름 등의 일례로서는, 이하의 것을 들 수 있다. 예를 들면, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르셀론(PES)으로 대표되는 플라스틱이 있다. 또는, 일례로서는, 아크릴 등의 합성 수지 등이 있다. 또는, 일례로서는, 폴리프로필렌, 폴리에스테르, 폴리불화비닐, 또는 폴리염화비닐 등이 있다. 또는, 일례로서는, 폴리아미드, 폴리아미드, 아라미드, 에폭시, 무기 중착 필름, 또는 종이류 등이 있다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제조함으로써, 특성, 사이즈, 또는 형상 등의 편차가 적고, 전류 능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터에 의해 회로를 구성하면, 회로의 저소비 전력화, 또는 회로의 고집적화를 도모할 수 있다.

[0591] 또한, 기판으로서, 가요성 기판을 사용하여, 가요성 기판 위에 직접, 트랜지스터를 형성해도 좋다. 또는, 기판과 트랜지스터의 사이에 박리층을 설치해도 좋다. 박리층은, 그 위에 반도체 장치를 일부 또는 전부 완성시킨 후, 기판으로부터 분리하고, 다른 기판으로 전재하기 위해 사용할 수 있다. 그 때, 트랜지스터는 내열성이 떨어지는 기판이나 가요성의 기판으로도 전재할 수 있다. 또한, 상기의 박리층에는, 예를 들면, 텅스텐막과 산화 실리콘막의 무기막의 적층 구조의 구성이나, 기판 위에 폴리아미드 등의 유기 수지막이 형성된 구성 등을 사용할 수 있다.

[0592] 즉, 어떤 기판을 사용하여 트랜지스터를 형성하고, 그 후, 별도의 기판에 트랜지스터를 전치하고, 별도의 기판 위에 트랜지스터를 배치해도 좋다. 트랜지스터가 전치되는 기판의 일례로서는, 상기한 트랜지스터를 형성하는 것이 가능한 기판 외에, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리아미드 필름 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(견, 면, 마), 합성 섬유(나일론, 폴리우레탄, 폴리에스테르) 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함한다), 괴혁 기판, 또는 고무 기판 등이 있다. 이들 기판을 사용함으로써, 특성이 양호한 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 깨지기 어려운 장치의 제조, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.

[0593] 본 실시형태는, 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0594] (실시형태 9)

[0595] 본 발명의 일 형태에 따르는 반도체 장치는, 표시 기기, PC, 기록 매체를 구비한 화상 재생 장치(대표적으로는

DVD: Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 밖에, 본 발명의 일 형태에 따르는 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 데이터 단말, 전자 서적 단말, 비디오 카메라, 디지털 스틸 카메라 등 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체예를 도 29에 도시한다.

[0596] 도 29의 (A)는 휴대형 게임기이며, 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(908) 등을 가진다. 또한, 도 29의 (A)에 도시한 휴대형 게임기는, 2개의 표시부(903)와 표시부(904)를 가지고 있지만, 휴대형 게임기가 갖는 표시부의 수는, 이것으로 한정되지 않는다.

[0597] 도 29의 (B)는 휴대 데이터 단말이며, 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 접속부(915), 조작 키(916) 등을 가진다. 제 1 표시부(913)는 제 1 하우징(911)에 설치되어 있고, 제 2 표시부(914)는 제 2 하우징(912)에 설치되어 있다. 그리고, 제 1 하우징(911)과 제 2 하우징(912)은, 접속부(915)에 의해 접속되어 있고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는, 접속부(915)에 의해 변경이 가능하다. 제 1 표시부(913)에 있어서의 영상을, 접속부(915)에 있어서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라, 전환하는 구성으로 해도 좋다. 또한, 제 1 표시부(913) 및 제 2 표시부(914)의 적어도 한쪽에, 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하도록 해도 좋다. 또한, 위치 입력 장치로서의 기능은, 표시 장치에 터치 패널을 설치함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은, 포토센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 설치함으로써도, 부가할 수 있다.

[0598] 도 29의 (C)는 노트형 PC이며, 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등을 가진다.

[0599] 도 29의 (D)는 전기 냉동 냉장고이며, 하우징(931), 냉장실용 문(932), 냉동실용 문(933) 등을 가진다.

[0600] 도 29의 (E)는 비디오 카메라이며, 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 접속부(946) 등을 가진다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 설치되어 있고, 표시부(943)는 제 2 하우징(942)에 설치되어 있다. 그리고, 제 1 하우징(941)과 제 2 하우징(942)은, 접속부(946)에 의해 접속되어 있고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는, 접속부(946)에 의해 변경이 가능하다. 표시부(943)에 있어서의 영상을, 접속부(946)에 있어서의 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도에 따라 전환하는 구성으로 해도 좋다.

[0601] 도 29의 (F)는 보통 자동차이며, 차체(951), 차륜(952), 대시보드(953), 라이트(954) 등을 가진다.

[0602] 본 실시형태는, 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0603] (실시형태 10)

[0604] 본 실시형태에서는, 본 발명의 일 형태에 따르는 RF 태그의 사용예에 관해서 도 30을 사용하면서 설명한다. RF 태그의 용도는 광범위하지만, 예를 들면, 지폐, 동전, 유가 증권류, 무기명 채권류, 증서류(운전면허증이나 주민표 등, 도 30의 (A) 참조), 포장용 용기류(포장지나 보틀 등, 도 30의 (C) 참조), 기록 매체(DVD나 비디오 테이프 등, 도 30의 (B) 참조), 탈것류(자전거 등, 도 30의 (D) 참조), 신변의 일상용품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활용품류, 약품이나 약제를 포함하는 의료품, 또는 전자 기기(액정 표시 장치, EL 표시 장치, 텔레비전 장치, 또는 휴대전화) 등의 물품, 또는 각 물품에 장착하는 꼬리표(도 30의 (E), 도 30의 (F) 참조) 등에 설치하여 사용할 수 있다.

[0605] 본 발명의 일 형태에 따르는 RF 태그(4000)는, 표면에 붙이거나, 또는 매립함으로써, 물품에 고정된다. 예를 들면, 책이면 종이에 매립하고, 유기 수지로 이루어지는 패키지이면 상기 유기 수지의 내부에 매립하여, 각 물품에 고정된다. 본 발명의 일 형태에 따르는 RF 태그(4000)는, 소형, 박형, 경량을 실현하기 위해서, 물품에 고정시킨 후에도 그 물품 자체의 디자인성을 손상시키지 않는다. 또한, 지폐, 동전, 유가 증권류, 무기명 채권류, 또는 증서류 등에 본 발명의 일 형태에 따르는 RF 태그(4000)를 설치함으로써, 인증 기능을 마련할 수 있고, 이 인증 기능을 활용하면, 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 신변의 일상용품, 식품류, 의류, 생활용품류, 또는 전자 기기 등에 본 발명의 일 형태에 따르는 RF 태그를 부착함으로써, 검품 시스템 등의 시스템의 효율화를 도모할 수 있다. 또한, 탈것류라도, 본 발명의 일 형태에 따르는 RF 태그를 부착

함으로써, 도난 등에 대한 시큐리티성을 높일 수 있다.

[0606] 이상과 같이, 본 발명의 일 형태에 따르는 RF 태그를 본 실시형태에 열거한 각 용도에 사용함으로써, 정보의 기록이나 판독을 포함하는 동작 전력을 저감시킬 수 있기 때문에, 최대 통신 거리를 길게 취하는 것이 가능해진다. 또한, 전력이 차단된 상태에서도 정보를 매우 긴 기간 유지 가능하기 때문에, 기록이나 판독의 빈도가 낮은 용도에도 적합하게 사용할 수 있다.

[0607] 본 실시형태는, 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0608] 또한, 어떤 하나의 실시형태 중에서 서술하는 내용(일부의 내용이라도 좋다)은, 그 실시형태에서 서술하는 다른 내용(일부의 내용이라도 좋다), 및/또는, 하나 또는 복수의 다른 실시형태에서 서술하는 내용(일부의 내용이라도 좋다)에 대해, 적용, 조합, 또는 치환 등을 행할 수 있다.

[0609] 또한, 실시형태 중에서 서술하는 내용이란, 각각의 실시형태에 있어서, 여러 가지 도면을 사용하여 서술하는 내용, 또는 명세서에 기재되는 문장을 사용하여 서술하는 내용이다.

[0610] 또한, 어떤 하나의 실시형태에 있어서 서술하는 도면(일부라도 좋다)은, 그 도면의 다른 부분, 그 실시형태에 있어서 서술하는 다른 도면(일부라도 좋다), 및/또는, 하나 또는 복수의 다른 실시형태에 있어서 서술하는 도면(일부라도 좋다)에 대해, 조합함으로써, 더 많은 도면을 구성시킬 수 있다.

[0611] 또한, 명세서 중의 도면이나 문장에 있어서 규정되어 있지 않은 내용에 관해서, 그 내용을 제외하는 것을 규정한 발명의 일 형태를 구성할 수 있다. 또는, 어떤 값에 관해서, 상한값과 하한값 등으로 표시되는 수치 범위가 기재되어 있는 경우, 그 범위를 임의로 좁힘으로써, 또는, 그 범위 중의 한 가지를 제외함으로써, 그 범위를 일부 제외한 발명의 일 형태를 규정할 수 있다. 이들에 의해, 예를 들면, 종래 기술이 본 발명의 일 형태의 기술적 범위 내에 들어가지 않는 것을 규정할 수 있다.

[0612] 구체예로서는, 어떤 회로에 있어서, 제 1 내지 제 5 트랜지스터를 사용하고 있는 회로도가 기재되어 있는 것으로 한다. 그 경우, 그 회로가, 제 6 트랜지스터를 가지고 있지 않은 것을 발명으로서 규정하는 것이 가능하다. 또는, 그 회로가, 용량 소자를 가지고 있지 않은 것을 규정하는 것이 가능하다. 또한, 그 회로가, 어떤 특정한 접속 구조를 취하고 있는 제 6 트랜지스터를 가지고 있지 않다, 라고 규정하고 발명을 구성할 수 있다. 또는, 그 회로가, 어떤 특정한 접속 구조를 취하고 있는 용량 소자를 가지고 있지 않다, 라고 규정하고 발명을 구성할 수 있다. 예를 들면, 게이트가 제 3 트랜지스터의 게이트와 접속되어 있는 제 6 트랜지스터를 가지고 있지 않다, 라고 발명을 규정하는 것이 가능하다. 또는, 예를 들면, 제 1 전극이 제 3 트랜지스터의 게이트와 접속되어 있는 용량 소자를 가지고 있지 않다, 라고 발명을 규정하는 것이 가능하다.

[0613] 다른 구체적인 예로서는, 어떤 값에 관해서, 예를 들면, 「어떤 전압이, 3V 이상 10V 이하인 것이 적합하다」라고 기재되어 있다고 한다. 그 경우, 예를 들면, 어떤 전압이, -2V 이상 1V 이하인 경우를 제외한다, 라고 발명의 일 형태를 규정하는 것이 가능하다. 또는, 예를 들면, 어떤 전압이, 13V 이상인 경우를 제외한다, 라고 발명의 일 형태를 규정하는 것이 가능하다. 또한, 예를 들면, 그 전압이, 5V 이상 8V 이하라고 발명을 규정하는 것도 가능하다. 또한, 예를 들면, 그 전압이, 개략 9V라고 발명을 규정하는 것도 가능하다. 또한, 예를 들면, 그 전압이, 3V 이상 10V 이하이지만, 9V인 경우를 제외한다고 발명을 규정하는 것도 가능하다. 또한, 어떤 값에 대해서, 「이러한 범위인 것이 바람직하다」, 「이들을 충족시키는 것이 적합하다」 등으로 기재되어 있다고 해도, 어떤 값은, 이를 기재로 한정되지 않는다. 즉, 「바람직하다」, 「적합하다」 등이라고 기재되어 있다고 해도, 반드시, 이를 기재로는, 한정되지 않는다.

[0614] 다른 구체적인 예로서는, 어떤 값에 관해서, 예를 들면, 「어떤 전압이, 10V인 것이 적합하다」라고 기재되어 있는 것으로 한다. 그 경우, 예를 들면, 어떤 전압이, -2V 이상 1V 이하인 경우를 제외한다, 라고 발명의 일 형태를 규정하는 것이 가능하다. 또는, 예를 들면, 어떤 전압이, 13V 이상인 경우를 제외한다, 라고 발명의 일 형태를 규정하는 것이 가능하다.

[0615] 다른 구체적인 예로서는, 어떤 물질의 성질에 관해서, 예를 들면, 「어떤 막은, 절연막이다」라고 기재되어 있는 것으로 한다. 그 경우, 예를 들면, 그 절연막이, 유기 절연막인 경우를 제외한다, 라고 발명의 일 형태를 규정하는 것이 가능하다. 또는, 예를 들면, 그 절연막이, 무기 절연막인 경우를 제외한다, 라고 발명의 일 형태를 규정하는 것이 가능하다. 또는, 예를 들면, 그 막이, 도전막인 경우를 제외한다, 라고 발명의 일 형태를 규정하는 것이 가능하다. 또는, 예를 들면, 그 막이, 반도체막인 경우를 제외한다, 라고 발명의 일 형태를 규

정하는 것이 가능하다.

[0616] 다른 구체예로서는, 어떤 적층 구조에 관해서, 예를 들면, 「A막과 B막 사이에, 어떤 막이 설치되어 있다」라고 기재되어 있는 것으로 한다. 그 경우, 예를 들면, 그 막이, 4층 이상의 적층막인 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다. 또는, 예를 들면, A막과 그 막 사이에, 도전막이 설치되어 있는 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다.

[0617] 또한, 본 명세서 등에 있어서는, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 모든 단자에 관해서, 그 접속처를 특정하지 않아도, 당업자라면, 발명의 일 형태를 구성하는 것은 가능한 경우가 있다. 즉, 접속처를 특정하지 않아도, 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 접속처가 특정된 내용이, 본 명세서 등에 기재되어 있는 경우, 접속처를 특정하지 않는 발명의 일 형태가, 본 명세서 등에 기재되어 있다고 판단하는 것이 가능한 경우가 있다. 특히, 단자의 접속처가 복수의 케이스 생각되는 경우에는, 그 단자의 접속처를 특정한 개소로 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 일부의 단자에 관해서만, 그 접속처를 특정함으로써, 발명의 일 형태를 구성하는 것이 가능한 경우가 있다.

[0618] 또한, 본 명세서 등에 있어서는, 어떤 회로에 관해서, 적어도 접속처를 특정하면, 당업자라면, 발명을 특정하는 것이 가능한 경우가 있다. 또는, 어떤 회로에 관해서, 적어도 기능을 특정하면, 당업자라면, 발명을 특정하는 것이 가능한 경우가 있다. 즉, 기능을 특정하면, 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 기능이 특정된 발명의 일 형태가, 본 명세서 등에 기재되어 있다고 판단하는 것이 가능한 경우가 있다. 따라서, 어떤 회로에 관해서, 기능을 특정하지 않아도, 접속처를 특정하면, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 또는, 어떤 회로에 관해서, 접속처를 특정하지 않아도, 기능을 특정하면, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다.

[0619] 또한, 본 명세서 등에 있어서는, 어떤 하나의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 그 일부분을 취출하여, 발명의 일 형태를 구성하는 것은 가능하다. 따라서, 어떤 부분을 서술하는 도면 또는 문장이 기재되어 있는 경우, 그 일부분의 도면 또는 문장을 취출한 내용도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다. 이로 인해, 예를 들면, 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면 또는 문장에 있어서, 그 일부분을 취출하여, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 예를 들면, N 개(N 은 정수)의 회로 소자(트랜지스터, 용량 소자 등)를 가지고 구성되는 회로로부터, M 개(M 은 정수이고, $M < N$)의 회로 소자(트랜지스터, 용량 소자 등)를 뽑아내어, 발명의 일 형태를 구성하는 것은 가능하다. 다른 예로서는, N 개(N 은 정수)의 층을 가지고 구성되는 단면도로부터, M 개(M 은 정수이고, $M < N$)의 층을 뽑아내어, 발명의 일 형태를 구성하는 것은 가능하다. 또 다른 예로서는, N 개(N 은 정수)의 요소를 가지고 구성되는 플로우 차트로부터, M 개(M 은 정수이고, $M < N$)의 요소를 뽑아내어, 발명의 일 형태를 구성하는 것은 가능하다. 또 다른 예로서는, 「A는, B, C, D, E, 또는, F를 가진다」라고 기재되어 있는 문장으로부터, 일부의 요소를 임의로 뽑아내어, 「A는, B와 E를 가진다」, 「A는, E와 F를 가진다」, 「A는, C와 E와 F를 가진다」, 또는, 「A는, B와 C와 D와 E를 가진다」 등의 발명의 일 형태를 구성하는 것은 가능하다.

[0620] 또한, 본 명세서 등에 있어서는, 어떤 하나의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 적어도 하나의 구체예가 기재되는 경우, 그 구체예의 상위 개념을 도출하는 것은, 당업자라면 용이하게 이해된다. 따라서, 어떤 하나의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 적어도 하나의 구체예가 기재되는 경우, 그 구체예의 상위 개념도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 그리고, 그 발명의 일 형태는, 명확하다고 할 수 있다.

[0621] 또한, 본 명세서 등에 있어서는, 적어도 도면에 기재한 내용(도면 중의 일부라도 좋다)은, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 따라서, 어떤 내용에 관해서, 도면에 기재되어 있으면, 문장을 사용하여 서술하지 않아도, 그 내용은, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 마찬가지로, 도면의 일부를 취출한 도면에 관해서도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다.

실시예 1

[0622] 본 실시예에서는, 본 발명의 일 형태인 산화물 반도체막의 평가 결과에 관해서 설명한다.

[0623] [제작 방법]

[0624] 기판에 실리콘 웨이퍼를 사용하여, 실리콘 웨이퍼 위에 산화물 반도체막을 형성하였다. 산화물 반도체막은, 타깃에 In-Ga-Zn 산화물을 사용하여 스퍼터링법에 의해 In-Ga-Zn 산화물막을 형성하였다. 성막 조건의 주된 항목을 표 6에 기재한다.

표 6

	장치	파워 [kW]	가스 유량		기판 온도	압력 [Pa]	타깃	타깃-기판 간 거리
			Ar [sccm]	O ₂ [sccm]				
조건 A1	장치 A	0.5(DC)	30	15	300°C	0.7	In:Ga:Zn=1:1:1	60mm
조건 A2		0.5(DC)	30	15	300°C	0.4	In:Ga:Zn=1:1:1	60mm
조건 A3	장치 B	0.5(DC)	30	15	300°C	0.4	In:Ga:Zn=1:1:1	60mm
조건 B1	장치 A	0.5(DC)	30	15	200°C	0.7	In:Ga:Zn=2:1:3	60mm
조건 B2		0.5(DC)	30	15	300°C	0.7	In:Ga:Zn=2:1:3	60mm
조건 E1	장치 C	0.5(DC)	20	10	200°C	0.4	In:Ga:Zn=4:2:4.1	130mm

[0625]

[0626] 여기서 표 6의 조건 A3에서는, 압력은 캐논아네르바제 B-A 게이지 BRG-1B를 사용하여 측정하고, 다른 5개의 조건들에서 압력은 캐논아네르바제 미니어처 게이지 MG-2를 사용하여 측정하였다. 표 6에 기재하고 있는 바와 같이, 타깃으로서, 조건 A1 및 조건 A2는 원자수비가 In:Ga:Zn=1:1:1인 In-Ga-Zn 산화물을 사용하고, 조건 B1 및 조건 B2는 원자수비가 In:Ga:Zn=2:1:3인 In-Ga-Zn 산화물을 사용하고, 조건 E1은 In:Ga:Zn=4:2:4.1인 In-Ga-Zn 산화물을 사용하였다. 전원은, DC 전원을 사용하였다.

[0627] [XRD 평가]

[0628] 이하에, 조건 A1, 조건 B1, 조건 B2 및 조건 E1을 사용하여 산화물 반도체막을 형성하고, XRD 장치를 사용하여 평가를 행한 결과에 관해서 설명한다. 우선, 평가용 시료를 제작하였다. 실리콘 웨이퍼 위에 산화물 반도체막을 100nm 형성하였다. 표 6에 기재된 조건 A1, 조건 B1, 조건 B2 및 조건 E1의 각 조건을 사용하여 산화물 반도체막을 성막한 시료를 각각 시료 A1-1, 시료 B1-1, 시료 B2-1 및 시료 E1-1로 한다.

[0629] 다음에, XRD 장치에 의한 평가를 행하기 전에, 각 시료에 대해 열 처리를 행하였다. 열 처리 조건은, 450°C에서, 질소 분위기 하에 있어서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에 있어서 가열 처리를 1시간 행하였다. 그 후, 다기능 박막 재료 평가 X선 회절 장치 D8 DISCOVER Hybrid(Bruker AXS사제)를 사용하여, 각 시료의 평가를 행하였다. 도 36은 Out-Of-Plane법에 의한 해석 결과이다. 시료 A1-1, 시료 B1-1, 시료 B2-1 및 시료 E1-1의 해석 결과를 각각, 도 36의 (A), 도 36의 (B), 도 36의 (C) 및 도 36의 (D)에 도시한다. 어느 시료에서도 $2\theta=31^\circ$ 근방에 피크가 나타났다. 이 피크는, InGaZnO₄ 결정의 (009)면에 귀속되기 때문에, 어느 시료도 산화물 반도체막의 결정이 c축 배향성을 가지며, c축이 피형성면 또는 상면에 개략 수직인 방향을 향하고 있는 것이 시사되었다. 또한, 얻어진 $2\theta=31^\circ$ 근방의 피크를 비교하면, 시료 A1-1과 비교하여, 다른 시료에서는 피크의 폭이 보다 좁고, 샤프한 것을 알 수 있다. 따라서 CAAC 비율이 높은 것이 시사된다. 여기서, 각 시료의 $2\theta=31^\circ$ 근방의 피크의 반값폭을 표 7에 기재한다. 반값폭은, 백그라운드를 뺀 후, 로렌츠 함수에 의해 피팅을 행하였다. 백그라운드에는, 선형 함수와 로렌츠 함수의 합을 사용하였다. 표 7로부터, In:Ga:Zn=1:1:1의 원자수비의 타깃을 사용하여 형성한 시료 A1-1에서는 반값폭이 4.68° 이었던 것에 대해, In:Ga:Zn=2:1:3의 원자수비의 타깃을 사용하여 형성한 시료 B1-1 및 시료 B2-1에서는 반값폭이 2.10° 및 2.19° , 시료 E1-1에서는 반값폭이 3.47° 로, 모두 작은 반값폭이 얻어지고, 샤프한 피크가 얻어지는 것을 알 수 있었다.

표 7

	2θ [°]	반값폭 [°]
시료 A1-1	30.6	4.68
시료 B1-1	31.1	2.10
시료 B2-1	30.8	2.19
시료 E1-1	30.7	3.47

[0630]

[막 밀도 평가]

[0632]

다음에, 상기의 시료 A1-1, 시료 B1-1 및 시료 B2-1의 막 밀도를 측정하였다. 막 밀도 평가를 행하기 전에, 각 시료에 대해 열 처리를 행하였다. 열 처리 조건은, 450°C에서, 질소 분위기 하에서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에 있어서 가열 처리를 1시간 행하였다. 얻어진 막 밀도를 표 8에 기재한다. 어느 조건에 있어서도 치밀하고 양호한 막이 얻어졌다. c축으로 배향한 복수의 결정부를 갖는 산화물 반도체막, 즉 CAAC-OS막은, 치밀한 막이 얻어지는 것을 알 수 있었다.

표 8

	막밀도 [g/cm ³]
시료 A1-1	6.27
시료 B1-1	6.33
시료 B2-1	6.29

[0633]

[ICP-MS에 의한 평가 결과]

[0635]

상기한 시료 A1-1, 시료 B1-1 및 시료 B2-1에 관해서, 유도 결합 플라즈마 질량 분석법(Inductively Coupled Plasma Mass Spectrometry: ICP-MS 분석법)에 의해 인듐, 갈륨 및 아연의 함유율을 평가하였다. 얻어진 결과로부터, 각 원소의 원자수비를 산출한 결과를 표 9에 기재한다.

표 9

	원자수비		
	In	Ga	Zn
시료 A1-1	1	0.99	0.66
시료 B1-1	2	0.98	2.3
시료 B2-1	2	0.99	2.2

[0636]

표 9로부터, 시료 A1-1에서는 타깃비에 대해 아연의 원자수비가 약 44% 감소되고, 시료 B1-1에서는 약 23%, 시료 B2-1에서는 약 26% 감소되었다. 한편, 인듐 및 갈륨의 원자수비는, 타깃의 원자수비와 1 내지 2% 정도의 차이밖에 없고, 대부분 감소되지 않는 결과가 되었다.

[0638]

[단면 TEM 관찰 1]

[0639]

다음에, 단면 TEM상의 관찰 결과에 관해서 설명한다. 관찰용 시료를 이하와 같이 제작하였다. 우선, 실리콘 웨이퍼 위에 절연막을 형성하였다. 절연막으로서, 열산화를 사용하여 산화실리콘막을 100nm 형성하였다. 그 후 스퍼터링법에 의해 산화 실리콘막을 300nm 성막하였다. 산화 실리콘의 성막 조건은, 산화 실리콘의 타깃을 사용하여 산소 유량을 50sccm, 압력 0.4Pa, RF 전원을 사용하여 1.5kW로 하고, 기판 온도를 100°C로 하였다. 타깃과 기판의 거리는 60mm로 하였다. 그 후, CMP를 사용하여 연마를 행하여, 표면을 평탄화하였다.

[0640]

이상과 같이, 실리콘 웨이퍼 위에 절연막을 형성한 후, 산화물 반도체막을 20nm 형성하였다. 표 6에 기재된 A1, B1 및 B2의 각 조건을 사용하여 산화물 반도체막을 성막한 시료를 각각 시료 A1-2, 시료 B1-2 및 시료 B2-2

로 한다.

[0641] 이상과 같이, 시료 A1-2, 시료 B1-2 및 시료 B2-2를 제작하였다. 다음에, 얻어진 각 시료에 열 처리를 행하였다. 열 처리 조건은, 질소 분위기에서 450°C 1시간 처리를 행한 후, 산소 분위기에서 450°C 1시간 처리를 행하였다. 그 후, 박편화 가공을 행하였다.

[0642] 다음에, 시료 A1-2, 시료 B1-2 및 시료 B2-2의 산화물 반도체막의 단면에 관해서, 구면 수차 보정(Spherical Aberration Corrector) 기능을 사용한 TEM상을 관찰하였다. 또한, TEM 관찰에 의한 명시야상 및 회절 패턴의 복합 해석상을 고분해능 TEM상이라고 부른다. 그리고, 구면 수차 보정 기능을 사용한 고분해능 TEM상을, 특히 Cs 보정 고분해능 TEM상이라고 부른다. Cs 보정 고분해능 TEM상의 취득에는, 니흔덴시 가부시키가이샤제 원자 분해능 분석 전자 현미경 JEM-ARM200F를 사용하였다. 가속 전압은 200kV로 하였다.

[0643] 도 37에 시료 A1-2의, 도 38에 시료 B1-2의, 도 39에 시료 B2-2의 단면 TEM상의 관찰 결과를 각각 도시한다. 타깃에 원자수비가 In:Ga:Zn=2:1:3인 In-Ga-Zn 산화물을 사용한 시료 B1-2 및 시료 B2-2의 산화물 반도체막에서는, 시료 A1-2의 산화물 반도체막과 비교하여, 원자가 층상으로 나열되어 있는 모습이 보다 현저하게 나타났다. 이것은 금속 원자가 층상 구조를 형성하고 있는 것을 나타내고, c축으로, 보다 강하게 배향되어 있는 것을 시사하고 있다.

[0644] 또한 도 59의 (A)는, 시료 A1-2의, 도 37과는 상이한 장소의 단면 TEM상이며, 도 59의 (B)는, 시료 B1-2의, 도 38과 상이한 장소의 단면 TEM상이다. 또한 도 40의 (A) 및 도 40의 (B)는, 도 59의 (A) 및 도 59의 (B)에 관해서, 어떤 일부 영역에 있어서 금속 원자가 층상으로 규칙적으로 나열된 영역을 선으로 나타낸 도면이다. 시료 A1-2의 산화물 반도체막에서는 단결정과 같이 금속 원자가 규칙적으로 나열된 영역과, 규칙성이 불명료한 영역이 확인된다. 또한, 시료 B1-2의 산화물 반도체막에서는, 시료 A1-2에 비해, 규칙적으로 나열된 영역이 증가하여 불명료한 영역이 감소되고 있는 것을 알 수 있다.

[0645] [단면 TEM 관찰 2]

[0646] 다음에, 보다 두꺼운 산화물 반도체막을 준비하고, 그 단면 TEM상을 관찰하였다. TEM상의 취득에는, 히타치하이테크놀로지즈제 H-9500을 사용하였다. 가속 전압은 300kV를 사용하였다.

[0647] 관찰용 시료로서, 조건 A2 및 조건 B1을 사용하여, 각각 실리콘 웨이퍼 위에 산화물 반도체막을 50nm 형성하였다. 다음에, 박편화 가공을 행한 후, 단면 TEM에 의해 관찰을 행하였다. 조건 A2 및 조건 B1을 사용하여 산화물 반도체막을 형성한 시료를 각각 시료 A2-3 및 시료 B1-3으로 한다. 시료 A2-3의 관찰 결과를 도 41에, 시료 B1-3의 관찰 결과를 도 42에 도시한다. 도 41의 (A)는 전체상, 도 41의 (B)는 막 상부, 도 41의 (C)는 막 중앙부, 도 41의 (D)는 실리콘 웨이퍼와의 계면 근방을 각각 관찰한 결과이다. 마찬가지로, 도 42의 (A)는 전체상, 도 42의 (B)는 막 상부, 도 42의 (C)는 막 중앙부, 도 42의 (D)는 실리콘 웨이퍼와의 계면근방을 각각 관찰한 결과이다. 타깃에 원자수비가 In:Ga:Zn=2:1:3인 In-Ga-Zn 산화물을 사용한 시료 B1-3의 산화물 반도체막에서는, 시료 A2-3 산화물 반도체막과 비교하여, 원자가 층상으로 나열되어 있는 모습이 보다 현저하게 나타나고, 도 38 내지 도 39와 마찬가지로, c축으로 보다 강하게 배향되어 있는 것을 시사하는 결과가 되었다.

[0648] [평면 TEM 관찰]

[0649] 다음에, 평면 TEM상의 관찰 결과에 관해서 설명한다. TEM상의 취득은, 히타치하이테크놀로지즈제 H-9000NAR를 사용하였다. 가속 전압은 300kV로 하였다. 상기한 시료 A1-2 및 시료 B1-2에 열 처리를 행한 후, 평면 TEM상을 관찰하였다. 열 처리 조건은, 질소 분위기에서 450°C 1시간 처리를 행한 후, 산소 분위기에서 450°C 1시간 처리를 행하였다.

[0650] 시료 A1-2의 관찰 결과를 도 43의 (A)에, 시료 B1-2의 관찰 결과를 도 43의 (B)에 도시한다. 상이한 결정부간의 금속 원자의 배열은 단결정과는 상이하지만, 시료 A1-2와 비교하여 시료 B1-2에서는, 보다 규칙적으로 배열되어 있는 것을 알 수 있다. 또한, 시료 A1-2와 비교하여 시료 B1-2에서는, 격자상이 보다 명료하게 나타나기 때문에, 보다 규칙적으로 원자가 배열되어 있는 것으로 생각된다.

[0651] [CAAC 비율 평가]

[0652] 다음에, 상기의 시료 A1-2 및 시료 B1-2에 관해서, 나노 범 전자 회절을 사용하여 CAAC 비율의 평가를 행하였다. 전자 회절의 취득에는, 히타치하이테크놀로지즈제 「HF-2000」을 사용하였다. 가속 전압은 200kV로

하였다.

[0653] 산화물 반도체막을 갖는 각 시료의 상면에 대해, 조금씩 샘플 스테이지를 이동하여 스캔을 행하면서 투과 전자 회절 패턴을 취득하였다. 전자선으로서 프로브 직경이 1nm인 나노 빔 전자선을 사용하였다. 또한 각 시료 모두 3개소에서 같은 측정을 행하였다. 즉, 스캔 1 내지 스캔 3의 합계 3회의 스캔을 행하였다.

[0654] 5nm/초의 속도로 스캔하면서 회절 패턴을 관측하고, 동영상을 취득하였다. 다음에, 얻어진 회절 패턴의 동영상 을, 0.5초마다 정지 화면으로 변환하였다. 변환한 정지 화면을 해석하여, CAAC-OS막의 패턴과, CAAC-OS막의 패 텐인지 또는 nc-OS막의 패턴인지의 판별이 어려운 패턴과, nc-OS막의 패턴과, 스피넬형의 결정 구조의 패턴의 4 개로 분류하였다. 결과를 표 10에 기재한다. 또한, 표 10에 기재하는 CAAC 비율은, CAAC-OS막의 패턴인지 또 는 nc-OS막의 패턴인지의 판별이 어려운 것에 관해서는 CAAC가 아닌 것으로 가정한 경우의 비율이다.

표 10

		화상수				CAAC 비율 (②는 CAAC가 아닌 것을 가정)	
		해석을 행한 수	① CAAC	② CAAC 또는 nc?	③ nc	④ 스피넬형	
시료 A1-2	스캔 1	130	87	27	16	0	66.9%
	스캔 2	132	118	4	10	0	89.4%
	스캔 3	189	163	5	21	0	86.2%
시료 B1-2	스캔 1	140	136	2	2	0	97.1%
	스캔 2	145	137	5	3	0	94.5%
	스캔 3	216	200	11	5	0	92.6%

[0655]

다음에, CAAC-OS막의 패턴인지 또는 nc-OS막의 패턴인지, 그 판별이 어려운 것에 관해서, 취득한 동영상에서 해당하는 시간의 전후의 영상을 확인하고, CAAC-OS막의 패턴이 관측되는 것과, nc-OS막의 패턴이 관측되는 것으로 분류하고, CAAC 비율을 도출하였다. 결과를 표 11에 기재한다. 표 11에는, CAAC 비율을 산출하는데 사용한 회 절 패턴의 화상수, 관찰된 각종 패턴의 화상수 및 산출한 CAAC 비율을 각각의 스캔별로 기재하였다.

표 11

		화상수			CAAC 비율	
		해석을 행한 수	CAAC	nc	스피넬형	
시료 A1-2	스캔 1	130	114	16	0	87.7%
	스캔 2	132	122	10	0	92.4%
	스캔 3	189	168	21	0	88.9%
시료 B1-2	스캔 1	140	138	2	0	98.6%
	스캔 2	145	142	3	0	97.9%
	스캔 3	216	211	5	0	97.7%

[0657]

표 11에 기재한 CAAC 비율을 그래프로 나타낸 것을 도 44의 (A)에 도시한다. 도 44의 (A)에 도시한 바와 같이, CAAC-OS막 이외의 회절 패턴으로서, nc-OS막의 패턴이 관측되고, 스피넬형 구조의 회절 패턴은 관측되지 않았다.

[0658]

표 11에 기재하는 바와 같이, In:Ga:Zn=2:1:3의 원자수비 타깃을 사용하여 형성한 시료 B1-2의 CAAC 비율은 매우 높은 것을 알 수 있었다.

[0659]

다음에, 시료 B1-2에 관해서, 도 43의 (B)와는 상이한 개소에서 평면 TEM 관찰을 행한 결과를 도 55에 도시한다. 또한, 도 55에 도시하는 3점(포인트 1 내지 3)에 관해서, 나노 빔 전자 회절을 사용한 구조 해석을 행하였다. 전자선으로서, 프로브 직경이 1nm인 나노 빔을 사용하였다. 여기서, 프로브 직경은 $\pm 20\%$ 의 오차를 포함한다. 포인트 1, 2 및 3에서 얻어진 회절 스포트과, 회절 스포트으로부터 결정 구조를 판정한 결과를 도 56의 (A), (B) 및 (C)에 도시한다. 해석의 결과, 얻어진 회절 스포트은 JCPDS 카드에 기재된 $\text{InGaO}_3(\text{ZnO})_2$ 의 구조로 판정되었다.

- [0661] 다음에, 막 두께가 100nm인 산화물 반도체막에 관해서도 마찬가지로, CAAC 비율의 평가를 행하였다. 산화물 반도체막의 성막 조건으로서, 표 6의 A3과 B1을 사용하였다.
- [0662] 실리콘 웨이퍼 위에 열산화에 의해 산화 실리콘막을 100nm 형성하였다. 그 후, 표 6에 기재된 조건 A3을 사용하여 산화물 반도체막을 100nm 형성하고, 시료 A3-1로 하였다. 조건 B1의 시료에 관해서는, 시료 B1-1을 사용하였다.
- [0663] 다음에, 시료 A3-1 및 시료 B1-1에 대해, 열 처리를 행하였다. 열 처리 조건은, 450°C에서, 질소 분위기 하에 있어서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에 있어서 가열 처리를 1시간 행하였다.
- [0664] 다음에, 각 시료 상면에 대해, 스캔하면서 투과 전자 회절 패턴을 취득하였다. 전자선으로서 프로브 직경이 1nm인 나노 빔을 사용하였다. 또한 각 시료 모두 3개소에서 같은 측정을 행하였다. 즉 스캔 1 내지 스캔 3의 합계 3회의 스캔을 행하였다.
- [0665] 5nm/초의 속도로 스캔하면서 회절 패턴을 관측하고, 동영상을 취득하였다. 다음에, 얻어진 동영상에서 관측된 회절 패턴을, 0.5초마다 정지 화면으로 변환하였다. 시료 A3-1의 스캔 2의 회절 패턴을 변환한 정지 화면을, 도 45 내지 도 49에 도시한다. 또한, 시료 B1-1의 스캔 2의 회절 패턴을 변환한 정지 화면을, 도 50 내지 도 54에 도시한다. 도 45 내지 도 54에 도시하는 바와 같이, 어느 시료에 있어서도 CAAC 구조를 나타내는 회절 패턴이 관측되고, 또한 스캔에 따라 그 회절 패턴의 각도가 조금씩 회전하는 모습이 나타난다.
- [0666] 변환한 정지 화면을 해석하여, CAAC-OS막의 패턴과, CAAC-OS막의 패턴인지 또는 nc-OS막의 패턴인지의 판별이 어려운 패턴과, nc-OS막의 패턴과, 스피넬형의 결정 구조의 패턴의 4개로 분류하였다. 결과를 표 12에 기재한다. 또한, 표 12에 기재하는 CAAC 비율은, CAAC-OS막의 패턴인지 또는 nc-OS막의 패턴인지의 판별이 어려운 것에 관해서는 CAAC가 아닌 것으로 가정한 경우의 비율이다.

표 12

		화상수				CAAC 비율 (②는 CAAC가 아닌 것을 가정)	
		해석을 행한 수	① CAAC	② CAAC 또는 nc?	③ nc	④ 스피넬형	
시료 A3-1	스캔 1	126	118	0	8	0	93.7%
	스캔 2	132	119	0	13	0	90.2%
	스캔 3	190	168	2	20	0	88.4%
시료 B1-1	스캔 1	144	141	2	1	0	97.9%
	스캔 2	141	141	0	0	0	100.0%
	스캔 3	246	242	3	1	0	98.4%

[0667]

- [0668] 다음에, CAAC-OS막의 패턴인지 또는 nc-OS막의 패턴인지, 그 판별이 어려운 것에 관해서, 취득한 동영상에서 해당하는 시간 전후의 영상을 확인하고, CAAC-OS막의 패턴이 관측되는 것과, nc-OS막의 패턴이 관측되는 것으로 분류하고, CAAC 비율을 도출하였다. 결과를 표 13에 기재한다.

표 13

		화상수				CAAC 화율
		해석을 행한 수	CAAC	nc	스피넬형	
시료 A3-1	스캔 1	126	118	8	0	93.7%
	스캔 2	132	119	13	0	90.2%
	스캔 3	190	170	20	0	89.5%
시료 B1-1	스캔 1	144	143	1	0	99.3%
	스캔 2	141	141	0	0	100.0%
	스캔 3	246	245	1	0	99.6%

[0669]

[0670] 또한, 표 13에 기재한 CAAC화율을 그래프로 나타낸 것을 도 44의 (B)에 도시한다. 막 두께 20nm에서의 결과와 같이, In:Ga:Zn=2:1:3의 원자수비의 타깃을 사용하여 형성한 시료 B1-1의 CAAC 비율은, 매우 높은 결과가 되었다.

[0671] 다음에, 시료 B1-2에 관해서 평면 TEM 관찰을 행한 후, 3개소에 관해서 EDX(Energy Dispersive X-ray spectroscopy) 분석에 의해 평가를 행하였다. 얻어진 결과로부터 인듐, 갈륨 및 아연의 원자수비를 구한 결과를 표 14에 기재한다.

표 14

원자수비			
	In	Ga	Zn
포인트 1	2	0.80	1.57
포인트 2	2	0.85	1.64
포인트 3	2	0.70	1.36

[0672]

[0673] 인듐에 대한 갈륨의 원자수비(Ga/In)는, ICP-MS로 얻어진 값에 대해 약 70% 이상 83% 이하의 값이 되고, 인듐에 대한 아연의 원자수비(Zn/In)는, 약 58% 이상 76% 이하의 값이 되었다.

실시예 2

[0674] [트랜지스터의 제작]

[0675] 본 실시예에서는, 실시예 1의 표 6에서 기재한 조건 A1의 산화물 반도체막을 사용한 트랜지스터를 기판 위에 제작한 시료 A1-4와, 성막 조건 B1의 산화물 반도체막을 사용한 트랜지스터를 기판 위에 제작한 시료 B1-4를 제작하고, 그 특성을 평가하였다. 또한, 본 실시예에서는, 시료 A1-4와, 시료 B1-4 사이에서 조건 변경을 행하고 있는 경우만, 그 취지를 기재한다. 따라서 조건 변경의 기재가 없는 경우에는, 시료 A1-4 및 시료 B1-4 모두 동일한 조건으로 처리를 행한 것을 나타낸다.

[0676] 트랜지스터 특성의 평가에는, 도 5에 도시하는 단면 구조를 갖는 트랜지스터를 사용하였다. 단, 사용한 트랜지스터는 도전층(105)을 갖지 않는 구조로 하였다. 이하에, 트랜지스터의 구체적인 제작 방법에 관해서 서술한다.

[0677] 기판(50)으로서 p형, CZ 결정, 면방위(100)의 실리콘 웨이퍼를 준비하였다. 다음에 기판의 세정을 행한 후, 절연막(51)을 형성하였다. 절연막(51)은, 산화 실리콘막과 산화 질화 실리콘막의 적층막으로 하였다. 산화 실리콘막은, 950°C에서 열산화를 행하여, 100nm 형성하였다. 그 후, 산화 질화 실리콘막은, PECVD 장치를 사용하여 300nm 성막하였다. 성막 조건은, 기판 온도 400°C로 하고, 가스 유량을 실란 2sccm 및 아산화질소 800sccm으로 하고, 압력을 40Pa로 하고, 성막 전력(RF, 27MHz)을 50W로 하고, 전극간 거리를 15mm로 하였다. 절연막(51)의 성막후, CMP법을 사용하여 평탄화 처리를 행하였다. 그 후, 감압 분위기에서 450°C 1시간의 열 처리를 행하였다.

[0678] 다음에, 이온 주입법을 사용하여 산소 이온($^{16}\text{O}^+$)의 주입을 행하였다. 주입 조건은, 가속 전압을 60kV, 도즈량을 $2.0 \times 10^{16} \text{ ions/cm}^2$, 틸트각을 7°, 트위스트각을 72°로 하였다.

[0679] 다음에, 절연막(51) 위에, 반도체층(101a)이 되는 제 1 반도체막을 형성하였다. 제 1 반도체막으로서, 원자수비가 In:Ga:Zn=1:3:4인 In-Ga-Zn 산화물을 타깃에 사용한 스퍼터링법에 의해, 막 두께 20nm의 In-Ga-Zn 산화물막을 형성하였다. 성막 조건은, 아르곤 유량을 40sccm, 산소 유량을 5sccm, 압력을 0.7Pa, 전원 전력(DC)을 0.5kW, 기판 온도를 200°C, 기판과 타깃 간의 거리를 60mm로 하였다. 여기서 압력계는 캐논아네르바제 미니어처 게이지를 사용하였다.

[0680] 그 후, 계속해서 반도체층(101b)이 되는 제 2 반도체막을 형성하였다. 제 1 반도체막과 제 2 반도체막의 성막은 상이한 챔버실을 사용하여 행하고, 챔버실 간의 반송은 대기 분위기에 노출시키지 않고 진공 분위기 내에서 행하였다. 제 2 반도체막으로서, In-Ga-Zn 산화물막을 15nm 형성하였다. 제 2 반도체막의 성막 조건에 관해서

는, 시료 A1-4에서는 원자수비 In:Ga:Zn=1:1:1의 In-Ga-Zn 산화물을 타깃에 사용하고, 시료 B1-4에서는 원자수비 In:Ga:Zn=2:1:3의 In-Ga-Zn 산화물을 타깃에 사용하였다. 기판과 타깃 간의 거리는 60mm로 하였다. 전원은 DC 전원을 사용하였다. 그 밖의 주된 조건을 표 15에 기재한다. 여기서 압력계는 캐논아네르바제 미니어처 게이지를 사용하였다.

표 15

	파워 [kW]	가스유량		기판 온도 [°C]	압력 [Pa]	타깃
		Ar [sccm]	O ₂ [sccm]			
시료 A1-4	0.5	30	15	300°C	0.7	In:Ga:Zn=1:1:1
시료 B1-4	0.5	30	15	200°C	0.7	In:Ga:Zn=2:1:3

[0681]

[0682] 이어서, 450°C에서, 질소 분위기 하에 있어서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에서 가열 처리를 1시간 행하였다.

[0683]

다음에, 스퍼터링법을 사용하여 텅스텐막을 15nm 성막하였다. 성막 조건은, 텅스텐을 타깃에 사용하고, 아르곤 유량을 80sccm과, 압력을 0.8Pa, 전원 전력(DC)을 1kW, 기판과 타깃 간의 거리를 60mm로 하였다. 기판 온도는 약 130°C로 하였다. 또한, 기판 이면에도 추가로 아르곤을 10sccm 공급하였다.

[0684]

다음에, 포토리소그래피 공정에 의해 텅스텐막 위에 마스크를 형성하고, 상기 마스크를 사용하여 텅스텐막의 일부를 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma) 에칭법에 의해, 유량 60sccm의 4불화탄소(CF₄) 가스 및 유량 40sccm의 산소(O₂) 가스 혼합 분위기하, 전원 전력 1000W, 바이어스 전력 25W, 압력 2.0Pa으로 에칭을 행하여, 하드 마스크를 형성하였다.

[0685]

다음에, 텅스텐층을 마스크로 하고, 제 1 반도체막 및 제 2 반도체막의 형상을 에칭에 의해 가공함으로써, 섬 형상의 제 1 반도체층(101a)과 제 2 반도체층(101b)을 형성하였다. 또한, 상기 에칭에는, ICP 에칭법을 사용하였다. 에칭 조건은, 기판 온도를 70°C로 하고, 에칭 가스로서, 메탄(CH₄)과 아르곤(Ar)의 혼합 가스 (CH₄=16sccm, Ar=32sccm)로 하고, 전원 전력 600W, 바이어스 전력 50W, 압력 3.0Pa로 하고, 처리 시간을 3초로 하여, 제 1 에칭을 행하였다. 이어서, 기판 온도를 70°C로 하고, 에칭 가스를 메탄과 아르곤의 혼합 가스 (CH₄=16sccm, Ar=32sccm)로 하고, 전원 전력 600W, 바이어스 전력 50W, 압력 1.0Pa로 하여, 제 2 에칭을 행하였다.

[0686]

다음에, 텅스텐층을 에칭하였다. 에칭은 ICP 에칭법에 의해 행하고, 유량 45sccm의 염소(Cl₂) 가스, 유량 55sccm의 4불화탄소(CF₄) 가스 및 유량 55sccm의 산소(O₂) 가스 혼합 분위기하, 전원 전력 1000W, 바이어스 전력 25W, 압력 2.0Pa로 에칭을 행하였다.

[0687]

다음에, 도전층(104a) 및 도전층(104b)이 되는 도전막으로서, 텅스텐막을 스퍼터링법에 의해 100nm 형성하였다. 성막 조건은, 텅스텐을 타깃으로 하고, 아르곤 유량을 80sccm, 압력을 0.8Pa, 전원 전력(DC)을 1kW로 하였다. 또한, 기판 이면에 아르곤을 추가로 10sccm 공급하였다. 기판 온도는 약 130°C로 하였다.

[0688]

이어서, 도전층(104a) 및 도전층(104b)이 되는 도전막의 형상을 에칭에 의해 가공함으로써, 도전층(104a) 및 도전층(104b)을 형성하였다. 또한, 상기 도전막의 에칭은, 구체적으로는, 이하와 같이 행하였다. 우선, 에칭 조건을, 기판 온도를 40°C로 하고, 에칭 가스를 염소와 4불화탄소와 산소의 혼합 가스(Cl₂=45sccm, CF₄=55sccm, O₂=55sccm)로 하고, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa로 하고, 처리 시간을 13초로 하여, 제 1 에칭을 행하였다. 이어서, 에칭 조건을, 기판 온도를 40°C로 하고, 에칭 가스를 염소(Cl₂=100sccm)로 하고, 전원 전력 2000W, 바이어스 전력 0W, 압력 3.00Pa로 하고, 처리 시간을 15초로 하여, 제 2 에칭을 행하였다. 이어서, 에칭 조건을, 기판 온도를 40°C로 하고, 에칭 가스를 염소와 4불화탄소와 산소의 혼합 가스

($\text{Cl}_2=45\text{sccm}$, $\text{CF}_4=55\text{sccm}$, $\text{O}_2=55\text{sccm}$)로 하고, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa로 하여, 제3 에칭을 행하였다.

[0689] 이어서, 도전층(104a) 및 도전층(104b) 위에, 반도체층(101c)이 되는 제3 반도체막을 형성하였다. 제3 반도체막으로서, 원자수비가 $\text{In:Ga:Zn}=1:3:2$ [원자수비]인 In-Ga-Zn 산화물 타깃을 사용한 스퍼터링법에 의해, 막 두께 5nm의 In-Ga-Zn 산화물막을 형성하였다. 성막 조건은, 아르곤 유량을 30sccm, 산소 유량을 15sccm, 압력 0.4Pa, 전원 전력(DC) 0.5kW, 기판 온도 200°C, 기판과 타깃 간의 거리를 60mm로 하였다. 여기서 압력계는 BA 게이지를 사용하였다.

[0690] 이어서, 게이트 절연막(102)으로서 산화 질화 실리콘막을, PECVD법을 사용하여 20nm 성막하였다. 성막 조건은, 기판 온도 450°C로 하고, 가스 유량을 실란1sccm 및 아산화질소 800sccm으로 하고, 압력을 200Pa로 하고, 성막 전력(RF, 60MHz)을 150W로 하고, 전극간 거리를 28mm로 하였다. 계속해서, 게이트 전극(103)이 되는 도전막으로서, 질화 탄탈럼막을 30nm 형성한 후에 텅스텐막을 135nm 형성하였다. 질화 탄탈럼막은, 성막 조건을, 아르곤 및 질소(아르곤=50sccm, 질소=10sccm) 분위기하, 압력 0.6Pa, 전원 전력(DC) 1.0kW, 기판 온도 실온, 기판과 타깃 간의 거리를 60mm로 하였다. 텅스텐막은, 성막 조건을, 아르곤(아르곤=100sccm) 분위기하, 압력 2.0Pa, 전원 전력(DC) 4.0kW, 기판 온도를 약 130°C, 기판과 타깃 간의 거리를 60mm로 하였다. 또한, 기판 이면에 아르곤을 추가로 10sccm 공급하였다.

[0691] 이어서, 게이트 전극(103)이 되는 도전막의 형상을 에칭에 의해 가공함으로써, 게이트 전극(103)을 형성하였다. 또한, 상기 도전막의 에칭은, 구체적으로는, 이하와 같이 행하였다. 우선, 에칭 조건을, 기판 온도를 40°C로 하고, 에칭 가스를 염소와 4불화탄소와 산소의 혼합 가스($\text{Cl}_2=45\text{sccm}$, $\text{CF}_4=55\text{sccm}$, $\text{O}_2=55\text{sccm}$)로 하고, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa로 하여, 제1 에칭을 행하였다. 이어서, 에칭 조건을, 기판 온도를 40°C로 하고, 에칭 가스를 염소($\text{Cl}_2=100\text{sccm}$)로 하고, 전원 전력 2000W, 바이어스 전력 50W, 압력 0.67Pa로 하여, 제2 에칭을 행하였다.

[0692] 이어서, 게이트 전극(103)을 마스크로 하여, 게이트 절연막(102)과, 제3 반도체막의 형상을 에칭에 의해 가공함으로써, 형상이 가공된 게이트 절연막(102) 및 반도체층(101c)을 형성하였다. 또한, 상기 에칭에는, ICP 에칭법을 사용하였다. 에칭 조건은, 기판 온도를 70°C로 하고, 에칭 가스를 3염화붕소($\text{BCl}_3=80\text{sccm}$)로 하고, 전원 전력 450W, 바이어스 전력 100W, 압력 1.0Pa로 하고, 처리 시간을 36초로 하였다.

[0693] 이어서, 트랜지스터를 괴복하도록, 절연막(112)으로서, 막 두께 70nm의 산화 알루미늄막을 형성하였다. 산화 알루미늄막은 스퍼터링법을 사용하여 형성하였다. 산화 알루미늄막의 성막 조건은, 타깃으로서 산화 알루미늄을 사용하고, 아르곤 및 산소(아르곤=25sccm, 산소=25sccm) 분위기하, 압력 0.4Pa, 전원 전력(RF) 2.5kW, 기판 온도 250°C, 기판과 타깃 간의 거리를 60mm로 하였다.

[0694] 이어서, 절연막(113)으로서, 막 두께 300nm의 산화 질화 실리콘막을 형성하였다. 산화 질화 실리콘막은 PECVD법을 사용하여 형성하였다. 성막 조건은, 기판 온도 325°C로 하고, 가스 유량을 실란 5sccm 및 아산화질소 1000sccm으로 하고, 압력을 133.30Pa로 하고, 성막 전력(RF)을 35W(13.56MHz)로 하고, 전극간 거리를 20mm로 하였다.

[0695] 이어서, 도전층(104a) 및 도전층(104b)에 도달하는 개구부를, 에칭에 의해 형성하였다. 상기 에칭은, ICP 에칭법을 사용하였다.

[0696] 구체적으로, 절연막(113)에 사용한 산화 질화 실리콘막의 에칭은, 이하와 같이 행하였다. 우선, 에칭 조건을, 기판 온도를 70°C로 하고, 에칭 가스를 트리플루오로메탄과 헬륨의 혼합 가스($\text{CHF}_3=50\text{sccm}$, $\text{He}=100\text{sccm}$)로 하고, 전원 전력 475W, 바이어스 전력 300W, 압력 5.5Pa로 하고, 처리 시간을 3초로 하여, 제1 에칭을 행하였다. 이어서, 에칭 조건을, 기판 온도를 70°C로 하고, 에칭 가스를 트리플루오로메탄과 헬륨의 혼합 가스($\text{CHF}_3=7.5\text{sccm}$, $\text{He}=142.5\text{sccm}$)로 하고, 전원 전력 475W, 바이어스 전력 300W, 압력 5.5Pa로 하고, 처리 시간을 61초로 하여, 제2 에칭을 행하였다. 이어서, 에칭 조건을, 기판 온도를 70°C로 하고, 에칭 가스를 트리플루오로메탄과 헬륨의 혼합 가스($\text{CHF}_3=50\text{sccm}$, $\text{He}=100\text{sccm}$)로 하고, 전원 전력 475W, 바이어스 전력 150W, 압력 5.5Pa로 하고, 처리 시간을 3초로 하여, 제3 에칭을 행하였다. 이어서, 에칭 조건을, 기판 온도를 70°C로 하고, 에칭 가스를 트리플루오로메탄과 헬륨의 혼합 가스($\text{CHF}_3=7.5\text{sccm}$, $\text{He}=142.5\text{sccm}$)로 하고, 전원 전력 475W, 바이어스 전력 150W, 압력 5.5Pa로 하고, 처리 시간을 36초로 하여, 제4 에칭을 행하였다.

- [0697] 또한, 구체적으로, 절연막(112)에 사용한 산화 알루미늄막의 예칭 조건은, 기판 온도를 70°C로 하고, 예칭 가스를 3염화붕소(BCl_3 =80sccm)로 하고, 전원 전력 450W, 바이어스 전력 100W, 압력 1.9Pa로 하고, 처리 시간을 185초로 하였다.
- [0698] 이어서, 개구부 내 및 절연막(113) 위에, 막 두께 50nm의 티타늄막과, 막 두께 200nm의 알루미늄막과, 막 두께 50nm의 티타늄막을 순차적으로 적층시킨 도전막을, 스퍼터링법을 사용하여 형성하였다. 최하층과 최상층의 티타늄막의 성막 조건은, 아르곤 분위기하(유량 20sccm), 압력 0.1Pa, 전원 전력(DC) 12kW, 기판 온도 실온, 기판과 타깃 간의 거리를 400mm로 하였다. 또한, 알루미늄막의 성막 조건은, 아르곤 분위기하(유량 50sccm), 압력 0.4Pa, 전원 전력(DC) 1kW, 기판 온도 실온, 기판과 타깃 간의 거리를 60mm로 하였다.
- [0699] 이어서, 개구부 내 및 절연막(113) 위의 도전막의 형상을 예칭에 의해 가공하고, 배선을 형성하였다. 상기 예칭에는, ICP 예칭법을 사용하였다. 구체적으로는, 우선, 예칭 조건을, 기판 온도를 70°C로 하고, 예칭 가스를 3염화붕소와 염소의 혼합 가스(BCl_3 =60sccm, Cl_2 =20sccm)로 하고, 전원 전력 450W, 바이어스 전력 100W, 압력 1.9Pa로 하여, 제 1 예칭을 행하였다. 이어서, 예칭 조건을, 기판 온도를 70°C로 하고, 예칭 가스를 4불화탄소(CF_4 =80sccm)로 하고, 전원 전력 500W, 바이어스 전력 50W, 압력 2.0Pa로 하고, 처리 시간을 약 15초로 하여, 제 2 예칭을 행하였다.
- [0700] 이어서, 막 두께 1.6/ μm 의 폴리이미드막을, 도포법을 사용하여 형성한 후, 대기 분위기하에 있어서, 300°C에서 1시간 정도, 가열 처리를 행하였다.
- [0701] 이상의 공정에 의해, 시료 A1-4 및 시료 B1-4를 제작하였다.
- [0702] [트랜지스터 특성의 평가]
- [0703] 도 57에 트랜지스터 특성을 도시한다. 시료 A1-4, 시료 B1-4 모두, 채널 길이(L)가 0.46/ μm , 채널 폭(W)이 0.8/ μm 인 n 채널형 트랜지스터를 면 내에서 25개, 평가하였다. 도 57의 (A)는 시료 A1-4의, 도 57의 (B)는 시료 B1-4의 트랜지스터의 Vg - Id 측정을 각각 도시한다. 여기서 Vg 는 소스-게이트 간의 전압, Id 는 소스-드레인 간의 전류를 나타낸다. 또한, 가로축에는 게이트 전압(Vg)을, 왼쪽의 세로축에는 드레인 전압(Vd)을, 오른쪽의 세로축에는 전계 효과 이동도(μ_{FE})를 나타낸다. 드레인 전압(Vd)이 0.1V와, 3V인 두 조건으로 측정하였다. 여기서, 전계 효과 이동도는, $Vd=0.1V$ 로 산출한 전계 효과 이동도를 나타내고 있다.
- [0704] 도 57의 결과로부터, 어느 시료에 있어서도 양호한 트랜지스터가 얻어졌다. 시료 B1-4의 트랜지스터쪽이, 시료 A1-4의 트랜지스터와 비교하여 임계값 전압이 작고, 큰 전계 효과 이동도를 가지며, 보다 우수한 특성이 얻어졌다.
- [0705] [비교예]
- [0706] 본 비교예에서는, 산화물 반도체막의 밀도와 트랜지스터 특성의 관계에 관해서 설명한다.
- [0707] 실시예 1에 나타낸 바와 같이, c축으로 배향한 복수의 결정부를 갖는 CAAC-OS막은, 치밀한 막을 얻을 수 있다. 한편, 실시형태 3에서 서술한 바와 같이, 산화물 반도체막의 형성 조건에 따라서는, 막 밀도가 낮은 막이 얻어지는 경우가 있다. 또한 막 밀도의 저하에 따라, 소위 공동을 갖는 막이 얻어지는 경우가 있다.
- [0708] 막 밀도가 낮아 공동이 많은 산화물 반도체막을 사용한 경우에, 트랜지스터 특성에 어떠한 영향을 주는지를 조사하기 위해서, 막 밀도가 상이한 두 조건을 사용하여 산화물 반도체막을 형성하고, 형성된 상기 산화물 반도체막을 사용하여 트랜지스터를 제작하였다.
- [0709] 산화물 반도체막은 스퍼터링법을 사용하여 형성하였다. 타깃으로서 원자수비가 $In:Ga:Zn=1:1:1$ 인 In-Ga-Zn 산화물을 사용하였다. 또한, 기판과 타깃 간의 거리를 130mm로 하였다. 조건 변경의 주된 항목을 표 16에 기재한다. 전원은, RF 전원을 사용하였다.

표 16

전원 전력	가스유량		기판온도 [°C]	압력 [Pa]
	Ar [sccm]	O ₂ [sccm]		
조건 C	100W	98	2	실온
조건 D	100W	98	2	실온

[0710]

[트랜지스터의 제작]

[0711]

다음에, 표 16에 기재한 조건 C로 성막한 산화물 반도체막을 사용한 트랜지스터를 기판 위에 제작한 시료 C-2와, 조건 D로 성막한 산화물 반도체막을 사용한 트랜지스터를 기판 위에 제작한 시료 D-2를 제작하였다. 또한, 본 실시예에서는, 시료 C-2 및 시료 D-2 사이에서 조건 변경을 행하고 있는 경우만, 그 취지를 기재한다. 따라서 조건 변경의 기재가 없는 경우에는, 시료 C-2 및 시료 D-2를 동일한 조건으로 처리한 것을 나타낸다. 트랜지스터 구조로서, 도 62에 도시하는 트랜지스터 구조를 사용하였다.

[0712]

우선, 기판(50)으로서 유리 기판을 준비하고, 유리 기판 위에 게이트 전극을 형성하였다.

[0713]

게이트 전극(103)으로서, 스퍼터링법으로 두께 100nm의 텅스텐막을 형성하고, 포토리소그래피 공정에 의해 상기 텅스텐막 위에 마스크를 형성하고, 상기 마스크를 사용하여 상기 텅스텐막의 일부를 에칭하여 형성하였다.

[0714]

다음에, 게이트 전극(103) 위에 게이트 절연막(102)을 형성하였다.

[0715]

게이트 절연막(102)으로서, 두께 400nm의 질화 실리콘막과, 두께 50nm의 산화 질화 실리콘막을 적층하여 형성하였다.

[0716]

다음에, 게이트 절연막(102)을 개재하여 게이트 전극(103)에 중첩되는 반도체층(101)을 형성하였다. 반도체층(101)에는 산화물 반도체층을 사용하였다. 여기서는, 게이트 절연막 위에 두께 35nm의 산화물 반도체막을 스퍼터링법으로 형성한 후, 마스크를 사용하여 상기 산화물 반도체막의 일부를 에칭하고, 반도체층(101)을 형성하였다.

[0717]

또한 산화물 반도체막으로서 In-Ga-Zn 산화물막을 형성하였다. 산화물 반도체막의 성막 조건은, 시료 C-2 및 시료 D-2에서 조건 변경을 행하였다. 시료 C-2는, 상기한 조건 C를, 시료 D-2는 상기한 조건 D를 사용하여 성막하였다.

[0718]

다음에, 가열 처리를 행하였다. 여기서는 450°C의 질소 분위기에서 1시간 가열 처리를 행한 후, 450°C의 질소 및 산소의 혼합 가스 분위기에서 1시간의 가열 처리를 행하였다.

[0719]

다음에, 산화물 반도체막에 접하는 한쌍의 도전층인, 도전층(104a) 및 도전층(104b)을 형성하였다.

[0720]

우선, 게이트 절연막(102) 및 반도체층(101) 위에 도전막을 형성하였다. 상기 도전막으로서, 두께 50nm의 텅스텐막 위에 두께 400nm의 알루미늄막을 형성하고, 상기 알루미늄막 위에 두께 100nm의 티타늄막을 형성하였다. 다음에, 포토리소그래피 공정에 의해 상기 도전막 위에 마스크를 형성하고, 상기 마스크를 사용하여 상기 도전막의 일부를 에칭하고, 도전층(104a) 및 도전층(104b)을 형성하였다.

[0721]

다음에, 반도체층(101), 도전층(104a) 및 도전층(104b) 위에 보호막(25)을 형성하였다. 보호막으로서, 산화 질화 실리콘막 450nm을 형성한 후, 질화 실리콘막을 100nm 형성하였다.

[0722]

다음에, 보호막(25)의 일부에, 도전층(104a) 및 도전층(104b)의 한쪽에 도달하는 개구부를 형성하였다. 상기 개구부는, 보호막(25) 위에 마스크를 형성하고, 상기 마스크를 사용하여, 보호막(25)의 일부를 에칭함으로써 형성하였다.

[0723]

다음에, 보호막(25) 위에 화소 전극인 전극(126)을 형성하였다. 전극(126)은, 보호막(25)의 일부에 설치된 개구부를 개재하여, 한쌍의 도전층인, 도전층(104a) 및 도전층(104b)의 한쪽과 전기적으로 접속하는 구성으로 하였다.

[0724]

여기서는, 전극(126)으로서, 스퍼터링법에 의해 산화 실리콘을 함유하는 산화 인듐-산화 주석 화합물(ITO-

SiO_2)의 도전막을 형성하였다. 또한 상기 도전막에 사용한 타깃의 조성은, $\text{In}_2\text{O}_3:\text{SnO}_2:\text{SiO}_2=85:10:5$ [중량%]로 하였다. 이 이후, 질소 분위기에서, 300°C , 1시간의 가열 처리를 행하였다.

[0726] 이상의 공정에 의해, 시료 C-2 및 시료 D-2를 얻었다.

[0727] [트랜지스터 특성의 평가]

[0728] 여기서 트랜지스터의 초기 특성으로서 Vg - Id 특성을 측정하였다. 시료 C-2, 시료 D-2 모두 채널 길이(L)가 $3\mu\text{m}$, 채널 폭(W)이 $50\mu\text{m}$ 인 n 채널형 트랜지스터를 면 내에서 4개, 평가하였다. 여기서는, 기판 온도를 25°C 로 하고, 소스-드레인 간의 전위차(이하, 드레인 전압, Vd 라고도 한다)를 1V , 10V 로 하고, 소스-게이트 전극 간의 전위차(이하, 게이트 전압, Vg 라고도 한다)를 -20V 에서부터 20V 까지 변화시켰을 때의 소스-드레인 간에 흐르는 전류(이하, 드레인 전류, Id 라고도 한다)의 변화 특성, 즉 Vg - Id 특성을 측정하였다.

[0729] 도 58의 (A)에 시료 C-2의 트랜지스터, 도 58의 (B)에 시료 D-2의 트랜지스터의 평가 결과를 도시한다. 도 58의 가로축은 게이트 전압(Vg)을, 세로축은 드레인 전류(Id)를, 각각 나타낸다. 또한, 면내에서 4개의 트랜지스터를 측정하였다.

[0730] 막 밀도가 낮은 시료 C-2의 트랜지스터에서는, 양호한 온 오프 특성을 얻을 수 없었다. 또한, 막 밀도가 비교적 높은 시료 D-2의 트랜지스터에서는, 온 오프비는 얻어졌지만 불균일이 많은 결과가 되었다. 산화물 반도체 막의 막 밀도는 트랜지스터 특성과 상관이 있으며, 양호한 특성을 얻기 위해서는, 실시예 2에 도시하는 바와 같이 치밀한 막을 사용하는 것이 바람직하다.

실시예 3

[0731] 본 실시예에서는, 본 발명의 일 형태인 산화물 반도체막의 평가 결과에 관해서 설명한다. 산화물 반도체막은, 표 17에 기재하는 조건을 사용하여 스퍼터링법에 의해 성막하였다. 조건 A1 내지 조건 A3, 조건 B1 및 조건 B2, 조건 E1에 관해서는 표 6에 기재하는 조건을 다시 나타내고 있다. 표 17에 기재된 장치 B에서는 압력은 캐논아네르바제 B-A게이지 BRG-1B를 사용하여 측정하고, 장치 A 및 장치 C에서는 압력은 캐논아네르바제 미니어처 게이지 MG-2를 사용하여 측정하였다. 또한 타깃으로서, 조건 A1 내지 조건 A3은 원자수비가 $\text{In:Ga:Zn}=1:1:1$ 인 In-Ga-Zn 산화물의 다결정을 사용하고, 조건 B1 및 조건 B2는 원자수비가 $\text{In:Ga:Zn}=2:1:3$ 인 In-Ga-Zn 산화물비의 다결정을 사용하고, 조건 E1 내지 조건 E3은 $\text{In:Ga:Zn}=4:2:4.1$ 의 In-Ga-Zn 산화물의 다결정을 사용하고, 조건 F1 내지 조건 F3은 $\text{In:Ga:Zn}=1:3:4$ 의 In-Ga-Zn 산화물의 다결정을 사용하고, 조건 F4는 $\text{In:Ga:Zn}=1:3:2$ 의 In-Ga-Zn 산화물의 다결정을 사용하였다. 전원은 DC 전원을 사용하였다.

표 17

	장치	파워 [kW]	가스 유량		기판 온도	압력 [Pa]	타깃	타깃-기판간 거리
			Ar [sccm]	O_2 [sccm]				
조건 A1	장치 A	0.5(DC)	30	15	300°C	0.7	$\text{In:Ga:Zn}=1:1:1$	60mm
조건 A2		0.5(DC)	30	15	300°C	0.4	$\text{In:Ga:Zn}=1:1:1$	60mm
조건 A3	장치 B	0.5(DC)	30	15	300°C	0.4	$\text{In:Ga:Zn}=1:1:1$	60mm
조건 B1	장치 A	0.5(DC)	30	15	200°C	0.7	$\text{In:Ga:Zn}=2:1:3$	60mm
조건 B2		0.5(DC)	30	15	300°C	0.7	$\text{In:Ga:Zn}=2:1:3$	60mm
조건 E1	장치 C	0.2(DC)	20	10	200°C	0.4	$\text{In:Ga:Zn}=4:2:4.1$	130mm
조건 E2		0.2(DC)	20	10	300°C	0.4	$\text{In:Ga:Zn}=4:2:4.1$	130mm
조건 E3	장치 A	0.5(DC)	30	15	200°C	0.7	$\text{In:Ga:Zn}=4:2:4.1$	60mm
조건 E4		0.5(DC)	30	15	300°C	0.7	$\text{In:Ga:Zn}=4:2:4.1$	60mm
조건 F1	장치 A	0.5(DC)	40	5	200°C	0.7	$\text{In:Ga:Zn}=1:3:4$	60mm
조건 F2	장치 B	0.5(DC)	40	5	200°C	0.4	$\text{In:Ga:Zn}=1:3:4$	60mm
조건 F3	장치 C	0.2(DC)	27	3	200°C	0.4	$\text{In:Ga:Zn}=1:3:4$	130mm
조건 F4	장치 B	0.5(DC)	30	15	200°C	0.4	$\text{In:Ga:Zn}=1:3:2$	60mm

[0732]

[0733] [XRD 평가 2]

표 17의 조건 E2 내지 조건 E4를 사용하여 산화물 반도체막을 형성하고, XRD 장치를 사용하여 평가를 행한 결과에 관해서 설명한다.

우선, 평가용 시료를 제작하였다. 실리콘 웨이퍼 위에, 스퍼터링법을 사용하여 산화물 반도체막을 성막하였다. 성막 조건으로서, 표 17의 조건 E2 내지 조건 E4를 사용하였다. 성막후, 각 시료에 대해 열 처리를 행하였다. 열 처리 조건은, 450°C에서, 질소 분위기하에 있어서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에 있어서 가열 처리를 1시간 행하였다. 조건 E2, 조건 E3 및 조건 E4를 사용하여 제작한 시료를 각각 시료 E2-1, 조건 E3-1 및 조건 E4-1로 한다. 또한, 시료 E2-1은 실시예 1에 나타낸 시료 E1-1의 성막 온도를 200°C에서부터 300°C로 변경한 성막 조건을 사용한 시료이다.

XRD 장치를 사용하여 평가를 행한 결과를 나타낸다. 측정에 사용한 장치는 실시예 1에 나타내는 장치와 동일하다. 도 68의 (A)는, 시료 E2-1의, 도 68의 (B)는 시료 E3-1의, 도 68의 (C)는 시료 E4-1의, Out-Of-Plane법에 의한 해석 결과이다. 어느 시료에서도 $2\theta=31^\circ$ 근방에 피크가 나타났다. 이 피크는, InGaZnO_4 의 결정의 (00 9)면에 귀속되기 때문에, 어느 시료도 산화물 반도체막의 결정이 c축 배향성을 가지며, c축이 피형성면 또는 상면에 개략 수직인 방향을 향하고 있는 것이 시사되었다. 여기서, 각 시료의 $2\theta=31^\circ$ 근방의 피크의 극대값이 되는 각도, 및 반값폭을 표 18에 기재한다. 백그라운드를 뺀 후, 로렌츠 함수에 의해 피팅을 행하여, 피크의 극대값이 되는 각도, 및 반값폭을 산출하였다. 백그라운드는, 선형함수와 로렌츠 함수의 합으로서 산출하였다. 반값폭은, 시료 E4-1에서는 3.21° 인 것에 대해서 시료 E3-1에서는 3.67° 이었다. 또한, 시료 E2-1에서는 3.10° 인 것에 대해서 실시예 1에 기재된 시료 E1-1에서는 3.47° 이었다. 따라서, 성막 온도가 높은 편이 샤프한 피크가 얻어지고 반값폭도 작은 것을 알 수 있었다.

표 18

	$2\theta [^\circ]$	반값폭 [°]
시료 E2-1	30.3	3.10
시료 E3-1	30.9	3.67
시료 E4-1	30.5	3.21

[0737]

[ICP-MS에 의한 평가 결과(2)]

상기한 시료 E2-1, 시료 E3-1 및 시료 E4-1과, 실시예 1에 기재된 시료 E1-1에 대해서, 유도 결합 플라즈마 질량 분석법에 의해 인듐, 갈륨 및 아연의 함유율을 평가하였다. 얻어진 결과로부터, 각 원소의 원자수비를 산출한 결과를 표 19에 기재한다.

표 19

	원자수비		
	In	Ga	Zn
시료 E1-1	4.00	1.93	2.74
시료 E2-1	4.00	1.92	2.60
시료 E3-1	4.00	1.93	2.94
시료 E4-1	4.00	1.97	2.90

[0740]

표 19로부터, 시료 E1-1의 아연의 잔류율 $A(=\text{Zn(Film)} \div \text{Zn(Target)} \times 100 [\%])$ 은 78%, 시료 E2-1의 아연의 잔류율은 75%, 시료 E3-1의 아연의 잔류율은 약 82%, 시료 E4-1의 아연의 잔류율 A는 약 81%이었다.

[CAAC 비율 평가(2)]

다음에, 표 17의 조건 E1, 조건 E3 및 조건 E4를 사용하여 CAAC 비율의 평가를 행하였다.

우선 평가용 시료를 제작하였다. 실리콘 웨이퍼 위에 절연막으로서, 열산화를 사용하여 산화 실리콘막을 100nm

형성하였다. 그 후 스퍼터링법에 의해 산화 실리콘막을 300nm 성막하였다. 산화 실리콘의 성막 조건은, 산화 실리콘의 타깃을 사용하여 산소 유량을 50sccm, 압력 0.4Pa, RF 전원을 사용하여 1.5kW로 하고, 기판 온도를 100°C로 하였다. 타깃과 기판의 거리는 60mm로 하였다. 그 후, CMP를 사용하여 연마를 행하여, 표면을 평탄화 하였다.

[0745] 다음에, 산화물 반도체막을 20nm 형성하였다. 다음에 열 처리를 행하였다. 열 처리 조건은, 질소 분위기에서 450°C 1시간 처리를 행한 후, 산소 분위기로 450°C 1시간 처리를 행하였다. 표 17에 기재된 조건 E1, 조건 E3 및 조건 E4의 각 조건을 사용하여 산화물 반도체막을 성막한 시료를 각각 시료 E1-2, 시료 E3-2 및 시료 E4-2로 한다.

[0746] 다음에, 얻어진 각 시료의 박편화를 행하여, CAAC 비율의 평가를 행하였다. 평가에 사용한 장치, 및 평가 수법에 관해서는 실시예 1에 기재된 CAAC 비율의 평가에 사용한 장치, 및 CAAC 비율의 평가 수법을 사용했기 때문에, 여기서는 상세한 것은 생략한다.

[0747] 얻어진 동영상을 0.5초마다 정지 화면으로 변환하였다. 변환한 정지 화면으로부터 얻어진 회절 패턴을 해석하여, CAAC-OS막의 패턴과, CAAC-OS막의 패턴인지 또는 nc-OS막의 패턴인지의 판별이 어려운 패턴과, nc-OS막의 패턴과, 스피넬형의 결정 구조의 패턴의 4개로 분류하였다. 결과를 표 20에 기재한다. 또한, 표 20에 기재하는 CAAC 비율은, CAAC-OS막의 패턴인지 또는 nc-OS막의 패턴인지의 판별이 어려운 것에 관해서는 CAAC가 아닌 것으로 가정한 경우의 비율이다.

표 20

		화상 수				CAAC 비율 (②는 CAAC가 아닌 것을 가정)	
		해석을 행한 수	① CAAC	② CAAC 또는 nc?	③ nc		
시료 E1-2	스캔 1	135	120	9	6	0	88.9%
	스캔 2	133	122	3	8	0	91.7%
	스캔 3	224	200	13	11	0	89.3%
시료 E3-2	스캔 1	133	120	7	6	0	90.2%
	스캔 2	133	106	19	8	0	79.7%
	스캔 3	236	187	27	22	0	79.2%
시료 E4-2	스캔 1	133	127	4	2	0	95.5%
	스캔 2	129	121	2	6	0	93.8%
	스캔 3	223	207	5	11	0	92.8%

[0748]

[0749] 다음에, CAAC-OS막의 패턴인지 또는 nc-OS막의 패턴인지, 그 판별이 어려운 것에 관해서, 취득한 동영상에서 해당하는 시간의 전후의 영상을 확인하고, CAAC-OS막의 패턴이 관측되는 것과, nc-OS막의 패턴이 관측되는 것으로 분류하고, CAAC 비율을 도출하였다. 결과를 표 21에 기재한다. 표 20 및 표 21에는, CAAC 비율을 산출하는데 사용한 회절 패턴의 화상수, 관찰된 각종 패턴의 화상수 및 산출한 CAAC 비율을 각각의 스캔별로 기재하였다.

표 21

		화상 수			CAAC 비율	
		해석을 행한 수	CAAC	nc	스피넬형	
시료 E1-2	스캔 1	135	129	6	0	95.6%
	스캔 2	133	125	8	0	94.0%
	스캔 3	224	213	11	0	95.1%
시료 E3-2	스캔 1	133	127	6	0	95.5%
	스캔 2	133	125	8	0	94.0%
	스캔 3	236	214	22	0	90.7%
시료 E4-2	스캔 1	133	131	2	0	98.5%
	스캔 2	129	123	6	0	95.3%
	스캔 3	223	212	11	0	95.1%

[0750]

[0751] 성막 온도가 200°C인 시료 E3-2에서는 CAAC 비율은 90% 이상이며, 스캔 1 내지 스캔 3의 CAAC 비율의 평균은 93.4%이었다. 또한 성막 온도가 300°C인 시료 E4-2에서는 CAAC 비율은 95% 이상이며, 스캔 1 내지 스캔 3의 CAAC 비율의 평균은 96.3%이었다. 어느 시료에 있어서도, 관측된 회절 패턴은 CAAC-OS막의 패턴이거나 nc-OS막의 패턴 중 어느 하나이고, 스피넬형의 구조의 회절 패턴은 관측되지 않았다.

실시예 4

[0752] [CPM 평가]

[0753] 다음에, 일정 광 전류법(CPM: Constant Photo-current Method)을 사용하여 산화물 반도체막의 평가를 행하였다.

[0754] 우선 시료를 제작하였다. 기판으로서 석영판을 사용하고, 산화물 반도체막으로서 석영 기판 위에 In-Ga-Zn 산화물막을 100nm 형성하였다. In-Ga-Zn 산화물막은, 타깃에 In-Ga-Zn 산화물의 다결정을 사용하여 스퍼터링법에 의해 형성하였다. 성막 조건으로서, 표 17의 A1 및 E3에 기재된 조건을 사용하였다. 여기서 A1은 원자수비가 In:Ga:Zn=1:1:1인 In-Ga-Zn 산화물의 다결정을 사용한 조건이고, E3은 원자수비가 In:Ga:Zn=4:2:4.1인 In-Ga-Zn 산화물의 다결정을 사용한 조건이다. 성막후, 열 처리를 행하였다. 열 처리 조건은, 450°C에서, 질소 분위기 하에 있어서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에 있어서 가열 처리를 1시간 행하였다. A1의 조건을 사용하여 제작한 시료를 A1-3, E3의 조건을 사용하여 제작한 시료를 E3-3으로 한다.

[0755] CPM 측정은, 산화물 반도체막에 접하여 설치된 제 1 전극 및 제 2 전극 간에 전압을 인가한 상태에서 광전류값이 일정해지도록 단자 간의 시료면에 조사하는 광량을 조정하고, 조사 광량으로부터 흡수 계수를 도출한다. 여기서는, 흡수 계수의 도출을 각 광장에서 행하였다. CPM 측정에서는, 상태 밀도(Density of State, 이하 DOS라고 기재한다)에 따른 에너지(광장으로부터 환산)에 있어서의 흡수 계수가 증가한다. 이 흡수 계수의 증가분에 상수를 곱함으로써, 시료의 DOS를 도출할 수 있다.

[0756] 또한, 광 흡수 스펙트럼의 커브로부터 밴드 테일에 기인하는 광 흡수(우르바흐 테일(urbach tail))를 제외함으로써, 결함 준위에 의한 흡수 계수(α)를 이하의 식으로부터 산출할 수 있다.

수학식 10

$$\alpha = \int \frac{\alpha(E) - \alpha_u}{E} dE$$

[0757]

[0758] 여기서, $\alpha(E)$ 는, 각 에너지에 있어서의 흡수 계수를 나타내고, α_u 는, 우르바흐 테일에 의한 흡수 계수를 나타낸다.

[0759] 또한, 우르바흐 테일의 기울기를 우르바흐 에너지라고 한다. 우르바흐 에너지가 작을수록, 결함이 적고, 가전자대의 밴드단에 있어서의 준위의 테일(아래쪽 부분)의 기울기가 예리한, 질서성이 높은 반도체층이라고 할 수 있다.

[0760] 도 71에, 분광 광도계에 의해 측정한 흡수 계수(점선)와, CPM에 의해 측정한 흡수 계수(실선)를 산화물 반도체막의 에너지캡 이상의 에너지 범위에 있어서, 피팅한 결과를 도시한다. 도 71의 (A)는 시료 A1-3의 결과를, 도 71의 (B)는 시료 E3-3의 결과를 각각 도시한다. CPM에 의해 측정한 흡수 계수로부터 얻어진 우르바흐 에너지는 시료 A1-3이 70.2meV, 시료 E3-3이 68.6meV이었다.

[0761] 또한, 도 71에 있어서 CPM에 의해 측정한 흡수 계수로부터 백그라운드(가는 점선)를 빼고, 흡수 계수의 적분값을 도출하면, DOS에 의한 흡수 계수는, 시료 A2-3이 $1.1 \times 10^{-3} \text{ cm}^{-1}$, 시료 E3-3이 $1.6 \times 10^{-3} \text{ cm}^{-1}$ 인 것을 알 수 있었다. 어느 시료에 있어서도, 결함 준위에 의한 흡수 계수는 작은 것을 알 수 있었다.

[0762] 얻어진 흡수 계수로부터, 어느 시료에 있어서도 결함이 적은 막인 것이 시사되었다. 또한, 우르바흐 에너지의 결과로부터, 원자수비가 In:Ga:Zn=4:2:4.1인 In-Ga-Zn 산화물의 다결정을 사용한 산화물 반도체막 쪽이, 보다 결함이 적을 가능성이 있다.

실시예 5

[0763] 본 실시예에서는, 트랜지스터 특성의 평가 결과에 관해서 설명한다.

[0764] [트랜지스터의 제작(2)]

[0765] 트랜지스터 특성의 평가에는, 도 6의 (A)에 도시하는 예와 같이, 도전층(104a) 및 도전층(104b)이 반도체층(101a) 및 반도체층(101b)의 측면을 피복하지 않는 단면 구조를 갖는 트랜지스터를 사용하였다. 단, 사용한 트랜지스터는 도전층(105)을 갖지 않는 구조로 하였다. 트랜지스터를 갖는 기판으로서, 시료 T1, 시료 T2 및 시료 T3을 제작하였다. 반도체층(101a), 반도체층(101b) 및 반도체층(101c)은 스퍼터링법을 사용하여 성막하였다. 시료 T1은 반도체층(101a), 반도체층(101b) 및 반도체층(101c)으로서 조건 F2, 조건 A3 및 조건 F2를 사용하였다. 시료 T2는 반도체층(101a), 반도체층(101b) 및 반도체층(101c)으로서 조건 F1, 조건 B1 및 조건 F2를 사용하였다. 시료 T3은 반도체층(101a), 반도체층(101b) 및 반도체층(101c)으로서 조건 F1, 조건 E3 및 조건 F2를 사용하였다.

[0766] 이하에, 트랜지스터의 구체적인 제작 방법에 관해서 서술한다. 또한, 본 실시예에서는, 시료 T1 내지 시료 T3의 시료 간에 조건 변경을 행하고 있는 경우에만, 그 취지를 기재한다. 따라서, 조건 변경의 기재가 없는 경우에는, 시료 T1 내지 시료 T3은, 동일한 조건으로 처리를 행한 것을 나타낸다.

[0767] 기판(50)으로서 p형, CZ 결정, 면방위(100)의 실리콘 웨이퍼를 준비하였다. 다음에 기판의 세정을 행한 후, 절연막(51)을 형성하였다. 절연막(51)은, 산화 실리콘막과 산화 질화 실리콘막의 적층막으로 하였다. 산화 실리콘막은, 950°C에서 열산화를 행하여, 100nm 형성하였다. 그 후, 산화 질화 실리콘막은, PECVD 장치를 사용하여 300nm 성막하였다. 성막 조건은, 기판 온도 400°C로 하고, 가스 유량을 실란 2sccm 및 아산화질소 800sccm으로 하고, 압력을 40Pa로 하고, 성막 전력(RF)을 50W(27MHz)로 하고, 전극간 거리를 15mm로 하였다. 절연막(51)의 성막후, CMP법을 사용하여 평탄화 처리를 행하였다. 그 후, 감압 분위기에서 450°C 1시간의 열 처리를 행하였다.

[0768] 다음에, 이온 주입법을 사용하여 산소 이온($^{16}\text{O}^+$)의 주입을 행하였다. 주입 조건은, 가속 전압을 60kV, 도즈량을 2.0×10^{16} ions/cm², 텔트각을 7°, 트위스트각을 72°로 하였다.

[0769] 다음에, 절연막(51) 위에, 반도체층(101a)이 되는 제 1 반도체막을 형성하였다. 제 1 반도체막으로서, 원자수비가 In:Ga:Zn=1:3:4인 In-Ga-Zn 산화물의 다결정을 타깃에 사용하고, 스퍼터링법에 의해 막 두께 20nm의 In-Ga-Zn 산화물막을 형성하였다. 시료 T1의 제 1 반도체막의 성막 조건의 상세는 표 17의 F2에 기재한다. 시료 T2 및 시료 T3의 제 1 반도체막의 조건의 상세는 표 17의 F1에 기재한다.

[0770] 그 후, 계속해서 반도체층(101b)이 되는 제 2 반도체막을 형성하였다. 제 2 반도체막으로서, In-Ga-Zn 산화물막을 20nm 형성하였다. 제 1 반도체막과 제 2 반도체막의 성막은 상이한 챔버실을 사용하여 행하고, 챔버실 간의 반송은 대기 분위기에 노출시키지 않고 진공 분위기 내에서 행하였다. 시료 T1은, 원자수비 In:Ga:Zn=1:1:1의 In-Ga-Zn 산화물의 다결정을 타깃에 사용하고, 성막 조건의 상세는 표 17의 A3에 기재한다. 시료 T2는, 원자수비 In:Ga:Zn=2:1:3의 In-Ga-Zn산화물을 타깃에 사용하였다. 성막 조건의 상세는 표 17의 B1에 기재한다. 시료 T3은, 원자수비 In:Ga:Zn=4:2:4.1의 In-Ga-Zn 산화물의 다결정을 타깃에 사용하였다. 성막 조건의 상세는 표 17의 E3에 기재한다.

[0771] 이어서, 450°C에서, 질소 분위기 하에서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에서 가열 처리를 1시간 행하였다.

[0772] 다음에, 스퍼터링법을 사용하여 텅스텐막을 150nm 성막하였다. 성막 조건은, 텅스텐을 타깃에 사용하고, 아르곤 유량을 80sccm과, 압력을 0.8Pa, 전원 전력(DC)을 1kW, 기판과 타깃 간의 거리를 60mm로 하였다. 기판 온도는 약 130°C로 하였다. 또한, 기판 이면에도 추가로 아르곤을 10sccm 공급하였다.

[0773] 다음에, 텅스텐막 위에 레지스트 마스크를 형성하고, 상기 마스크를 사용하여 텅스텐막의 일부를 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma) 에칭법에 의해 에칭하고, 도전층(104a) 및 도전층(104b)을 형성하였다. 텅스텐막의 에칭은, 구체적으로는 이하와 같이 행하였다. 우선 에칭 조건을, 기판 온도를 40°C, 에칭 가스를 염소와 4불화탄소와 산소의 혼합 가스(Cl₂=45sccm, CF₄=55sccm, O₂=55sccm), 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa, 처리 시간을 13초로 하여, 제 1 에칭을 행하였다. 이어서 에칭 조건을, 기판 온도를 40°C, 에칭 가스를 염소(Cl₂=100sccm), 전원 전력 2000W, 바이어스 전력 0W, 압력 3.00Pa, 처리 시간을 15초로 하여, 제 2 에칭을 행하였다. 이어서 에칭 조건을, 기판 온도를 40°C, 에칭 가스를 염소와 4불화탄소와 산소의 혼합 가스(Cl₂=45sccm, CF₄=55sccm, O₂=55sccm), 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa로 하여,

제 3 에칭을 행하였다.

[0774] 다음에, 제 1 반도체막 및 제 2 반도체막의 형상을 에칭에 의해 가공함으로써, 삼 형상의 제 1 반도체층(101a)과 제 2 반도체층(101b)을 형성하였다. 또한, 상기 에칭에는, ICP 에칭법을 사용하였다. 에칭 조건은, 기판 온도를 70°C로 하고, 에칭 가스를 3염화붕소(BCl_3 =80sccm)로 하고, 전원 전력 450W, 바이어스 전력 100W, 압력 1.0Pa로 하였다.

[0775] 이어서, 도전층(104a) 및 도전층(104b) 위에, 반도체층(101c)이 되는 제 3 반도체막을 형성하였다. 제 3 반도체막으로서, 원자수비가 $In:Ga:Zn=1:3:4$ 인 In-Ga-Zn 산화물의 다결정을 타깃에 사용하고, 스퍼터링법에 의해 막 두께 5nm의 In-Ga-Zn 산화물막을 형성하였다. 성막 조건의 상세는 표 17의 F2에 기재한다.

[0776] 이어서, 게이트 절연막(102)으로서 산화 질화 실리콘막을, PECVD법을 사용하여 20nm 성막하였다. 게이트 절연막(102)의 성막 조건은, 실시예 2의 게이트 절연막(102)과 동일한 조건을 사용하였다. 계속해서, 게이트 전극(103)이 되는 도전막을 형성하였다. 게이트 전극(103)이 되는 도전막의 성막 조건은, 실시예 3의 게이트 전극(103)이 되는 도전막과 동일한 성막 조건을 사용하였다.

[0777] 이어서, 게이트 전극(103)이 되는 도전막의 형상을 에칭에 의해 가공함으로써, 게이트 전극(103)을 형성하였다. 게이트 전극(103)의 가공은, 실시예 2의 게이트 전극과 동일한 가공 조건을 사용하였다.

[0778] 이어서, 레지스트 마스크를 사용하여 게이트 절연막(102)과, 제 3 반도체막의 형상을 에칭에 의해 가공하였다. 또한, 상기 에칭은, 실시예 2에 기재된 가공 조건과 동일한 조건을 사용하였다.

[0779] 이어서, 트랜지스터를 회복하도록, 절연막(112)으로서, 막 두께 140nm의 산화 알루미늄막을 형성하였다. 산화 알루미늄막은 스퍼터링법을 사용하여 형성하였다. 산화 알루미늄막의 성막 조건은, 실시예 2의 절연막(112)과 동일한 성막 조건을 사용하였다.

[0780] 이어서, 절연막(113)으로서, 막 두께 150nm의 산화 질화 실리콘막을 형성하였다. 산화 질화 실리콘막은 PECVD 법을 사용하여 형성하였다. 성막 조건은, 실시예 2의 절연막(113)과 동일한 성막 조건을 사용하였다.

[0781] 이어서, 도전층(104a) 및 도전층(104b)에 도달하는 개구부를, 에칭에 의해 형성하였다. 상기 에칭은, ICP 에칭법을 사용하였다. 에칭 조건은 기판 온도를 70°C로 하고, 에칭 가스를 3염화붕소(BCl_3 =80sccm)로 하고, 전원 전력 450W, 바이어스 전력 100W, 압력 1.9Pa로 하였다.

[0782] 이어서, 개구부 내 및 절연막(113) 위에, 막 두께 50nm의 티타늄막과, 막 두께 300nm의 알루미늄막과, 막 두께 50nm의 티타늄막을 순차적으로 적층시킨 도전막을, 스퍼터링법을 사용하여 형성하였다. 이어서, 개구부 내 및 절연막(113) 위의 도전막의 형상을 에칭에 의해 가공하여, 배선을 형성하였다. 상기 에칭에는, ICP 에칭법을 사용하였다.

[0783] 이어서, 막 두께 $1.6\mu m$ 의 폴리이미드막을, 도포법을 사용하여 형성한 후, 대기 분위기 하에 있어서, 300°C에서 1시간 정도, 가열 처리를 행하였다.

[0784] 이상의 공정에 의해, 시료 T1 내지 시료 T3 위에 트랜지스터를 제작하였다.

[트랜지스터 특성의 평가(2)]

[0785] 다음에, 트랜지스터의 초기 특성으로서 트랜지스터의 Vg - Id 특성을 평가하였다. 도 69에 트랜지스터 특성을 도시한다. 시료 T1 내지 시료 T3에 관해서 각각, 채널 길이(L)가 $0.84\mu m$, 채널 폭(W)이 0.8인 n 채널형 트랜지스터를 면내에서 13개, 평가하였다. 도 69의 (A)는 시료 T1의, 도 69의 (B)는 시료 T2의, 도 69의 (C)는 시료 T3의, 트랜지스터의 Vg - Id 측정을 도시한다. 여기서 Vg 는 소스-게이트 간의 전압, Id 는 소스-드레인 간의 전류를 나타낸다. 또한, 가로축에는 게이트 전압(Vg)을, 왼쪽의 세로축에는 드레인 전압(Vd)을, 오른쪽의 세로축에는 전계 효과 이동도(μ_{FB})를 나타낸다. 드레인 전압(Vd)이 0.1V와, 3V인 두 조건으로 측정하였다. 여기서, 전계 효과 이동도는, $Vd=0.1V$ 로 산출한 전계 효과 이동도를 나타내고 있다.

[0786] 도 69의 결과로부터, 어느 시료에 있어서도 양호한 트랜지스터가 얻어졌다. 또한 시료 T1과 비교하여, 시료 T2의 트랜지스터 쪽이 임계값 전압이 작고, 높은 전계 효과 이동도를 갖는 우수한 특성이 얻어지고, 시료 T3의 트랜지스터에서는 더욱 S값이 작고, 더욱 높은 전계 효과 이동도를 갖는 우수한 특성이 얻어졌다.

실 시 예 6

- [0788] 본 실시예에서는, 채널 길이가 약 60nm인 트랜지스터 특성의 평가 결과에 관해서 설명한다.
- [0789] [트랜지스터의 제작(3)]
- [0790] 트랜지스터 특성의 평가에는, 도 64에 도시하는 단면 구조를 갖는 트랜지스터를 사용하였다. 단, 사용한 트랜지스터는 도전층(105)을 갖지 않는 구조로 하였다. 트랜지스터를 갖는 기판으로서, 시료 T4를 제작하였다. 반도체층(101a), 반도체층(101b) 및 반도체층(101c)은 스퍼터링법을 사용하여 성막하였다. 반도체층(101a), 반도체층(101b) 및 반도체층(101c)으로서 조건 F3, 조건 E1 및 조건 F4를 사용하였다.
- [0791] 기판(50)으로서 실리콘 웨이퍼를 준비하였다. 기판(50)의 세정을 행한 후, 절연막(51)을 형성하였다. 절연막(51)은, 산화 실리콘막과 산화 절화 실리콘막의 적층막으로 하였다. 절연막(51)의 형성 조건은, 실시예 5의 절연막(51)과 동일한 조건을 사용하였다. 절연막(51)의 성막 후, CMP법을 사용하여 평탄화 처리를 행하였다. 그 후, 감압 분위기에서 450°C 1시간의 열 처리를 행하였다.
- [0792] 다음에, 이온 주입법을 사용하여 산소 이온($^{16}\text{O}^+$)의 주입을 행하였다. 주입 조건은, 가속 전압을 60kV, 도즈량을 $2.0 \times 10^{16} \text{ ions/cm}^2$, 틸트각을 7°, 트위스트각을 72°로 하였다.
- [0793] 다음에, 절연막(51) 위에, 반도체층(101a)이 되는 제 1 반도체막을 형성하였다. 제 1 반도체막으로서, 원자수비가 In:Ga:Zn=1:3:4인 In-Ga-Zn 산화물을 타깃에 사용한 스퍼터링법에 의해, 막 두께 20nm의 In-Ga-Zn 산화물막을 형성하였다. 성막 조건의 상세는, 표 17의 조건 F3에 기재한다.
- [0794] 계속해서, 반도체층(101b)이 되는 제 2 반도체막을 형성하였다. 제 1 반도체막과 제 2 반도체막의 성막은 상이한 캠버실을 사용하여 행하고, 캠버실 간의 반송은 대기 분위기에 노출시키지 않고 진공 분위기 내에서 행하였다. 제 2 반도체막으로서, In-Ga-Zn 산화물막을 15nm 형성하였다. 제 2 반도체막의 성막 조건에 관해서는, 원자수비 In:Ga:Zn=4:2:4.1의 In-Ga-Zn 산화물을 타깃에 사용하였다. 성막 조건의 상세는, 표 17의 조건 E1에 기재한다.
- [0795] 이어서, 450°C에서, 질소 분위기 하에서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에서 가열 처리를 1시간 행하였다.
- [0796] 다음에, 반도체층(101b) 위에 하드 마스크로서 텅스텐막을 20nm 성막하였다. 텅스텐의 성막에는 스퍼터링법을 사용하였다. 성막 조건은 텅스텐을 타깃에 사용하고, 아르곤 유량을 80sccm, 압력을 0.8Pa, 전원 전력(DC)을 1kW, 기판과 타깃 간의 거리를 60mm로 하였다. 기판 온도는 약 130°C로 하였다. 또한, 기판 이면에도 추가로 아르곤을 10sccm 공급하였다.
- [0797] 다음에, 하드 마스크인 텅스텐막 위에 유기 도포막으로서 SWK-T7(도쿄오카고교제)을 형성하는 공정을 설명한다. 우선 200°C에서 120초 가열하여 수분을 제거하였다. 그 후, 캠버 내의 핫 플레이트에 기판을 설치하였다. 핫 플레이트의 온도는 110°C로 하였다. 다음에, 캠버 내에 1,1,1,3,3-헥사메틸디실라잔(HMDS: hexamethyldisilazane)을 함유한 질소 가스를 60초 도입하여, 처리를 행하였다. 다음에, 유기 도포막을 20nm 도포하였다. 그 후, 200°C에서 200초 가열하여 용매와 수분을 제거하였다.
- [0798] 다음에, 유기 도포막 위에 레지스트를 형성하는 공정을 설명한다. 우선 200°C에서 120초 가열하여 수분을 제거하였다. 그 후, 캠버 내의 핫 플레이트에 기판을 설치하였다. 핫 플레이트의 온도는 110°C로 하였다. 다음에, 캠버 내에 1,1,1,3,3-헥사메틸디실라잔(HMDS: hexamethyldisilazane)을 함유한 질소 가스를 60초 도입하여, 처리를 행하였다. 다음에, 레지스트로서 네가티브 레지스트 OEBR-CAN034A2(도쿄오카고교제)를 100nm 성막하였다. 그 후, 100°C에서 85초 가열하여 용매와 수분을 제거하였다.
- [0799] 다음에, 노광 및 현상을 행하여, 레지스트 마스크를 형성하였다. 전자빔 노광기로 다중 노광을 사용하여, 노광량을 80 내지 160 $\mu\text{C/cm}^2$ 로 하여 노광하였다(바람직하게는 130 내지 155 $\mu\text{C/cm}^2$). 노광 후에는 PEB(Post Exposure Bake)을 100°C 100초로 처리하였다. 현상 조건은, NMD-3(TMAH(Tetramethylammonium hydroxide) 2.38%)(도쿄오카고교제)을 현상액으로 하고, 현상 시간을 60초로 하여 처리하고, 레지스트 마스크를 형성하였다.
- [0800] 다음에, 레지스트 마스크를 마스크로, 유기 도포막 및 하드 마스크를 에칭하였다. 에칭 조건은, 기판 온도를 -10°C로 하고, 우선 에칭 가스($\text{CF}_4=100\text{sccm}$)를 사용하고, 바이어스 전력을 50W로 하고, ICP 전원 전력을 2000W로 하고, 압력을 0.67Pa로 한 후, 에칭 가스($\text{CF}_4:\text{O}_2=60\text{sccm}:40\text{sccm}$)를 사용하고, 바이어스 전력을 25W로 하고,

ICP 전원 전력을 1000W로 하고, 압력을 2.0Pa로 하였다.

[0801] 다음에, 산소 플라즈마에 의한 애싱으로 레지스트 마스크 및 유기 도포막을 제거하였다. 애싱 조건은, 100sccm의 산소를 사용하고, 전원 전력 200W로 하고, 압력을 500mTorr에서 120초로 하였다.

[0802] 다음에, 하드 마스크를 마스크로 반도체층(101b) 및 반도체층(101a)을 에칭하였다. 에칭 조건은, 에칭 가스($\text{CH}_4:\text{Ar}=16\text{sccm}:32\text{sccm}$)를 사용하고, 바이어스 전력을 50W로 하고, ICP 전원 전력을 600W로 하고, 압력을 3.0Pa로 한 후, 에칭 가스($\text{CH}_4:\text{Ar}=16\text{sccm}:32\text{sccm}$)를 사용하고, 바이어스 전력을 50W로 하고, ICP 전원 전력을 600W로 하고, 압력을 1.0Pa로 하였다.

[0803] 다음에, 하드 마스크인 텅스텐막을 가공하고, 도전층(104a) 및 도전층(104b)을 형성하였다. 우선, 유기 도포막 및 레지스트막을 상기한 방법과 같이 형성하였다. 다음에, 전자빔 노광기를 사용하여 노광을 행한 후, 현상을 행하여, 레지스트 마스크를 형성하였다. 그 후, 레지스트 마스크를 사용하여 유기 도포막 및 텅스텐막의 에칭을 행하였다. 그 후, 산소 플라즈마에 의한 애싱으로 레지스트 마스크 및 유기 도포막을 제거하고, 도전층(104a) 및 도전층(104b)을 형성하였다.

[0804] 이어서, 도전층(104a) 및 도전층(104b) 위에, 반도체층(101c)이 되는 제 3 반도체막을 형성하였다. 제 3 반도체막으로서, 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 인 In-Ga-Zn 산화물의 다결정을 타깃을 사용한 스퍼터링법에 의해, 막 두께 5nm의 In-Ga-Zn 산화물막을 형성하였다. 성막 조건의 상세는 표 17의 조건 F4에 기재한다.

[0805] 이어서, 게이트 절연막(102)으로서 산화 질화 실리콘막을, PECVD법을 사용하여 10nm 성막하였다. 게이트 절연막(102)의 성막 조건은, 실시예 5에 나타낸 게이트 절연막(102)과 동일한 조건을 사용하였다. 다음에, 게이트 전극(103)이 되는 도전막으로서, 질화 티타늄막을 10nm 형성한 후에 텅스텐막을 30nm 형성하였다. 질화 티타늄막의 성막 조건은, 질소의 유량을 50sccm, 압력 0.2Pa, 전원 전력(DC) 12kW, 기판 온도 실온, 기판과 타깃 간의 거리를 400mm로 하였다. 텅스텐막의 성막 조건은, 아르곤의 유량을 100sccm, 압력 2.0Pa, 전원 전력(DC) 1.0kW, 기판 온도를 약 130°C, 기판과 타깃 간의 거리를 60mm로 하였다. 또한, 기판 이면에 아르곤을 추가로 10sccm 공급하였다.

[0806] 다음에, 유기 도포막 및 레지스트막을 성막하고, 전자빔 노광기를 사용하여 레지스트 마스크를 형성후, 에칭을 사용하여 유기 도포막 및 게이트 전극(103)이 되는 도전막을 가공하였다. 그 후, 산소 플라즈마에 의한 애싱으로 레지스트 마스크 및 유기 도포막을 제거하고, 게이트 전극(103)을 형성하였다.

[0807] 다음에, 포토리소그래피를 사용하여 레지스트 마스크를 형성하고, 에칭을 사용하여 게이트 절연막(102) 및 반도체층(101c)의 가공을 행하였다. 에칭 조건은, 에칭 가스($\text{CH}_3=56\text{sccm}$, $\text{He}=144\text{sccm}$)를 사용하고, 바이어스 전력을 425W로 하고, ICP 전원 전력을 25W로 하고, 압력을 7.5Pa로 하여, 제 1 에칭을 행한 후, 에칭 가스($\text{CH}_4:\text{Ar}=16\text{sccm}:32\text{sccm}$)를 사용하고, 바이어스 전력을 50W로 하고, ICP 전원 전력을 600W로 하여, 제 2 에칭을 행한 후, 압력을 3.0Pa로 하고, 그 후 에칭 가스($\text{CH}_4:\text{Ar}=16\text{sccm}:32\text{sccm}$)를 사용하고, 바이어스 전력을 50W로 하고, ICP 전원 전력을 600W로 하고, 압력을 3.0Pa로 하여, 제 3 에칭을 행하였다.

[0808] 다음에, 절연막(112)으로서, 막 두께 40nm의 산화 알루미늄막을 형성하였다. 산화 알루미늄막은 스퍼터링법을 사용하여 형성하였다. 산화 알루미늄막의 성막 조건은, 실시예 2의 절연막(112)과 동일한 조건을 사용하였다.

[0809] 다음에, 절연막(113)으로서, 막 두께 150nm의 산화 질화 실리콘막을 형성하였다. 산화 질화 실리콘막은 PECVD 법을 사용하여 형성하였다. 산화 질화 실리콘막의 성막 조건은, 실시예 2의 절연막(113)과 동일한 조건을 사용하였다.

[0810] 이어서, i선 스텝퍼 노광기를 사용하여 레지스트 마스크를 형성하고, 도전층(104a) 및 도전층(104b)에 도달하는 개구부를, 절연막(112) 및 절연막(113)을 에칭함으로써 형성하였다. 상기 에칭은, ICP 에칭법을 사용하였다.

[0811] 에칭 조건은, 이하와 같이 하였다. 기판 온도를 70°C로 하고, 에칭 가스를 트리플루오로메탄과 헬륨의 혼합 가스($\text{CHF}_3=50\text{sccm}$, $\text{He}=100\text{sccm}$)로 하고, 전원 전력 475W, 바이어스 전력 300W, 압력 5.5Pa로 하여, 제 1 에칭을 행하였다. 이어서, 에칭 조건을, 기판 온도를 70°C로 하고, 에칭 가스를 트리플루오로메탄과 헬륨의 혼합 가스($\text{CHF}_3=7.5\text{sccm}$, $\text{He}=142.5\text{sccm}$)로 하고, 전원 전력 475W, 바이어스 전력 300W, 압력 5.5Pa로 하여, 제 2 에칭을

행하였다.

[0812] 이어서, 개구부 내 및 절연막(113) 위에, 막 두께 50nm의 티타늄막과, 막 두께 200nm의 알루미늄막과, 막 두께 50nm의 티타늄막을 순차적으로 적층시킨 도전막을, 스퍼터링법을 사용하여 형성하였다. 이어서, 개구부 내 및 절연막(113) 위의 도전막의 형상을 에칭에 의해 가공하고, 배선을 형성하였다. 상기 에칭에는, ICP 에칭법을 사용하였다.

[0813] 이어서, 막 두께 $1.6\mu\text{m}$ 의 폴리이미드막을, 도포법을 사용하여 형성한 후, 대기 분위기 하에 있어서, 300°C에서 1시간 정도, 가열 처리를 행하였다.

[0814] 이상의 공정에 의해, 시료 T4를 제작하였다.

[0815] [트랜지스터 특성의 평가(3)]

도 70에 트랜지스터의 Vg - Id 측정 결과를 도시한다. 채널 길이(L)가 66nm, 채널 폭(W)이 55nm인 n 채널형 트랜지스터를 면내에서 9개, 평가하였다. 여기서 Vg 는 소스-게이트 간의 전압, Id 는 소스-드레인 간의 전류를 나타낸다. 또한, 가로축에는 게이트 전압(Vg)을, 왼쪽의 세로축에는 드레인 전압(Vd)을, 오른쪽의 세로축에는 전계 효과 이동도(μ_{FE})를 나타낸다. 드레인 전압(Vd)이 0.1V와, 1.8V인 2조건으로 측정하였다. 여기서, 전계 효과 이동도는, $Vd=0.1\text{V}$ 로 산출한 전계 효과 이동도를 나타내고 있다.

도 70의 결과로부터, 임계값 전압이 작고, 높은 전계 효과 이동도를 갖는 양호한 트랜지스터가 얻어지는 것을 알 수 있었다.

실시예 7

[0818] 본 실시예에서는, 실시예 6에서 제작한 트랜지스터와 동일한 조건을 사용하여 제작한 트랜지스터의 특성에 관해서 설명한다.

[0819] 도 64에 도시하는 구조의 트랜지스터를 제작하였다. 단, 트랜지스터는, 도전층(105)을 갖지 않는 구조로 하였다. 트랜지스터의 제작에는, 실시예 6에 나타낸 공정과 같은 공정을 사용하였다.

[0820] [트랜지스터 특성의 평가(4)]

[0821] 제작한 트랜지스터 특성의 평가를 행하였다. 우선 트랜지스터의 초기 특성으로서, Vg - Id 특성을 평가하였다. 채널 길이(L)가 72nm, 채널 폭(W)이 53nm인 n 채널형 트랜지스터의 Vg - Id 특성을 도 72에 도시한다. 여기서 Vg 는 소스-게이트 간의 전압, Id 는 소스-드레인 간의 전류를 나타낸다. 또한, 가로축에는 Vg 을, 왼쪽의 세로축에는 Id 를, 오른쪽의 세로축에는 전계 효과 이동도(μ_{FE})를 나타낸다. Vg - Id 특성은, Vd 가 0.1V와, 1.8V인 2조건에서 측정하였다. 여기서, Vd 는 소스-드레인 간의 전압을 나타낸다. 또한, 전계 효과 이동도는, $Vd=0.1\text{V}$ 로 산출한 전계 효과 이동도를 나타낸다.

[0822] 다음에, 시료 T2 및 T4에 관해서, 스트레스 인가에 의한 임계값의 변화를 평가하였다. 임계값은, $Vd=1.8\text{V}$ 의 Vg - Id 커브로부터 산출하였다.

[0823] 스트레스 조건으로서, $Vg=+1.8\text{V}$, $Vd=0\text{V}$ 를 인가한 경우, $Vg=-1.8\text{V}$, $Vd=0\text{V}$ 를 인가한 경우, $Vg=0\text{V}$, $Vd=+1.8\text{V}$ 인가한 경우의, 합계 3조건에 관해서 평가를 행하였다. 시험 온도를 150°C, 스트레스 인가 시간을 1시간으로 하였다.

[0824] 150°C에 있어서 $Vg=+1.8\text{V}$, $Vd=0\text{V}$ 를 1시간 인가한 경우의 임계값의 변화량(ΔV_{th})을 도 73에 도시한다. 가로축은 전압 인가 시간, 세로축은 임계값의 변화량(ΔV_{th})을 나타낸다. 1시간 후의 ΔV_{th} 는, $+0.06\text{V}$ 이었다.

[0825] 도 74에는, 150도에 있어서 $Vg=-1.8\text{V}$, $Vd=0\text{V}$ 를 1시간 인가한 경우의 임계값의 변화량(ΔV_{th})을 도시한다. 1시간 후의 ΔV_{th} 는, $+0.12\text{V}$ 이었다.

[0826] 도 75에는, 150°C에 있어서 $Vg=0\text{V}$, $Vd=+1.8\text{V}$ 를 1시간 인가한 경우의 임계값의 변화량(ΔV_{th})을 나타낸다. 1시간 후의 ΔV_{th} 는, $+0.19\text{V}$ 이었다.

[0827] 도 73 내지 도 75로부터, 어느 스트레스 조건에 있어서도 임계값의 변화량은 작고, 양호한 특성이 얻어졌다.

실시예 8

[0828] 본 실시예에서는, 채널 길이(L)가 26nm, 채널 폭(W)이 31nm인 트랜지스터를 제작하고, 그 트랜지스터 특성을 평

가하였다.

[0829] [트랜지스터의 제작(4)]

[0830] 트랜지스터를 갖는 시료 T5의 제작 방법을 이하에 나타낸다. 여기서 제작한 트랜지스터는 도 64와 같은 구조를 갖기 때문에, 도 64에서 사용한 부호를 사용하여 설명한다. 본 실시예에서는, 반도체층(101a), 반도체층(101b) 및 반도체층(101c)으로서 조건 F1, 조건 E3 및 조건 F4를 사용하였다. 상세한 조건은 후술한다. 기판(50)으로서 실리콘 웨이퍼를 준비하였다. 기판(50)의 세정을 행한 후, 절연막(51)을 형성하였다. 절연막(51)은, 산화 실리콘막과 산화 질화 실리콘막의 적층막으로 하였다. 절연막(51)의 형성 조건은, 실시예 5의 절연막(51)과 동일한 조건을 사용하였다. 절연막(51)의 성막후, CMP법을 사용하여 평탄화 처리를 행하였다. 그 후, 감압 분위기에서 450°C 1시간의 열 처리를 행하였다.

[0831] 다음에, 이온 주입법을 사용하여 산소 이온($^{16}\text{O}^+$)의 주입을 행하였다. 주입 조건은, 가속 전압을 60kV, 도즈량을 2.0×10^{16} ions/cm², 틸트각을 7°, 트위스트각을 72°로 하였다.

[0832] 다음에, 절연막(51) 위에, 반도체층(101a)이 되는 제 1 반도체막을 형성하였다. 제 1 반도체막으로서, 원자수비가 In:Ga:Zn=1:3:4인 In-Ga-Zn 산화물을 타깃에 사용한 스퍼터링법에 의해, 막 두께 20nm의 In-Ga-Zn 산화물막을 형성하였다. 성막 조건의 상세는, 표 16의 조건 F1에 기재한다.

[0833] 계속해서, 반도체층(101b)이 되는 제 2 반도체막을 형성하였다. 제 1 반도체막과 제 2 반도체막의 성막은 상이한 챔버실을 사용하여 행하고, 챔버실 간의 반송은 대기 분위기에 노출시키지 않고 진공 분위기 내에서 행하였다. 제 2 반도체막으로서, In-Ga-Zn 산화물막을 15nm 형성하였다. 제 2 반도체막의 성막 조건에 관해서는, 원자수비 In:Ga:Zn=4:2:4.1의 In-Ga-Zn 산화물을 타깃에 사용하였다. 성막 조건의 상세는, 표 16의 조건 E3에 기재한다.

[0834] 이어서, 450°C에서, 질소 분위기 하에 있어서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에 있어서 가열 처리를 1시간 행하였다.

[0835] 다음에, 반도체층(101b) 위에 텅스텐을 사용하여 하드 마스크를 형성하였다. 하드 마스크의 형성 방법은, 실시예 6을 참조하면 좋다.

[0836] 다음에, 하드 마스크를 마스크로 사용하여 반도체층(101b) 및 반도체층(101a)을 에칭하였다. 반도체층(101b) 및 반도체층(101a)의 에칭은, 실시예 6을 참조하면 좋다.

[0837] 다음에, 하드 마스크인 텅스텐막을 가공하여, 도전층(104a) 및 도전층(104b)을 형성하였다. 도전층(104a) 및 도전층(104b)의 형성은, 실시예 6을 참조하면 좋다.

[0838] 이어서, 도전층(104a) 및 도전층(104b) 위에, 반도체층(101c)이 되는 제 3 반도체막을 형성하였다. 제 3 반도체막으로서, 원자수비가 In:Ga:Zn=1:3:2인 In-Ga-Zn 산화물의 다결정을 타깃을 사용한 스퍼터링법에 의해, 막 두께 5nm의 In-Ga-Zn 산화물막을 형성하였다. 성막 조건의 상세는 표 16의 조건 F4에 기재한다.

[0839] 이어서, 게이트 절연막(102)으로서 산화 질화 실리콘막을, PECVD법을 사용하여 10nm 성막하였다. 게이트 절연막(102)의 성막 조건은, 실시예 5에 나타낸 게이트 절연막(102)과 동일한은 조건을 사용하였다. 다음에, 질화 티타늄막을 10nm 형성한 후에 텅스텐막을 30nm 형성하고, 가공을 행하여 게이트 전극(103)을 제작하였다. 게이트 전극(103)의 형성은 실시예 6을 참조하면 좋다.

[0840] 다음에, 절연막(112)으로서, 막 두께 30nm의 산화 알루미늄막을 형성하였다. 다음에, 산소 분위기에서 350°C 1시간의 열 처리를 행하였다. 다음에, 절연막(113)으로서, 막 두께 460nm의 산화 질화 실리콘막을 형성하였다. 그 후, CMP 처리를 행하였다.

[0841] 이어서, 텅스텐막과 질화 실리콘막을 하드 마스크로 하여, 게이트 전극(103), 도전층(104a) 및 도전층(104b)에 도달하는 개구부를 드라이 에칭에 의해 형성하였다.

[0842] 이어서, 개구부 내 및 절연막(113) 위에, 막 두께 10nm의 질화 티타늄막과, 막 두께 150nm의 텅스텐막을 적층시킨 도전막을, 스퍼터링법을 사용하여 형성하였다. 이어서, 개구부 내 및 절연막(113) 위의 도전막에, CMP 처리를 행하여, 플러그를 형성하였다.

[0843] 이어서, 텅스텐 전극을 플러그 위에 설치하고, 그 후, 절연막으로서 산화 질화 실리콘막을 성막하였다.

- [0844] 이어서, 산화 질화 실리콘막에, 텅스텐 전극 등에 도달하는 개구부를 형성하였다. 개구부 내 및 산화 질화 실리콘막 위에 배선을 형성하였다.
- [0845] 이어서, 막 두께 $1.6\mu\text{m}$ 의 폴리이미드막을 설치하였다.
- [0846] 이상의 공정에 의해, 본 발명의 일 형태의 트랜지스터를 갖는 시료 T5을 제작하였다.
- [0847] 다음에, 제작한 시료 T5가 갖는 트랜지스터를, 단면 TEM에 의해 관찰하였다. 관찰을 위한 박편화 가공에는, FIB(Focused Ion Beam System: 집속 이온 빔 가공 관찰 장치)를 사용하였다.
- [0848] 도 77의 (A)는 채널 길이 방향의 단면도를, 도 77의 (B)는 채널 폭 방향의 단면도를, 각각 도시한다. 채널 길이가 30nm 이하인, 양호한 전기 특성을 갖는 미세한 트랜지스터를 제작할 수 있었다.
- [0849] [트랜지스터의 평가(5)]
- [0850] 다음에, 제작한 트랜지스터의 특성을 평가하였다. 제작한 트랜지스터의 채널 길이(L)는 26nm, 채널 폭(W)은 31nm이었다.
- [0851] 도 78에 $Id-Vg$ 특성을 도시한다. $Vd=0.1\text{V}$ 와 1V 의 두 조건으로 측정을 행하였다. 또한, 도 79에 $Id-Vd$ 특성을 도시한다. Vg 는 0에서부터 0.2V 마다 2V 까지의 11개 조건들로, 동일한 트랜지스터를 사용하여 연속적으로 측정을 행하였다. 여기서, $Vg=0\text{V}$, 0.2V 및 0.4V 의 조건에 관해서는 도 79에서는 생략하였다. 채널 길이가 30nm 이하인 미세한 트랜지스터에 있어서, 양호한 트랜지스터 특성이 얻을 수 있었다.

실시예 9

- [0852] 본 실시예에서는, 본 발명의 일 형태인 In-Ga-Zn 산화물막의 평가 결과에 관해서 설명한다.
- [0853] [시료의 제작]
- [0854] 기판에 실리콘 웨이퍼를 사용하였다. 다음에, 실리콘 웨이퍼를 열산화함으로써 산화 실리콘막을 100nm 형성하였다. 다음에, 산화 실리콘막 위에 In-Ga-Zn 산화물막을 40nm 성막하였다. In-Ga-Zn 산화물막은, 타깃에 다결정의 In-Ga-Zn 산화물을 사용하고, 스퍼터링법에 의해 성막하였다. 성막 조건의 주된 항목을 표 22에 기재한다. 여기서 표 22에는 타깃에 사용한 In-Ga-Zn 산화물의 인듐, 갈륨 및 아연의 원자수비를 기재한다.

표 22

	장치	파워 [kW]	가스 유량		기판 온도 [$^{\circ}\text{C}$]	압력 [Pa]	타깃	타깃-기판 간 거리
			Ar [sccm]	O_2 [sccm]				
조건 F1	장치 A	0.5(DC)	40	5	200°C	0.7	$\text{In:Ga:Zn}=1:3:4$	60mm
조건 G1	장치 D	0.2(DC)	20	10	300°C	0.4	$\text{In:Ga:Zn}=1:2:4$	130mm

[0855]

- [0856] 다음에, 이온 주입법을 사용하여 산소 이온($^{16}\text{O}^+$)의 주입을 행하였다. 주입 조건은, 가속 전압을 60kV, 도즈량은, $1.0 \times 10^{16} \text{ ions/cm}^2$, $1.5 \times 10^{16} \text{ ions/cm}^2$ 및 $2.0 \times 10^{16} \text{ ions/cm}^2$ 의 3가지 조건으로 하였다. 또한, 틸트각은 7° , 트위스트는 72° 로 하였다. 이상의 공정에 의해 시료를 제작하였다.

[0857]

[XRD 평가]

- [0858] 다음에, 제작한 시료의 XRD를 평가하였다. XRD의 평가는, 다기능 박막 재료 평가 X선 회절 장치 D8 DISCOVER Hybrid(Bruker AXS사제)를 사용하였다. XRD 측정의 결과를 도 80 내지 도 81에 도시한다.

[0859]

- 도 80은, 표 22에 기재하는 조건 F1을 사용하여 In-Ga-Zn 산화물막을 성막한 시료의 평가 결과이다. 조건 F1에서는, 인듐, 갈륨 및 아연의 원자수비가 $\text{In:Ga:Zn}=1:3:4$ 인 In-Ga-Zn 산화물 타깃을 사용하였다. 도 80의 (A)는 산소 이온 주입을 행하고 있지 않은 시료의, 도 80의 (B) 및 (C)는 각각 산소 이온 주입의 도즈량이 $1.0 \times 10^{16} \text{ ions/cm}^2$ 및 $2.0 \times 10^{16} \text{ ions/cm}^2$ 의 시료의, 평가 결과를 도시한다. 산소 이온 주입을 행함으로써, 화살표로 나타내는 31° 근방의 피크의 강도가 약해지는 것을 알 수 있다. 이 피크는 c축 배향성을 시사한다. 또한, 이온 주입의 도즈량이 많을수록 강도는 보다 약해지고 있다. 또한, 산소 이온 주입을 행함으로써, 화살표로 나타내는 36° 근방의 피크가 관측되었다. 이 피크는 c축 배향성을 갖지 않는 결정, 예를 들면 대표적으로는 스페넬형

의 결정 구조를 시사한다. 여기서, 조건 F1을 사용하여 In-Ga-Zn 산화물막을 성막한 시료 중, 산소 이온 주입을 행하고 있지 않은 시료를 시료 F4-1, 산소 이온 주입의 도즈량이 1.0×10^{16} ions/cm² 및 2.0×10^{16} ions/cm²인 시료를 각각 시료 F4-2 및 시료 F4-3으로 한다.

[0860] 도 81은, 표 22에 기재하는 조건 G1을 사용하여 In-Ga-Zn 산화물막을 성막한 시료의 평가 결과이다. 조건 G1에서는, 인듐, 갈륨 및 아연의 원자수비가 In:Ga:Zn=1:2:4인 In-Ga-Zn 산화물 타깃을 사용하였다. 도 81의 (A)는 산소 이온 주입을 행하고 있지 않은 시료의, 도 81의 (B), (C) 및 (D)는 각각 산소 이온 주입의 도즈량이 1.0×10^{16} ions/cm², 1.5×10^{16} ions/cm² 및 2.0×10^{16} ions/cm²인 시료의, 평가 결과를 도시한다. 조건 G1에서는, 산소 이온 주입을 행해도, 36° 근방의 피크는 관측되지 않고, 또한, 화살표로 나타내는 31° 근방의 피크 강도에도 현저한 변화는 나타나지 않았다. 여기서, 조건 G1을 사용하여 In-Ga-Zn 산화물막을 성막한 시료 중, 산소 이온 주입을 행하고 있지 않은 시료를 시료 G1-1, 산소 이온 주입의 도즈량이 1.0×10^{16} ions/cm², 1.5×10^{16} ions/cm² 및 2.0×10^{16} ions/cm²의 시료를 각각 시료 G1-2, 시료 G1-3 및 시료 G1-4로 한다.

[0861] [평면 TEM 관찰]

[0862] 다음에, 제작한 각 시료의 평면 TEM상을 관찰하였다. TEM상의 취득은, 히타치하이테크놀로지즈제 H-9000NAR를 사용하였다. 가속 전압은 300kV로 하였다. 시료는, 이온 밀링법에 의해 박편화를 행하였다.

[0863] 도 82의 (A) 및 (B)에는 시료 F4-1 및 시료 F4-2의 관찰 결과를 도시한다. 또한, 도 83의 (A) 및 (B)에는 시료 G1-1 및 시료 G1-2의 관찰 결과를 도시한다. 또한, 도 84의 (A)는 도 82의 (B)에 도시하는 사각으로 둘러싼 영역을 확대하여 관찰한 결과를, 도 84의 (B)는 도 83의 (B)에 도시하는 사각으로 둘러싼 영역을 확대하여 관찰한 결과를, 각각 도시한다.

[0864] 인듐, 갈륨 및 아연의 원자수비가 In:Ga:Zn=1:3:4인 In-Ga-Zn 산화물 타깃을 사용한 시료 F4-1 및 시료 F4-2의 관찰 결과를 비교하면, 산소 이온 주입을 행한 시료 F4-2에서는, 명백하게 콘트라스트가 상이한 영역이 관찰되었다. 또한 도 84의 (A)로부터, 콘트라스트가 상이한 영역에서는 격자상이 관찰되고, 결정립계도 관측되었다.

[0865] 인듐, 갈륨 및 아연의 원자수비가 In:Ga:Zn=1:2:4의 In-Ga-Zn 산화물 타깃을 사용한 시료 G1-1 및 시료 G1-2에서는, 시료 F4-2에 나타난 것과 같은 명백하게 콘트라스트가 상이한 영역은 나타나지 않았다.

[0866] XRD 평가 및 TEM 관찰로부터, 인듐, 갈륨 및 아연의 원자수비가 In:Ga:Zn=1:2:4인 타깃을 사용하여 성막한 In-Ga-Zn 산화물막에서는, 얇어진 막의 원자수비가, 실시형태 2에 나타내는 수학식 3의 원자수비 근방의 값을 갖는 것으로 생각되며, CAAC 비율이 보다 높은 것이 시사된다.

실시예 10

[0867] 본 실시예에서는, 본 발명의 일 형태인 In-Ga-Zn 산화물막을 사용하여 제작한 트랜지스터의 평가 결과를 나타낸다. 트랜지스터 특성의 평가에는, 도 66에 도시하는 단면 구조를 갖는 트랜지스터를 사용하였다.

[0868] [트랜지스터의 제작]

[0869] 트랜지스터를 갖는 시료로서, 시료 T11 내지 시료 T14를 준비하였다. 우선, In-Ga-Zn 산화물막의 성막 조건에 관해서 설명한다. 도 66에 도시하는 반도체층(101a) 내지 반도체층(101c)으로서, 스팍터링법을 사용하여 In-Ga-Zn 산화물막을 성막하였다. 타깃에는 다결정의 In-Ga-Zn 산화물을 사용하였다. 성막 조건을 표 23에 기재한다. 여기서 표 23에는 타깃에 사용한 In-Ga-Zn 산화물의 인듐, 갈륨 및 아연의 원자수비를 기재한다. 또한, 성막 조건 중, 표 23에는 타깃의 원자수비만을 기재하고, 다른 조건에 관해서는 표 24에 상세를 기재한다.

표 23

			조건	
			막 두께 [nm]	타깃
시료 T11	반도체층 101a	조건 F1	40	In:Ga:Zn= 1:3:4
	반도체층 101b	조건 A1	20	In:Ga:Zn= 1:1:1
	반도체층 101c	조건 F4	5	In:Ga:Zn= 1:3:2
시료 T12	반도체층 101a	조건 G2	40	In:Ga:Zn= 1:2:4
	반도체층 101b	조건 A1	20	In:Ga:Zn= 1:1:1
	반도체층 101c	조건 F4	5	In:Ga:Zn= 1:3:2
시료 T13	반도체층 101a	조건 F1	40	In:Ga:Zn= 1:3:4
	반도체층 101b	조건 E3	20	In:Ga:Zn= 4:2:4.1
	반도체층 101c	조건 F4	5	In:Ga:Zn= 1:3:2
시료 T14	반도체층 101a	조건 G2	40	In:Ga:Zn= 1:2:4
	반도체층 101b	조건 E3	20	In:Ga:Zn= 4:2:4.1
	반도체층 101c	조건 F4	5	In:Ga:Zn= 1:3:2

[0870]

표 24

	장치	[kW]	가스 유량		기판 온도	압력 [Pa]	타깃	타깃-기판 간 거리
			Ar [sccm]	O ₂ [sccm]				
조건 F1	장치 A	0.5(DC)	40	5	200°C	0.7	In:Ga:Zn= 1:3:4	60mm
조건 G2	장치 D	0.2(DC)	20	10	200°C	0.4	In:Ga:Zn= 1:2:4	130mm
조건 A1	장치 A	0.5(DC)	30	15	300°C	0.7	In:Ga:Zn= 1:1:1	60mm
조건 E3	장치 A	0.5(DC)	30	15	200°C	0.7	In:Ga:Zn= 4:2:4.1	60mm
조건 F4	장치 B	0.5(DC)	30	15	200°C	0.4	In:Ga:Zn= 1:3:2	60mm

[0871]

[0872] 다음에, 트랜지스터를 갖는 시료 T11 내지 시료 T14의 제작 방법을 설명한다.

[0873] 우선 기판(50)으로서 p형, CZ 결정, 면방위(100)의 실리콘 웨이퍼를 준비하였다. 다음에 기판의 세정을 행한 후, 절연막(51)을 형성하였다. 절연막(51)은, 제 1 산화 실리콘막과, 질화 산화 실리콘막과, 제 2 산화 실리콘막과, 제 3 산화 실리콘막과, 산화 알루미늄막의 적층막으로 하였다. 우선, 950°C에서 열산화를 행함으로써 제 1 산화 실리콘막을 400nm 형성하였다. 그 후, PECVD 장치를 사용하여 두께 280nm의 질화 산화 실리콘막을 성막하였다. 성막 조건은, 기판 온도를 325°C로 하고, 실란을 40sccm, 아산화질소를 30sccm, 암모니아를 300sccm, 수소를 900sccm로 하고, 압력을 160Pa로 하고, 성막 전력(RF)을 250W(27MHz)로 하고, 전극간 거리를 20mm로 하였다. 그 후, PECVD 장치를 사용하여 제 2 산화 실리콘막을 300nm 성막하였다. 성막 조건은, 기판 온도 300°C로 하고, 가스 유량은, TEOS(Tetraethyl Ortho Silicate)을 15sccm, 산소를 750sccm으로 하고, 압력을 100Pa로 하고, 성막 전력(RF)을 300W(27MHz)로 하고, 전극간 거리를 14mm로 하였다. 절연막(51)의 형성후, CMP법을 사용하여 평탄화 처리를 행하였다. 성막후, 질소 분위기에서 590°C 10시간의 열 처리를 행하였다.

[0874] 다음에, PECVD 장치를 사용하여 제 3 산화 실리콘막을 300nm의 두께로 성막하였다. 성막 조건은, 제 2 산화 실리콘막과 같이 하였다. 성막후, 질소 분위기에서 590°C 10시간의 열 처리를 행하였다.

[0875] 다음에, 스퍼터링법을 사용하여 산화 알루미늄막을 50nm 성막하였다. 이상의 공정에 의해, 절연막(51)을 형성하였다.

[0876] 다음에 도전층(105)이 되는 도전막으로서, 스퍼터링법에 의해 제 1 텅스텐막을 50nm 성막하였다. 다음에, 레지스트 마스크를 사용하여 제 1 텅스텐막을 에칭에 의해 가공하여, 도전층(105)을 형성하였다.

[0877] 다음에, 절연막(114)으로서 PECVD법에 의해 산화 질화막을 70nm 성막하였다. 성막 조건은, 기판 온도 500°C로

하고, 가스 유량을 실란 1sccm 및 아산화질소 800sccm로 하고, 압력을 40Pa로 하고, 성막 전력(RF)을 150W(60MHz)로 하고, 전극간 거리를 28mm로 하였다.

[0878] 다음에 절연막(114) 위에 반도체층(101a)이 되는 제 1 반도체막을 40nm 성막하였다. 반도체층(101a)이 되는 제 1 반도체막은, 표 6 및 표 7에 기재된 성막 조건을 사용하여, 스퍼터링법에 의해 성막하였다. 여기서 시료 T11 및 시료 T13은 인듐, 갈륨 및 아연의 원자수비가 In:Ga:Zn=1:3:4인 In-Ga-Zn 산화물 타깃을, 시료 T12 및 시료 T14에서는 In:Ga:Zn=1:2:4인 타깃을, 각각 사용하였다.

[0879] 다음에, 이온 주입법을 사용하여 산소 이온($^{16}_0 O^+$)의 주입을 행하였다. 주입 조건은, 가속 전압을 5kV, 도즈량을 $1.0 \times 10^{16} \text{ ions/cm}^2$, 틸트각을 7° , 트위스트각을 72° 로 하였다.

[0880] 다음에, 반도체층(101b)이 되는 제 2 반도체막을 20nm 성막하였다. 반도체층(101b)이 되는 제 2 반도체막은, 표 6 및 표 7에 기재된 성막 조건을 사용하여, 스퍼터링법에 의해서 성막하였다. 여기서 시료 T11 및 시료 T12는 인듐, 갈륨 및 아연의 원자수비가 In:Ga:Zn=1:1:1인 In-Ga-Zn 산화물 타깃을, 시료 T13 및 시료 T14에서는 In:Ga:Zn=4:2:4.1의 타깃을, 각각 사용하였다.

[0881] 이어서, 450°C에서, 질소 분위기 하에 있어서 가열 처리를 1시간 행한 후, 동일한 처리실 내에서, 산소 분위기 하에 있어서 가열 처리를 1시간 행하였다.

[0882] 다음에, 스퍼터링법을 사용하여 제 2 텅스텐막을 20nm 성막하였다. 성막 조건은, 텅스텐을 타깃에 사용하고, 아르곤 유량을 80sccm과, 압력을 0.8Pa, 전원 전력(DC)을 1kW, 기판과 타깃 간의 거리를 60mm로 하였다. 기판 온도는 130°C로 하였다. 또한, 기판 이면에도 추가로 아르곤을 10sccm 공급하였다. 다음에, 도 66에는 도시하지 않지만, 도전층(105)에 도달하는 개구부를 형성하였다. 구체적으로는, 제 2 텅스텐막 및 제 1 반도체막 및 제 2 반도체막에 개구부를 형성하고, 그 후, 제 2 텅스텐막을 마스크로 사용하여 절연막(114)에 개구부를 형성하였다.

[0883] 다음에, 스퍼터링법을 사용하여 제 3 텅스텐막을 150nm 성막하였다.

[0884] 다음에, 제 3 텅스텐막을 레지스트 마스크를 사용하여 에칭을 행하여, 도전층(104a) 및 도전층(104b)을 형성하였다.

[0885] 다음에, 레지스트 마스크를 형성하고, 제 1 반도체막 및 제 2 반도체막을 에칭에 의해 가공함으로써, 삼 형상의 제 1 반도체층(101a)과 제 2 반도체층(101b)을 형성하였다. 또한, 상기 에칭에는, ICP 에칭법을 사용하였다. 에칭 조건은, 기판 온도를 70°C로 하고, BCl_3 가스를 사용하여, BCl_3 의 유량을 80sccm으로 하고, 전원 전력 450W, 바이어스 전력 100W, 압력 1.2Pa로 하였다.

[0886] 다음에, 반도체층(101c)이 되는 제 3 반도체막을 5nm 성막하였다. 반도체층(101c)이 되는 제 3 반도체막은, 표 6 및 표 7에 기재된 성막 조건을 사용하여, 스퍼터링법에 의해 성막하였다. 여기서 인듐, 갈륨 및 아연의 원자수비가 In:Ga:Zn=1:3:2인 In-Ga-Zn 산화물 타깃을 사용하였다.

[0887] 이어서, 게이트 절연막(102)으로서 산화 질화 실리콘막을, PECVD법을 사용하여 20nm 성막하였다. 성막 조건은, 기판 온도 350°C로 하고, 가스 유량을 실란1sccm 및 아산화질소 800sccm로 하고, 압력을 200Pa로 하고, 성막 전력(RF)을 150W(60MHz)로 하고, 전극간 거리를 28mm로 하였다.

[0888] 다음에, 게이트 전극(103)이 되는 도전막으로서, 질화 탄탈럼막을 30nm 형성한 후 제 4 텅스텐막을 135nm 형성하였다. 질화 탄탈럼막 및 텅스텐막은 각각 스퍼터링법에 의해 형성하였다. 이어서, 게이트 전극(103)이 되는 도전막의 형상을 에칭에 의해 가공함으로써, 게이트 전극(103)을 형성하였다.

[0889] 다음에, 레지스트 마스크를 사용하여, 게이트 절연막(102)과, 제 3 반도체막의 형상을 에칭에 의해 가공함으로써, 형상이 가공된 게이트 절연막(102) 및 반도체층(101c)을, 형성하였다.

[0890] 다음에, 트랜지스터를 피복하도록, 절연막(112)으로서, 140nm의 산화 알루미늄막을 형성하였다. 산화 알루미늄막은 스퍼터링법을 사용하여 형성하였다.

[0891] 이어서, 절연막(113)으로서, 막 두께 300nm의 산화 질화 실리콘막을 형성하였다. 산화 질화 실리콘막은 PECVD 법을 사용하여 형성하였다.

[0892] 이어서, 도전층(104a) 및 도전층(104b)에 도달하는 개구부를, 에칭에 의해 형성하였다. 상기 에칭은, ICP 에칭

법을 사용하였다.

[0893] 다음에, 개구부 내 및 절연막(113) 위에, 막 두께 50nm의 티타늄막과, 막 두께 300nm의 알루미늄막과, 막 두께 5nm의 티타늄막을 순서대로 적층시킨 도전막을, 스퍼터링법을 사용하여 형성하였다. 다음에, 개구부 내 및 절연막(113) 위의 도전막의 형상을 에칭에 의해 가공하고, 배선을 형성하였다. 그 후, 막 두께 1.6 μ m의 폴리이미드막을, 도포법을 사용하여 형성한 후, 대기 분위기 하에 있어서, 300°C에서 1시간 정도, 가열 처리를 행하였다.

[0894] 이상의 공정에 의해 시료 T11 내지 시료 T14를 제작하였다.

[트랜지스터 특성의 평가]

[0896] 제작한 시료 T11 내지 시료 T14가 갖는 트랜지스터 특성의 평가를 행하였다. 우선 트랜지스터의 초기 특성으로서, Vg - Id 특성을 평가하였다. 채널 길이(L)가 0.83 μ m, 채널 폭(W)이 0.8 μ m인 n 채널형 트랜지스터를 면내에서 25개 평가하였다. 도 85의 (A), (B)는 시료 T11, 시료 T12의, 도 86의 (A), (B)는 시료 T13, 시료 T14의, 트랜지스터 특성의 Vg - Id 측정을 도시한다. 여기서 Vg 는 소스-게이트 간의 전압, Id 는 소스-드레인 간의 전류를 나타낸다. 또한, 가로축에는 게이트 전압(Vg)을, 왼쪽의 세로축에는 드레인 전압(Id)을, 오른쪽의 세로축에는 전계 효과 이동도(μ_{FE})를 나타낸다. 드레인 전압(Vd)이 0.1V와, 1.8V인 두 조건으로 측정하였다. 또한, 여기서는 제 2 게이트 전극으로서 기능하는 도전층(105)과 소스 간에는, 0V를 인가하였다. 여기서, 전계 효과 이동도는, $Vd=0.1V$ 에서 산출한 전계 효과 이동도를 나타낸다.

[0897] 또한, 채널 길이(L)가 0.83 μ m, 채널 폭(W)이 0.8 μ m인 n 채널형 트랜지스터의 Vg - Id 특성으로부터 산출한 S 값은 시료 T11, T12, T13 및 T14에 있어서 각각 126.9, 122.3, 103.0 및 90.5[mV /dec.]이었다.

[0898] 다음에, 시료 T12 및 T14에 관해서, 스트레스 인가 전후의 트랜지스터의 Vg - Id 특성의 변화를 평가하였다. 스트레스 조건으로서, 전압 인가 조건을, 게이트 전압(Vg)이 +3.3V, -3.3V인 두 조건과, 드레인 전압이 +1.8V인 하나의 조건의, 합계 3가지 조건으로 하고, 온도를 150°C, 스트레스 인가 시간을 1시간으로 하였다. 어느 스트레스 인가 조건에 있어서도 도전층(105)에 0V를 인가하였다.

[0899] 150°C에 있어서 $Vg=+3.3V$ 를 1시간 인가한 후의 Vg - Id 특성의 변화를 도 87에 도시한다. 스트레스 전을 실선으로, 스트레스 후를 파선으로 나타낸다. 도 87의 (A)는 시료 T12의, 도 87의 (B)는 시료 T14의 결과를 도시한다.

[0900] 또한, 150°C에 있어서 $Vg=-3.3V$ 를 1시간 인가한 후의 Vg - Id 특성의 변화를 도 88에 도시한다. 스트레스 전을 실선으로, 스트레스 후를 파선으로 나타낸다. 도 88의 (A)는 시료 T12의, 도 88 (B)는 시료 T14의 결과를 도시한다.

[0901] 또한, 150°C에 있어서 $Vd=+1.8V$ 를 1시간 인가한 후의 Vg - Id 특성의 변화를 평가한 결과를 도 89에 도시한다. 스트레스 전을 실선으로, 스트레스 후를 파선으로 나타낸다. 도 89의 (A)는 시료 T12의, 도 89의 (B)는 시료 T14의 결과를 도시한다.

[0902] 도 87 내지 도 89로부터, 어느 스트레스 조건에 있어서도 시료 T12, T14 모두 스트레스에 의한 변화는 작고, 또한, $Vg=+3.3V$ 를 인가한 조건에 있어서, 시료 T14에서는 변화량이 보다 작은 결과가 얻어졌다.

부호의 설명

[0903] 11 영역

12 영역

13 영역

14 영역

21 수선

22 수선

23 수선

25 보호막

- 50 기판
- 51 절연막
- 60a 트랜지스터
- 60b 트랜지스터
- 61 절연막
- 62 반도체층
- 63 반도체층
- 64d 저저항층
- 64s 저저항층
- 65d 도전층
- 65s 도전층
- 66 반도체층
- 67 절연막
- 68 게이트 전극
- 69 절연막
- 72 절연막
- 76 절연막
- 100 트랜지스터
- 101 반도체층
- 101a 반도체층
- 101b 반도체층
- 101c 반도체층
- 102 게이트 절연막
- 103 게이트 전극
- 104a 도전층
- 104b 도전층
- 104c 도전층
- 105 도전층
- 111 배리어막
- 112 절연막
- 113 절연막
- 114 절연막
- 115 절연막
- 116 절연막
- 121 플러그
- 122 플러그

- 123 플러그
- 124 배선
- 126 전극
- 127 절연막
- 128 절연막
- 130 트랜지스터
- 131 반도체 기판
- 132 반도체층
- 132b 반도체층
- 133a 저저항층
- 133b 저저항층
- 134 게이트 절연막
- 134b 게이트 절연막
- 135 게이트 전극
- 135b 게이트 전극
- 136 절연막
- 137 절연막
- 138 절연막
- 139 플러그
- 140 플러그
- 143 도전층
- 150 용량 소자
- 151 도전층
- 152a 도전층
- 152b 도전층
- 160 트랜지스터
- 164 플러그
- 165 플러그
- 166 배선
- 171a 저저항층
- 171b 저저항층
- 176a 영역
- 176b 영역
- 181 소자 분리층
- 190 트랜지스터
- 191 트랜지스터

211 배리어막

215 절연막

201 트랜지스터

230 트랜지스터

231 트랜지스터

233a 저저항층

233b 저저항층

233c 저저항층

233d 저저항층

251 도전층

276a 영역

276b 영역

276c 영역

276d 영역

281 하드 마스크

321 플러그

322 플러그

323 플러그

324 영역

610 전자총실

612 광학계

614 시료실

616 광학계

618 카메라

620 관찰실

622 필름실

624 전자

632 형광판

660a 용량 소자

660b 용량 소자

661a 트랜지스터

661b 트랜지스터

662a 트랜지스터

662b 트랜지스터

663a 인버터

663b 인버터

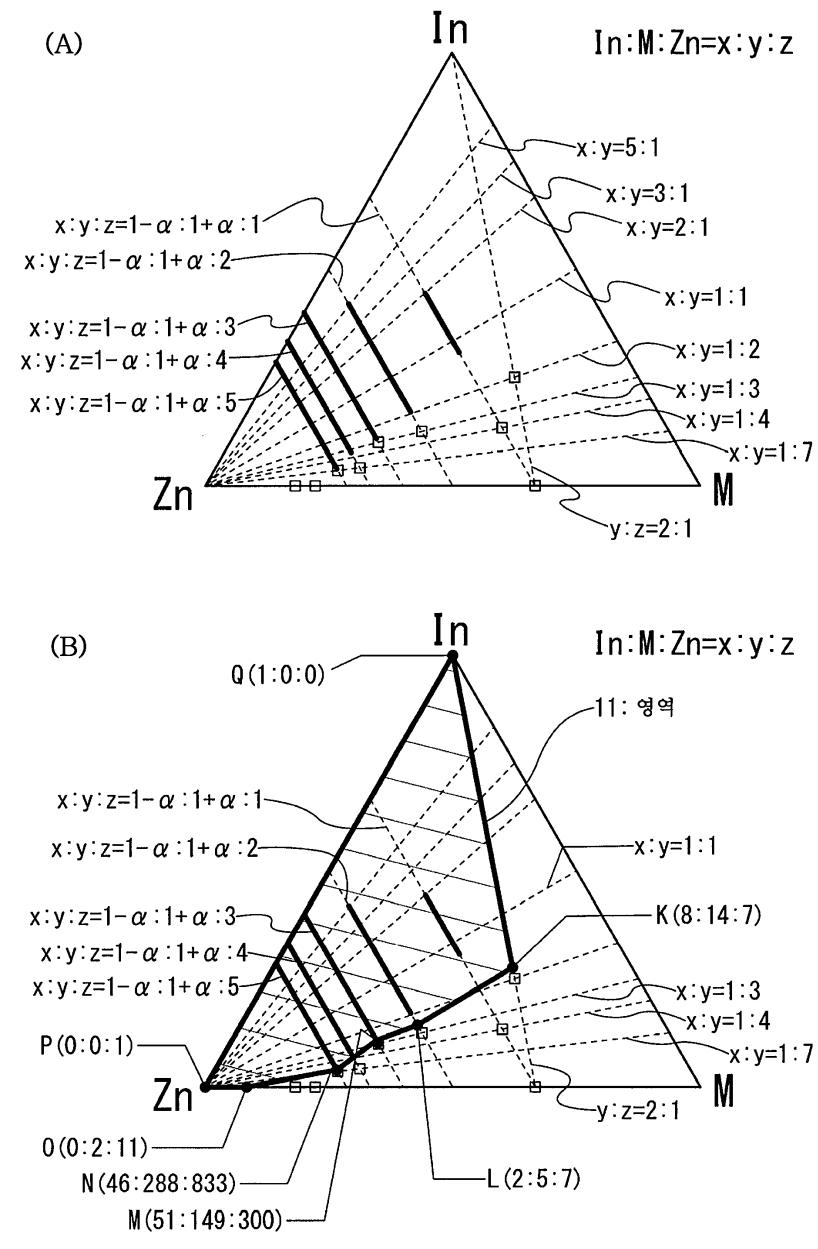
- 700 기판
- 701 화소부
- 702 주사선 구동 회로
- 703 주사선 구동 회로
- 704 신호선 구동 회로
- 710 용량 배선
- 712 게이트 배선
- 713 게이트 배선
- 714 드레인 전극층
- 716 트랜지스터
- 717 트랜지스터
- 718 액정 소자
- 719 액정 소자
- 720 화소
- 721 스위칭용 트랜지스터
- 722 구동용 트랜지스터
- 723 용량 소자
- 724 발광 소자
- 725 신호선
- 726 주사선
- 727 전원선
- 728 공통 전극
- 800 RF 태그
- 801 통신기
- 802 안테나
- 803 무선 신호
- 804 안테나
- 805 정류 회로
- 806 정전압 회로
- 807 복조 회로
- 808 변조 회로
- 809 논리 회로
- 810 기억 회로
- 811 ROM
- 901 하우징
- 902 하우징

- 903 표시부
- 904 표시부
- 905 마이크로폰
- 906 스피커
- 907 조작 키
- 908 스타일러스
- 911 하우징
- 912 하우징
- 913 표시부
- 914 표시부
- 915 접속부
- 916 조작 키
- 921 하우징
- 922 표시부
- 923 키보드
- 924 포인팅 디바이스
- 931 하우징
- 932 냉장실용 문
- 933 냉동실용 문
- 941 하우징
- 942 하우징
- 943 표시부
- 944 조작 키
- 945 렌즈
- 946 접속부
- 951 차체
- 952 차륜
- 953 대시보드
- 954 라이트
- 1189 ROM 인터페이스
- 1190 기판
- 1191 ALU
- 1192 ALU 컨트롤러
- 1193 인스트럭션 디코더
- 1194 인터럽트 컨트롤러
- 1195 타이밍 컨트롤러

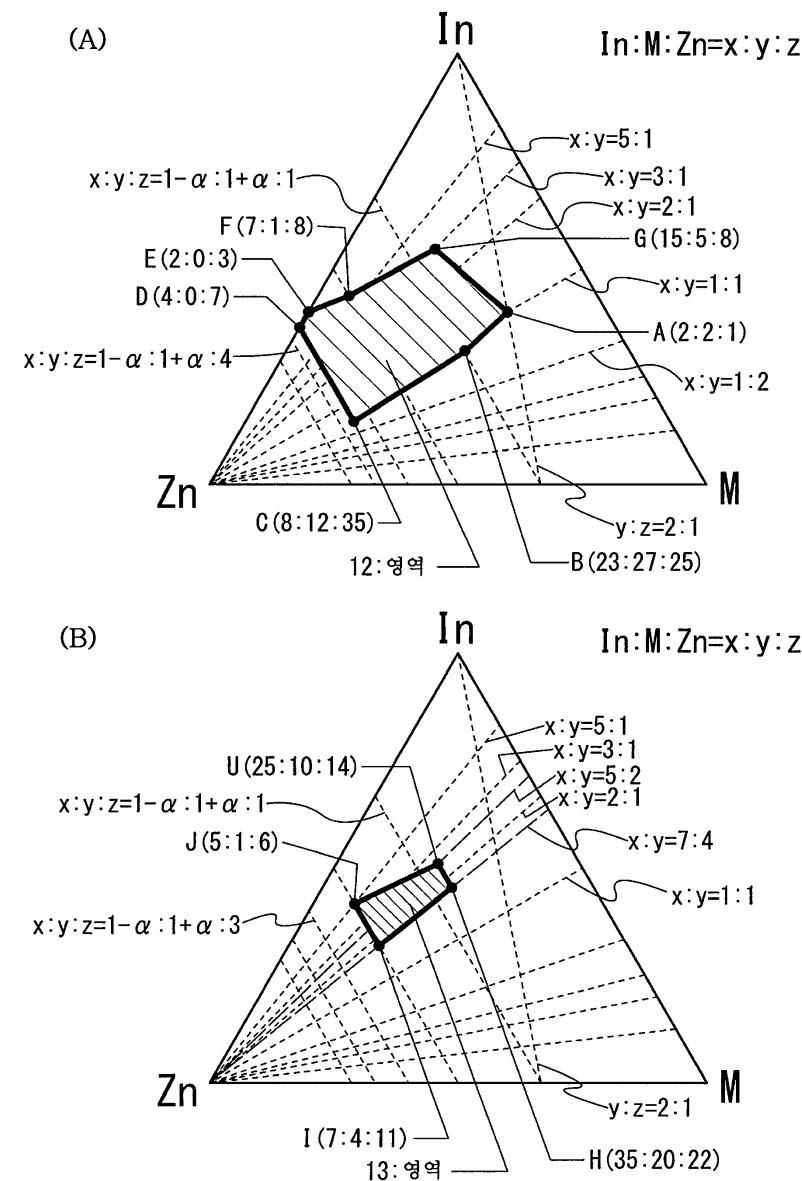
- 1196 레지스터
- 1197 레지스터 컨트롤러
- 1198 버스 인터페이스
- 1199 ROM
- 1200 기억 소자
- 1201 회로
- 1202 회로
- 1203 스위치
- 1204 스위치
- 1206 논리 소자
- 1207 용량 소자
- 1208 용량 소자
- 1209 트랜지스터
- 1210 트랜지스터
- 1213 트랜지스터
- 1214 트랜지스터
- 1220 회로
- 2100 트랜지스터
- 2200 트랜지스터
- 3001 배선
- 3002 배선
- 3003 배선
- 3004 배선
- 3005 배선
- 3200 트랜지스터
- 3300 트랜지스터
- 3400 용량 소자
- 4000 RF 태그

도면

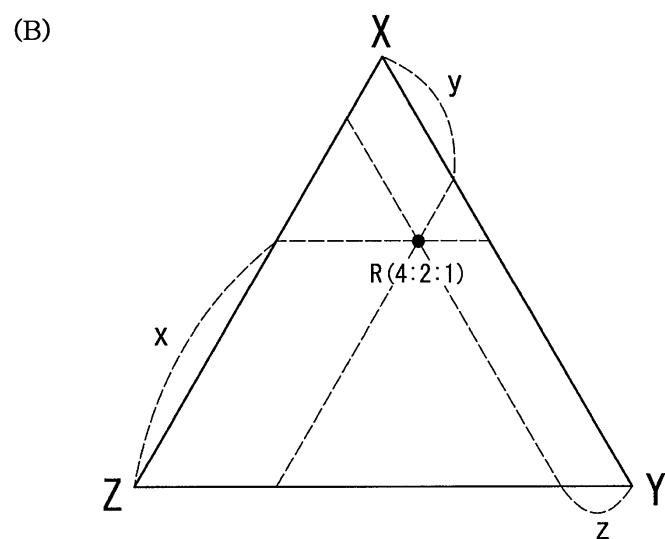
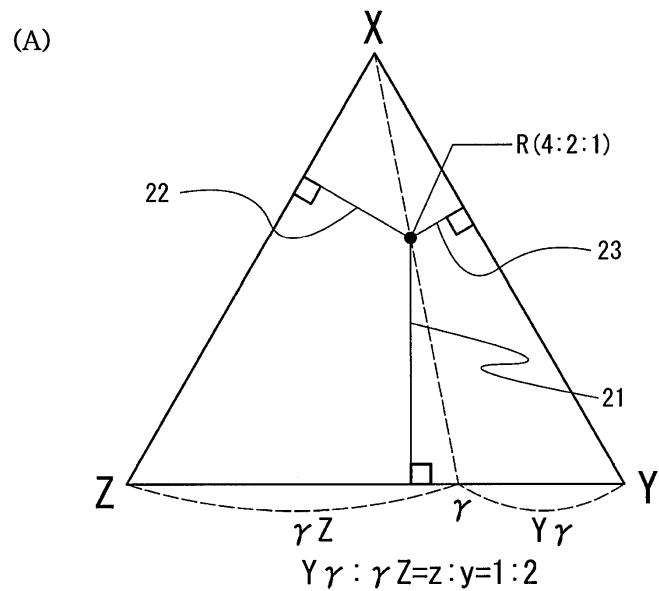
도면1



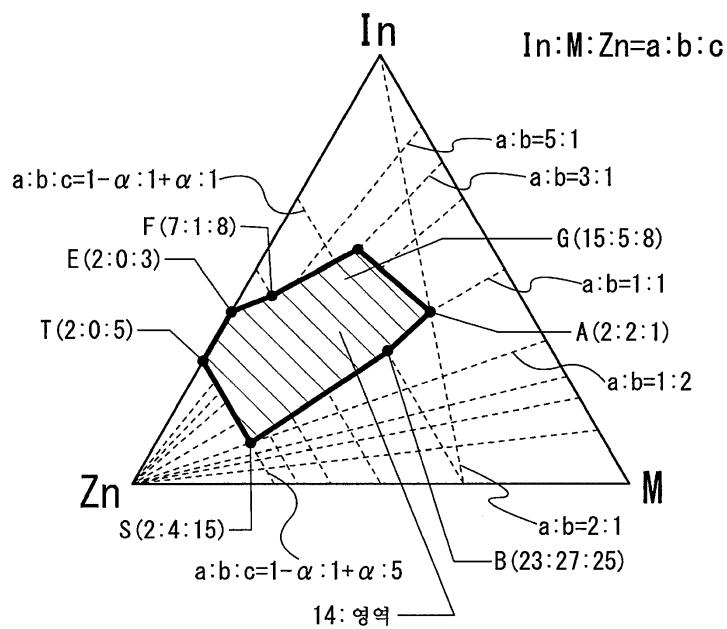
도면2



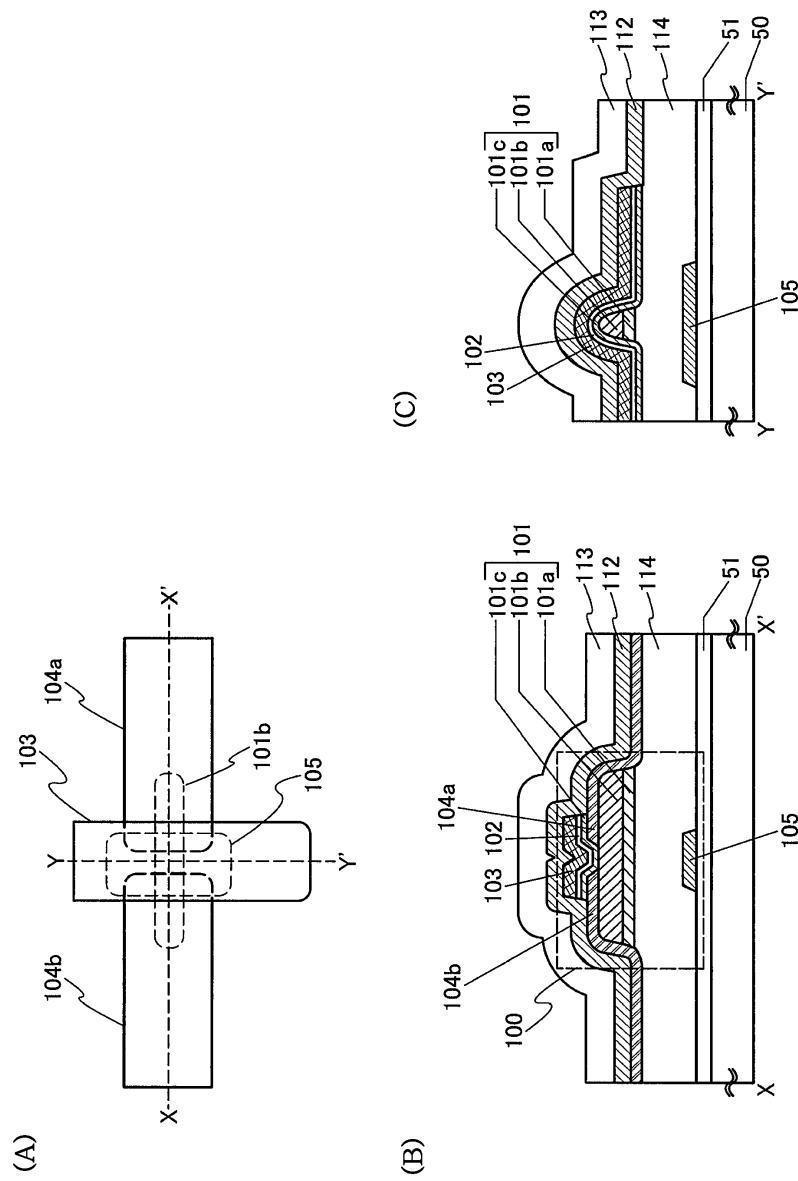
도면3



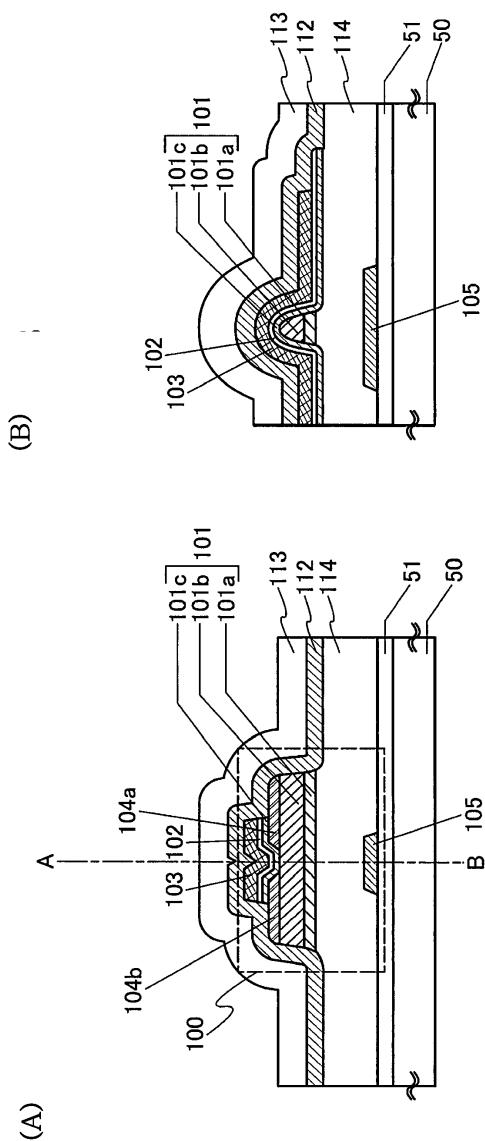
도면4



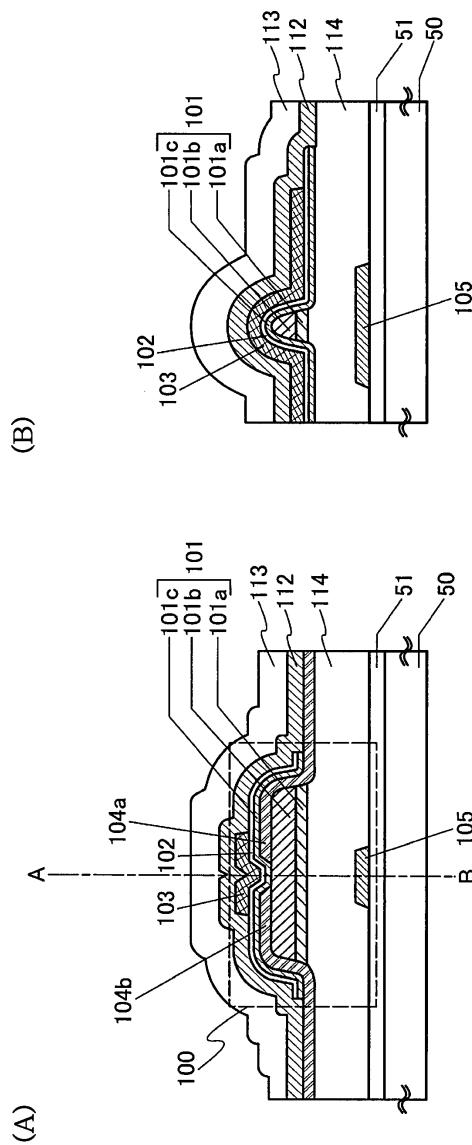
도면5



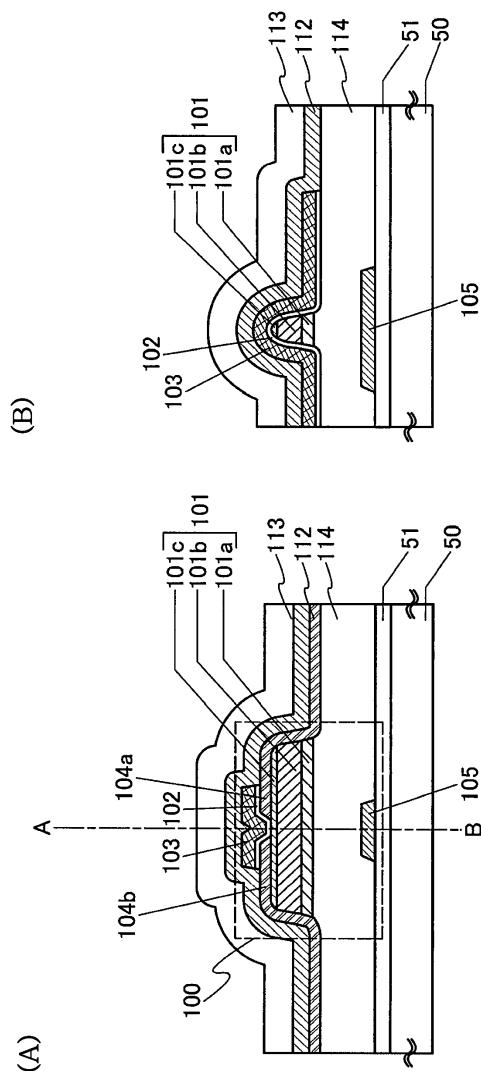
도면6



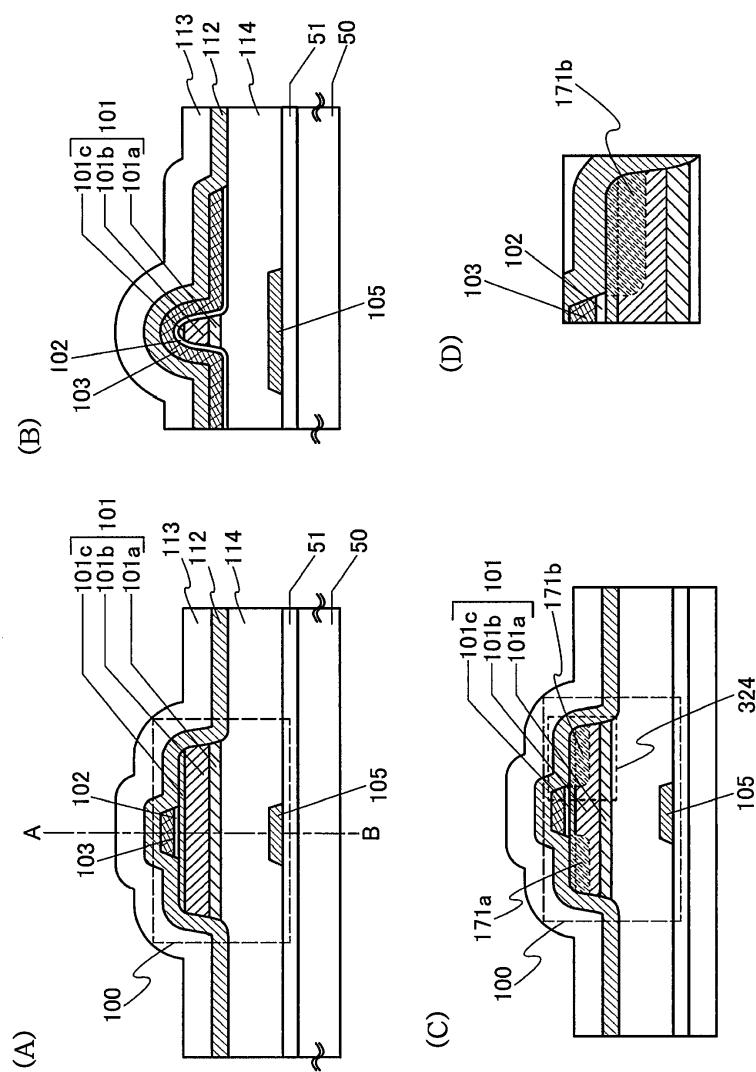
도면7



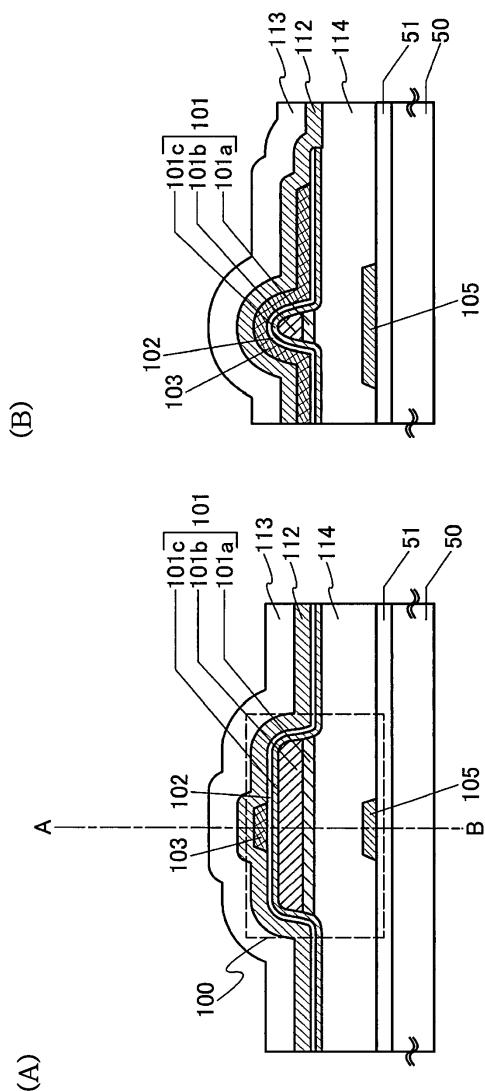
도면8



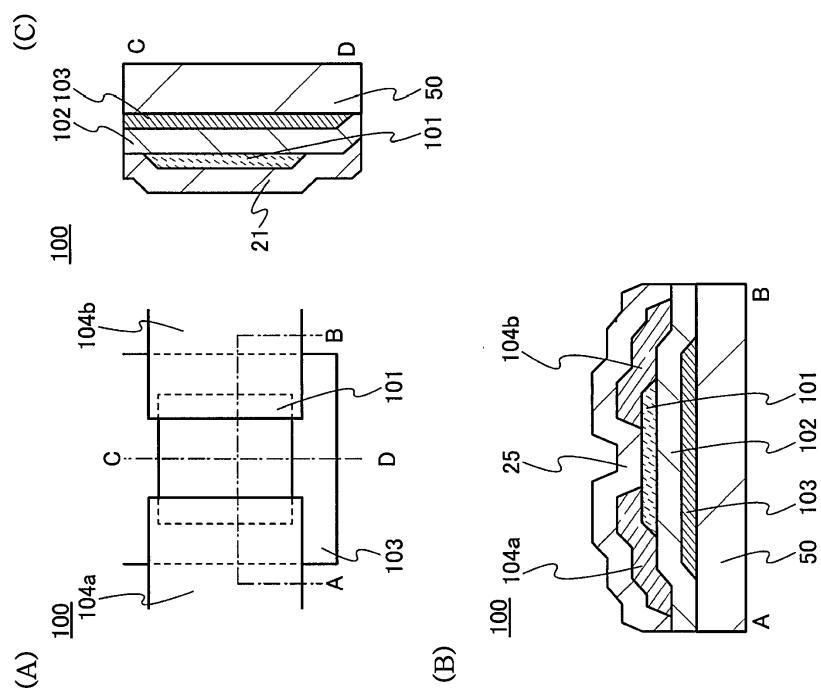
도면9



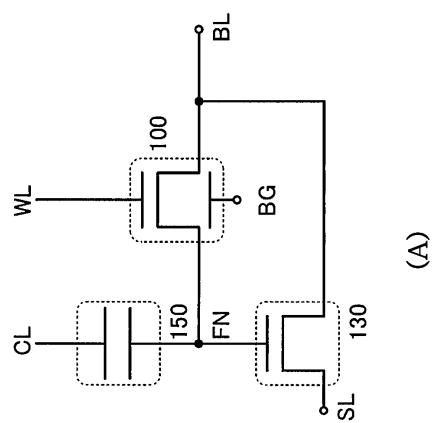
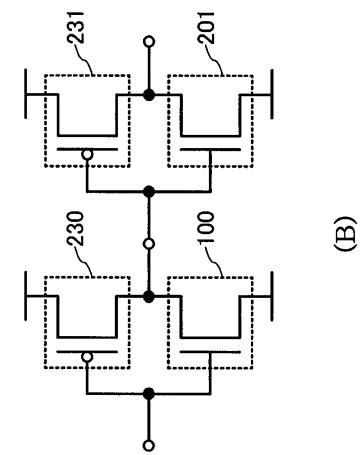
도면 10



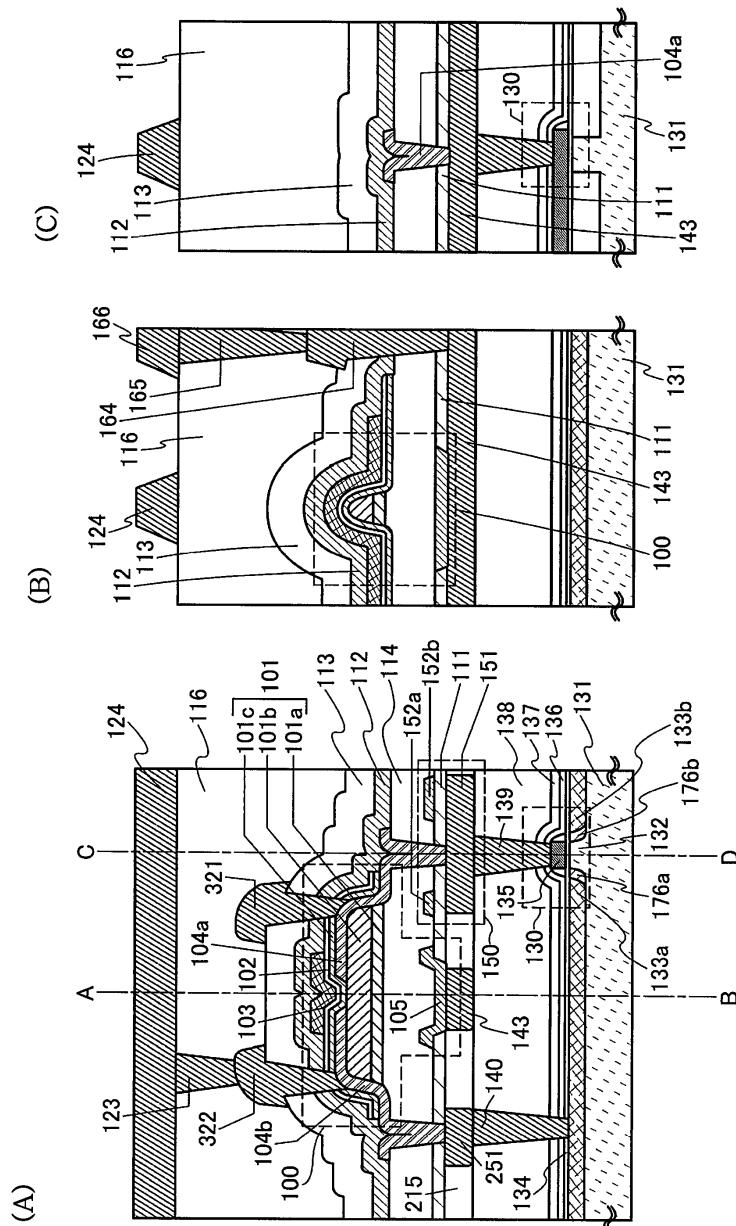
도면 11



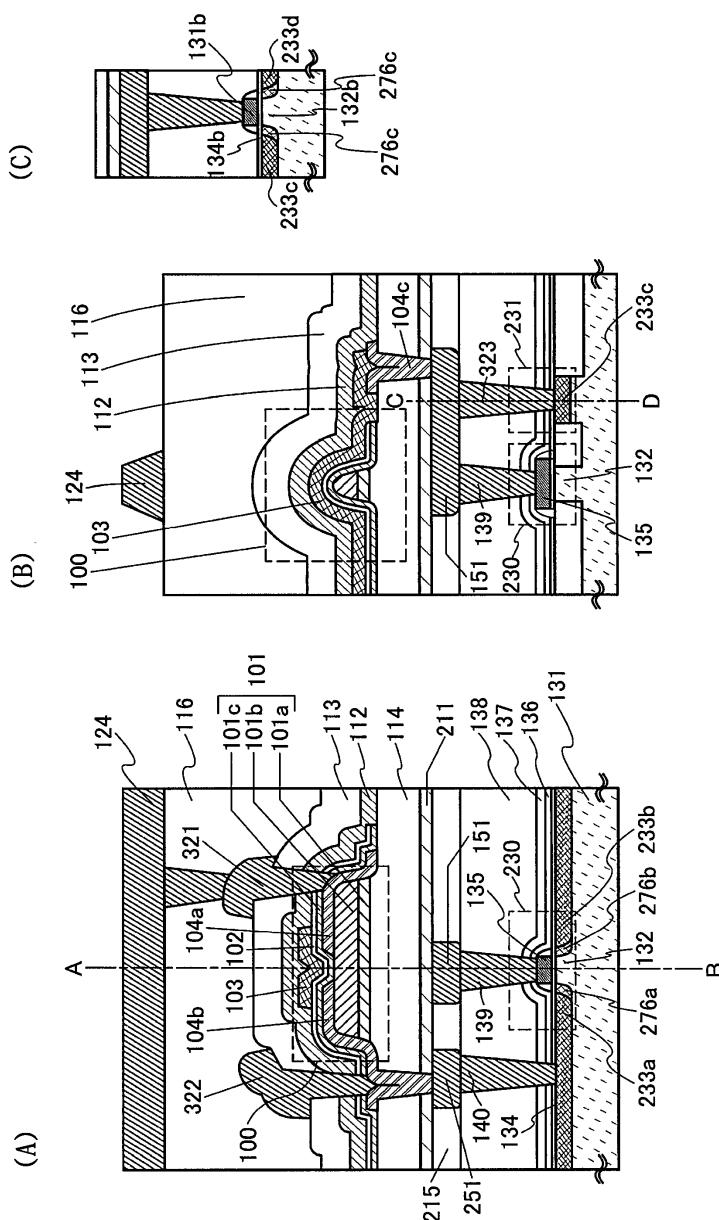
도면 12



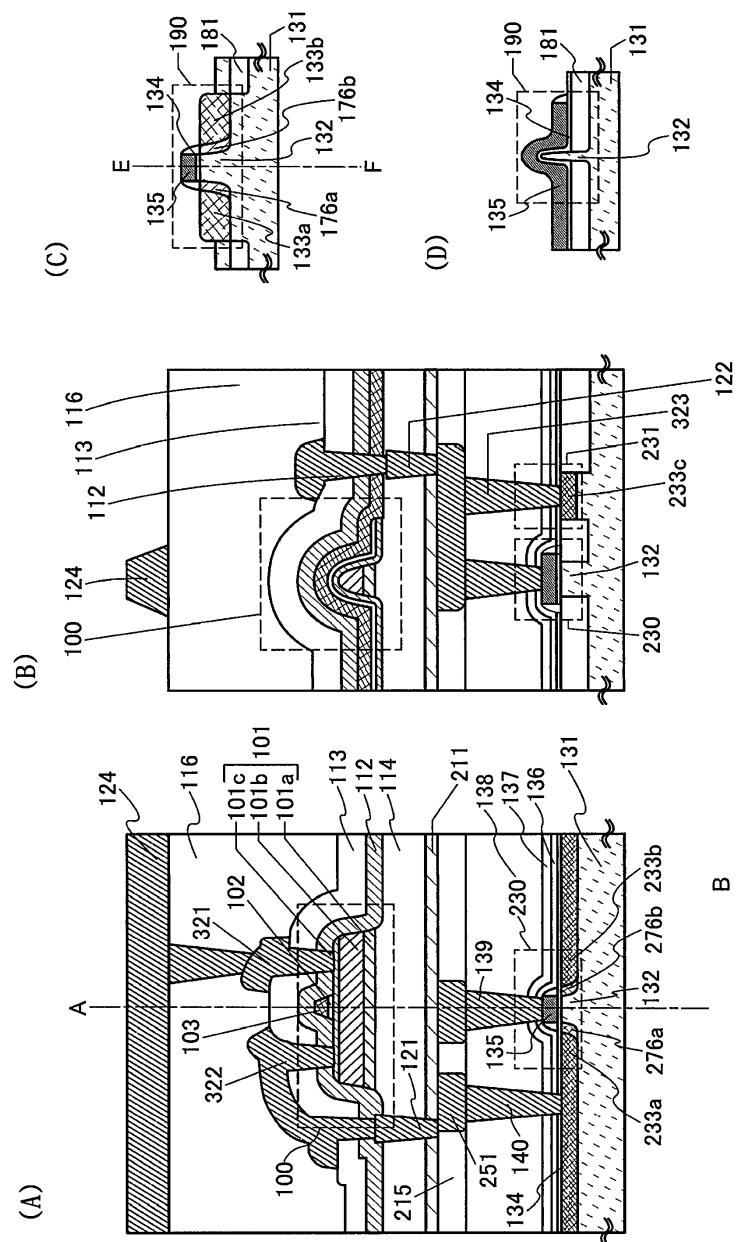
도면13



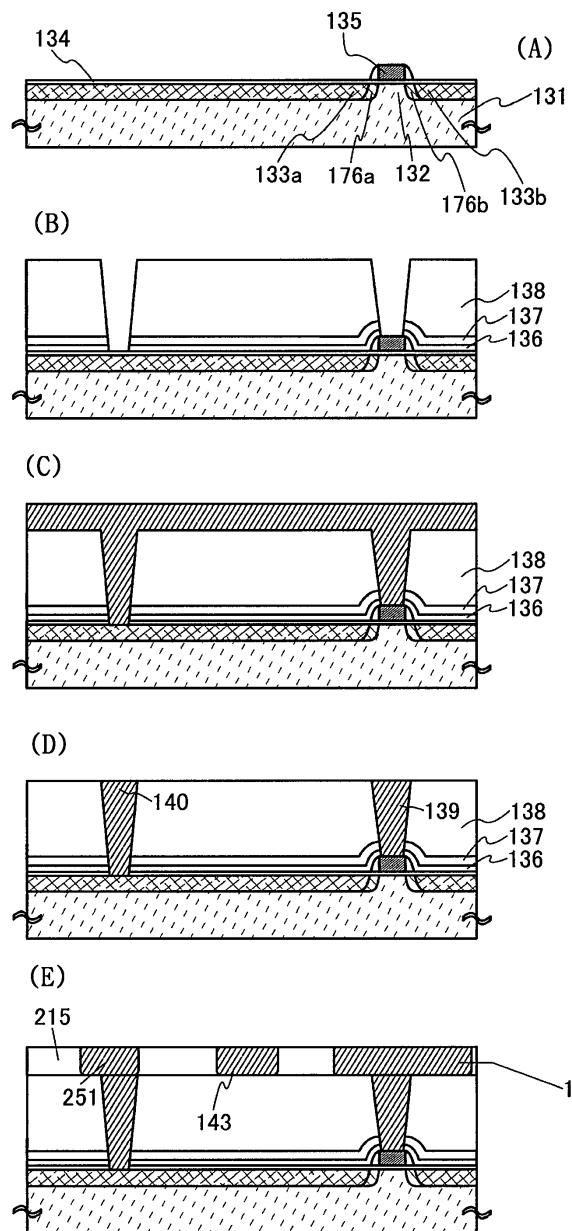
도면14



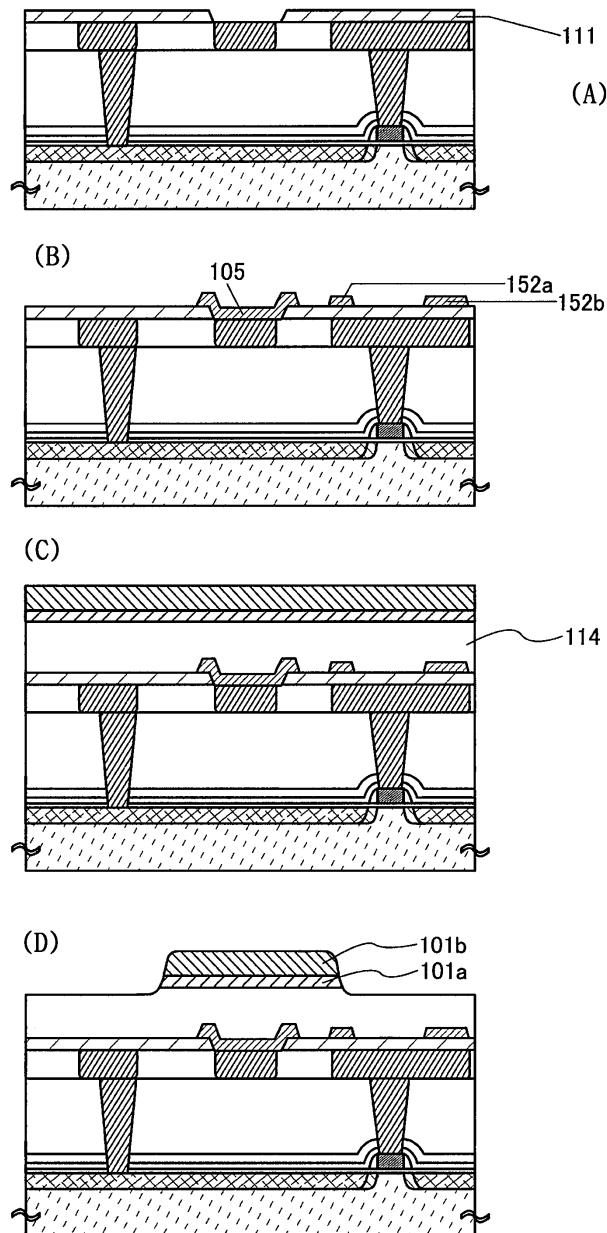
도면15



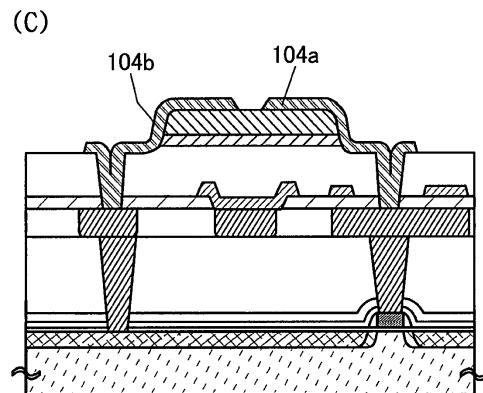
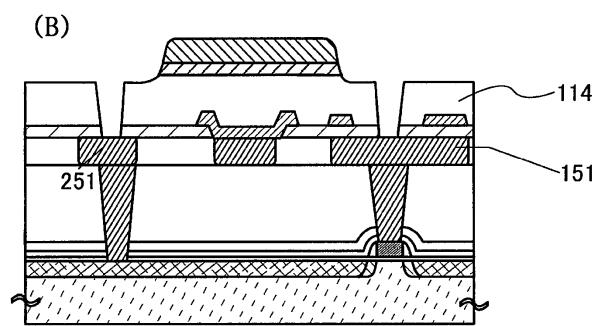
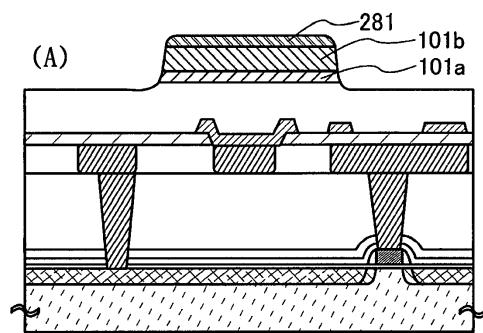
도면16



도면17

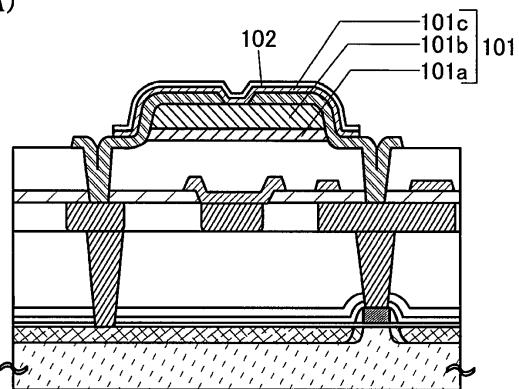


도면18

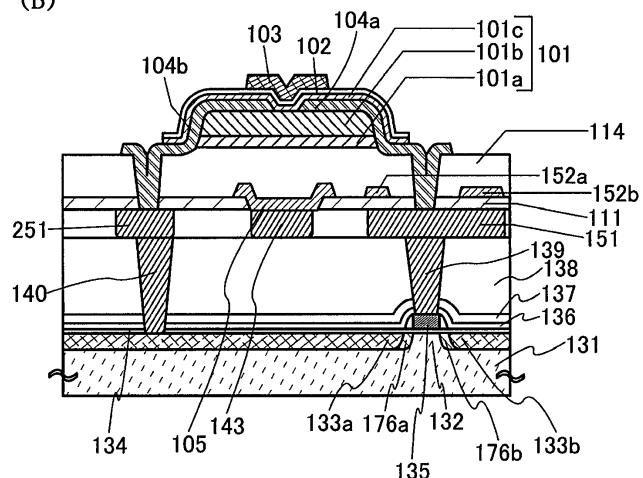


도면19

(A)

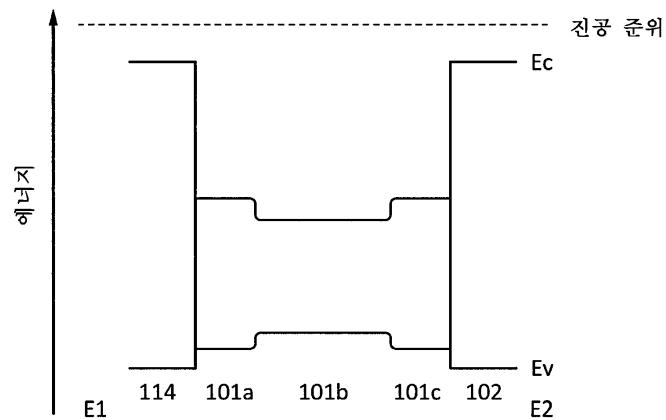


(B)

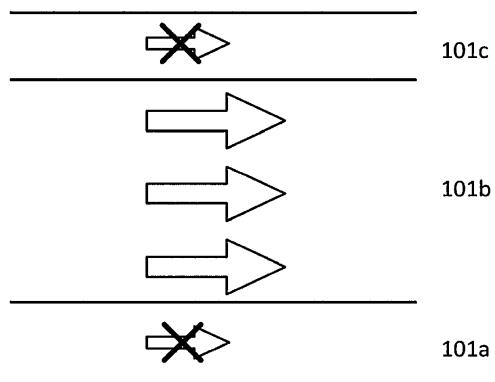


도면20

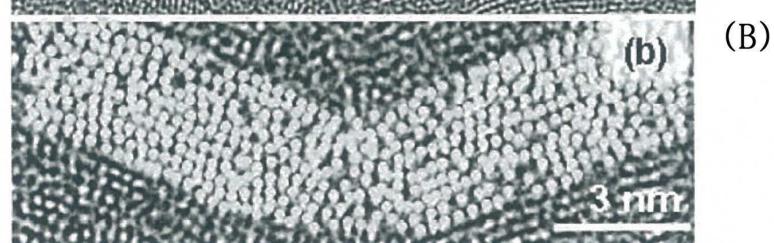
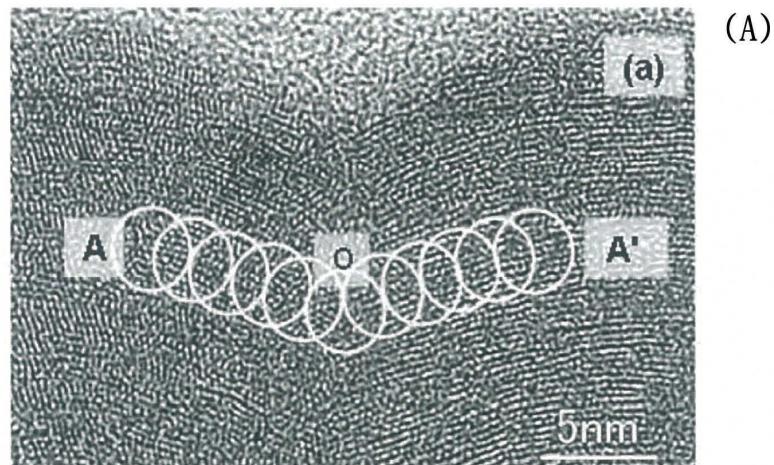
(A)



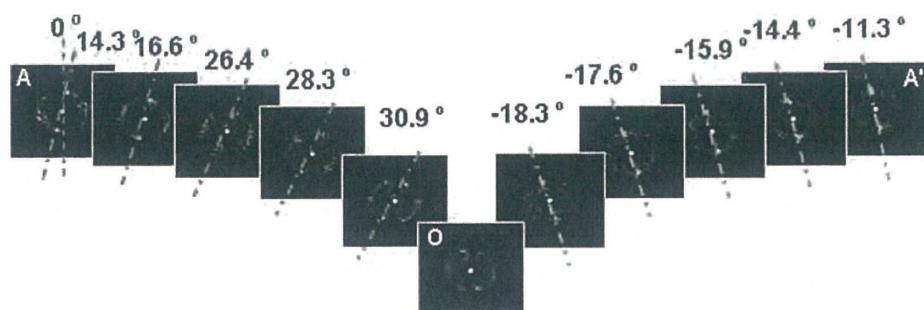
(B)



도면21

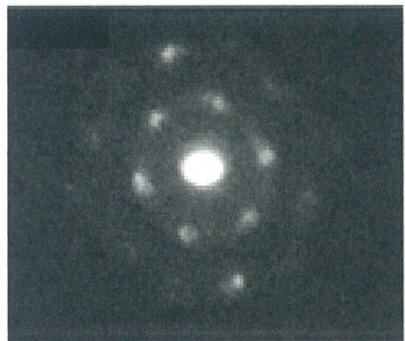


(C)



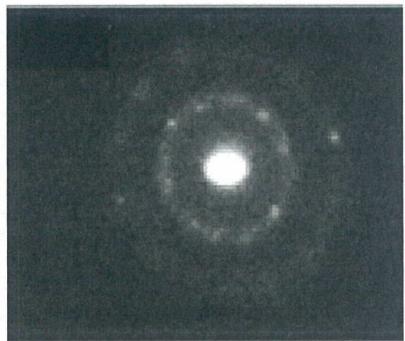
도면22

(A)



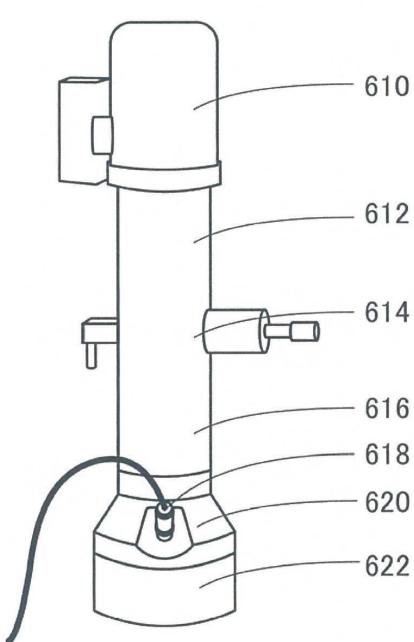
CAAC-OS

(B)

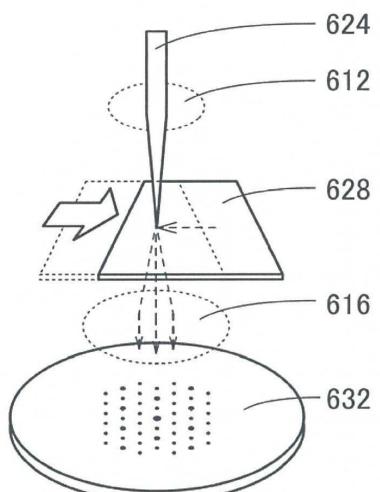


nc-OS

(C)

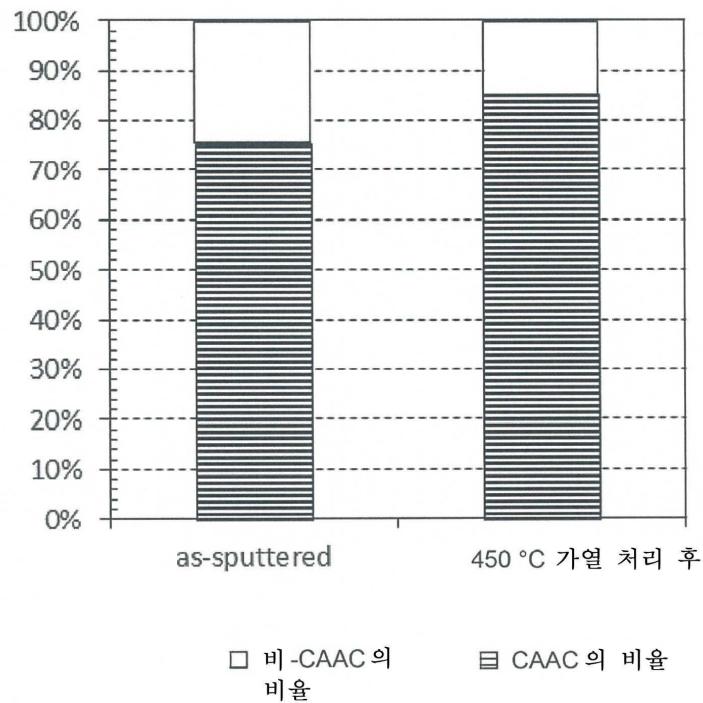


(D)

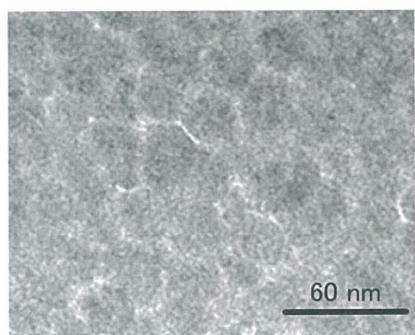


도면23

(A)

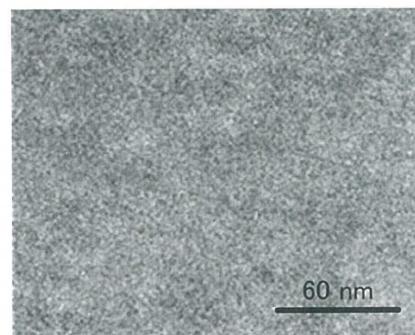


(B)



as-sputtered

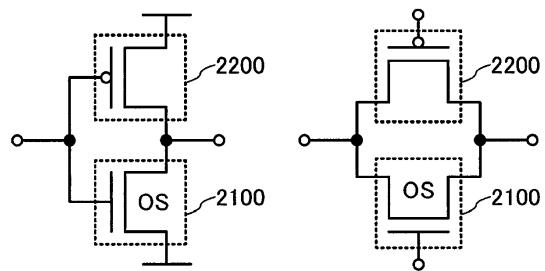
(C)



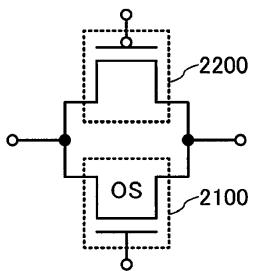
450 °C 가열 처리 후

도면24

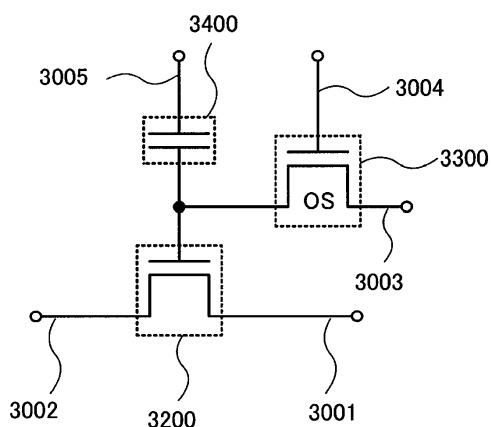
(A)



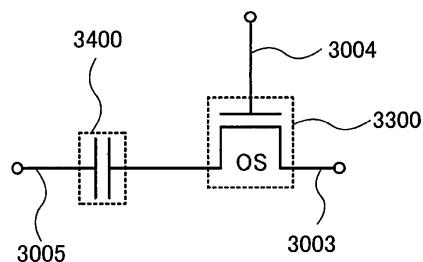
(B)



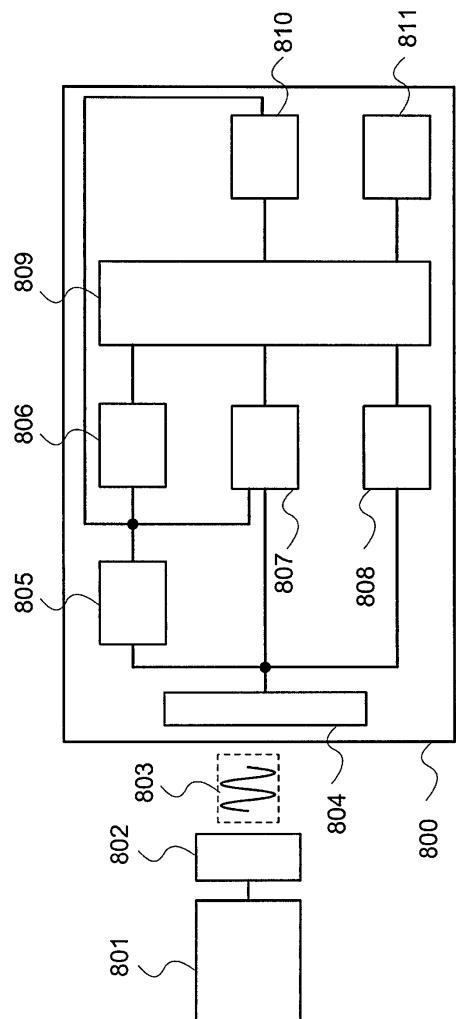
(C)



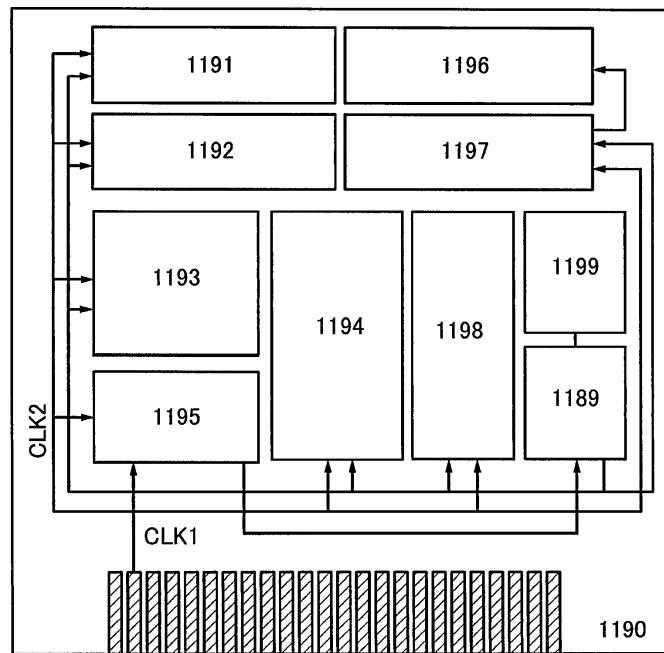
(D)



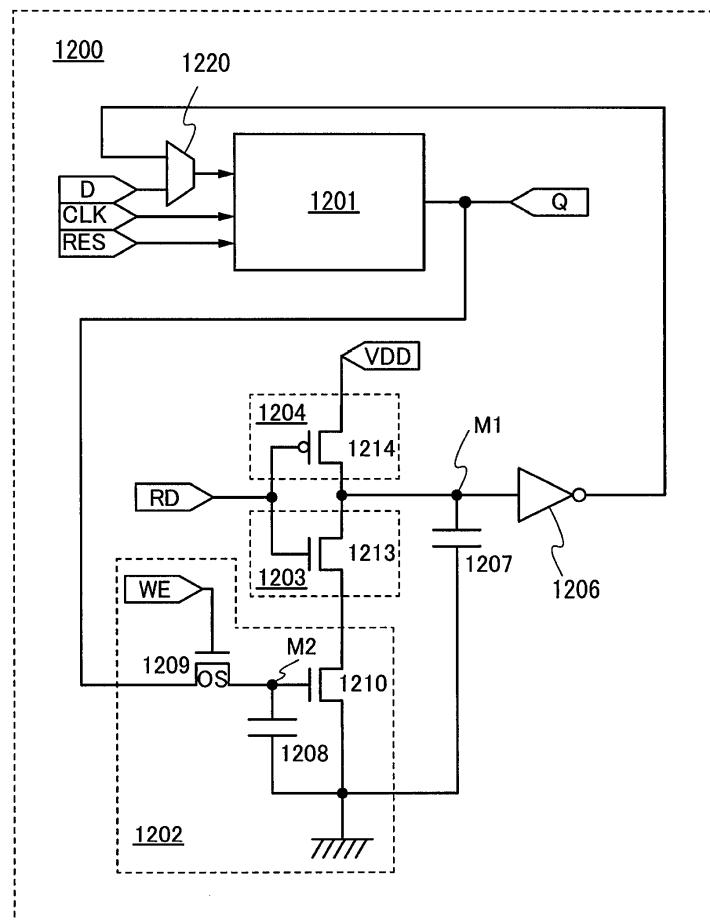
도면25



도면26

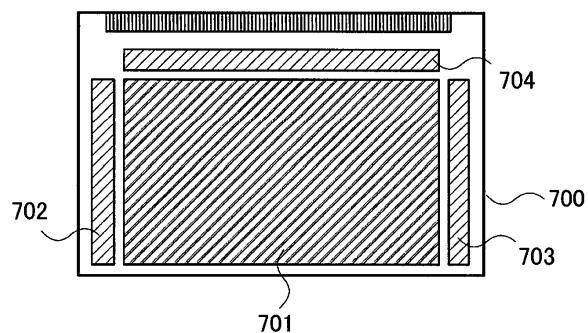


도면27

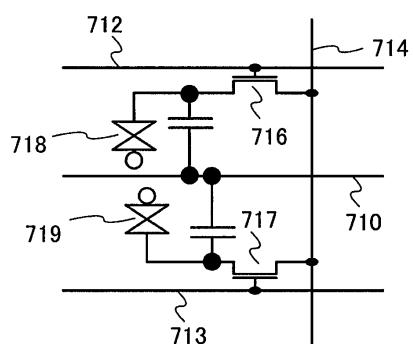


도면28

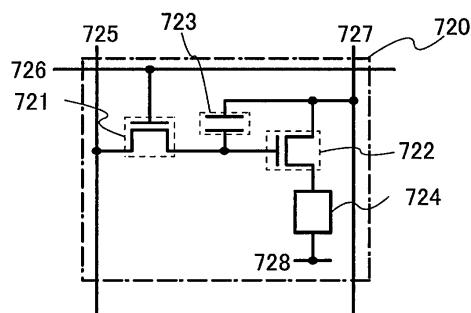
(A)



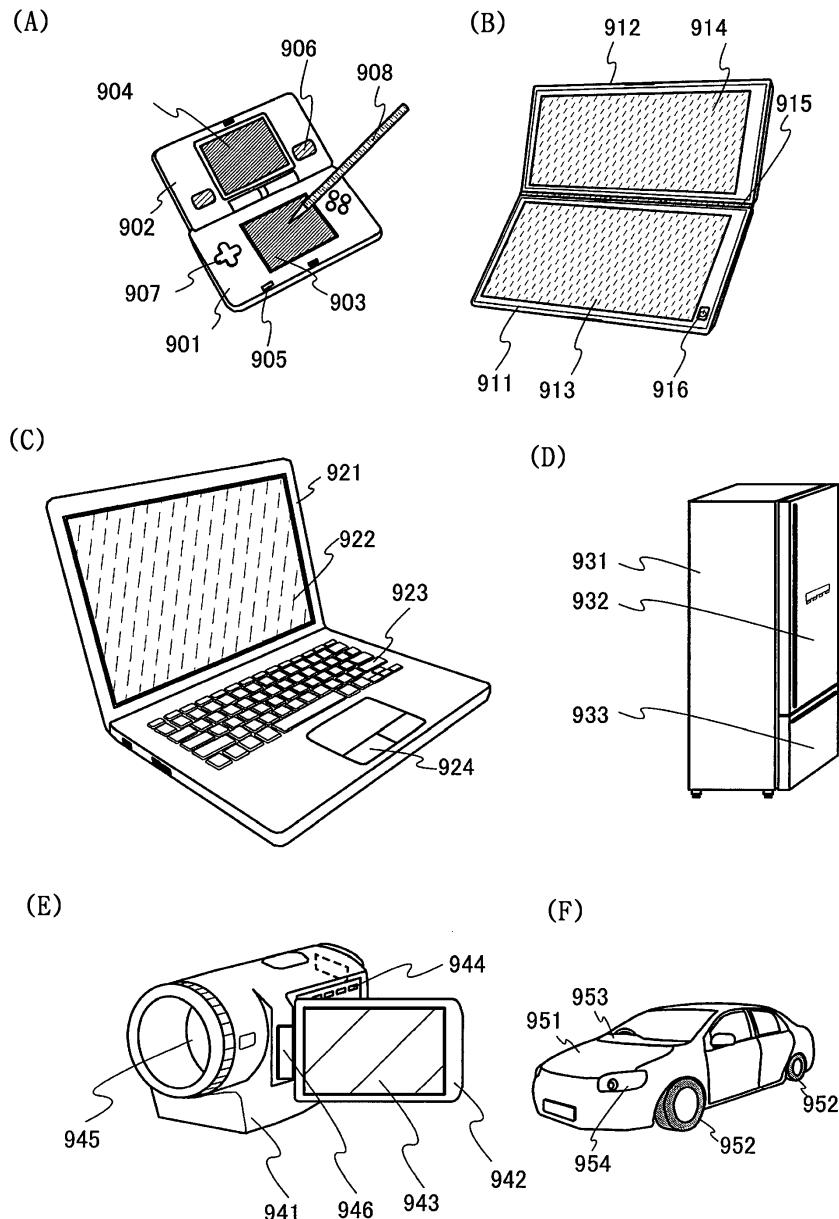
(B)



(C)

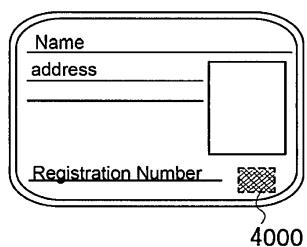


도면29

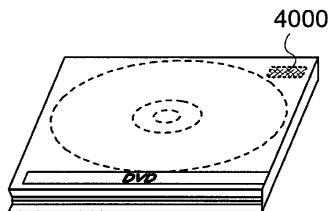


도면30

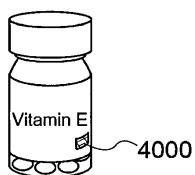
(A)



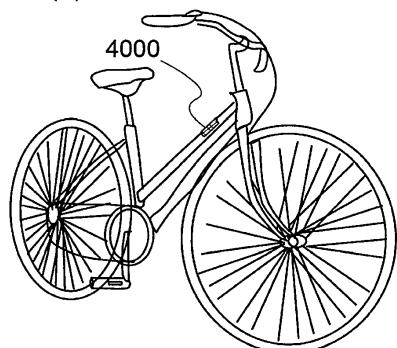
(B)



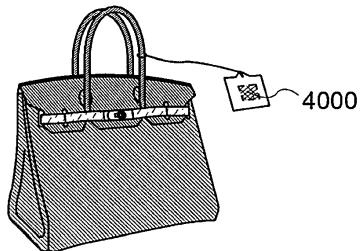
(C)



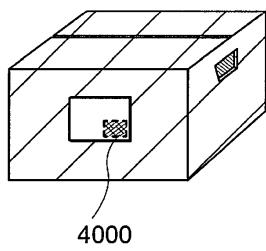
(D)



(E)

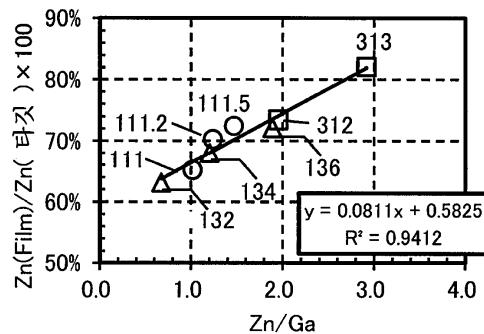


(F)

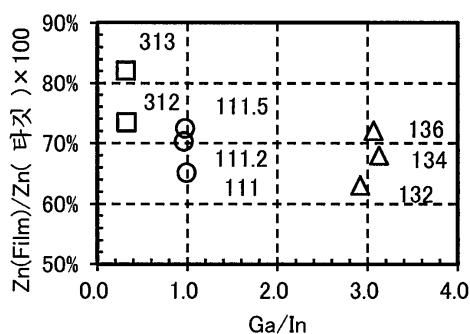


도면31

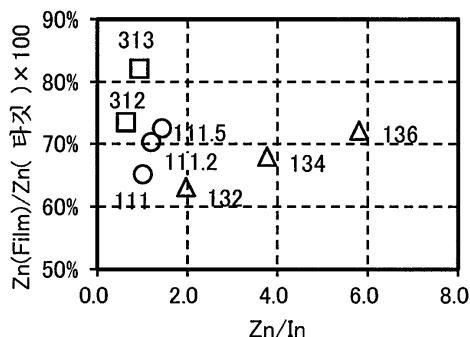
(A)



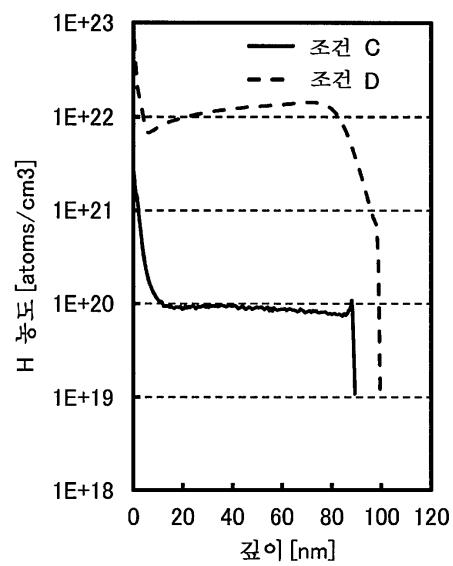
(B)



(C)

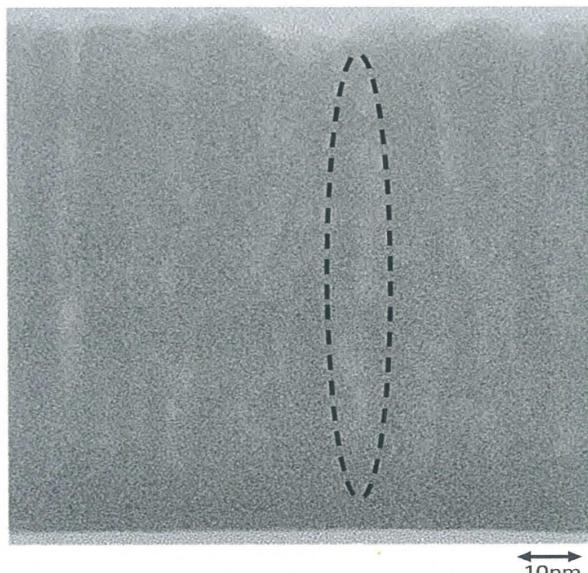


도면32

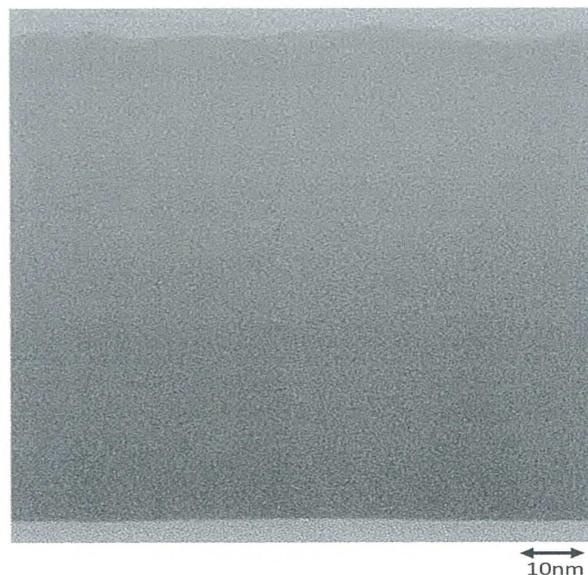


도면33

(A)

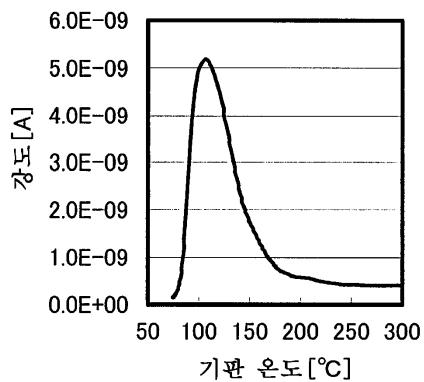


(B)

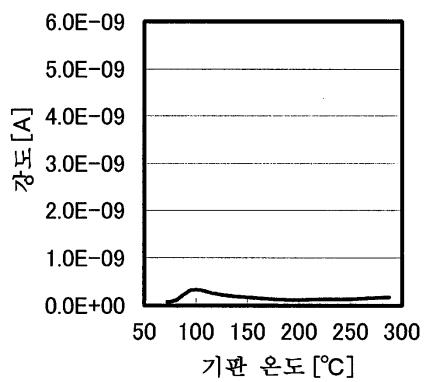


도면34

(A)

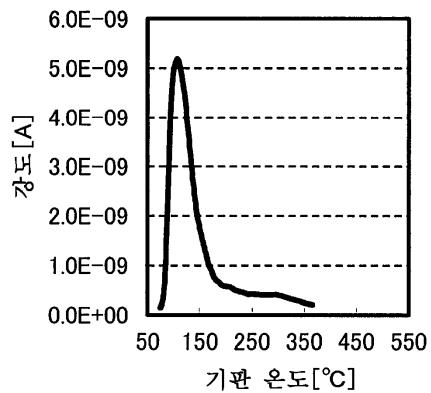


(B)

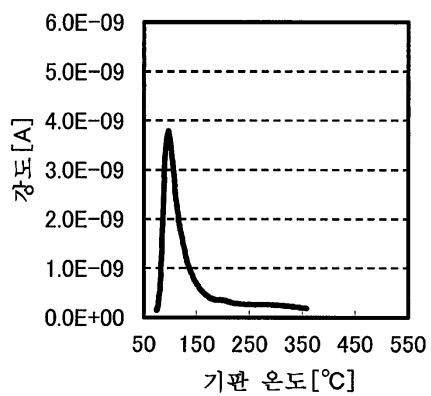


도면35

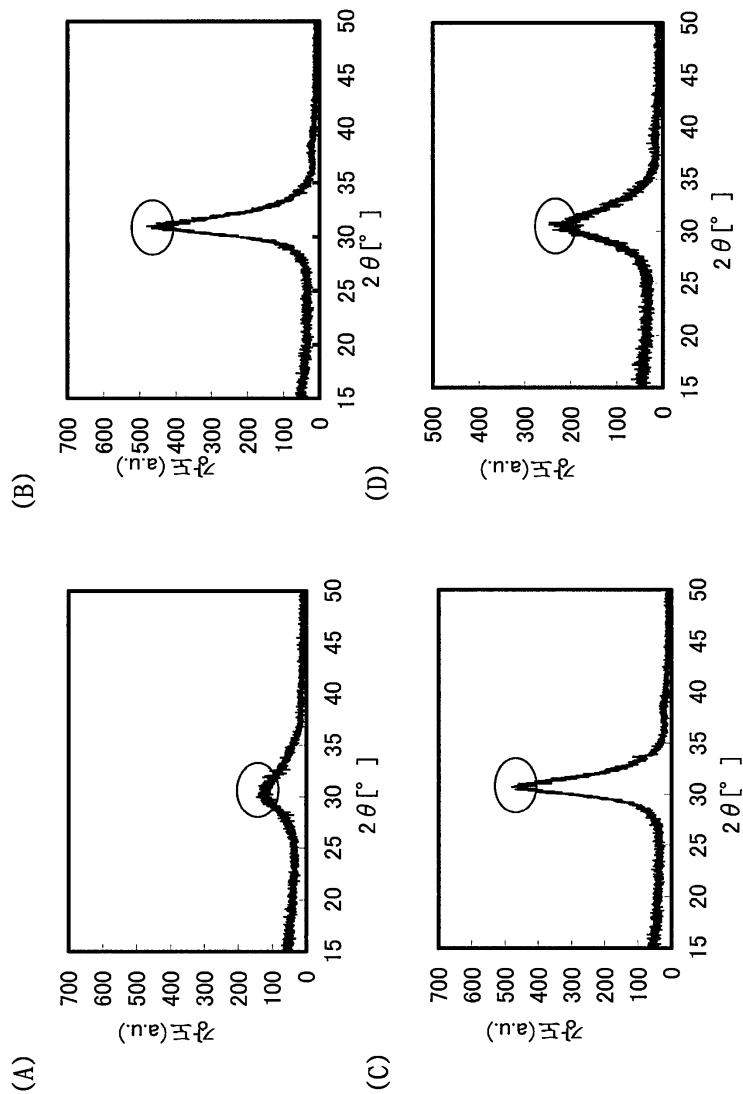
(A)



(B)

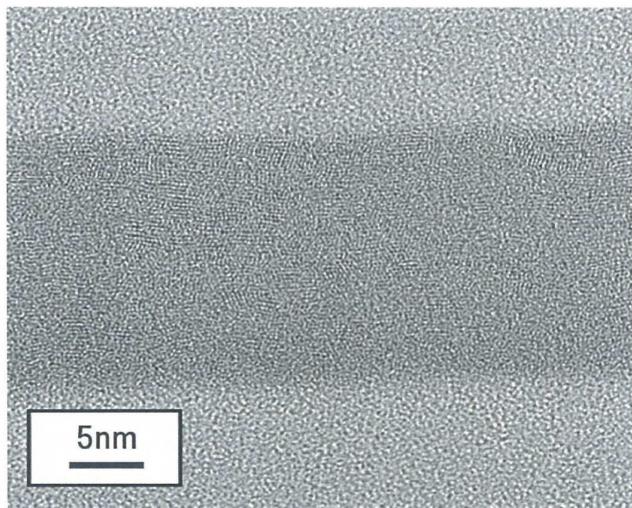


도면36

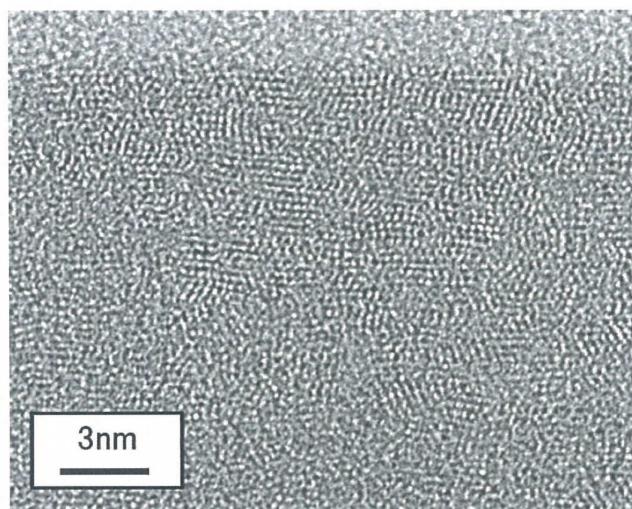


도면37

(A)

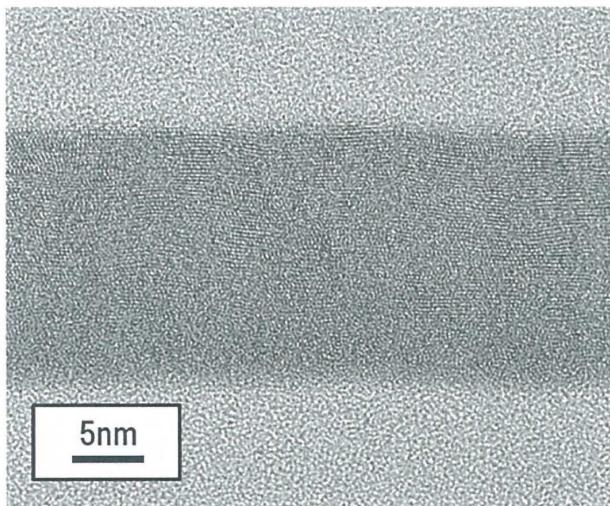


(B)

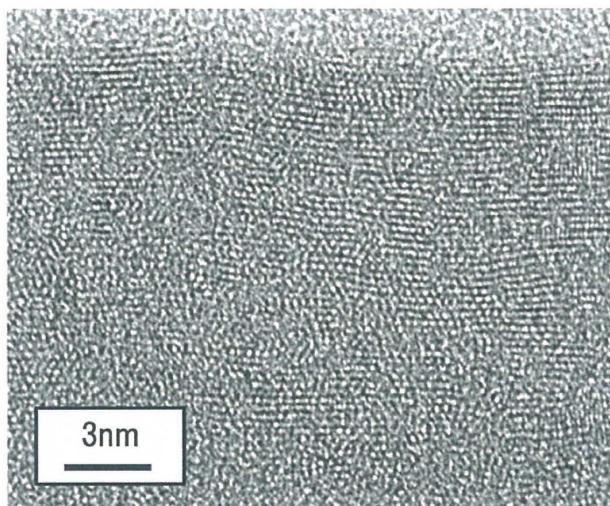


도면38

(A)

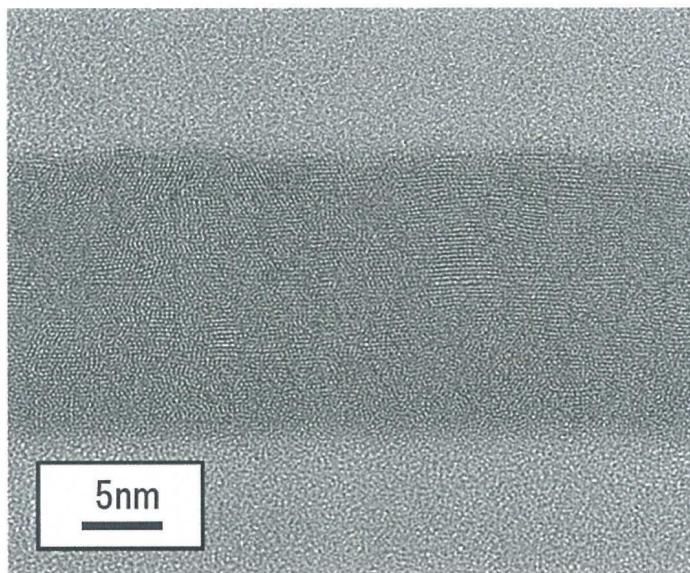


(B)

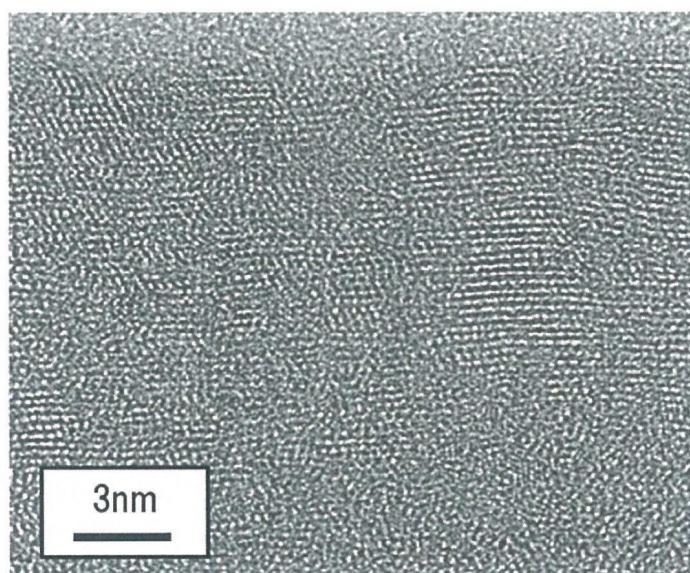


도면39

(A)

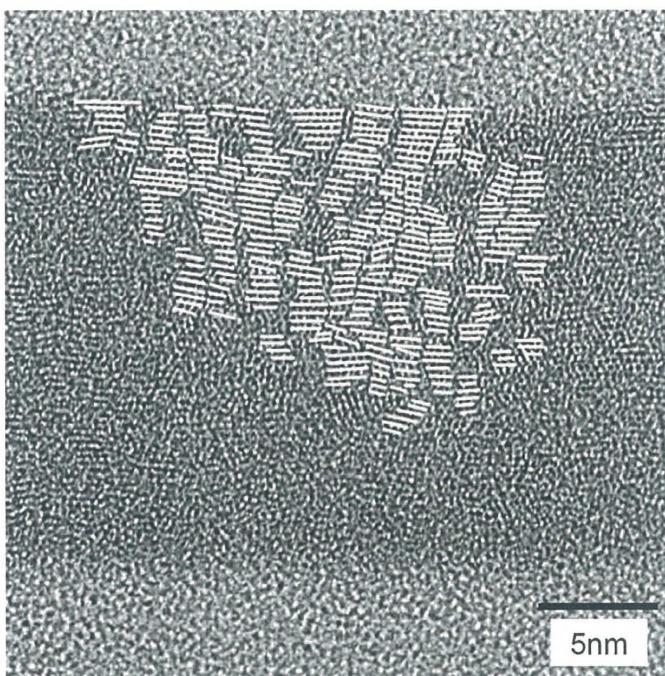


(B)

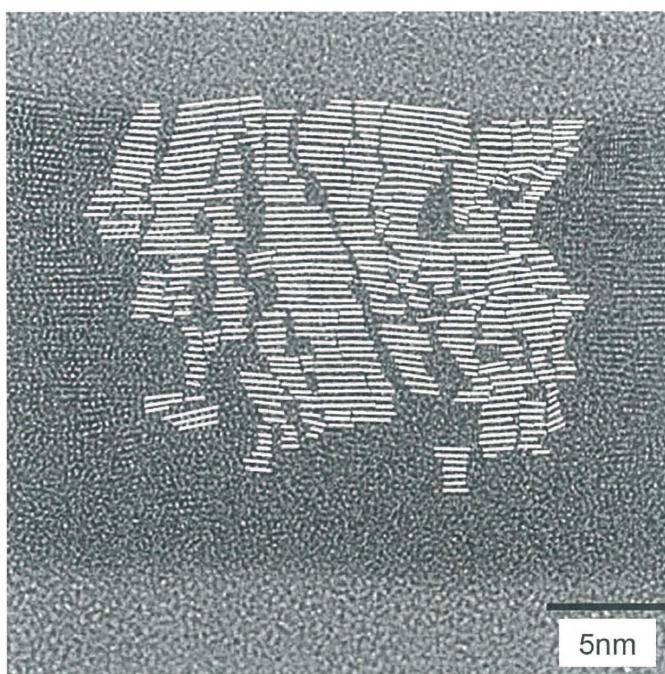


도면40

(A)

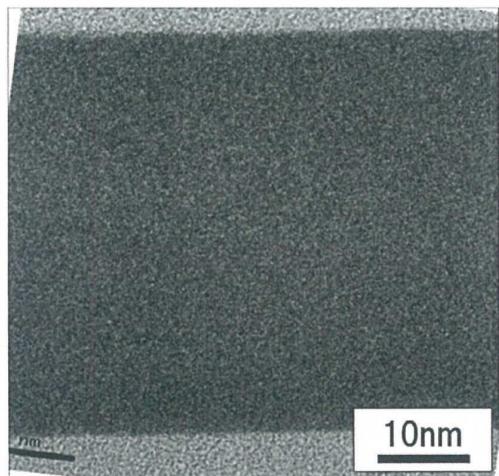


(B)

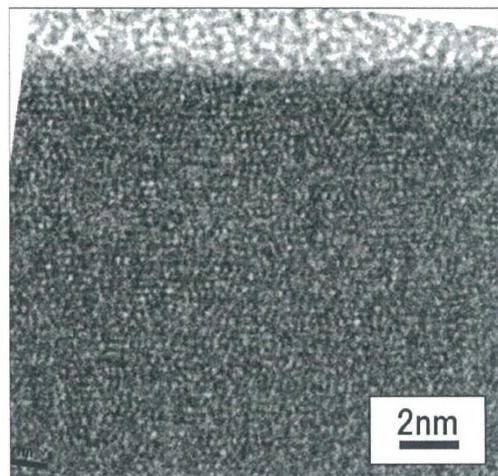


도면41

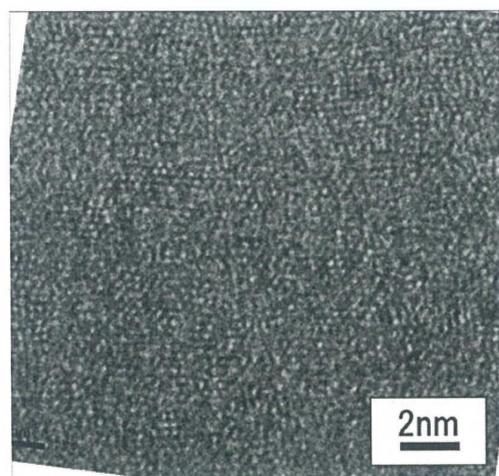
(A)



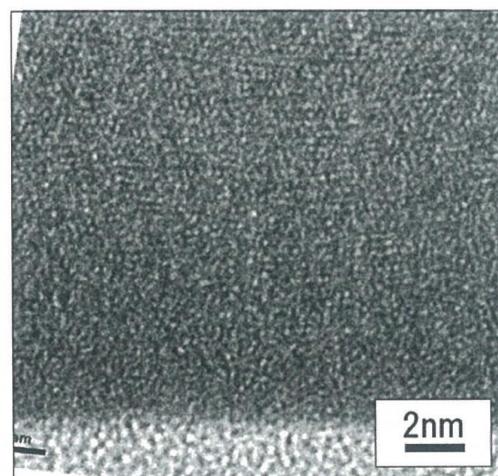
(B)



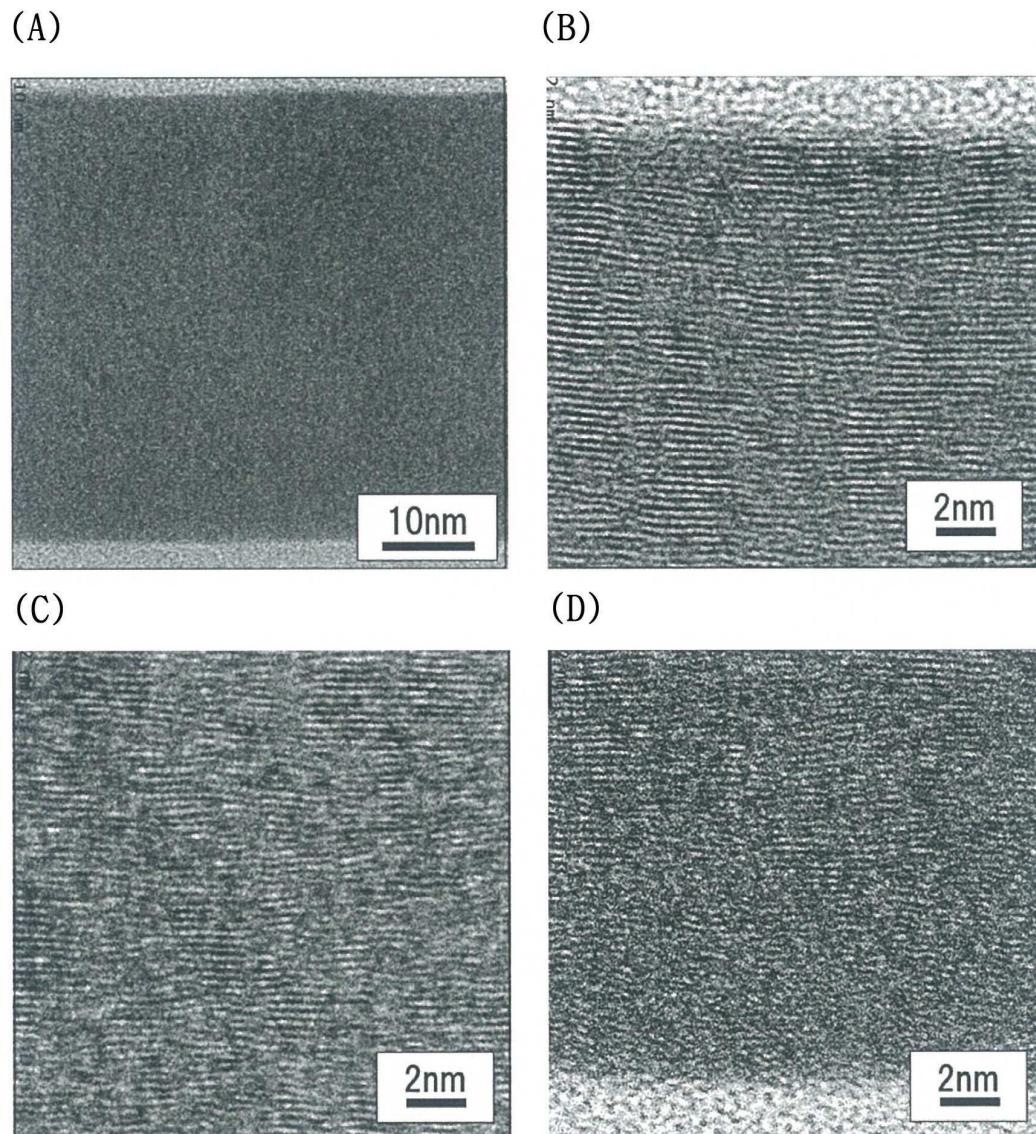
(C)



(D)

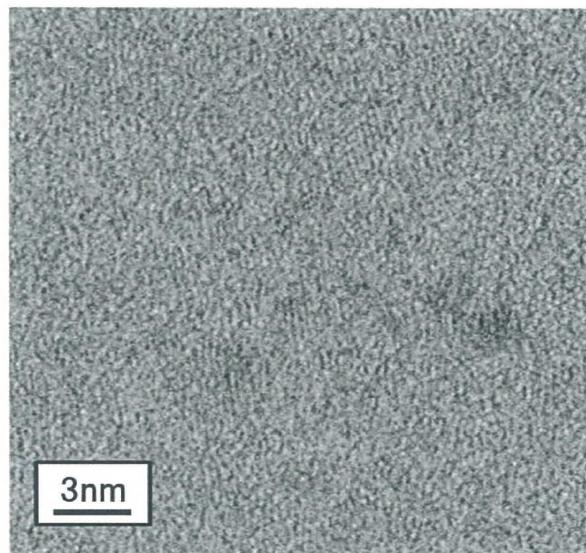


도면42

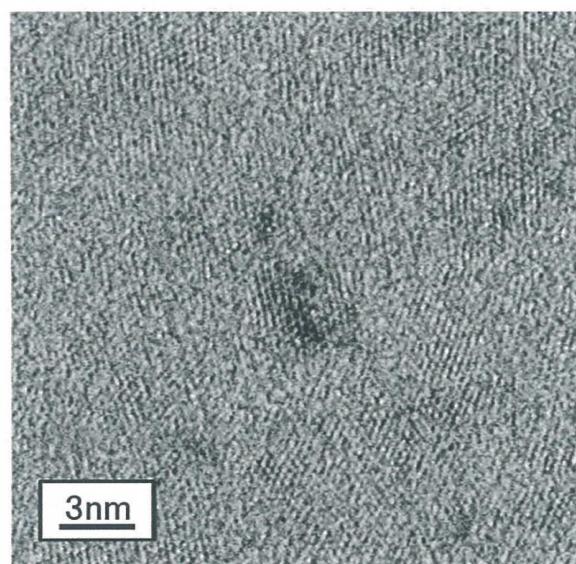


도면43

(A)

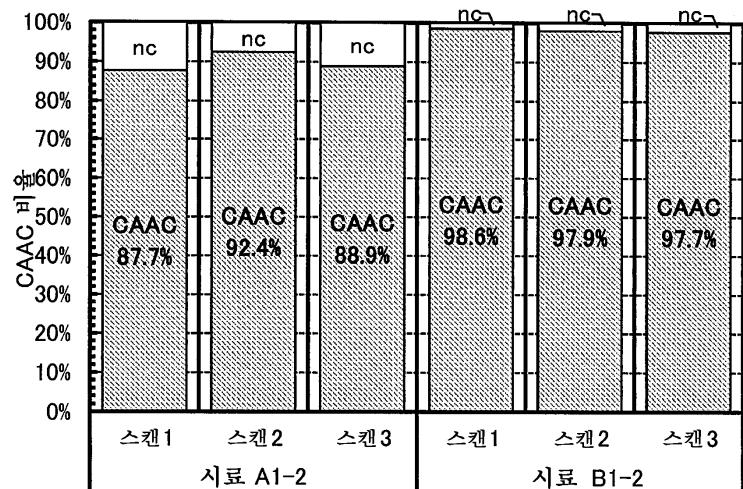


(B)

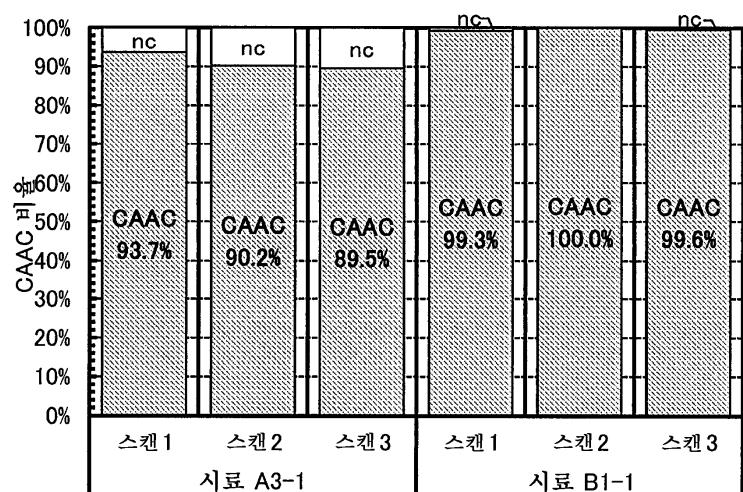


도면44

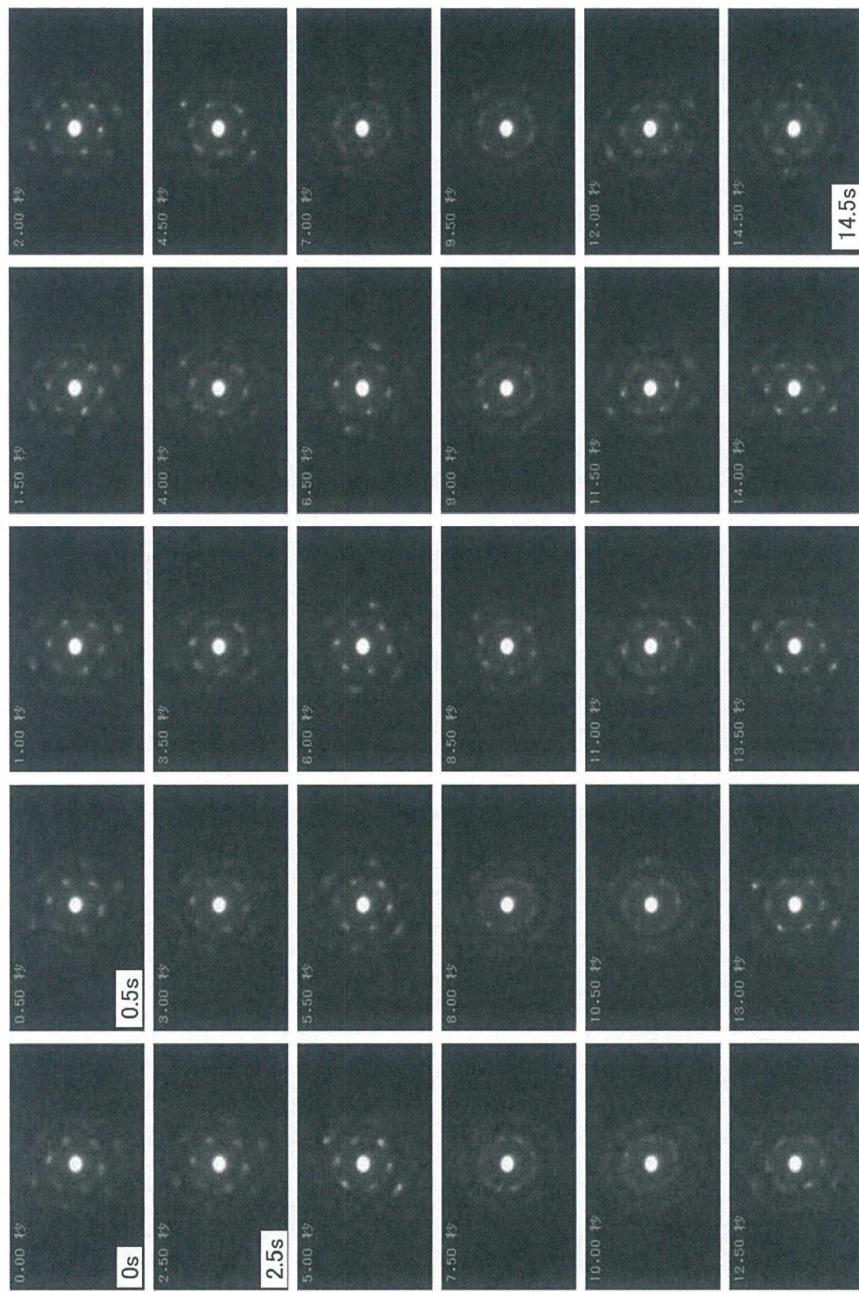
(A)



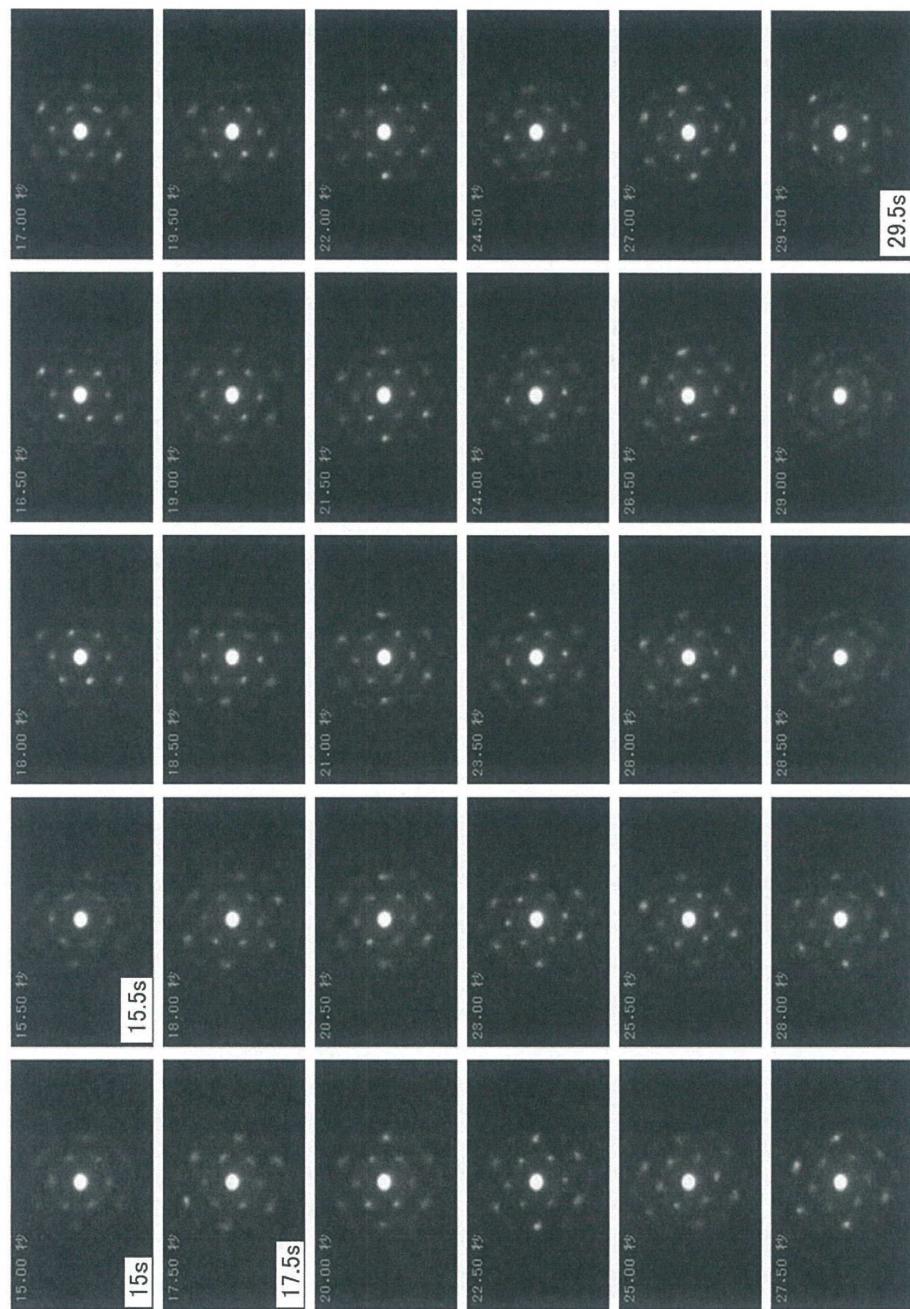
(B)



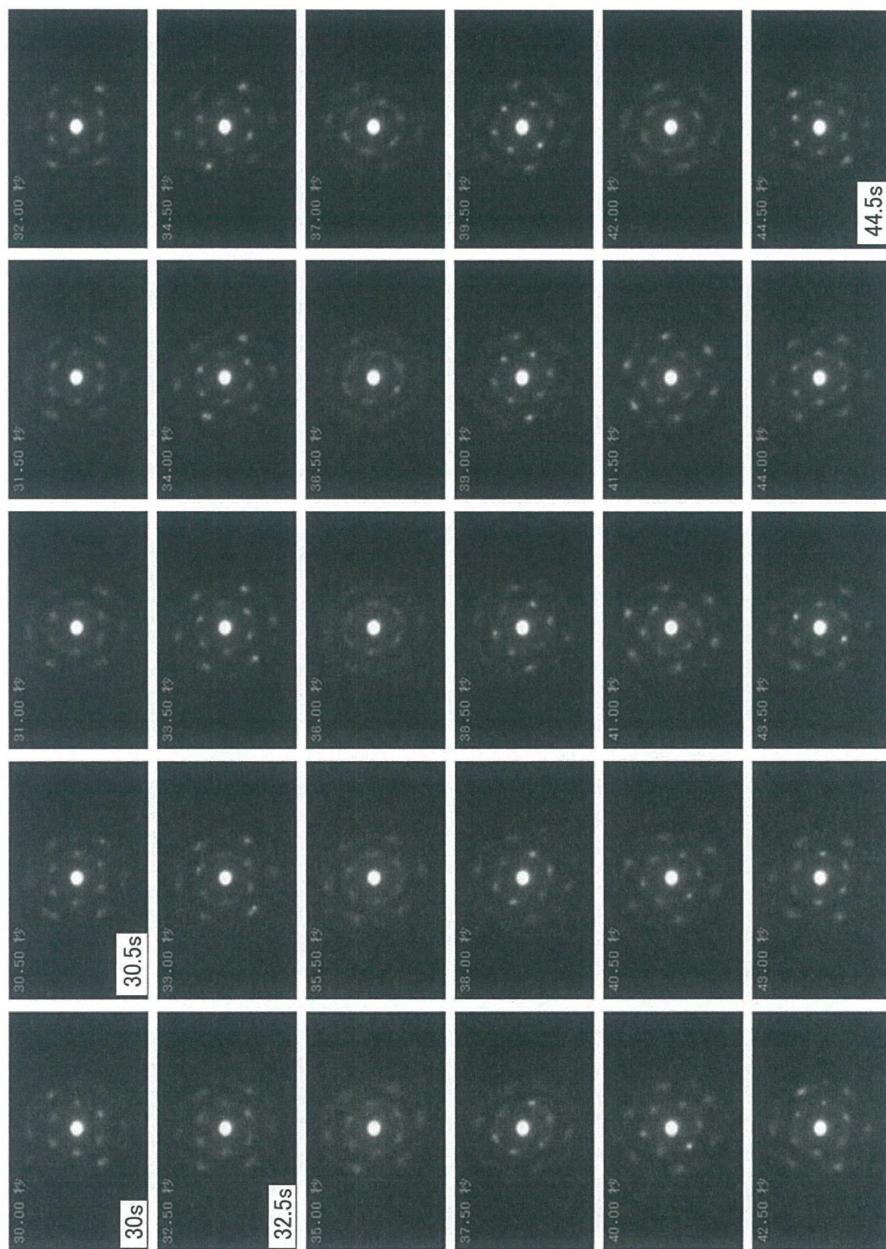
도면45



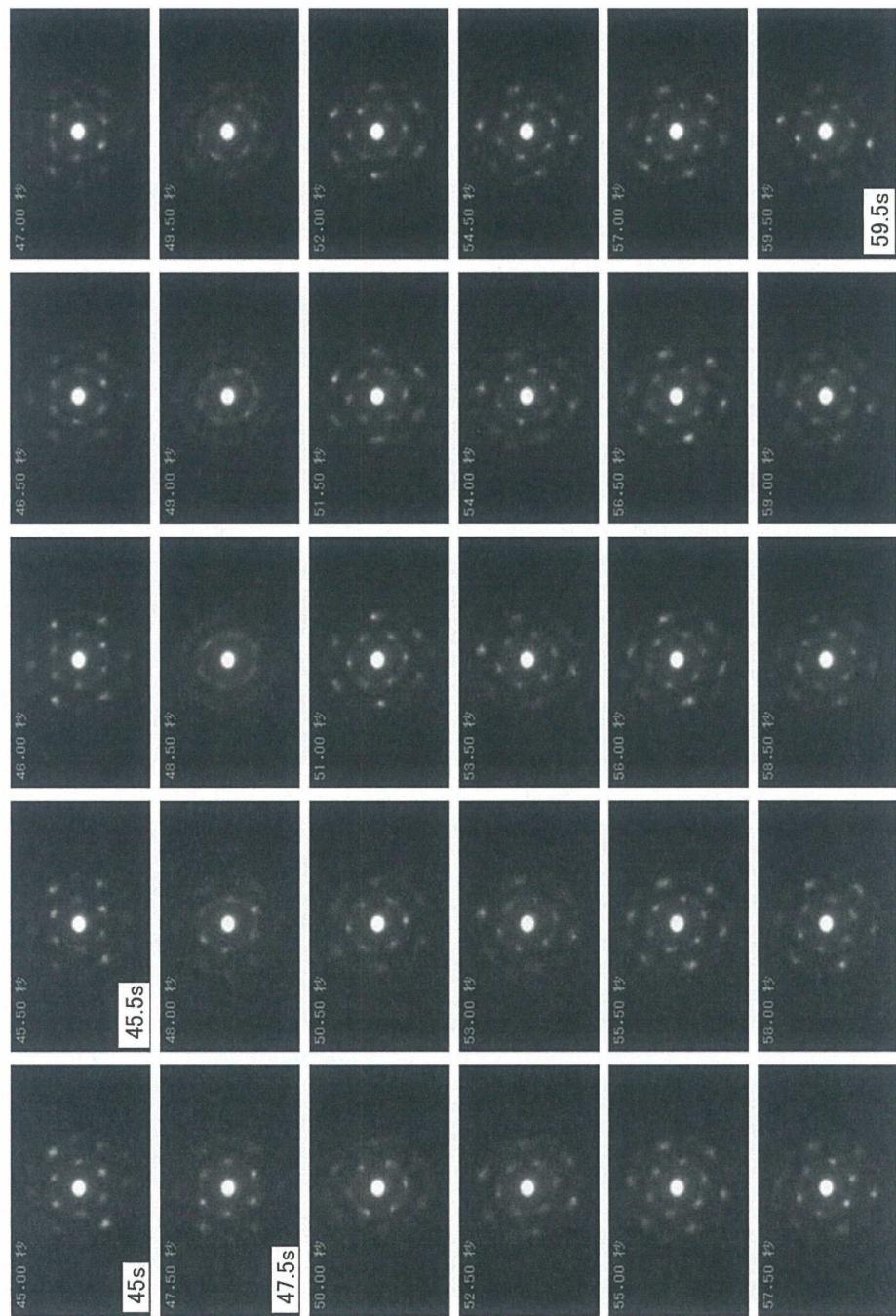
도면46



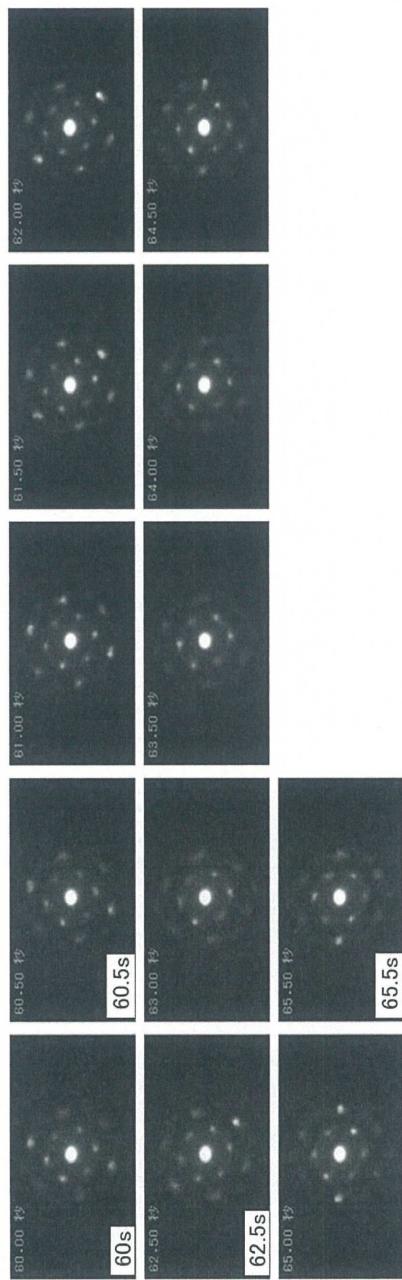
도면47



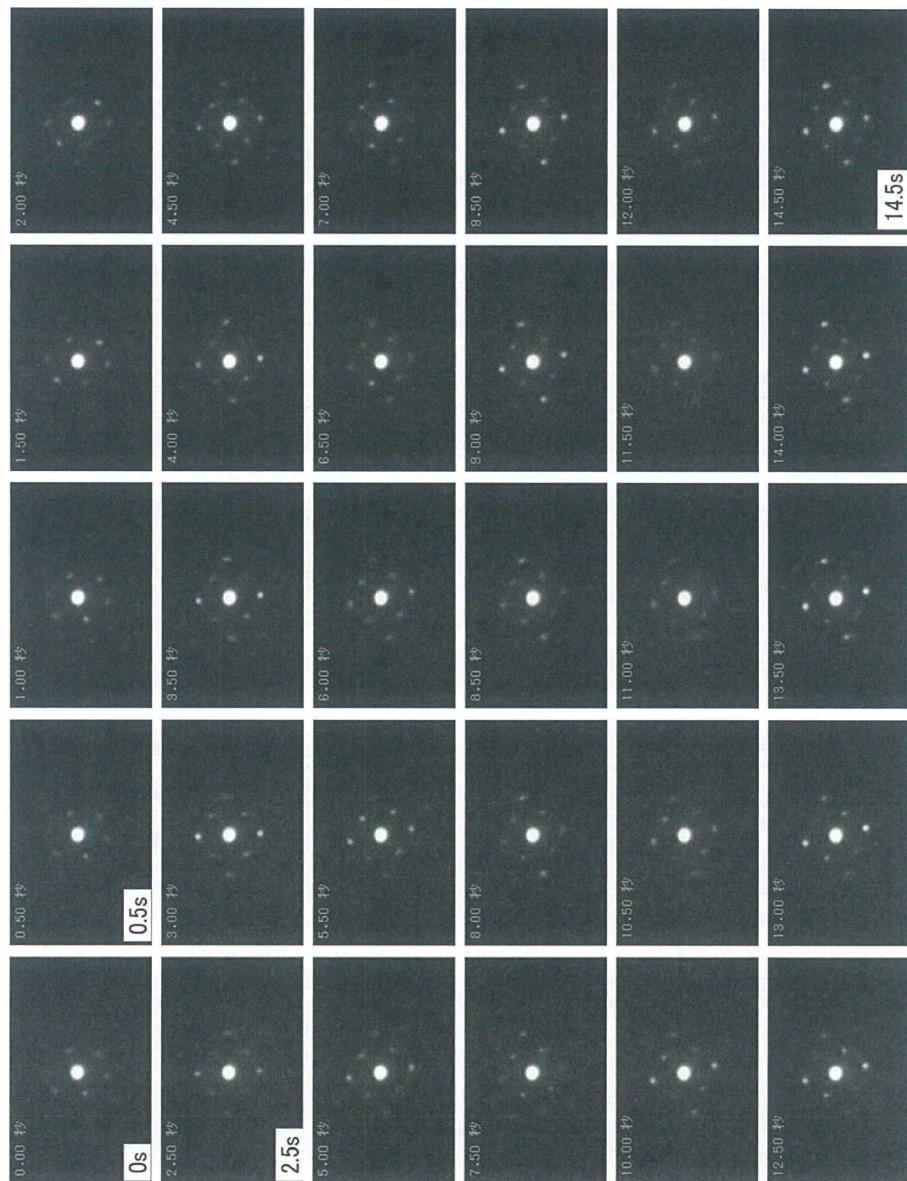
도면48



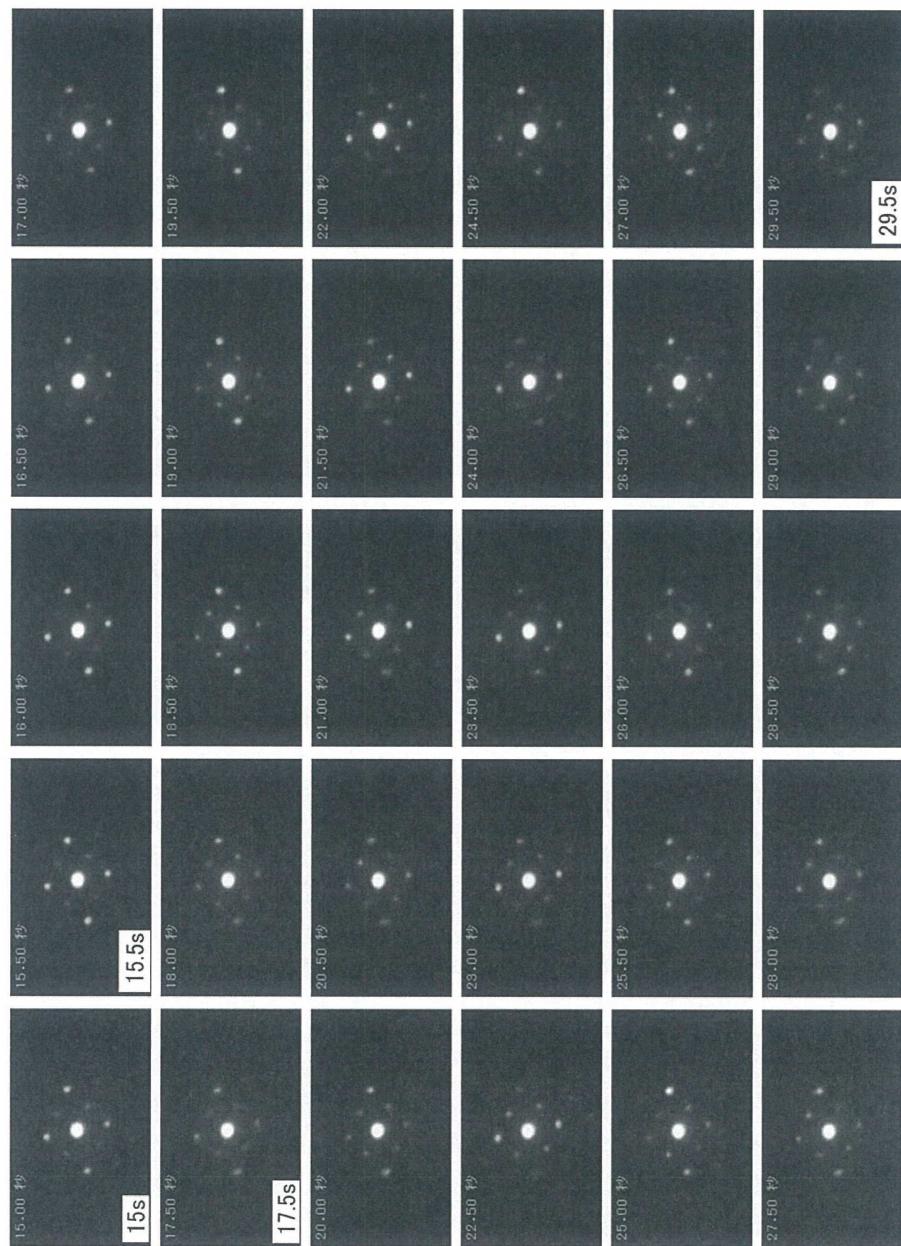
도면49



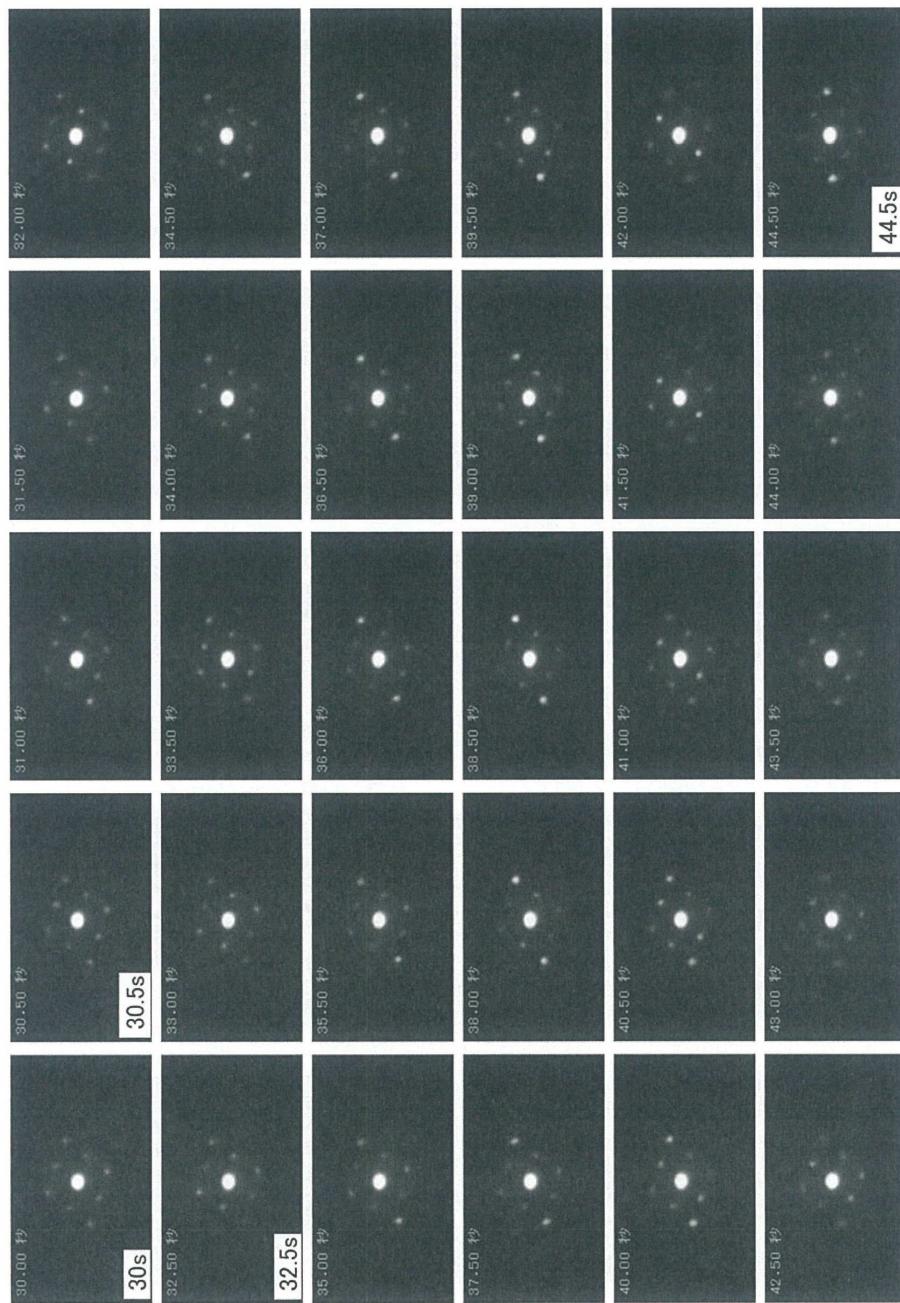
도면50



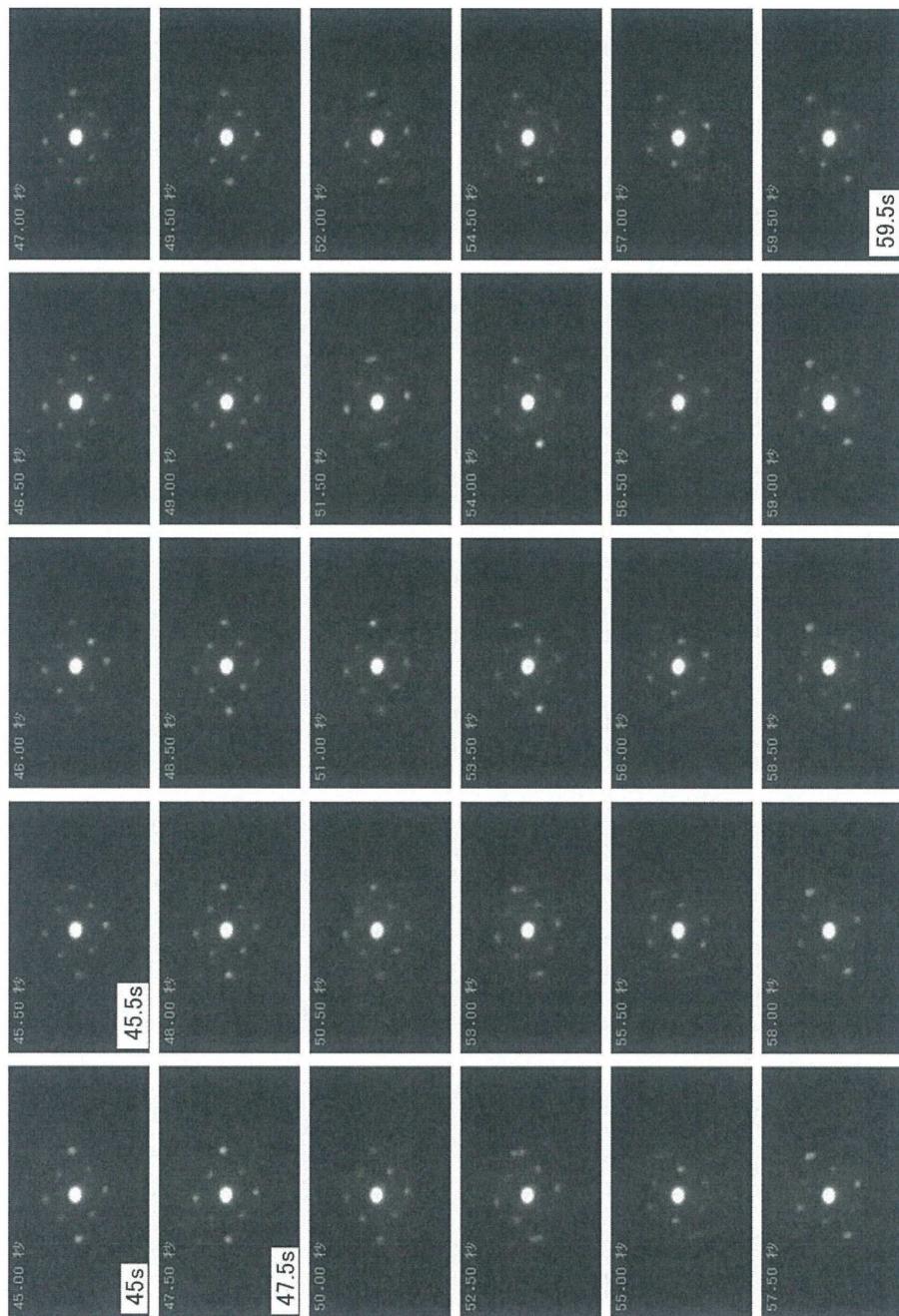
도면51



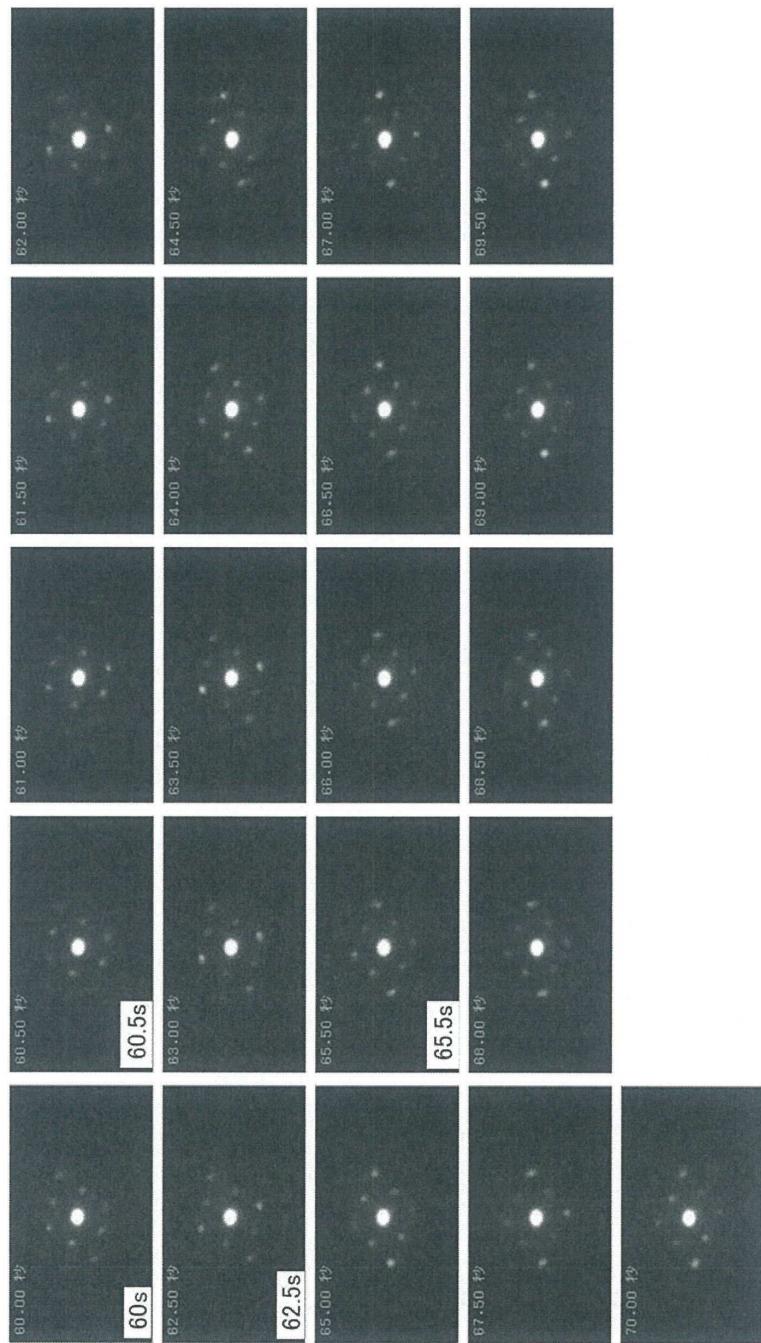
도면52



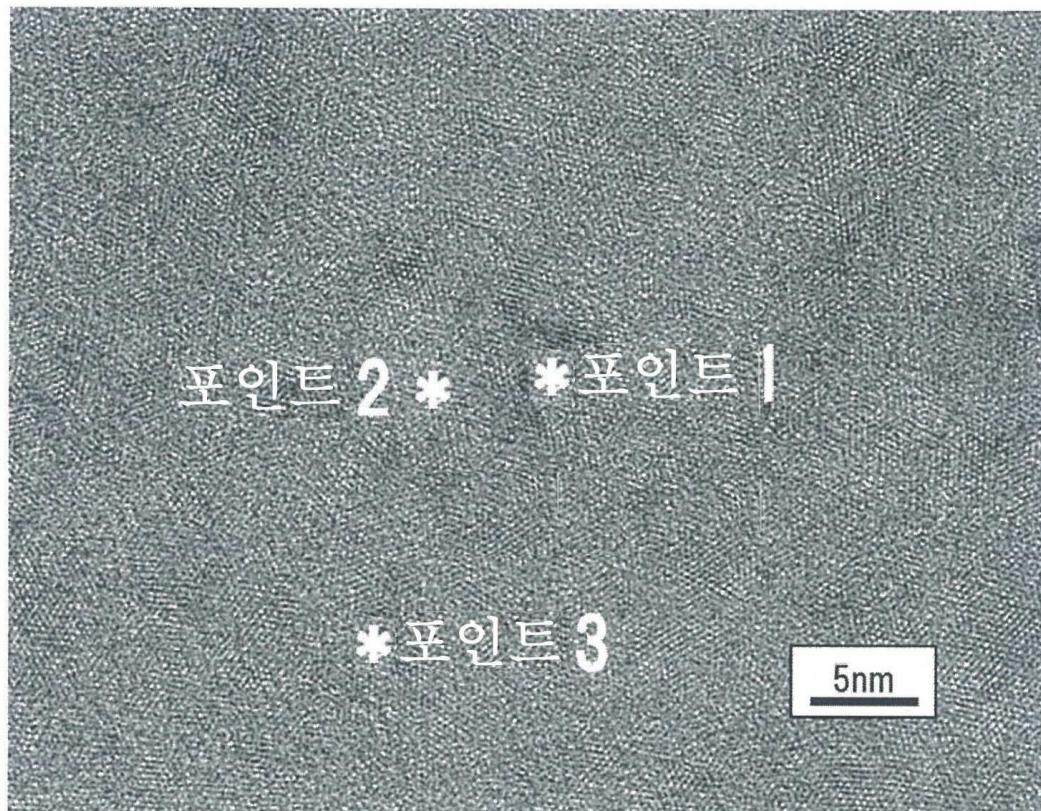
도면53



도면54



도면55



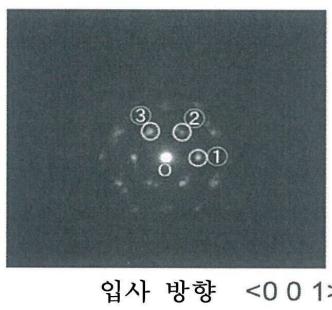
도면56

(A)



관찰된 값	기준 값
d 값	InGaZn ₂ O ₅
① d=0.285nm	(JCPDS:40-252)
② d=0.291nm	d 값
③ d=0.291nm	① 0-1 0 d=0.285nm
각도	② 1-1 0 d=0.285nm
∠①O②=60°	③ 1 0 0 d=0.285nm
∠①O③=120°	각도 (계산 값)
∠②O③=60°	∠①O②=60°
	∠①O③=120°
	∠②O③=60°

(B)



관찰된 값	기준 값
d 값	InGaZn ₂ O ₅
① d=0.287nm	(JCPDS:40-252)
② d=0.291nm	d 값
③ d=0.291nm	① 0-1 0 d=0.285nm
각도	② 1-1 0 d=0.285nm
∠①O②=59°	③ 1 0 0 d=0.285nm
∠①O③=119°	각도 (계산 값)
∠②O③=60°	∠①O②=60°
	∠①O③=120°
	∠②O③=60°

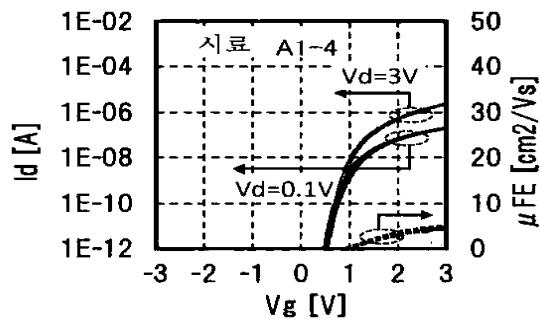
(C)



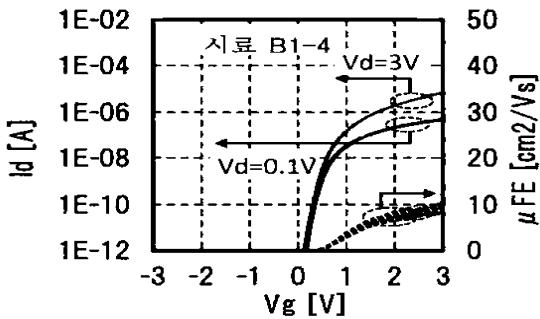
관찰된 값	기준 값
d 값	InGaZn ₂ O ₅
① d=0.287nm	(JCPDS:40-252)
② d=0.287nm	d 값
③ d=0.291nm	① 0-1 0 d=0.285nm
각도	② 1-1 0 d=0.285nm
∠①O②=58°	③ 1 0 0 d=0.285nm
∠①O③=119°	각도 (계산 값)
∠②O③=61°	∠①O②=60°
	∠①O③=120°
	∠②O③=60°

도면57

(A)

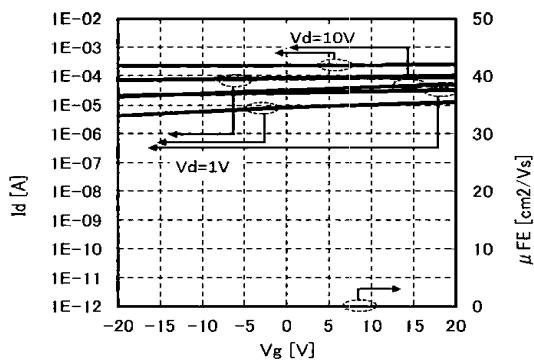


(B)

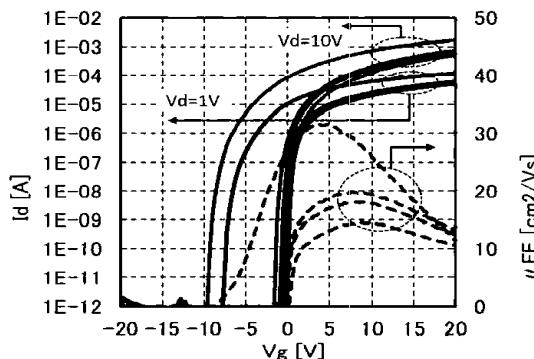


도면58

(A)

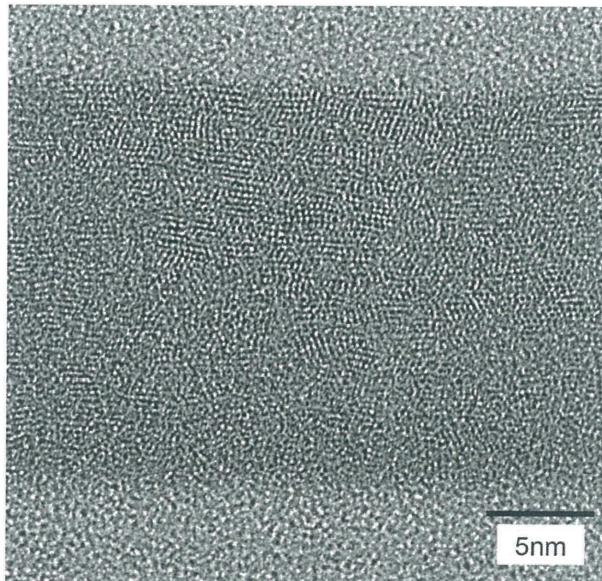


(B)

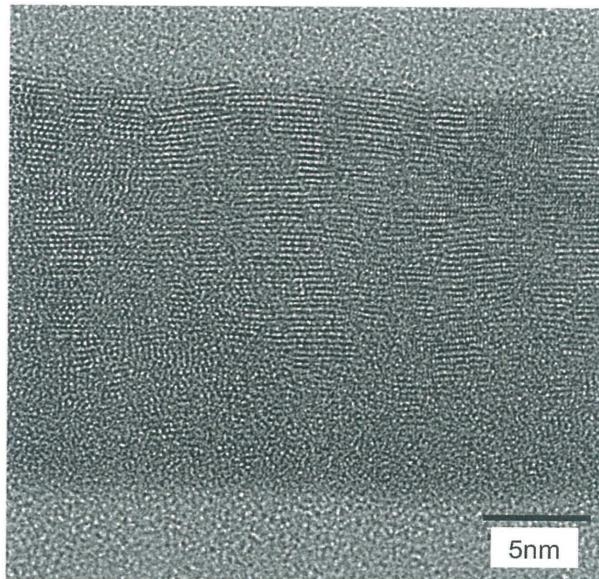


도면59

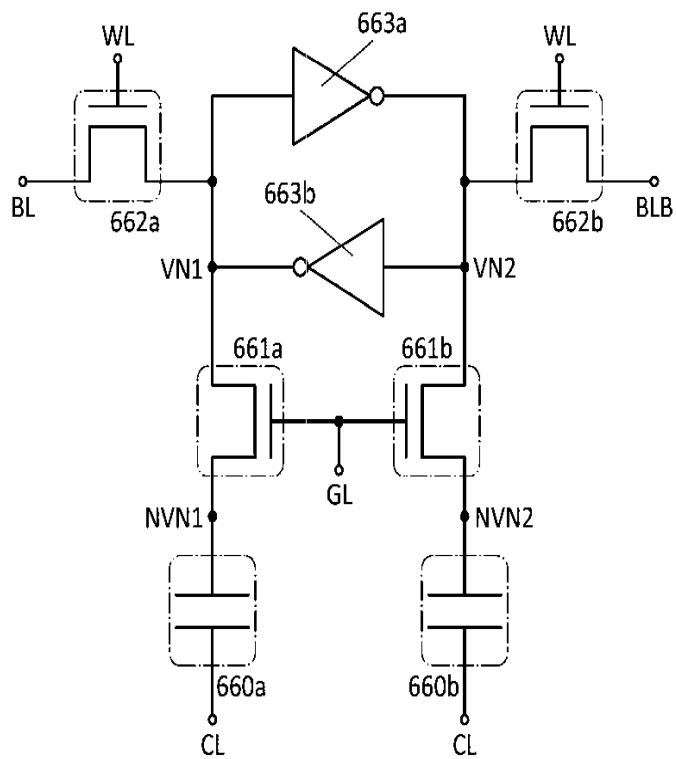
(A)



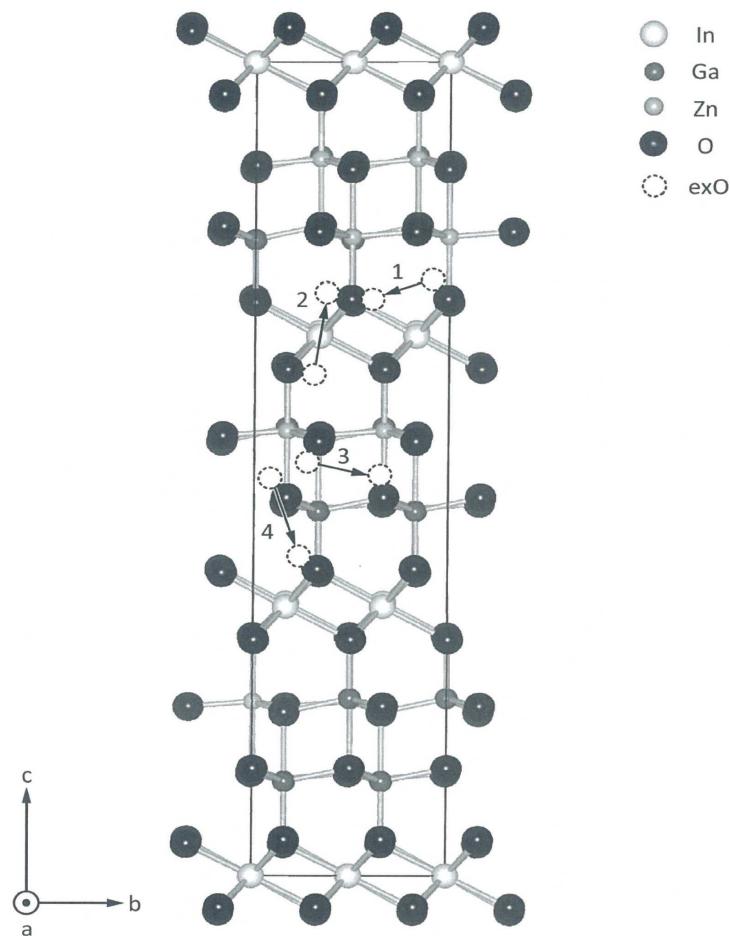
(B)



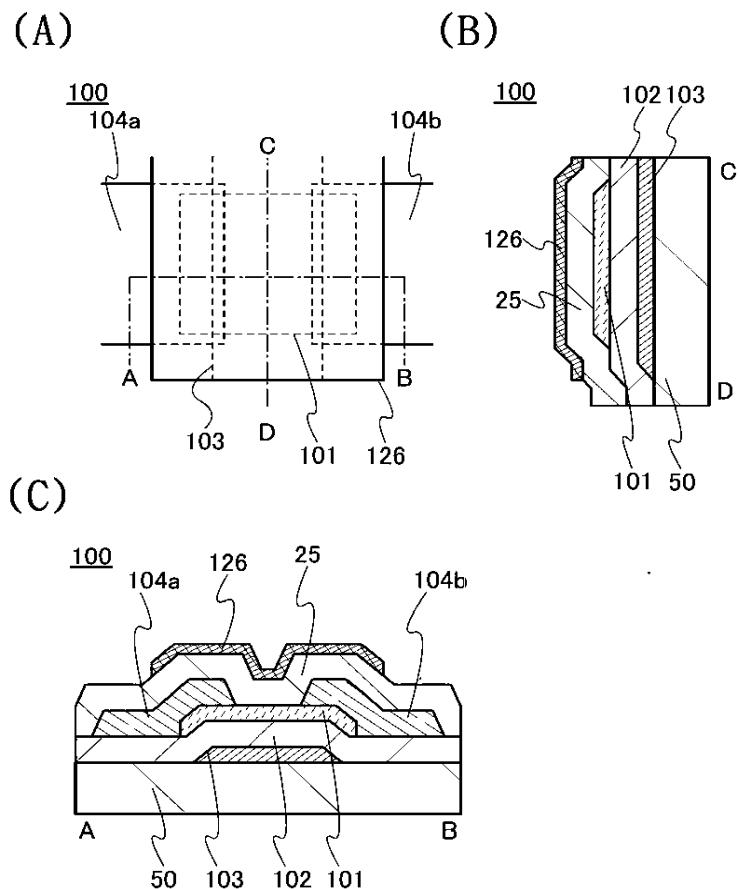
도면60



도면61



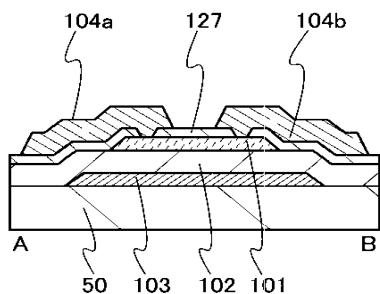
도면62



도면63

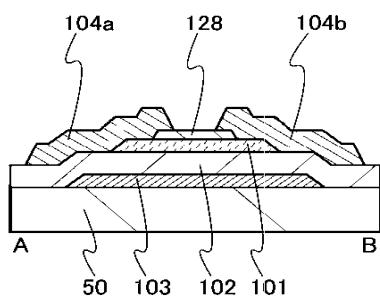
(A)

100



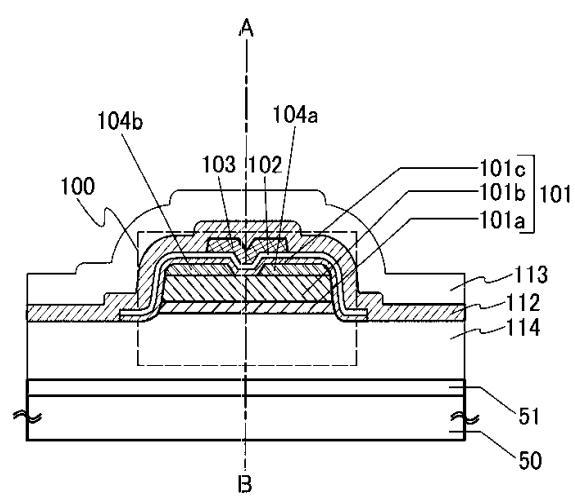
(B)

100

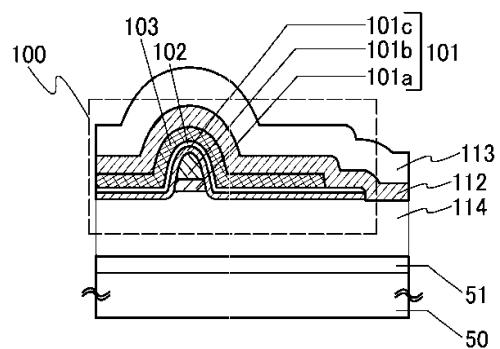


도면64

(A)

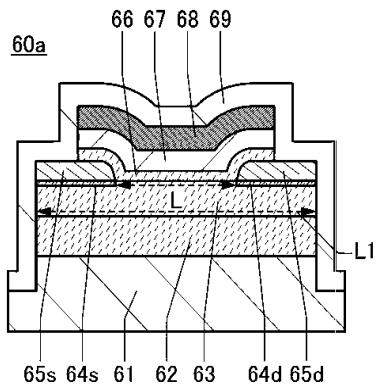


(B)

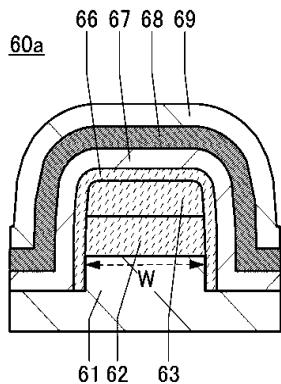


도면65

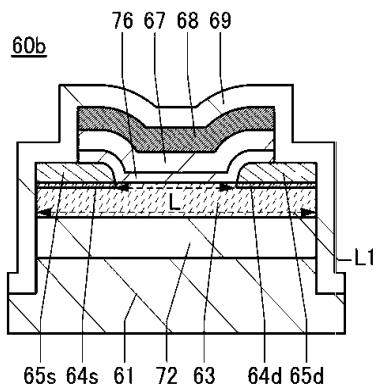
(A)



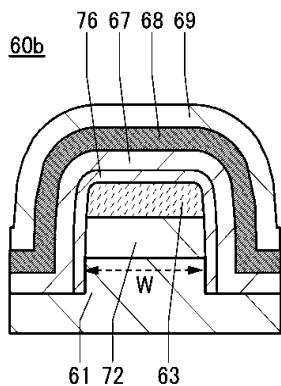
(B)



(C)

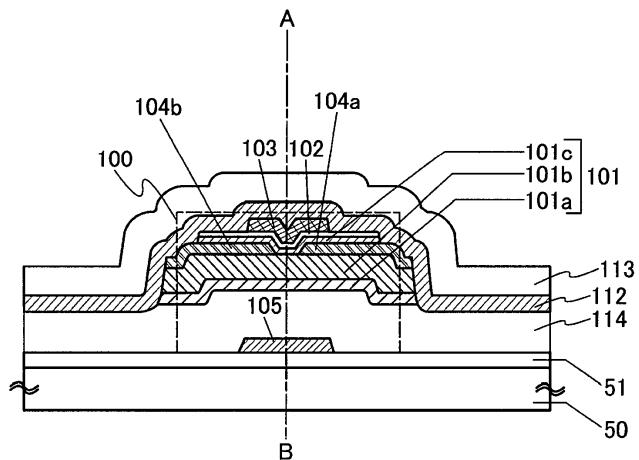


(D)

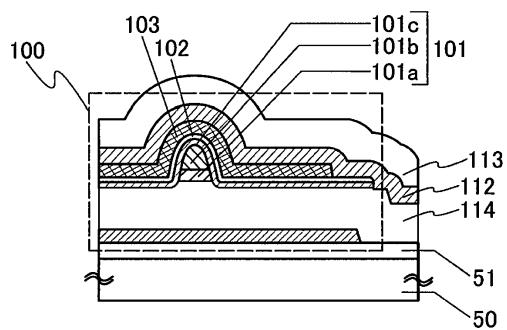


도면66

(A)

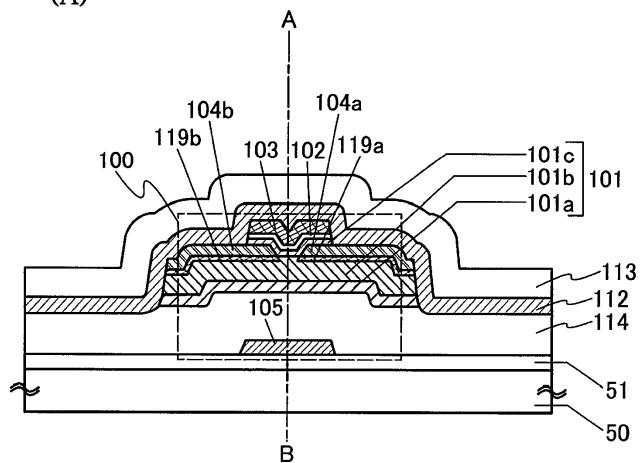


(B)

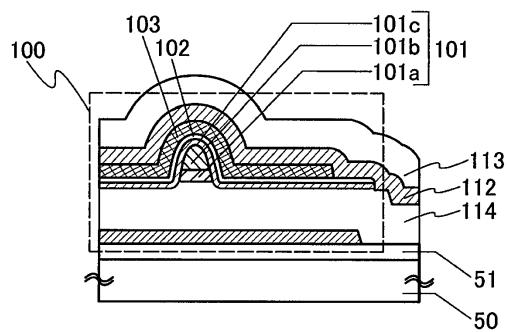


도면67

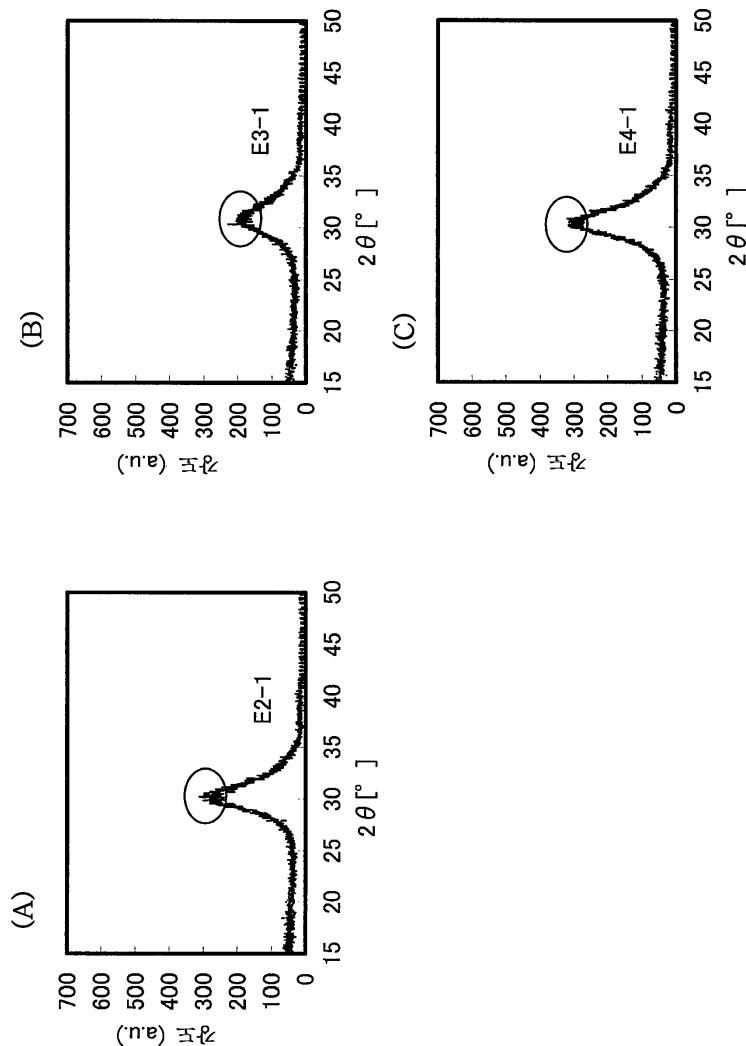
(A)



(B)

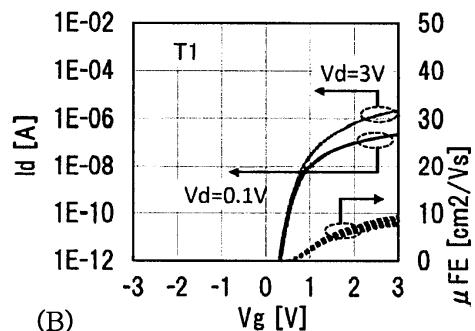


도면68

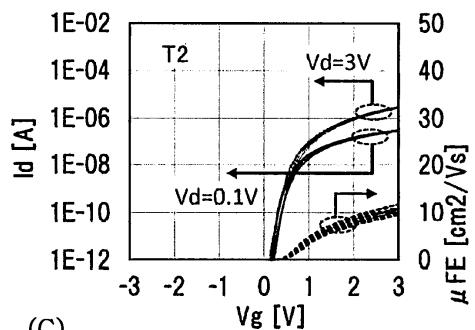


도면69

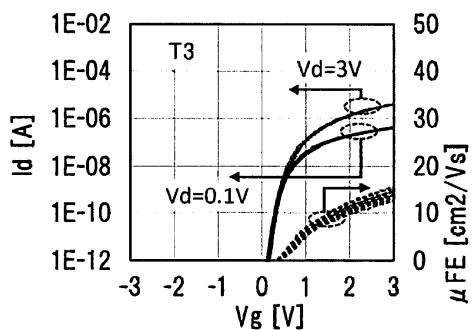
(A)



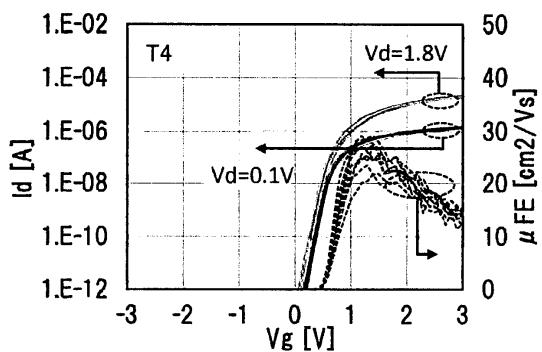
(B)



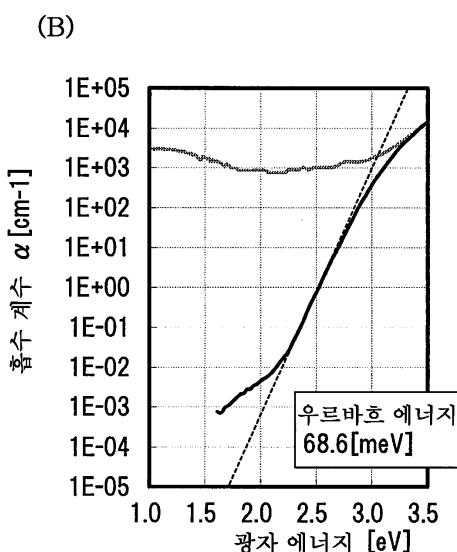
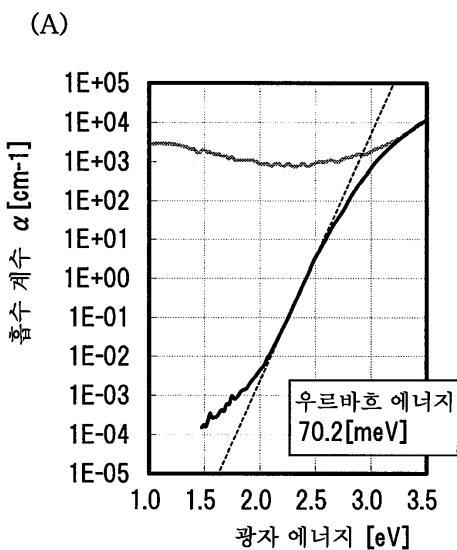
(C)



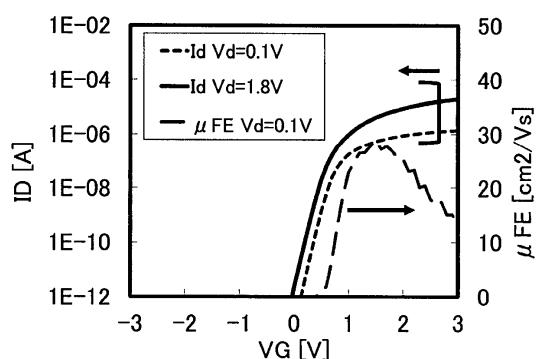
도면70



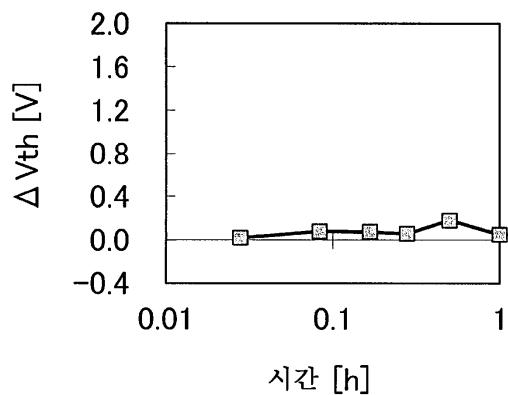
도면71



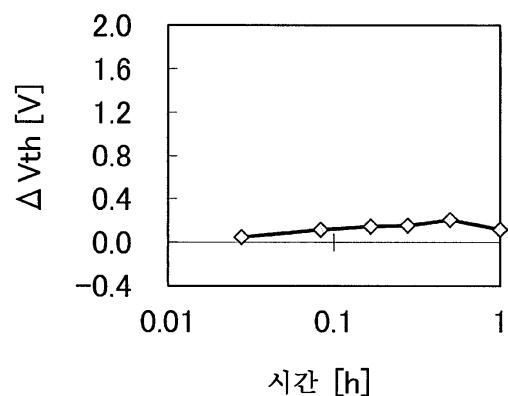
도면72



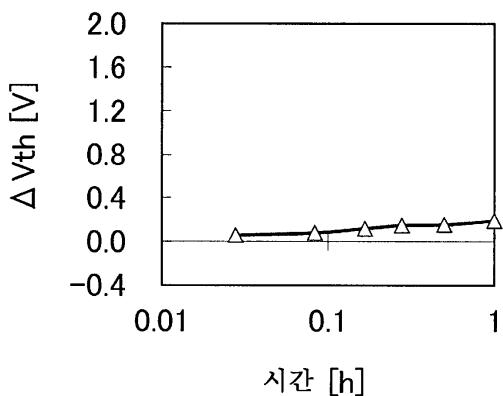
도면73



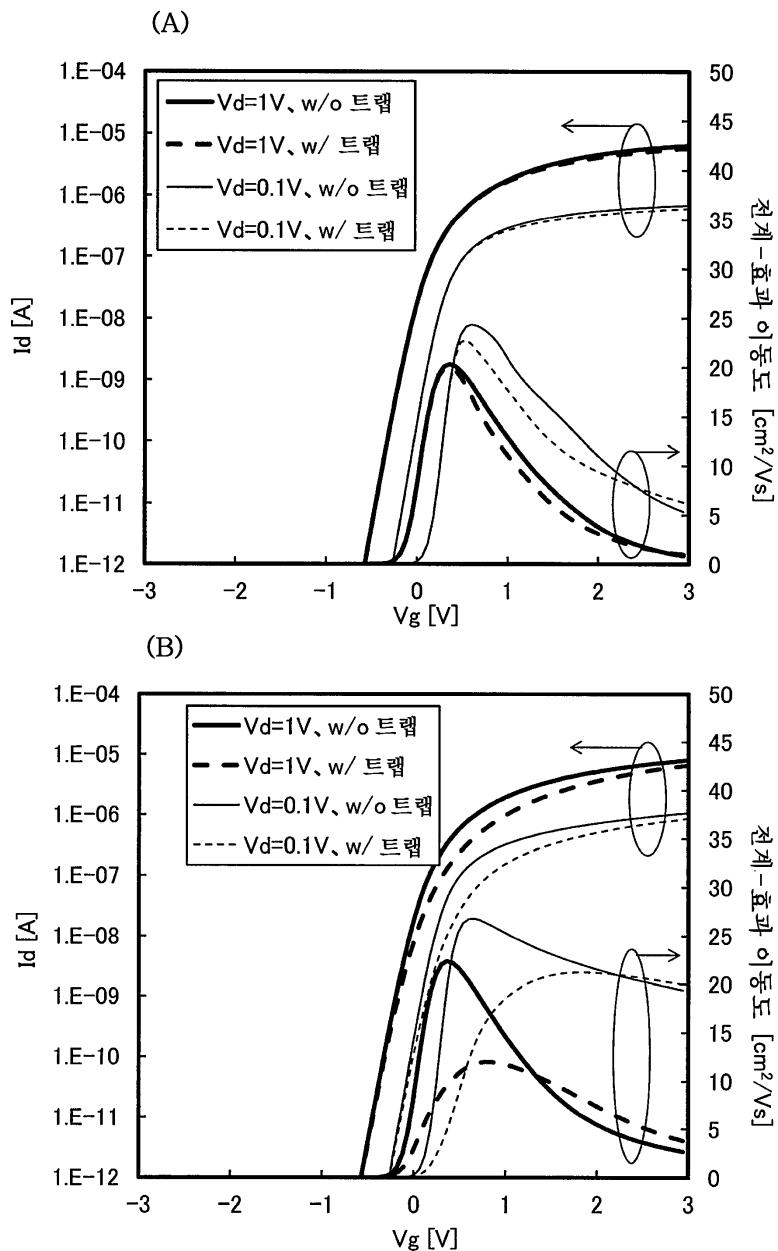
도면74



도면75

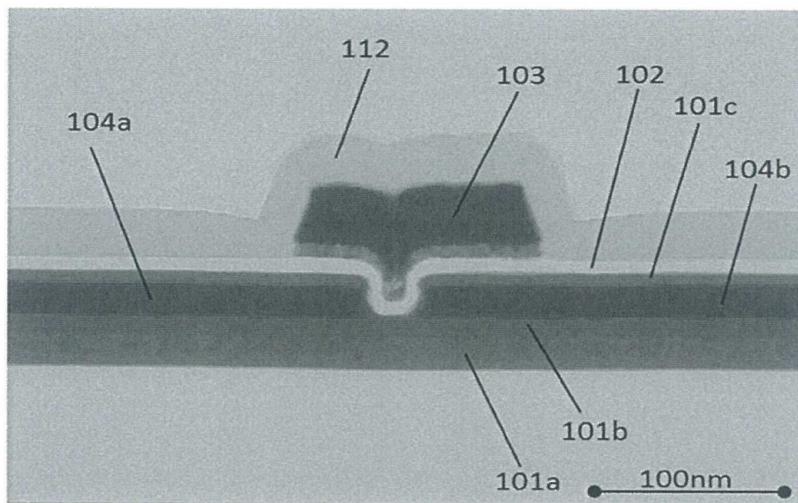


도면76

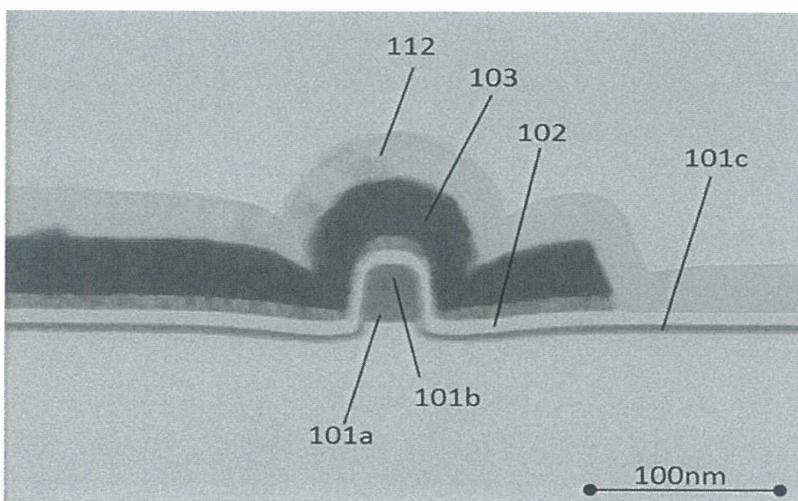


도면77

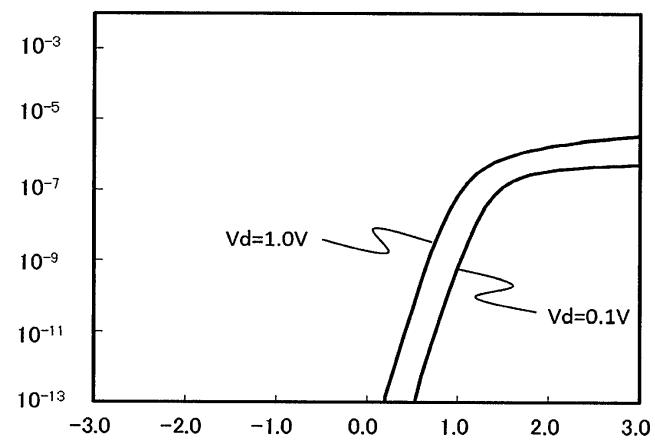
(A)



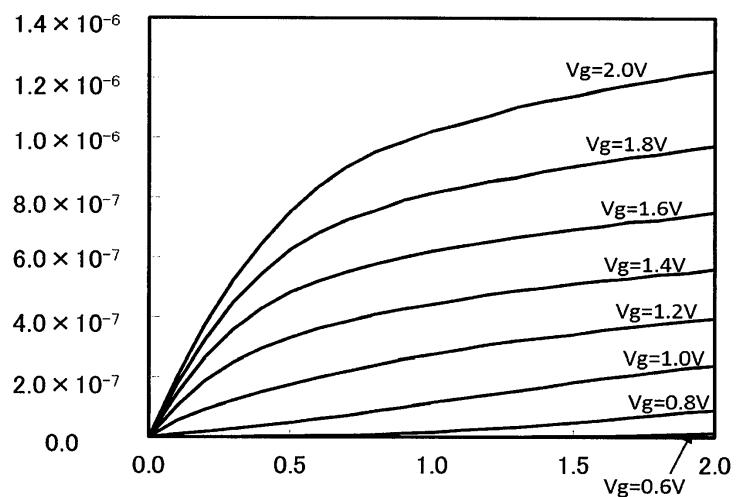
(B)



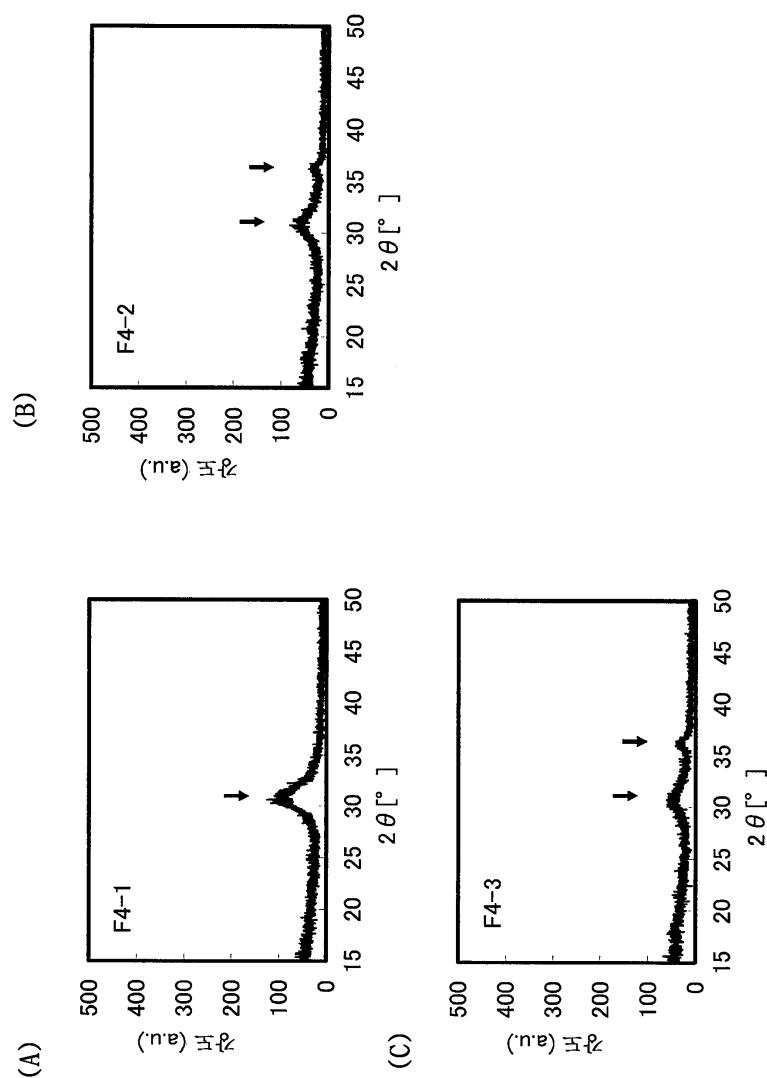
도면78



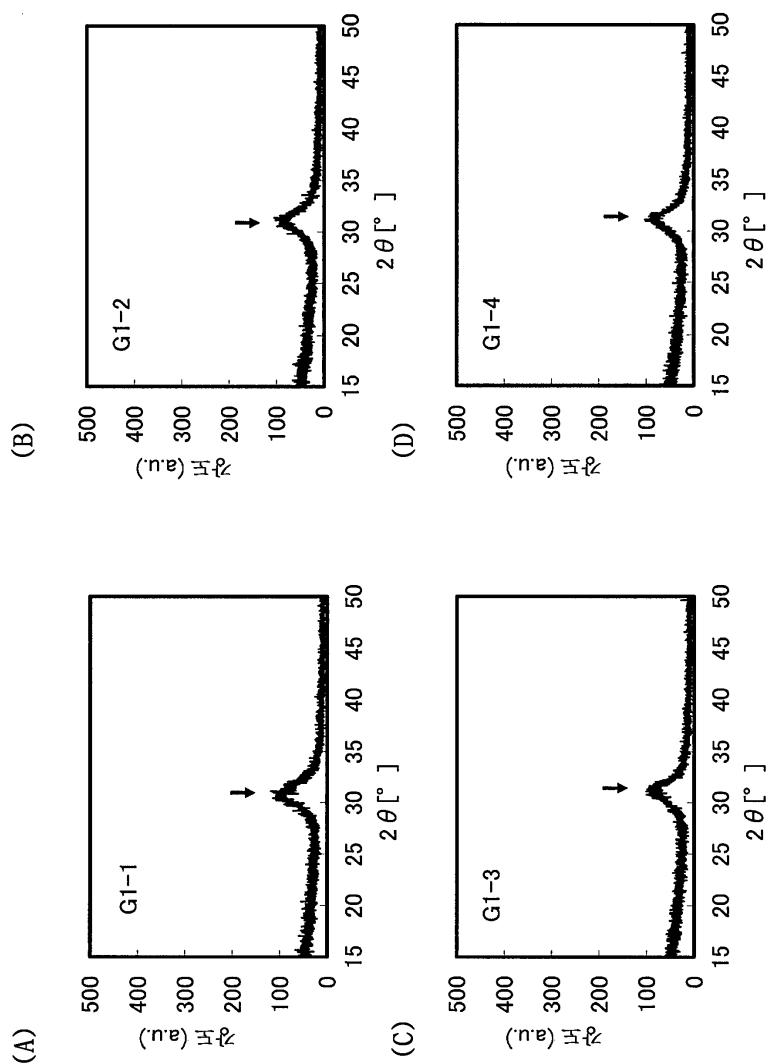
도면79



도면80

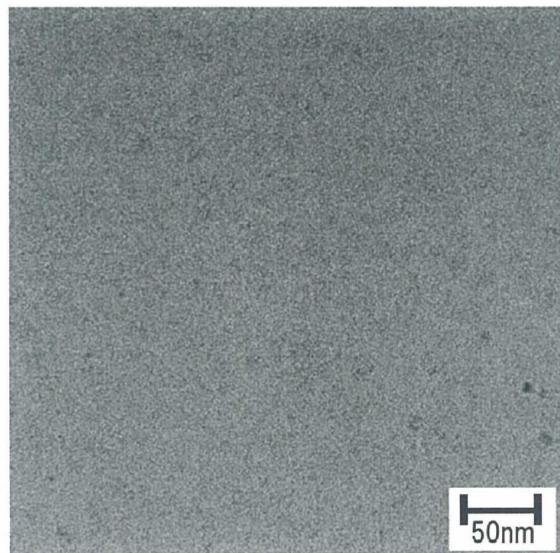


도면81

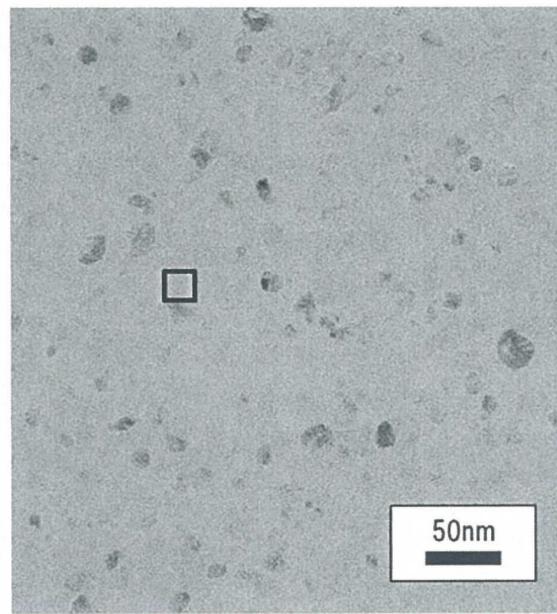


도면82

(A)

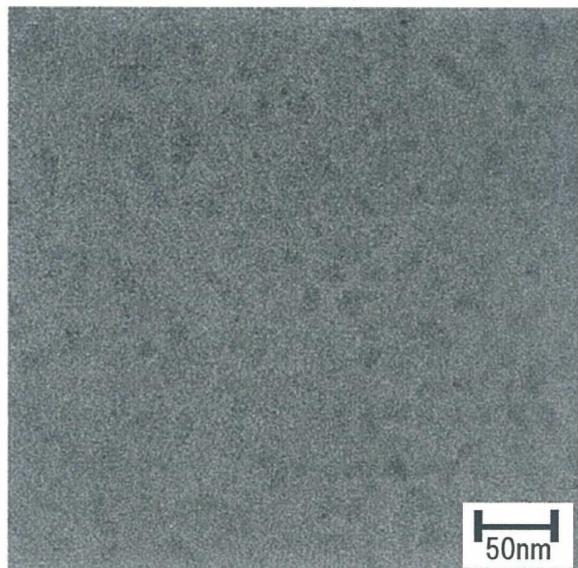


(B)

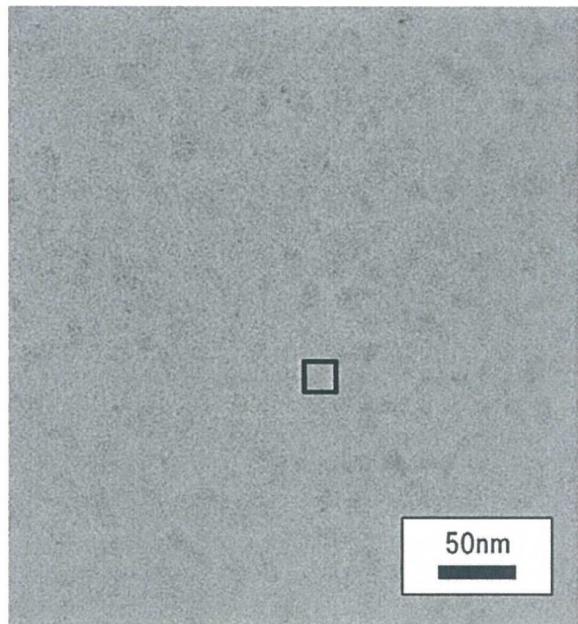


도면83

(A)

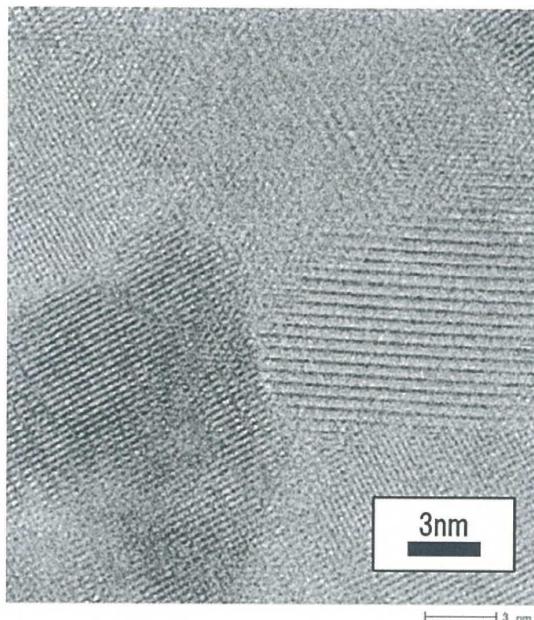


(B)

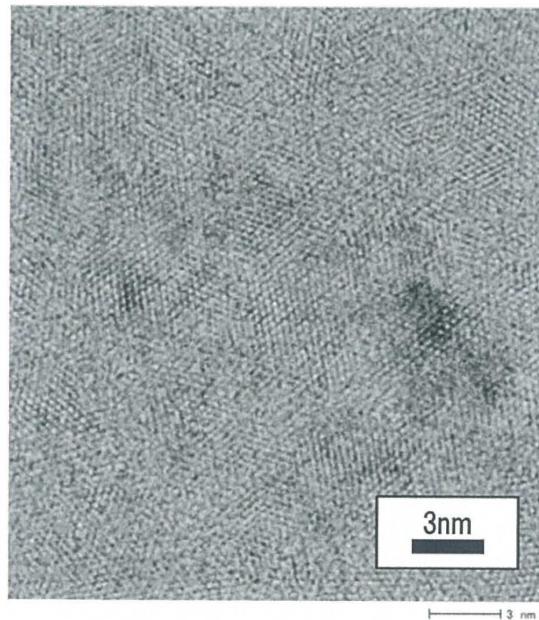


도면84

(A)

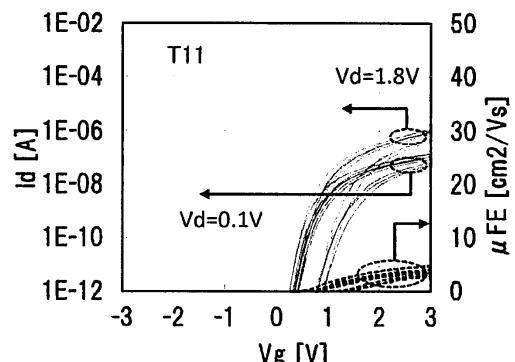


(B)

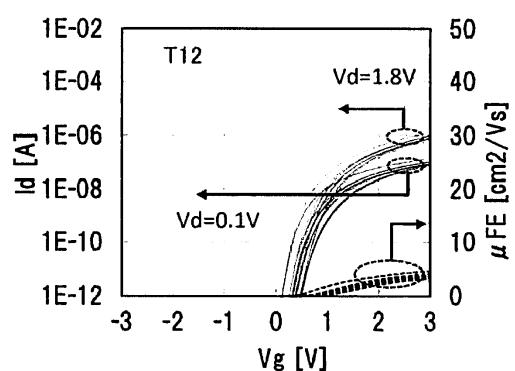


도면85

(A)

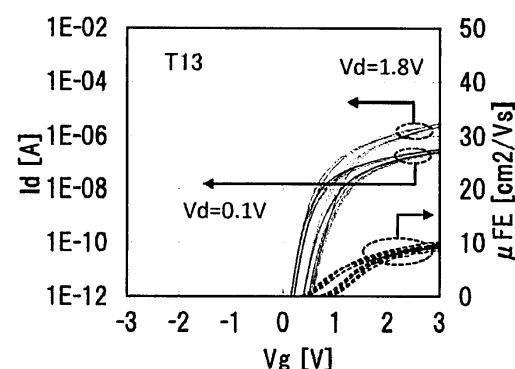


(B)

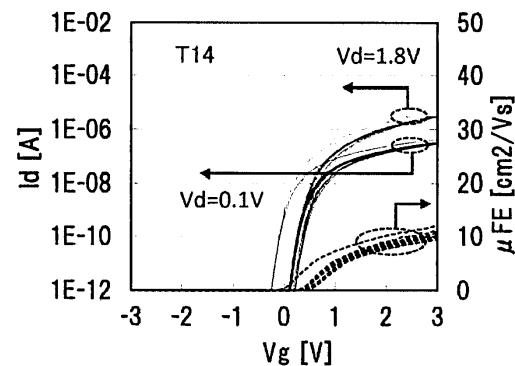


도면86

(A)

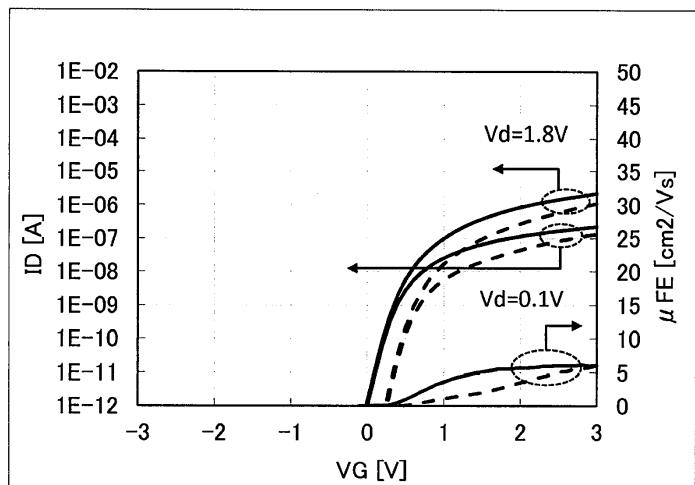


(B)

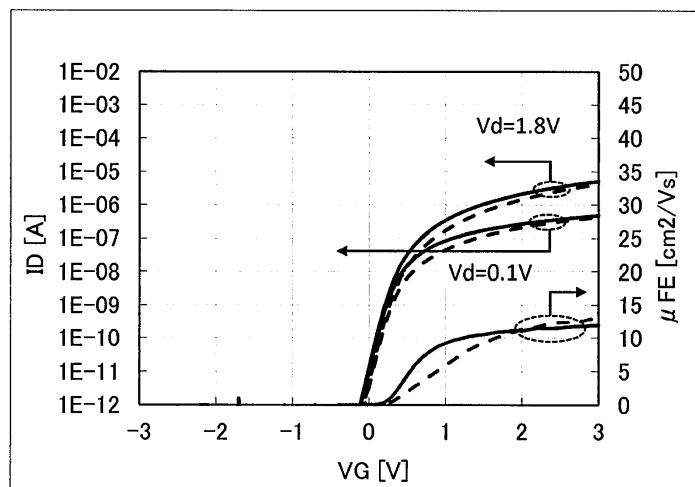


도면87

(A)

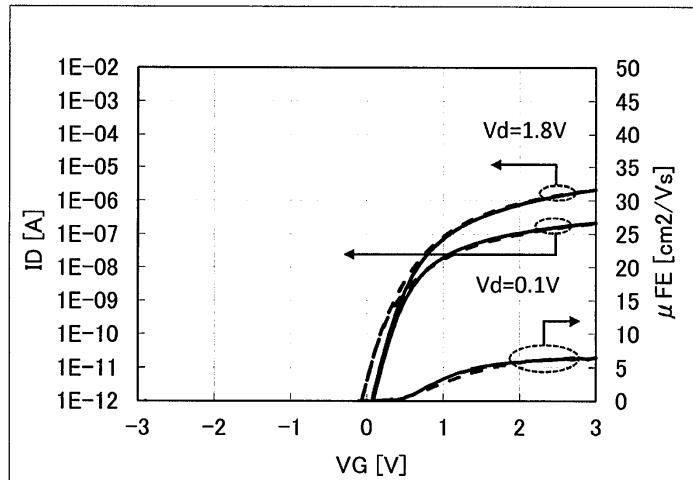


(B)

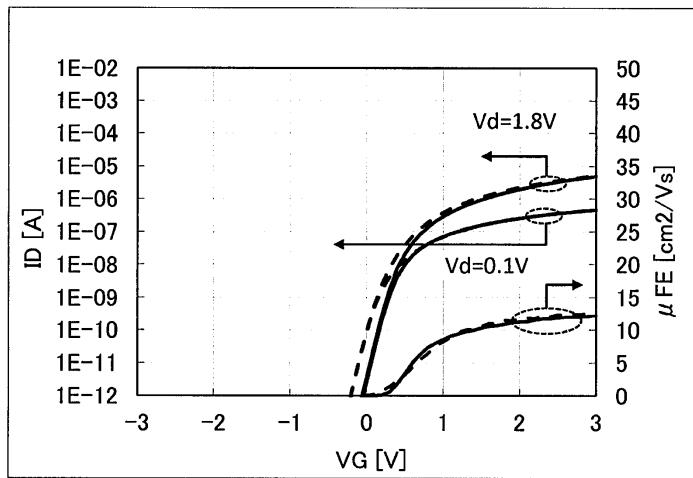


도면88

(A)

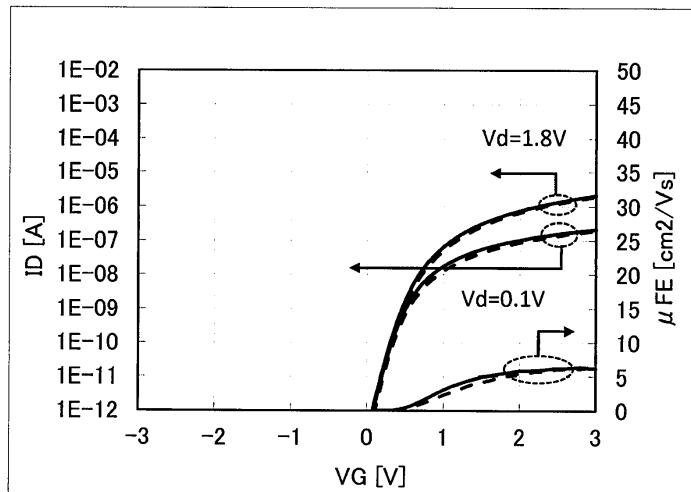


(B)

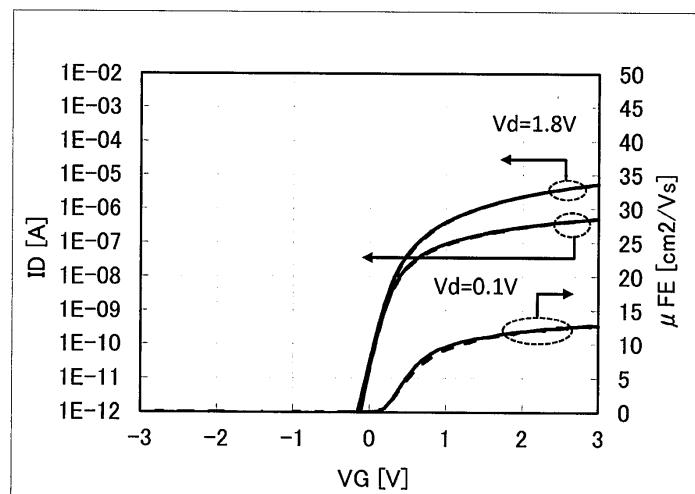


도면89

(A)



(B)



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 2

【변경전】

제 1 항에 있어서,

트랜지스터는 채널 영역에 상기 산화물 반도체층을 포함하고,

상기 제 1 산화물 반도체층은 nc-OS층이고,

상기 제 1 절연층은 상기 화학량론적 조성을 초과하는 산소를 함유하고,

상기 제 2 산화물 반도체층은 상기 제 1 반도체층보다 사이즈가 수 배 크고,

상기 제 1 반도체층의 영역에서 In, 원소 M, 및 Zn의 원자수비는 4:2:4, 4:3.2:5.6, 4:2.4:4.8, 4:2.4:5.2, 또는 4:1.4:3.1 이거나, 또는 상기 제 1 반도체층의 영역에서 In 및 Zn 농도들은 상기 원소 M의 상기 농도보다 높고 Zn의 상기 농도는 In의 상기 농도보다 높거나, 또는 Zn의 상기 농도는 In의 농도보다 높고 상기 원소 M의 상기 농도보다 2배 이상 높고,

상기 제 2 반도체층은 In, 원소 M, 및 Zn의 원자수비 1:1:1을 갖는 타깃을 이용하여 형성되는, 반도체 장

치.

【변경후】

제 1 항에 있어서,

트랜지스터는 채널 영역에 상기 산화물 반도체층을 포함하고,

상기 제 1 산화물 반도체층은 nc-OS층이고,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

상기 제 2 산화물 반도체층은 상기 제 1 반도체층보다 사이즈가 수 배 크고,

상기 제 1 반도체층의 영역에서 In, 원소 M, 및 Zn의 원자수비는 4:2:4, 4:3.2:5.6, 4:2.4:4.8, 4:2.4:5.2, 또는 4:1.4:3.1 이거나, 또는 상기 제 1 반도체층의 영역에서 In 및 Zn 농도들은 상기 원소 M의 상기 농도보다 높고 Zn의 상기 농도는 In의 상기 농도보다 높거나, 또는 Zn의 상기 농도는 In의 농도보다 높고 상기 원소 M의 상기 농도보다 2배 이상 높고,

상기 제 2 반도체층은 In, 원소 M, 및 Zn의 원자수비 1:1:1을 갖는 타깃을 이용하여 형성되는, 반도체 장치.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 4

【변경전】

제 3 항에 있어서,

상기 트랜지스터는 채널 영역에 상기 산화물 반도체층을 포함하고,

상기 제 1 산화물 반도체층은 nc-OS층인, 반도체 장치.

【변경후】

제 3 항에 있어서,

트랜지스터는 채널 영역에 상기 산화물 반도체층을 포함하고,

상기 제 1 산화물 반도체층은 nc-OS층인, 반도체 장치.

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 22

【변경전】

제 21 항에 따른 상기 산화물 반도체층을 채널 영역에 포함하는 트랜지스터로서,

상기 제 1 절연층은 상기 화학량론적 조성을 초과하는 산소를 함유하고,

In, 원소 M, 및 Zn의 원자수비는 상기 제 1 산화물 반도체층의 영역에서 충족되고,

상기 제 2 산화물 반도체층은 상기 제 1 산화물 반도체층보다 사이즈가 수 배 크고,

상기 제 1 반도체층의 영역에서 In, 원소 M, 및 Zn의 원자수비는 4:2:4, 4:3.2:5.6, 4:2.4:4.8, 4:2.4:5.2, 또는 4:1.4:3.1 이거나, 또는 상기 제 1 반도체층의 영역에서 In 및 Zn 농도들은 상기 원소 M의 상기 농도보다 높고 Zn의 상기 농도는 In의 상기 농도보다 높거나, 또는 Zn의 상기 농도는 In의 농도보다 높고 상기 원소 M의 상기 농도보다 2배 이상 높고,

상기 제 2 반도체층은 In, 원소 M, 및 Zn의 원자수비 1:1:1을 갖는 타깃을 이용하여 형성되는, 트랜지스터.

【변경후】

제 21 항에 따른 상기 산화물 반도체층을 채널 영역에 포함하는 트랜지스터로서,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

In, 원소 M, 및 Zn의 원자수비는 상기 제 1 산화물 반도체층의 영역에서 충족되고,

상기 제 2 산화물 반도체층은 상기 제 1 산화물 반도체층보다 사이즈가 수 배 크고,

상기 제 1 반도체층의 영역에서 In, 원소 M, 및 Zn의 원자수비는 4:2:4, 4:3.2:5.6, 4:2.4:4.8, 4:2.4:5.2, 또는 4:1.4:3.1 이거나, 또는 상기 제 1 반도체층의 영역에서 In 및 Zn 농도들은 상기 원소 M의 상기 농도보다 높고 Zn의 상기 농도는 In의 상기 농도보다 높거나, 또는 Zn의 상기 농도는 In의 농도보다 높고 상기 원소 M의 상기 농도보다 2배 이상 높고,

상기 제 2 반도체층은 In, 원소 M, 및 Zn의 원자수비 1:1:1을 갖는 타깃을 이용하여 형성되는, 트랜지스터.

【직권보정 4】

【보정항목】 청구범위

【보정세부항목】 청구항 10

【변경전】

제 8 항에 있어서,

상기 제 1 절연층은 상기 화학량론적 조성을 초과하는 산소를 함유하고,

상기 제 1 산화물 반도체층은 nc-OS층이고,

상기 제 2 산화물 반도체층은 상기 제 1 반도체층보다 사이즈가 수 배 큰, 반도체 장치.

【변경후】

제 8 항에 있어서,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

상기 제 1 산화물 반도체층은 nc-OS층이고,

상기 제 2 산화물 반도체층은 상기 제 1 반도체층보다 사이즈가 수 배 큰, 반도체 장치.

【직권보정 5】

【보정항목】 청구범위

【보정세부항목】 청구항 17

【변경전】

제 15 항에 있어서,

상기 제 1 절연층은 상기 화학량론적 조성을 초과하는 산소를 함유하고,

$x_a:y_a:z_a = (1-a):(1+a):1$ 및 $-0.33 \leq a \leq +0.08$;

$x_a:y_a:z_a = (1-a):(1+a):2$ 및 $-0.68 \leq a \leq +0.32$;

$x_a:y_a:z_a = (1-a):(1+a):3$ 및 $-1 \leq a \leq +0.46$;

$x_a:y_a:z_a = (1-a):(1+a):4$ 및 $-1 \leq a \leq +0.54$; 및

$x_a:y_a:z_a = (1-a):(1+a):5$ 및 $-1 \leq a \leq +0.72$ 의 조건들 중 하나가 충족되는, 반도체 장치.

【변경후】

제 15 항에 있어서,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

$x_a:y_a:z_a = (1-a):(1+a):1$ 및 $-0.33 \leq a \leq +0.08$;

$x_a:y_a:z_a = (1-a):(1+a):2$ 및 $-0.68 \leq a \leq +0.32$;

$x_a:y_a:z_a = (1-a):(1+a):3$ 및 $-1 \leq a \leq +0.46$;

$x_a:y_a:z_a = (1-a):(1+a):4$ 및 $-1 \leq a \leq +0.54$; 및

$x_a:y_a:z_a = (1-a):(1+a):5$ 및 $-1 \leq a \leq +0.72$ 의 조건들 중 하나가 충족되는, 반도체 장치.

【작권보정 6】

【보정항목】 청구범위

【보정세부항목】 청구항 5

【변경전】

제 3 항에 있어서,

상기 제 1 절연층은 상기 화학량론적 조성을 초과하는 산소를 함유하고,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층의 상면과 접하는, 반도체 장치.

【변경후】

제 3 항에 있어서,

상기 제 1 절연층은 화학량론적 조성을 초과하는 산소를 함유하고,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층의 상면과 접하는, 반도체 장치.