

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4014913号  
(P4014913)

(45) 発行日 平成19年11月28日(2007.11.28)

(24) 登録日 平成19年9月21日(2007.9.21)

(51) Int. Cl.

F I

HO 1 L 21/3065 (2006.01)  
 HO 1 L 21/336 (2006.01)  
 HO 1 L 29/786 (2006.01)  
 HO 1 L 21/266 (2006.01)  
 HO 1 L 21/027 (2006.01)

HO 1 L 21/302 1 O 4 H  
 HO 1 L 29/78 6 2 7 Z  
 HO 1 L 21/265 M  
 HO 1 L 21/30 5 7 2 A

請求項の数 11 (全 25 頁)

(21) 出願番号 特願2002-104435 (P2002-104435)  
 (22) 出願日 平成14年4月5日(2002.4.5)  
 (65) 公開番号 特開2003-45858 (P2003-45858A)  
 (43) 公開日 平成15年2月14日(2003.2.14)  
 審査請求日 平成17年3月9日(2005.3.9)  
 (31) 優先権主張番号 特願2001-116208 (P2001-116208)  
 (32) 優先日 平成13年4月13日(2001.4.13)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (74) 代理人 100103159  
 弁理士 加茂 裕邦  
 (72) 発明者 早川 茂則  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 長谷部 智寿

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上に島状の半導体層を形成し、  
 前記島状の半導体層を覆うようにゲート絶縁膜を形成し、  
 前記ゲート絶縁膜上に導電膜を形成し、  
 前記導電膜上に選択的にレジストマスクを形成し、  
 前記レジストマスクを用いて前記導電膜にエッチング処理を行うことによりゲート電極を形成し、  
 導電型の不純物元素のイオンを注入して前記島状の半導体層に不純物領域を形成し、  
 前記導電型の不純物元素のイオンを注入する工程よりも低い加速電圧により希ガス元素のイオンを注入した後に前記レジストマスクを除去することを特徴とする半導体装置の作製方法。

10

【請求項2】

基板上に第1の半導体層及び第2の半導体層を形成し、  
 前記第1の半導体層及び前記第2の半導体層を覆うようにゲート絶縁膜を形成し、  
 前記ゲート絶縁膜上に導電膜を形成し、  
 前記導電膜上に選択的に第1のレジストマスクを形成し、  
 前記第1のレジストマスクを用いて前記導電膜にエッチング処理を行うことによりゲート電極を形成し、  
 第1の導電型の不純物元素のイオンと第1の希ガス元素のイオンとを同時に注入して前

20

記第 1 の半導体層及び前記第 2 の半導体層に不純物領域を形成し、

前記第 1 のレジストマスクを除去し、

前記第 1 の半導体層上に前記ゲート絶縁膜を介して第 2 のレジストマスクを形成し、

第 2 の導電型の不純物元素のイオンを注入して前記第 2 の半導体層に前記不純物領域より導電型の不純物元素の濃度が高い高濃度不純物領域を形成し、

前記第 2 の導電型の不純物元素のイオンを注入する工程よりも低い加速電圧により第 2 の希ガス元素のイオンを注入した後に前記第 2 のレジストマスクを除去することを特徴とする半導体装置の作製方法。

【請求項 3】

基板上に第 1 の半導体層及び第 2 の半導体層を形成し、

10

前記第 1 の半導体層及び前記第 2 の半導体層を覆うようにゲート絶縁膜を形成し、

前記ゲート絶縁膜上に導電膜を形成し、

前記導電膜上に選択的に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記導電膜にエッチング処理を行うことによりゲート電極を形成し、

第 1 の導電型の不純物元素のイオンを注入して前記第 1 の半導体層及び前記第 2 の半導体層に不純物領域を形成し、

前記第 1 の導電型の不純物元素のイオンを注入する工程よりも低い加速電圧により第 1 の希ガス元素のイオンを注入した後に前記第 1 のレジストマスクを除去し、

前記第 1 の半導体層上に前記ゲート絶縁膜を介して第 2 のレジストマスクを形成し、

20

第 2 の導電型の不純物元素のイオンを注入して前記第 2 の半導体層に前記不純物領域より導電型の不純物元素の濃度が高い高濃度不純物領域を形成し、

前記第 2 の導電型の不純物元素のイオンを注入する工程よりも低い加速電圧により第 2 の希ガス元素のイオンを注入した後に前記第 2 のレジストマスクを除去することを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 2 又は請求項 3 において、前記第 2 の希ガス元素のイオン注入のドーズ量を  $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^2$  とし、加速電圧を  $1 \sim 100 \text{ keV}$  とすることを特徴とする半導体装置の作製方法。

【請求項 5】

30

基板上に第 1 の半導体層、第 2 の半導体層及び第 3 の半導体層を形成し、

前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層を覆うように第 1 のゲート絶縁膜を形成し、

前記第 1 の半導体層及び前記第 2 の半導体層を覆うように前記第 1 のゲート絶縁膜を介して第 1 のレジストマスクを形成し、

前記第 3 の半導体層上の前記ゲート絶縁膜を選択的にエッチングし、

前記第 3 の半導体層に第 1 の導電型の不純物元素のイオンを注入し、

第 1 の希ガス元素のイオンを注入した後に前記第 1 のレジストマスクを除去し、

前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層を覆うように第 2 のゲート絶縁膜を形成し、

40

前記第 2 のゲート絶縁膜上に導電膜を形成し、

前記導電膜上に選択的に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて前記導電膜にエッチング処理を行うことにより、前記第 1 の半導体層及び前記第 2 の半導体層のチャンネル形成領域と重なるゲート電極と、前記第 3 の半導体層と重なる容量配線を形成し、

第 2 の導電型の不純物元素のイオンを注入して前記第 1 の半導体層及び前記第 2 の半導体層に不純物領域を形成し、

前記第 2 の導電型の不純物元素のイオンを注入する工程よりも低い加速電圧により第 2 の希ガス元素のイオンを注入した後に前記第 2 のレジストマスクを除去し、

前記第 1 の半導体層上に前記第 1 のゲート絶縁膜及び前記第 2 のゲート絶縁膜を介して

50

第 3 のレジストマスクを形成し、

第 3 の導電型の不純物元素のイオンを注入して前記第 2 の半導体層に前記不純物領域より導電型の不純物元素の濃度が高い高濃度不純物領域を形成し、

前記第 3 の導電型の不純物元素のイオンを注入する工程よりも低い加速電圧により第 3 の希ガス元素のイオンを注入した後に前記第 3 のレジストマスクを除去することを特徴とする半導体装置の作製方法。

【請求項 6】

基板上に非晶質半導体膜を形成し、

前記非晶質半導体膜に触媒元素を添加して加熱処理を行い結晶質半導体膜を形成し、

前記結晶質半導体膜をパターンニングして第 1 の半導体層、第 2 の半導体層及び第 3 の半導体層を形成し、

前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層上に第 1 のレジストマスクを形成し、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層に選択的に第 1 の希ガス元素が添加された領域を形成し、

加熱処理を行い、前記第 1 の希ガス元素が添加された領域に前記触媒元素を移動させ、当該第 1 の希ガス元素が添加された領域を除去し、

前記第 1 のレジストマスクを除去し、

前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層を覆うように第 1 のゲート絶縁膜を形成し、

前記第 1 の半導体層及び前記第 2 の半導体層を覆うように前記第 1 のゲート絶縁膜を介して第 2 のレジストマスクを形成し、

前記第 3 の半導体層上の前記ゲート絶縁膜を選択的にエッチングし、

前記第 3 の半導体層に第 1 の導電型の不純物元素のイオンを注入し、

第 2 の希ガス元素のイオンを注入した後に前記第 2 のレジストマスクを除去し、

前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層を覆うように第 2 のゲート絶縁膜を形成し、

前記第 2 のゲート絶縁膜上に導電膜を形成し、

前記導電膜上に選択的に第 3 のレジストマスクを形成し、

前記第 3 のレジストマスクを用いて前記導電膜にエッチング処理を行うことにより、前記第 1 の半導体層及び前記第 2 の半導体層のチャネル形成領域と重なるゲート電極と、前記第 3 の半導体層と重なる容量配線を形成し、

第 2 の導電型の不純物元素のイオンを注入して前記第 1 の半導体層及び前記第 2 の半導体層に不純物領域を形成し、

前記第 2 の導電型の不純物元素のイオンを注入する工程よりも低い加速電圧により第 3 の希ガス元素のイオンを注入した後に前記第 3 のレジストマスクを除去し、

前記第 1 の半導体層上に前記第 1 のゲート絶縁膜及び前記第 2 のゲート絶縁膜を介して第 4 のレジストマスクを形成し、

第 3 の導電型の不純物元素のイオンを注入して前記第 2 の半導体層に前記不純物領域より導電型の不純物元素の濃度が高い高濃度不純物領域を形成し、

前記第 3 の導電型の不純物元素のイオンを注入する工程よりも低い加速電圧により第 4 の希ガス元素のイオンを注入した後に前記第 4 のレジストマスクを除去することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記導電型の不純物元素として、リン、ヒ素またはボロンのいずれか一種または複数種を用いることを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記希ガス元素として、ヘリウム、クリプトン、アルゴンまたはキセノンのいずれか一種または複数種を用いることを特徴とする半導体装置の作製方法。

10

20

30

40

50

**【請求項 9】**

請求項 1 乃至請求項 8 のいずれか一項において、  
酸素プラズマによるアッシングを用いて前記レジストマスクを除去することを特徴とする半導体装置の作製方法。

**【請求項 10】**

請求項 9 において、  
前記酸素プラズマアッシングには、高周波プラズマ、誘導結合プラズマ又はマイクロ波励起プラズマを用いることを特徴とする半導体装置の作製方法。

**【請求項 11】**

請求項 1 乃至請求項 10 のいずれか一項において、  
前記レジストマスクは、ノボラック樹脂であることを特徴とする半導体装置の作製方法

10

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、イオン注入を用いた半導体装置の作製方法に関する。具体的には、レジストマスクを用いるイオン注入工程および、レジストマスクの除去方法に関する。尚、本発明で言うイオン注入とは、イオンビームを照射することを指して言い、イオンの質量分離をするイオンビーム照射および質量分離をしないイオンビーム照射の双方を含むものとする。

**【0002】**

20

**【従来の技術】**

半導体素子の製造工程において、価電子制御を目的として、イオン注入による半導体への不純物元素の導入（ドーピング）が行われている。イオン注入法を概略すれば、ジボラン（ $B_2H_6$ ）やフォスフィン（ $PH_3$ ）など周期表 13 族又は 15 族の元素を含むガスを解離させてイオン化し、そのイオンを電界により加速して半導体素子を形成する基板に物理的に打ち込む方法である。その際に生成されるイオン種は質量数で区別すると複数種生成されることが知られているが、これを質量分離して単一のイオンを注入する方法を通常はイオン注入法と呼んでいる。また、特に質量分離せずに注入する方法をイオンドーブ法、或いはプラズマドーブ法などと呼ばれている。

**【0003】**

30

いずれにしても、半導体の所定の領域に選択的にイオンを注入して不純物領域を形成する必要から、予めレジストパターンを形成しておき、それをマスクとして用いる方法が採用されている。以下に、レジストをマスクとしたイオン注入及びマスクとして用いたレジストの除去について説明する。

**【0004】**

図 4 は、CMOS 構成の TFT のソース及びドレイン領域の形成工程を示している。n チャネル型 TFT 111 のソースドレイン領域 105 に選択的に P を導入する必要から p チャネル型 TFT 110 はレジスト 107 でマスクしている。この状態でイオン注入を行うことにより、n チャネル型 TFT 111 のソース及びドレイン領域にはゲート電極 101 をマスクとしてゲート絶縁膜 102 を通して P を含むイオンが注入する。

40

**【0005】**

引き続き、マスクのレジスト 107 を除去する工程に移る。専用の剥離液を用いて除去する方法と、酸素ラジカルを供給することでレジストをアッシングする方法が一般的である。アッシング工程には平行平板の高周波（RF）プラズマや、誘導結合（ICP）による高密度プラズマ処理及び、マイクロ波励起プラズマ等を使用して行っている。

**【0006】****【発明が解決しようとする課題】**

しかしながら、レジストを除去する工程において、レジストが容易に除去できないという問題がある。イオン注入はイオンを高電界で加速して基板に打ち込むため、イオンが衝突した際、その運動エネルギーが熱に変換されて基板及びその上の形成物を加熱する。加熱

50

される温度はイオンの注入条件にもよるが、200 程度にまで上昇することが解っている。

【0007】

それに対し、マスクとして形成したレジストは100～140 程度のベーキング処理しか施されていないので、それより高い温度で実質的に加熱されることによりレジスト表面が変質し、硬化するという化学変化が生じてしまう。通常このように変質したレジストは、専用の剥離液を用いても除去できず、より強い除去効果を有するアッシングを用いるのが普通である。

【0008】

さらに、Pイオンを注入した場合は、Pがレジスト材料であるノボラック樹脂と反応し構造変化した変質層が生成されてしまう。この変質層は化学的に安定であり、従来の剥離液やアッシング方法では容易に除去することができない。Pのドーズ量が多い場合その傾向が顕著に現れており、非常に長時間のアッシング処理が必要とされてしまう。また、アッシング処理のみでは、完全にレジストを除去できず、残渣が生じる場合もあり、後の工程に不都合を生じさせている。

10

【0009】

本発明はこのような状況に鑑み、イオン注入後のレジスト除去が容易になる半導体装置の作製方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

20

上記問題点を解決するために本発明は、導電型の不純物元素のイオンと希ガス元素のイオンとを同時に注入する工程後にレジストマスクを除去する工程を含むことを特徴としている。

【0011】

また、本発明は、導電型の不純物元素のイオンを注入する第1の工程と、希ガス元素のイオンを注入する第2の工程と、を含み、前記第1の工程及び前記第2の工程の後にレジストマスクを除去する工程を含むことを特徴としている。

【0012】

また、本発明は、導電型の不純物元素のイオンを注入する第1の工程と、希ガス元素のイオンを注入する第2の工程と、を含み、前記第1の工程と前記第2の工程とを連続して行った後にレジストマスクを除去する工程を含むことを特徴としている。

30

【0013】

また、本発明は希ガス元素のイオンを注入する工程後にレジストマスクを除去する工程を含むことを特徴としている。

【0014】

また、レジストマスクを除去する前に導電型の不純物元素のイオンを注入する第1の工程と、希ガス元素のイオンを注入する第2の工程とを2段階に分けておこなう方法を適用することもできる。この場合、第2の段階の方が、第1の段階よりも低い加速電圧で行うものとする。

【0015】

40

また、レジストマスクを除去する前にイオン注入を、導電型を付与する不純物元素のイオンを注入する工程と、希ガス元素のイオンを注入する工程とを連続して行う方法を適用することもできる。

【0016】

希ガス元素はヘリウム、クリプトン、アルゴン、キセノンから選ばれた一種又は複数種を用いることができる。

【0017】

また、導電型を付与する不純物元素としては、P（リン）、As（ヒ素）、B（ボロン）等があげられる。

【0018】

50

また、本発明は、レジストマスクをアッシングする前に、希ガス元素のイオンを注入する段階を有することを特徴としている。

【0019】

代表的な一例は、導電性を付与する不純物元素としてPを用い、Pのイオン注入に引き続き、Arをイオン注入することで、レジストのアッシングレートを向上させることができる。また、ArとPを同時にイオン注入しても同様の効果が得られる。

【0020】

以上のように、イオンドープ工程で生成されたレジスト表面の変質層にイオンの物理的な作用を与えることで、化学的に分解困難な結合が切断可能になる、もしくはイオン注入の衝撃により変質層に変化を与える等のなんらかの原因により、変質層が形成されたレジストマスクのアッシングを容易にすることができることを見いだした。いずれの理由にしても、半導体に一導電型の不純物元素を添加するイオン注入工程において、レジストパターンをマスクとして用い、一導電型の不純物元素のイオンと希ガス元素のイオンとを同時に、もしくは後から注入することによってレジストパターンを除去するアッシング工程を容易に行うことができる。

【0021】

【発明の実施の形態】

(実施形態1)

以下、本発明の実施の形態を添付図面を用いて説明する。

【0022】

図1は、基板100上にnチャネル型TFTとpチャネル型TFTとからなるCMOS構造のTFTのソース及びドレインを形成する不純物領域を形成する工程を示している。nチャネル型TFT111の半導体層106にソース又はドレイン領域105に選択的にPを導入するため、pチャネル型TFT110の半導体層104(ソース又はドレイン領域103を含む)はレジスト107でマスクしている。レジストはノボラック系樹脂を含む樹脂を厚さ1 $\mu$ mで形成し、フォトリソグラフィを用いて所定のパターンにパターニングする。続いてPのイオン注入を行う。ソース又はドレイン領域105にはゲート電極101をマスクとし、ゲート絶縁膜102を通してPを含むイオンを注入する。

【0023】

Pの注入は、PH<sub>3</sub>を用い、イオン注入法又はイオンドープ法により行う。この時、PH<sub>3</sub>をArなどに希ガスで希釈したものを用い、希ガスのイオンを同時に注入しても良い。または、水素で希釈したPH<sub>3</sub>を用い、その後希ガスのイオンを注入しても良い。

【0024】

以上のように希ガスのイオンを注入することにより、表面に変質層が形成されたレジストマスクのアッシング除去工程が容易になる。

【0025】

引き続き、レジストマスク107を除去する工程に移る。これは、酸素ラジカルを供給することでレジストマスクをアッシングする。アッシングの方法に特に限定はないが、平行平板のRFプラズマや、ICP(Inductive Coupled Plasma: 誘電結合プラズマ)による高密度プラズマ処理及び、マイクロ波励起プラズマなどを適用することができる。希ガスイオンを注入したことにより、比較的容易にレジストマスクを除去することが可能となる。

【0026】

図2はアッシング後のレジストマスクの状態を光学顕微鏡で観察した写真を示す。光学顕微鏡による100倍の表面観察写真である。図2(A)がPイオン注入のみを行った場合であり、図2(B)がArイオン注入を追加した場合におけるアッシング後のレジストの状態を示している。ここでは、アッシングは、マイクロ波によるアッシングを160分間行っている。Pイオン注入は80kVの加速電圧で $5 \times 10^{15} / \text{cm}^2$ のドーズ量でPを含むイオン種を打ち込んでいる。Arイオン注入は、80kVの加速で、 $5 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込んでいる。イオン注入にはイオンドーピング装置を使用した。図

10

20

30

40

50

2 ( A ) の P イオン注入のみのサンプルではレジストが残っているのに対し、A r イオン注入を追加した図 2 ( B ) は、レジストがほぼ完全に除去されていることを観察することができる。

#### 【 0 0 2 7 】

図 3 ( A ) に、レジスト膜厚の時間変化を示す。P イオン注入サンプルは、アッシング時間を延ばしてもほとんど膜厚変化が無いが、A r イオン注入を追加したサンプルでは、膜厚の低減がみられ、アッシングが進んでいる様子が観察される。また、アッシング時間が 0 の時のレジスト膜厚が、A r イオン注入を施したサンプルで薄くなっていることがわかる。これは、表面が A r イオン注入によりスパッタされたためと考えられる。

#### 【 0 0 2 8 】

ここでは A r を用いた一例を示したが、それ以外にもレジストと化学的に反応しない元素であれば同様の効果を有する。特に N e、K r、X e 等の希ガスが望ましい。また、P イオン注入のみならず、半導体に導電型をあたえる他のイオンのイオン注入工程にも適用できる。

#### 【 0 0 2 9 】

また、希ガス元素のイオン注入を、半導体に導電型を与える元素のイオン注入 ( 第 1 のイオン注入 ) に引き続き行うばあい、希ガス元素のイオン注入 ( 第 2 のイオン注入 ) は、加速電圧を第一のイオン注入より下げた方がより良好な結果が得られる。図 3 ( B ) にその結果をしめす。異なる加速電圧にて A r 注入を行ったレジストを一定時間アッシングした後の残膜厚を示す。明らかに低加速電圧の時の方がアッシングが進んでいる様子が分かる。一般に、10 ~ 100 k e V の加速電圧においては、低加速の方がスパッタ率が高く、変質したレジストの除去効果が高くなる為と考えられる。

#### 【 0 0 3 0 】

このように、希ガスのイオンを同時、或いは後から注入することにより、ドーピング時にマスクとして用いたレジストを容易に除去することが可能となる。

#### 【 0 0 3 1 】

##### ( 実施形態 2 )

本実施形態では、次の 4 種類の試料を用意してアッシングレートを測定した。試料は、ガラス基板上に膜厚が 1 . 4  $\mu$  m のレジストを形成し、 1 P のみをイオン注入した試料 2 P および A r をイオン注入 ( 条件 : 加速電圧 30 k V、ドーズ量  $5 \times 10^{15} / \text{cm}^2$  ) した試料 3 P および A r をイオン注入 ( 条件 : 加速電圧 30 k V、ドーズ量  $1 \times 10^{16} / \text{cm}^2$  ) した試料 4 一切のイオン注入処理を行わない試料を用意した。なお、試料 1 ~ 3 の P のイオン注入条件は、加速電圧 80 k V ドーズ量  $5 . 0 \times 10^{15} / \text{cm}^2$  であり、試料 2、3 は P をイオン注入した後に A r のイオン注入を行っている。

#### 【 0 0 3 2 】

なお、イオン注入処理によりそれぞれの試料のレジスト膜厚は、1 1 . 26  $\mu$  m 2 1 . 18  $\mu$  m 3 1 . 24  $\mu$  m となった ( 4 の試料に関してはイオン注入処理をしないので膜厚は変化しない )。

#### 【 0 0 3 3 】

このような試料に対して、1800 W、66 . 5 P a、H<sub>2</sub>O の流量を 300 s c c m とし、I C P ( Inductive Coupled Plasma : 誘電結合プラズマ ) 法によるアッシング処理を行い、30 秒後、45 秒後および 65 秒後におけるレジストの膜厚を測定し、そのアッシングレートを測定している。

#### 【 0 0 3 4 】

表 1 に各試料の膜厚の実測値、図 1 2 に実測値をグラフにまとめた結果を示す。

#### 【 0 0 3 5 】

##### 【 表 1 】

10

20

30

40

アッシング 時間(sec)	①Pのみ ( $\mu\text{m}$ )	②P+Ar( $5.0 \times 10^{15}$ ) ( $\mu\text{m}$ )	③P+Ar( $1.0 \times 10^{16}$ ) ( $\mu\text{m}$ )	④ドーブ無し ( $\mu\text{m}$ )
0	1.26	1.18	1.24	1.38
30	1.21	1.09	1.13	1.08
45	0.98	0.75	0.58	0.70
60	0.65	0.08	0.00	0.31

## 【0036】

なお、高ドーズ量のイオン注入によるレジストの表面硬化層をイオン衝撃処理することにより除去してアッシングするという技術があるが、図12の結果から本発明では、Arイオンをイオン注入することにより表面硬化層を除去しているとは考えにくい。アッシング開始から30秒後まではレジストの膜厚にはほとんど変化がないことから、Arイオンのイオン注入を行っても表面の変質層（硬化層）は除去されていないと考えられる。

## 【0037】

引き続き、アッシング処理をすると試料2、3に関しては、2 1.09  $\mu\text{m}$  0.75  $\mu\text{m}$  3 1.13  $\mu\text{m}$  0.58  $\mu\text{m}$  膜厚が減少しており、図12のグラフの傾きからもアッシングレートが急激に向上したのがわかる。一方、Pのみが添加された試料1や何も添加されていない試料4に関しては、1 1.21  $\mu\text{m}$  0.98  $\mu\text{m}$  4 1.08  $\mu\text{m}$  0.70  $\mu\text{m}$ と膜厚の変化は小さく、図12からもあまりアッシングレートは変化していないことがわかる。

## 【0038】

このことから、本発明を適用すると、レジスト表面の変質層（硬質層）が除去された後に、一気にレジストのアッシングレートが向上し、イオン注入後のレジスト除去が容易になっていることがわかる。

## 【0039】

## 【実施例】

## [実施例1]

本実施例では反射型液晶表示装置のアクティブマトリクス基板の作製方法について図5～9を用いて説明する。本明細書ではCMOS回路、及び駆動回路と、画素TFET、保持容量とを有する画素部を同一基板上に形成された基板を、便宜上アクティブマトリクス基板と呼ぶ。

## 【0040】

まず、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板400を用いる。なお、基板400としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。

## 【0041】

次いで、基板400上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜401を形成する。本実施例では下地膜401として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜401の一層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化珪素膜401aを10～200nm（好ましくは50～100nm）形成する。本実施例では、膜厚50nmの酸化窒化珪素膜401a（組成比Si=32%、O=27%、N=24%、H=17%）を形成した。次いで、下地膜401の2層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化珪素膜401bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜401b（組成比Si=32%、O=59%、N=7%、H=2%）を形成する。

## 【0042】

10

20

30

40

50



次いで、下地膜上に半導体層402～406を形成する。半導体層402～406は公知の手段（スパッタ法、LP-CVD法、またはプラズマCVD法等）により25～80nm（好ましくは30～60nm）の厚さで半導体膜を成膜し、公知の結晶化法（レーザ結晶化法、RTAやファーネスアニール炉を用いた熱結晶化法、結晶化を助長する金属元素を用いた熱結晶化法等）により結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターンニングして半導体層402～406を形成する。

#### 【0043】

次いで、半導体層402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

10

#### 【0044】

次いで、ゲート絶縁膜407上に膜厚20～100nmの第1の導電膜408と、膜厚100～400nmの第2の導電膜409とを積層形成する。本実施例では、膜厚30nmの窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）膜からなる第1の導電膜408と、膜厚370nmのタングステン（W）膜からなる第2の導電膜409を積層形成する。

#### 【0045】

次に、フォトリソグラフィ法を用いてレジストからなるマスク410～415を形成し、電極及び配線を形成するための第1のエッチング処理を行なう。第1のエッチング処理では第1及び第2のエッチング条件で行なう。（図5（B））本実施例では第1のエッチング条件として、ICPエッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25：25：10とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

20

#### 【0046】

この後、レジストからなるマスク410～415を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30：30とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側（試料ステージ）にも200WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N<sub>5</sub>膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。

30

#### 【0047】

上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15～45°となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層417～422（第1の導電層417a～422aと第2の導電層417b～422b）を形成する。416はゲート絶縁膜であり、第1の形状の導電層417～422で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

40

#### 【0048】

次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行なう（図5（C））。ここでは、エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の導電層428b～433bを形成する。一方、第1の導電層417a～422aは、ほとんどエッチングされず、第2の形

50

状の導電層 4 2 8 ~ 4 3 3 を形成する。

【 0 0 4 9 】

そして、レジストからなるマスクを除去せずに第 1 のドーピング処理を行い、半導体層に n 型を付与する不純物元素を低濃度に添加する。n 型を付与する不純物元素として 1 5 族に属する元素、典型的にはリン ( P ) または砒素 ( A s ) を用いるが、ここではリン ( P ) を用いる。その際、合わせて A r の注入も行う。ドーピング処理はイオン注入で行う。イオン注入の条件は P のドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$  とし、加速電圧を 4 0 ~ 8 0 k e V として行う。A r のドーズ量は、 $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$  として行う。本実施例では P はドーズ量を  $1.5 \times 10^{13} / \text{cm}^2$  とし、A r は  $1 \times 10^{14} / \text{cm}^2$  として、加速電圧を 6 0 k e V として行う。この場合、導電層 4 2 8 ~ 4 3 3 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に不純物領域 4 2 3 ~ 4 2 7 が形成される。不純物領域 4 2 3 ~ 4 2 7 には  $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加する。

10

【 0 0 5 0 】

続いて、レジストからなるマスクを除去する。除去には、酸素プラズマによるアッシングを用いる。P と同時に A r が注入されているため、レジスト表面の変質層が除去されており、酸素プラズマアッシングが容易に行える。ここでは、I C P プラズマによるアッシングを行う。条件は、1 8 0 0 W、6 6 . 5 P a、H<sub>2</sub>O 流量 3 0 0 s c c m にて 6 0 秒間アッシングを行う。

【 0 0 5 1 】

20

引き続き、新たにレジストからなるマスク 4 3 4 a ~ 4 3 4 c を形成して第 1 のドーピング処理よりも高い加速電圧で第 2 のドーピング処理を行う。イオン注入の条件はドーズ量を  $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$  とし、加速電圧を 6 0 ~ 1 2 0 k e V として行なう。第 2 のドーピング処理は第 2 の導電層 4 2 8 b ~ 4 3 2 b を不純物元素に対するマスクとして用い、第 1 の導電層のテーパ部の方の半導体層に不純物元素が添加されるようにドーピングする。続いて、第 2 のドーピング処理より加速電圧を下げて第 3 のドーピング処理を行って図 6 ( A ) の状態を得る。イオン注入の条件はドーズ量を  $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^2$  とし、加速電圧を 5 0 ~ 1 0 0 k e V として行う。第 2 のドーピング処理および第 3 のドーピング処理により、第 1 の導電層と重なる低濃度不純物領域 4 3 6、4 4 2、4 4 8 には  $1 \times 10^{18} \sim 5 \times 10^{19} / \text{cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加され、高濃度不純物領域 4 3 5、4 3 8、4 4 1、4 4 4、4 4 7 には  $1 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加される。

30

【 0 0 5 2 】

勿論、もちろん、適当な加速電圧にすることで、第 2 のドーピング処理および第 3 のドーピング処理は 1 回のドーピング処理で、低濃度不純物領域および高濃度不純物領域を形成することも可能である。

【 0 0 5 3 】

引き続き A r のイオン注入を、第 3 のドーピングと同一装置にて連続的におこなう。イオン注入の条件はドーズ量を  $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^2$  とし、加速電圧を 1 ~ 1 0 0 k e V として行なう。また、A r のイオン注入は、第 3 のドーピング処理と同時に行っても良い。その場合は、A r と P を含むイオンを同時に同一加速電圧で注入することになる。

40

【 0 0 5 4 】

次いで、酸素プラズマアッシングを用いてレジストを除去する。その方法は、第一のドーピング処理の後のレジスト除去と同様の方法を用いる。やはり、A r が注入されていることにより、容易にレジストのアッシングが可能である。

【 0 0 5 5 】

次いで、新たにレジストマスク 4 5 0 a ~ 4 5 0 c を形成して第 4 のドーピング処理を行う。この第 4 のドーピング処理により、p チャネル型 T F T の活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域 4 5 1、4 5 3 ~ 4 5 5、4 5 7、4 5 9、4 6 0 を形成する。第 2 の導電層 4 2 8 b ~ 4 3 2 b を不純

50

物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域451、453~455、457、459、460はジボラン( $B_2H_6$ )を用いたイオン注入法で形成する。(図6(B))この第4のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストマスク450a~450cで一部覆われている。第1乃至3のドーピング処理によって、不純物領域438、439にはそれぞれ異なる濃度でPが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $1 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

#### 【0056】

以上までの工程で、それぞれの半導体層に不純物領域が形成される。レジストからなるマスク450a~450cは除去して第1の層間絶縁膜461を形成する。この第1の層間絶縁膜461としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜461は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

#### 【0057】

次いで、図6(C)に示すように、加熱処理を行って、半導体層の結晶性の回復、それぞれの半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700、代表的には500~550で行えばよく、本実施例では550、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

#### 【0058】

次いで、第1の層間絶縁膜461上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜462を形成する。本実施例では、膜厚1.6μmのアクリル樹脂膜を形成したが、粘度が10~1000cp、好ましくは40~200cpのものをを用い、表面に凸凹が形成されるものを用いる。

#### 【0059】

本実施例では、鏡面反射を防ぐため、表面に凸凹が形成される第2の層間絶縁膜462を形成することによって画素電極の表面に凸凹を形成した。また、画素電極の表面に凹凸を持たせて光散乱性を図るため、画素電極の下方の領域に凸部を形成してもよい。その場合、凸部の形成は、TFTの形成と同じフォトリソグラフィで行なうことができるため、工程数の増加なく形成することができる。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ければよい。こうして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

#### 【0060】

また、第2の層間絶縁膜462として表面が平坦化する膜を用いてもよい。その場合は、画素電極を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

#### 【0061】

そして、駆動回路506において、各不純物領域とそれぞれ電氣的に接続する配線463~468を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜(AlとTiとの合金膜)との積層膜をパターンニングして形成する。(図7)

#### 【0062】

また、画素部507においては、画素電極470、ゲート配線469、接続電極468を形成する。この接続電極468によりソース配線(433aと433bの積層)は、画素

10

20

30

40

50

TFTと電氣的な接続が形成される。また、ゲート配線469は、画素TFT504のゲート電極と電氣的な接続が形成される。また、画素電極470は、画素TFT504のドレイン領域442と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層458と電氣的な接続が形成される。また、画素電極470としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

#### 【0063】

以上の様にして、nチャネル型TFT501とpチャネル型TFT502からなるCMOS回路、及びnチャネル型TFT503を有する駆動回路506と、画素TFT504、保持容量505とを有する画素部507を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

10

#### 【0064】

駆動回路506のnチャネル型TFT501はチャネル形成領域437、ゲート電極の一部を構成する第1の導電層428aと重なる低濃度不純物領域436(GOLD領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域452と、n型を付与する不純物元素およびp型を付与する不純物元素が導入された不純物領域451を有している。このnチャネル型TFT501と電極466で接続してCMOS回路を形成するpチャネル型TFT502にはチャネル形成領域440、ソース領域またはドレイン領域として機能する高濃度不純物領域454と、n型を付与する不純物元素およびp型を付与する不純物元素が導入された不純物領域453を有している。また、nチャネル型TFT503にはチャネル形成領域443、ゲート電極の一部を構成する第1の導電層430aと重なる低濃度不純物領域442(GOLD領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域456と、n型を付与する不純物元素およびp型を付与する不純物元素が導入された不純物領域455を有している。

20

#### 【0065】

画素部の画素TFT504にはチャネル形成領域446、ゲート電極の外側に形成される低濃度不純物領域445(LDD領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域458と、n型を付与する不純物元素およびp型を付与する不純物元素が導入された不純物領域457を有している。また、保持容量505の一方の電極として機能する半導体層には、n型を付与する不純物元素およびp型を付与する不純物元素が添加されている。保持容量505は、絶縁膜416を誘電体として、電極(432aと432bの積層)と、半導体層とで形成している。

30

#### 【0066】

本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

#### 【0067】

また、本実施例で作製するアクティブマトリクス基板の画素部の上面図を図8に示す。なお、図5～図8に対応する部分には同じ符号を用いている。図7中の鎖線A-A'は図8中の鎖線A-A'で切断した断面図に対応している。また、図7中の鎖線B-B'は図8中の鎖線B-B'で切断した断面図に対応している。

40

#### 【0068】

##### [実施例2]

本実施例では、実施例1で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図9を用いる。

#### 【0069】

まず、実施例1に従い、図7の状態のアクティブマトリクス基板を得た後、図7のアクティブマトリクス基板上、少なくとも画素電極470上に配向膜567を形成しラビング処理を行なう。なお、本実施例では配向膜567を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンングすることによって基板間隔を保持するための柱状のスペーサ572を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に

50

散布してもよい。

#### 【0070】

次いで、対向基板569を用意する。次いで、対向基板569上に着色層570、571、平坦化膜573を形成する。赤色の着色層570と青色の着色層571とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

#### 【0071】

本実施例では、実施例1に示す基板を用いている。従って、実施例1の画素部の上面図を示す図8では、少なくともゲート配線469と画素電極470の間隙と、ゲート配線469と接続電極468の間隙と、接続電極468と画素電極470の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせる。

10

#### 【0072】

このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能としている。

#### 【0073】

次いで、平坦化膜573上に透明導電膜からなる対向電極576を少なくとも画素部に形成し、対向基板の全面に配向膜574を形成し、ラビング処理を施す。

#### 【0074】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材568で貼り合わせる。シール材568にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料575を注入し、封止剤（図示せず）によって完全に封止する。液晶材料575には公知の液晶材料を用いれば良い。このようにして図9に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板（図示しない）を貼りつける。そして、公知の技術を用いてFPCを貼りつける。

20

#### 【0075】

以上のようにして作製される液晶表示パネルは各種電気器具、例えばビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）の表示部として用いることができる。

30

#### 【0076】

##### [実施例3]

本実施例では、本発明を適用してアクティブマトリクス基板を形成する実施例1とは異なる一例について図13～17を用いて説明する。

#### 【0077】

基板1000は、石英基板、ガラス基板、セラミック基板などを用いることができる。また、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成した基板を用いてもよい。なお、ガラス基板を用いる場合には、ガラス歪み点よりも10～20 低い温度であらかじめ加熱処理しておいてもよい。

40

#### 【0078】

基板1000上にポリシリコン膜、 $WSi$ 膜を成膜し、これらの膜に対してパターニングを施し、下部遮光膜1001を形成する。下部遮光膜1001としては、ポリシリコン膜や $WSi_x$  ( $X = 2.0 \sim 2.8$ ) 膜、Al、Ta、W、Cr、Mo等の導電性材料からなる膜及びその積層構造を用いることができる。本実施例では、 $WSi_x$  (膜厚: 100 nm) 膜1001bおよびポリシリコン膜 (膜厚: 50 nm) 1001aの積層構造の高い遮光性を持つ導電性材料により所定の間隔で下部遮光膜1001を形成した。なお、下部遮光膜1001はゲート線としての機能を有しているため、以下、下部遮光膜にあたる部分はゲート線と称する。

50

## 【0079】

ゲート線1001を覆うように第1の絶縁膜1002を形成する。第1の絶縁膜1002は100nm程度の膜厚を有する。この第1の絶縁膜1002は、プラズマCVD法、またはスパッタ法等で形成されるシリコンを含む絶縁膜を用いる。また、第1の絶縁膜1002は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い(図13(A))。

## 【0080】

次いで、第1の絶縁膜1002上に、減圧CVD法により非晶質半導体膜を形成する。非晶質半導体膜の材料に特に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム( $\text{Si}_{1-x}\text{Ge}_x$ :  $0 < x < 1$ 、代表的には、 $x = 0.001 \sim 0.05$ )合金などで形成するとよい。なお、本実施例では非晶質半導体膜として、65nm厚のアモルファスシリコン膜1003を形成した。

10

## 【0081】

次いで、アモルファスシリコン膜1003を結晶化して結晶質シリコン膜1004を形成する(図13(B))。結晶化の方法としては、公知のレーザ光照射による方法、加熱処理による結晶化方法を用いてもよいし、触媒元素を添加して加熱処理する方法を用いてもよい。

## 【0082】

なお、結晶化工程の後、結晶質シリコン膜にレーザ照射を行って、結晶質シリコン膜の結晶性を改善してもよい。続いて、結晶質シリコン膜をパターニングして第1の形状の半導体層1005~1008を形成する。

20

## 【0083】

続いて、触媒元素を用いて結晶化を行った場合にはここで第1の形状の半導体層1005~1008上にレジストマスク1009~1012を形成し、選択的に希ガス元素(代表的にはAr)が添加された領域(ゲッタリング領域ともいう)1013~1016を形成する。その後、加熱処理を行ってゲッタリング領域1013~1016に触媒元素を移動させて、後にTFTのチャネル形成領域となる領域に含まれる触媒元素濃度を低減させるゲッタリング工程を行う(図13(C))。

## 【0084】

ゲッタリング工程が終了したら、ゲッタリング領域1013~1016を除去し、パターニングして、後のTFTの半導体層となる第2の形状の半導体層1017~1020を形成する(図13(D))。その後、レジストマスク1009~1012を除去する。このとき、Arが添加されているためレジストマスク1009~1012の除去は容易に行うことができる。

30

## 【0085】

次いで、第2の形状の半導体層1017~1020の結晶性を向上させることを目的として、酸化処理を行う。減圧CVD装置で20nm厚の酸化シリコン膜を成膜し(図示せず)、950℃で熱酸化処理を行って酸化シリコン膜/酸化シリコン膜が酸化された部分=20:60nmの比率で熱酸化膜を形成する(図示せず)。この熱酸化処理工程により、第2の形状の半導体層1017~1020の膜厚は35nm程度となる。

40

## 【0086】

次いで、半導体層1017~1020を覆って、第2の絶縁膜(ゲート絶縁膜)1021aとして30nm厚の酸化シリコン膜を形成する。次いで、後に保持容量1204となる領域の半導体層1020を保持容量の下部電極とするために、半導体層1020の真上の領域のゲート絶縁膜を選択的にエッチングするためのレジストマスク1022を形成し、ゲート絶縁膜を除去してPを添加した後、希ガス元素としてArも添加する(図14(A))。この後、レジストマスク1022を除去して、2層目のゲート絶縁膜1021bとして50nm厚の酸化シリコン膜を形成する(図14(B))。この工程においてもPが添加された後にArが添加されているため、Pが添加された際にレジスト表面に変質層が形成されても、レジストマスク1022の除去を容易に行うことができる。

50

## 【 0 0 8 7 】

なお、半導体層 1 0 1 7 ~ 1 0 2 0 を形成した後、T F T のしきい値を制御するために微量な不純物元素 ( B または P ) のイオン注入を行ってもよい。この不純物添加工程は、半導体膜の結晶化工程の前、半導体膜の結晶化工程の後、または、ゲート絶縁膜 1 0 2 1 を形成する工程の後のいずれかに行えばよい。

## 【 0 0 8 8 】

この後、第 1 の絶縁膜 1 0 0 2 およびゲート絶縁膜 1 0 2 1 a、1 0 2 1 b に選択的なエッチングを行って、ゲート線 1 0 0 1 に到達するコンタクトホールを形成する。次いで、ゲート絶縁膜 1 0 2 1 b 上に導電膜を形成し、パターニングして各画素のチャネル形成領域上にゲート電極 1 0 2 3 ~ 1 0 2 5、容量配線 ( 保持容量の上部電極 ) 1 0 2 6 を形成する。容量配線 1 0 2 6 が形成される領域のゲート絶縁膜 1 0 2 1 b は、2 層目のゲート絶縁膜 1 0 2 1 b のみであるため他の領域より薄くしてあり、保持容量の増大が図られている。また、ゲート電極 1 0 2 5 は、ゲート線 1 0 0 1 とコンタクトホールを通じて電気的に接続している ( 図 1 4 ( C ) )。

10

## 【 0 0 8 9 】

ゲート電極および容量配線を形成するための導電膜は、導電性を付与する不純物元素が添加されたポリシリコン膜や  $W S i_x$  膜 (  $x = 2.0 \sim 2.8$  )、Al、Ta、W、Cr、Mo 等の導電性材料およびその積層構造により 3 0 0 nm 程度の膜厚で形成しているが、上記の導電性材料の単層でもよい。

## 【 0 0 9 0 】

次いで、半導体層 1 0 1 7 ~ 1 0 2 0 を活性層とした T F T を形成するため、半導体層に選択的に n 型または p 型を付与する不純物元素 ( 以下、n 型不純物元素または p 型不純物元素という ) を添加して、低抵抗のソース領域およびドレイン領域、さらに、L D D 領域を形成する ( 図 1 5 ( A ) )。この L D D 領域はソース領域及びドレイン領域と同様に不純物元素が添加されている。こうして半導体層 1 0 1 7 ~ 1 0 2 0 にソース領域とドレイン領域とに挟まれたチャネル形成領域が形成される。このように L D D 領域やソース領域またはドレイン領域となる領域を形成するためにレジストマスクを用いて導電性を付与する不純物元素をイオン注入する際にも本発明を適用することが可能であり、本発明を適用することによりレジストマスクの除去を容易に行うことができる。

20

## 【 0 0 9 1 】

次いで、ゲート電極 1 0 2 3 ~ 1 0 2 5 および容量配線 1 0 2 6 を覆う第 3 の絶縁膜 ( 第 1 の層間絶縁膜 ) 1 0 2 7 を形成する ( 図 1 5 ( B ) )。この第 3 の絶縁膜 1 0 2 7 は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、またはこれらの膜を組み合わせた積層膜で 7 0 nm 厚程度に形成すればよい。

30

## 【 0 0 9 2 】

次いで、第 4 の絶縁膜 ( 第 2 の層間絶縁膜 ) 1 0 2 8 を形成する。第 4 の絶縁膜 1 0 2 8 は、有機絶縁物材料膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜のいずれかを材料として、8 0 0 nm 厚で形成する。

## 【 0 0 9 3 】

次いで、ゲート絶縁膜 1 0 2 1、第 3 の絶縁膜 1 0 2 7 および第 4 の絶縁膜 1 0 2 8 に半導体層 1 0 1 7 ~ 1 0 2 0 に通じるコンタクトホールを形成する。そして第 4 の絶縁膜 1 0 2 8 上にコンタクトホールを通じて半導体層 1 0 1 7 ~ 1 0 2 0 に接する導電膜を形成してパターニングすることでそれぞれの T F T を電気的に接続するための接続配線およびソース線 1 0 2 9 ~ 1 0 3 4 を形成する ( 図 1 5 ( C ) )。これらの配線を形成するための導電膜は Al、W、Ti、TiN を主成分とする膜、またはそれらの積層構造 ( 本実施例では、Ti を含む Al 膜を Ti で挟み込んだ 3 層構造としている ) を有する導電膜を厚さ 5 0 0 nm となるように形成し、パターニングしている。なお、ソース線 1 0 3 2 は保持容量上部を通して半導体層 1 0 2 0 と電気的に接続されている。

40

## 【 0 0 9 4 】

図 1 7 は、ここまで形成された状態の上面図を示したものであり、図中の A - A' 線に沿

50

った概略断面図が図16(B)のA-A'線部分に相当し、B-B'線に沿った概略断面図が図16(B)のB-B'線部分に相当する。

【0095】

次いで、接続配線を覆う第5の絶縁膜1035をアクリル等の有機絶縁膜から1000nm厚に形成する(図16(A))。第5の絶縁膜1035上にAl、Ti、W、Cr、または黒色樹脂等の高い遮光性を持つ膜を所望の形状にパターニングして遮光膜1036を形成する。この遮光膜1036は画素の開口部以外を遮光するように網目状に配置する。さらに、この遮光膜1036を覆うように第5の絶縁膜1035と同じ材料からなる第6の絶縁膜1037を形成し、接続配線1033に通じるコンタクトホールを第5の絶縁膜1035および第6の絶縁膜1037に形成する。

10

【0096】

次いで、ITO等の透明導電膜を100nm厚形成し、所望の形状にパターニングすることで画素電極1038を形成する(図16(B))。

【0097】

こうして形成されたアクティブマトリクス基板に液晶層を配向させる配向膜を形成し、公知のセル組み技術を用いて対向電極および配向膜が形成された対向基板とアクティブマトリクス基板とを貼り合わせた後、液晶を注入して封止することでアクティブマトリクス型液晶表示装置を完成させることができる。そして 以上のようにして作製される液晶表示パネルは各種電気器具、例えばビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)の表示部として用いることができる。

20

【0098】

[実施例4]

実施例1で示すアクティブマトリクス基板と同様な工程をにより、アクティブマトリクス駆動で動作する発光装置を作製することも可能である。本実施例ではその一形態を示す。ここでいう発光装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルにICを実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(発光層)と陽極層と、陰極層とを有する。また、有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)があり、これらのうちどちらか、あるいは両方の発光を含む。

30

【0099】

図10は本実施例の発光装置の断面図である。図10において、基板700上に設けられたスイッチングTFT603は図7のnチャネル型TFT503を用いて形成される。したがって、作製工程は実施例1に従うものとする。

【0100】

なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

40

【0101】

基板700上に設けられた駆動回路は図10のCMOS回路を用いて形成される。従って、構造の説明はnチャネル型TFT501とpチャネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0102】

また、配線701、703はCMOS回路のソース配線、702はドレイン配線として機能する。また、配線704はソース配線708とスイッチングTFTのソース領域とを電氣的に接続する配線として機能し、配線705はドレイン配線709とスイッチングTFT

50



Tのドレイン領域とを電氣的に接続する配線として機能する。

【0103】

なお、電流制御TFT604は図7のpチャネル型TFT502を用いて形成される。従って、構造の説明はpチャネル型TFT502の説明を参照すればよい。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0104】

また、配線706は電流制御TFTのソース配線（電流供給線に相当する）であり、707は電流制御TFTの画素電極710上に重ねることで画素電極710と電氣的に接続する電極である。

10

【0105】

尚、710は透明導電膜からなる画素電極（発光素子の陽極）である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。画素電極710は、上記配線を形成する前に平坦な層間絶縁膜711上に形成する。本実施例においては、樹脂からなる平坦化膜711を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

20

【0106】

配線701～707を形成後、図10に示すようにバンク712を形成する。バンク712は100～400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターンニングして形成すれば良い。

【0107】

なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12} \text{ m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \text{ m}$ ）となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

30

【0108】

画素電極710の上には発光層713が形成される。なお、図10では一画素しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けている。また、本実施例では蒸着法により低分子系有機発光材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体（Alq<sub>3</sub>）膜を設けた積層構造としている。Alq<sub>3</sub>にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0109】

但し、以上の例は発光層として用いることのできる有機発光材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせ発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機発光材料を発光層として用いる例を示したが、高分子系有機発光材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公知の材料を用いることができる。

40

【0110】

次に、発光層713の上には導電膜からなる陰極714が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは

50

2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0111】

この陰極714まで形成された時点で発光素子715が完成する。なお、ここでいう発光素子715は、画素電極（陽極）710、発光層713及び陰極714で形成されたダイオードを指す。

【0112】

発光素子715を完全に覆うようにしてパッシベーション膜716を設けることは有効である。パッシベーション膜716としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

10

【0113】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC膜は室温から100以下の温度範囲で成膜可能であるため、耐熱性の低い発光層713の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、発光層713の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に発光層713が酸化するといった問題を防止できる。

【0114】

さらに、パッシベーション膜716上に封止材717を設け、カバー材718を貼り合わせる。封止材717としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材718はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものをを用いる。

20

【0115】

こうして図10に示すような構造の発光装置が完成する。なお、バンク712を形成した後、パッシベーション膜716を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材718を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

30

【0116】

こうして、プラスチック基板を母体とする絶縁体700上にnチャネル型TFET601、602、スイッチングTFET（nチャネル型TFET）603および電流制御TFET（nチャネル型TFET）604が形成される。ここまでの製造工程で必要としたマスク数は、一般的なアクティブマトリクス型発光装置よりも少ない。

【0117】

即ち、TFETの製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

【0118】

さらに、図10を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強いnチャネル型TFETを形成することができる。そのため、信頼性の高い発光装置を実現できる。

40

【0119】

また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【0120】

さらに、発光素子を保護するための封止（または封入）工程まで行った後の本実施例の発光装置について図11を用いて説明する。なお、必要に応じて図10で用いた符号を引用

50

する。

#### 【0121】

図11(A)は、発光素子の封止までを行った状態を示す上面図、図11(B)は図11(A)をC-C'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

#### 【0122】

なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

10

#### 【0123】

次に、断面構造について図11(B)を用いて説明する。基板700の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電気的に接続された画素電極710を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャネル型TFT601とpチャネル型TFT602とを組み合わせたCMOS回路(図14参照)を用いて形成される。

20

#### 【0124】

画素電極710は発光素子の陽極として機能する。また、画素電極710の両端にはバンク712が形成され、画素電極710上には発光層713および発光素子の陰極714が形成される。

#### 【0125】

陰極714は全画素に共通の配線としても機能し、接続配線904を経由してFPC905に電気的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびパッシベーション膜716で覆われている。

#### 【0126】

また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901と発光素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

30

#### 【0127】

発光素子を覆うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板901aの材料としてFRP(Fiberglass-Reinforced Plastics)、PVF(ポリビニルフロライド)、マイラー、ポリエステルまたはアクリルを用いることができる。

40

#### 【0128】

また、封止材907を用いてカバー材901を接着した後、封止材907の側面(露呈面)を覆うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

#### 【0129】

以上のような構造で発光素子を封止材907に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。

#### 【0130】

#### 【発明の効果】

50

本発明を用いることにより、イオン注入時にマスクとして用いたレジストの除去が容易となりレジスト除去時間の短縮およびレジスト残りの防止が可能となる。

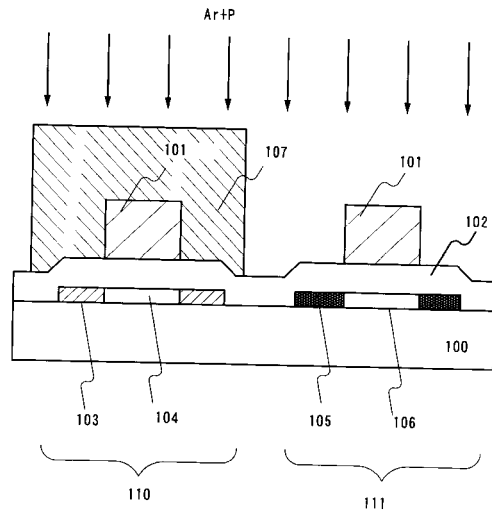
【図面の簡単な説明】

- 【図１】 本発明におけるイオン注入工程を示す図。  
【図２】 アッシング後のレジストの状態を示す光学顕微鏡写真。  
【図３】 レジスト膜厚のアッシング時間およびイオン注入条件依存を示すグラフ。  
【図４】 従来技術に於けるイオン注入工程を示す図。  
【図５】 T F Tの作製工程を説明する断面図。  
【図６】 T F Tの作製工程を説明する断面図。  
【図７】 T F Tの作製工程を説明する断面図。 10  
【図８】 T F Tの画素部の構造を説明する上面図。  
【図９】 液晶表示装の構造を説明する断面図。  
【図１０】 発光装置の構造を説明する断面図。  
【図１１】 発光装置の構造を説明する上面図及び断面図。  
【図１２】 レジストのエッチングレートを測定した結果を示す図。  
【図１３】 T F Tの作製工程を説明する断面図。  
【図１４】 T F Tの作製工程を説明する断面図。  
【図１５】 T F Tの作製工程を説明する断面図。  
【図１６】 T F Tの作製工程を説明する断面図。  
【図１７】 T F Tの画素部の構造を説明する上面図。 20

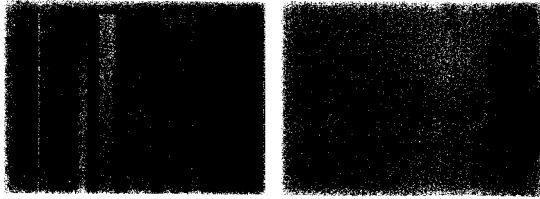
【符号の説明】

- １００ 基板  
１０１ ゲート電極  
１０２ ゲート絶縁膜  
１０３、１０５ ソース領域又はドレイン領域  
１０４、１０６ 半導体層  
１０７ レジスト  
１１０ pチャネル型T F T  
１１１ nチャネル型T F T

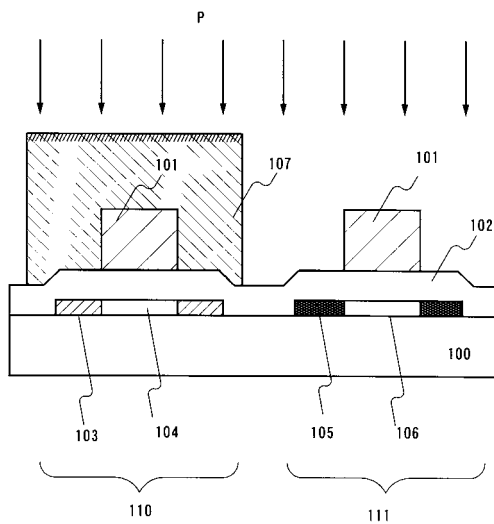
【図 1】



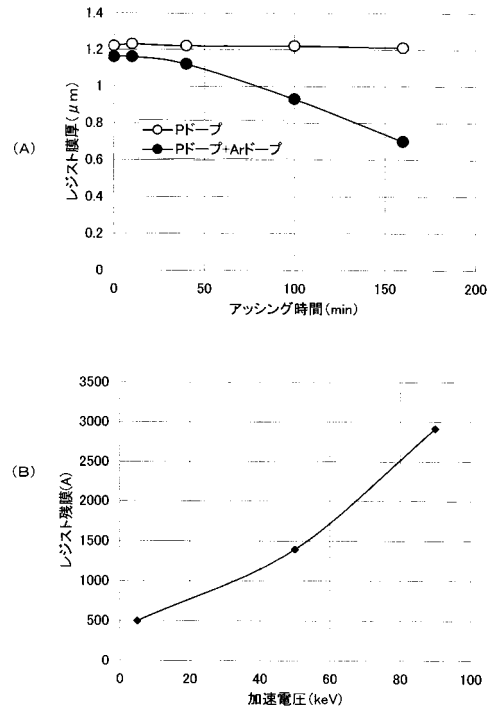
【図 2】



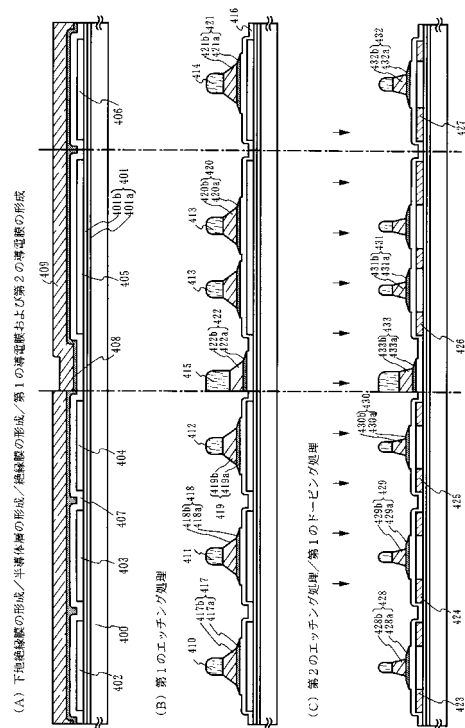
【図 4】



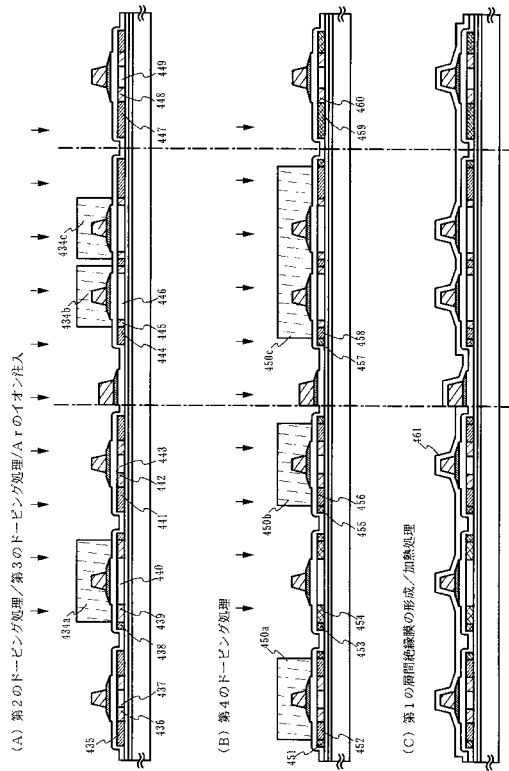
【図 3】



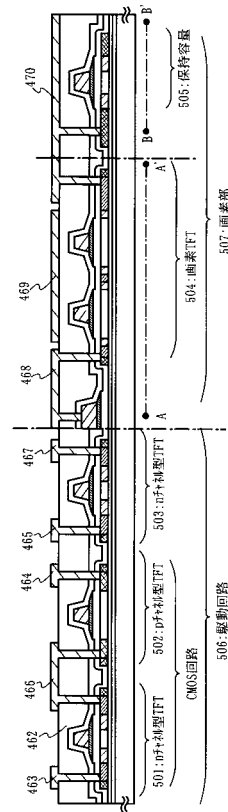
【図 5】



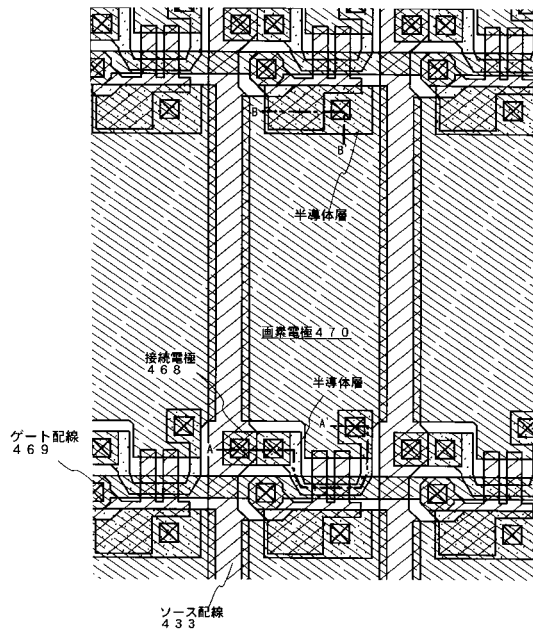
【図 6】



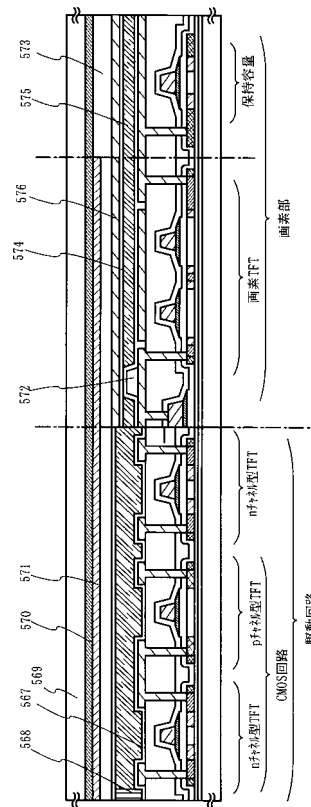
【図 7】



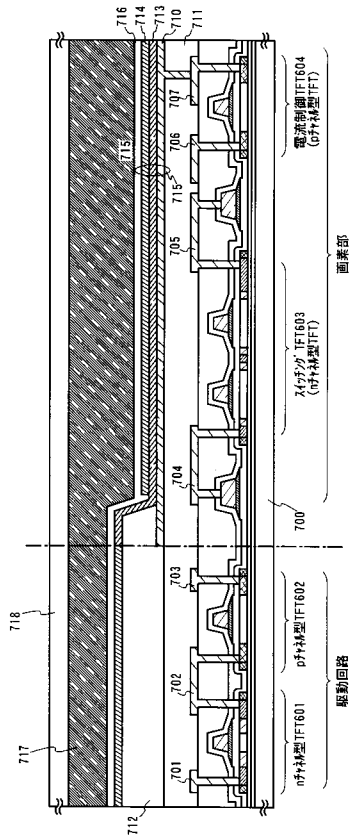
【図 8】



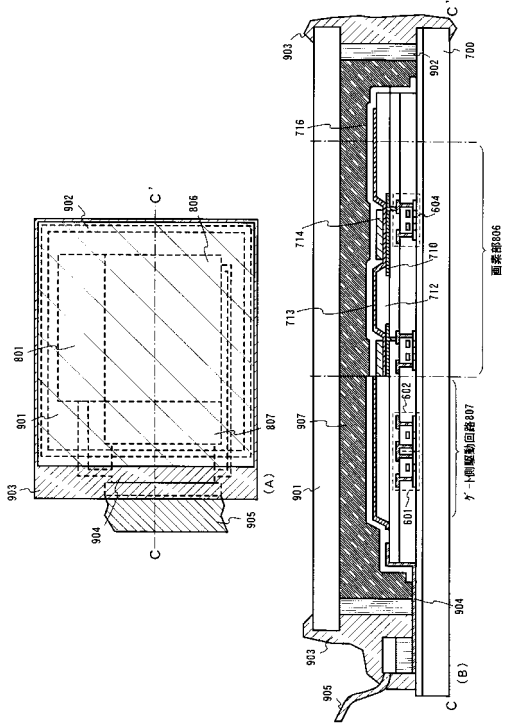
【図 9】



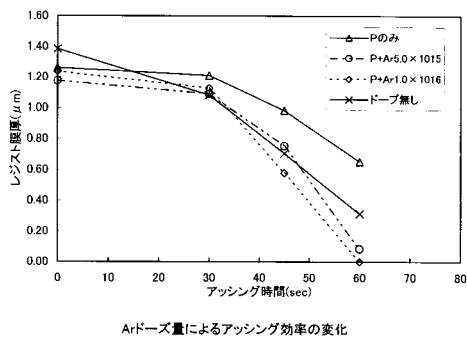
【図 10】



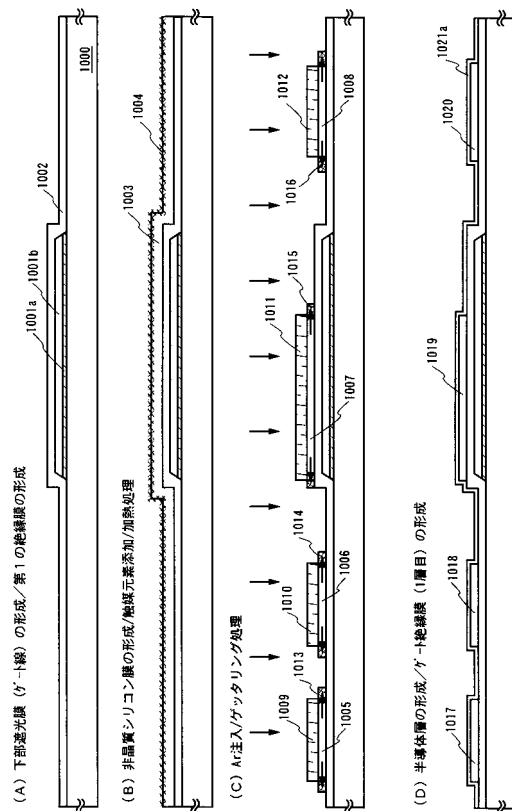
【図 11】



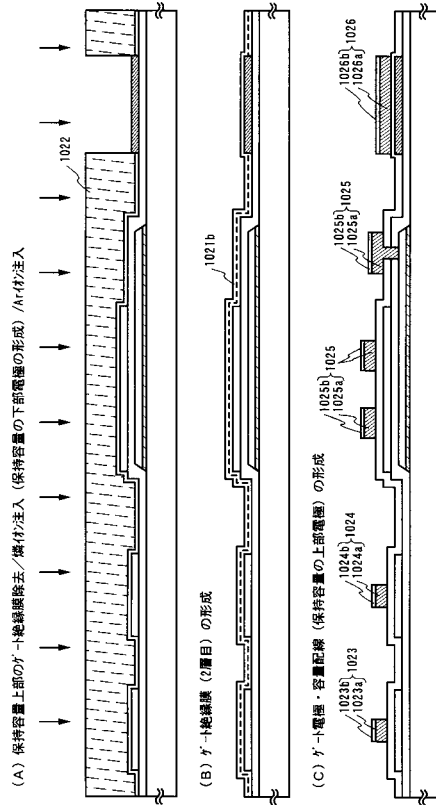
【図 12】



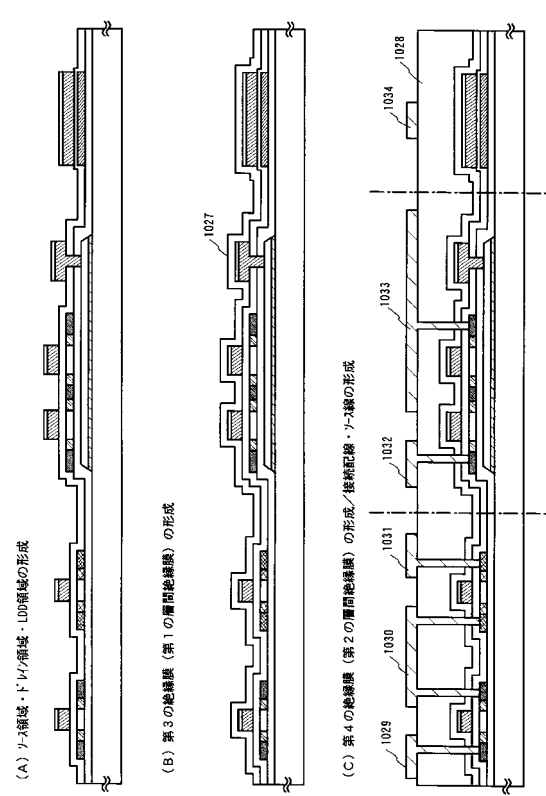
【図 13】



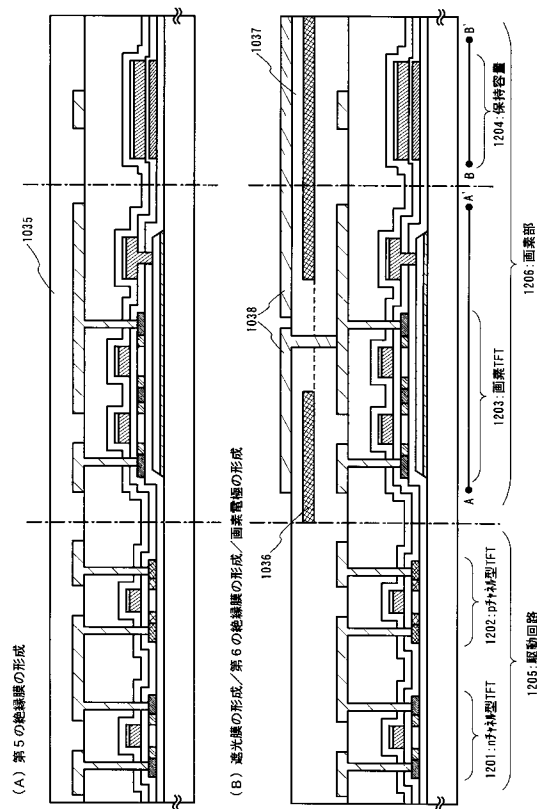
【図 14】



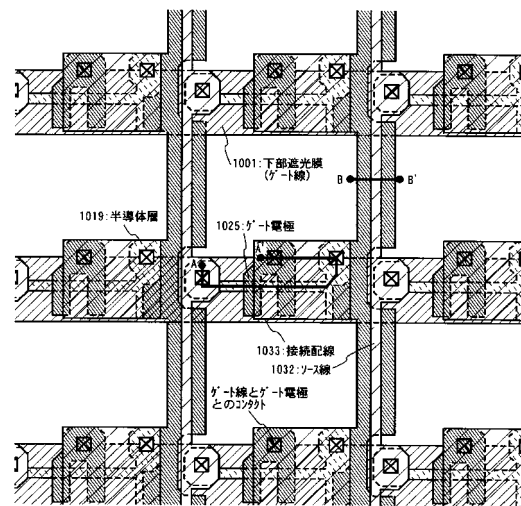
【図 15】



【図 16】



【図 17】





---

フロントページの続き

- (56)参考文献 特開平09 - 237899 (JP, A)  
特開平10 - 012890 (JP, A)  
特開平10 - 135182 (JP, A)  
特開平08 - 228005 (JP, A)  
特開昭59 - 101826 (JP, A)  
特開平04 - 304632 (JP, A)  
特開平09 - 139502 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3065  
H01L 21/205  
H01L 21/027  
H01L 21/266  
H01L 21/336  
H01L 29/786  
G02F 1/1368