СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1309032 A1

(51) 4 G 06 F 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

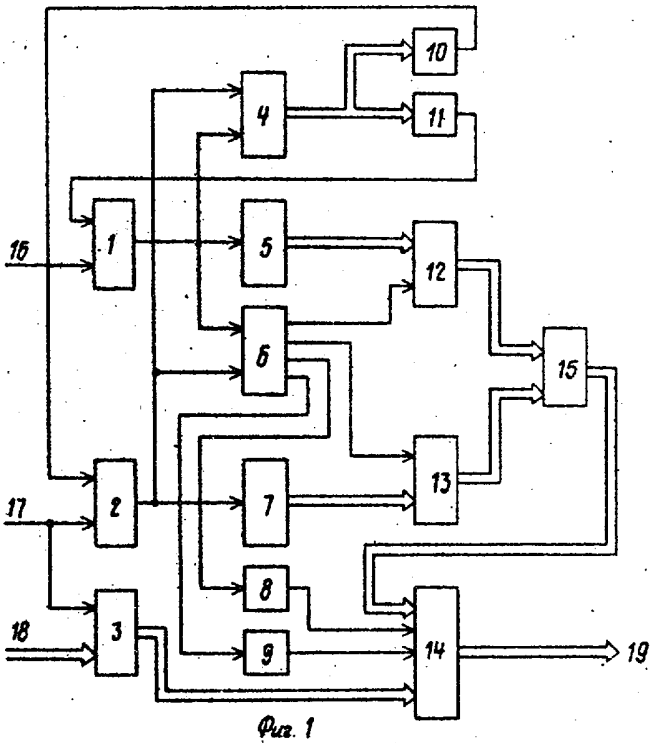
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3985183/24-24
(22) 02.12.85
(46) 07.05.87. Бюл. № 17
(72) В.П.Ремезов и Э.Р.Лесневский
(53) 681.325(088.8)
(56) Авторское свидетельство СССР № 723563, кл. G 06 F 3/04, 1978.
Авторское свидетельство СССР № 1019428, кл. G 06 F 3/04, 1982.

(54) УСТРОЙСТВО ДЛЯ СОПРЯЖЕНИЯ ИСТОЧНИКА И ПРИЕМНИКА ИНФОРМАЦИИ

(57) Изобретение относится к области вычислительной техники и может быть использовано для обмена информацией между двумя разноскоростными устройствами обработки данных в качестве буферной памяти. Целью изобретения является повышение достоверности функционирования за счет обеспечения работы устройства сопряжения при любом временном положении сигналов записи и считывания. Цель достигается тем, что в устройство, содержащее два элемента И 1,2, реверсивный счетчик 4, счетчик 5 чтения, счетчик 7 записи, элементы 8 и 9 задержки, дешифратор 10 заполнения, дешифратор 11 нуля, две группы элементов И 12, 13, блок 14 памяти, группу элементов ИЛИ 15,



Фиг. 1

(19) SU (11) 1309032 A1

введены регистр 3, предназначенный для хранения входной информации, и распределитель 6 импульсов, предназначенный для разделения во времени циклов записи и считывания. 1 з.п. ф-лы, 3 ил.

1

Изобретение относится к вычислительной технике и может быть использовано для обмена информацией между двумя разноскоростными устройствами.

Целью изобретения является повышение достоверности функционирования устройства.

На фиг. 1 представлена блок-схема устройства; на фиг. 2 - функциональная схема распределителя импульсов; на фиг. 3 - временная диаграмма работы распределителя импульсов.

Устройство (фиг. 1) содержит первый 1 и второй 2 элементы И, регистр 3, реверсивный счетчик 4, счетчик 5 чтения, распределитель 6 импульсов, счетчик 7 записи, первый 8 и второй 9 элементы задержки, дешифратор 10 заполнения, дешифратор 11 нуля, первую 12 и вторую 13 группу элементов И, блок 14 памяти, группу элементов ИЛИ 15, входы 16 и 17 синхроимпульсов чтения и записи устройства, информационные вход 18 и выход 19 устройства.

Распределитель импульсов (фиг.2) содержит первый 20 и второй 21 триггеры, первый 22 и второй 23 элементы И-НЕ, первый 24 и второй 25 элементы НЕ, первый 26 и второй 27 формирователи импульса по фронту входного сигнала, первый 28 и второй 29 формирователи импульса по спаду входного сигнала, первый 30 и второй 31 входы, первый 32, второй 33, третий 34 и четвертый 35 выходы, входы 36 - 47 элементов распределителя.

Устройство работает следующим образом.

В исходном состоянии счетчики 4,5, 7, элементы памяти блока 14 и регистр 3 находятся в нулевом состоянии, на адресном входе блока 14 находится потенциал, соответствующий 0, на выходе дешифратора 11 находится запирающий потенциал, блокирующий элемент И 1, на выходе дешифратора 10

2

находится потенциал, открывающий элемент И 2.

Сигналом на входе 17 поступающий по входу параллельный код записывается в регистр 3 и модифицируются счетчик 7 и реверсивный счетчик 4. Кроме этого по сигналу на входе 17 распределитель 6 формирует импульс, который с выхода 35 проходит через элемент 9 задержки и разрешает запись кода из регистра 3 в блок 14 по первому адресу.

Код адреса, по которому происходит запись, подается на адресный вход блока 14 с выхода счетчика 7 через элементы И 13, открытые потенциалом с выхода 33 распределителя 6, и элементы ИЛИ 15. С выхода дешифратора 11 снимается запирающий потенциал, и разблокируется вход 16 для сигналов считывания.

При поступлении следующего кода на вход 18 и сигнала на вход 17 в реверсивный счетчик 4 и в счетчик 7 записывается еще по единице, и на адресный вход блока 14 поступает соответствующий адрес, по которому записывается код с выхода регистра 3. Аналогичным образом происходит дальнейшее заполнение информацией блока 14.

Если на вход 16 приходит сигнал считывания до того, как произойдет заполнение блока 14, счетчика 7 и реверсивного счетчика 4 импульсами, управляющими записью, из содержимого реверсивного счетчика 4 вычитается единица, в счетчик 5 записывается единица. С выхода 34 распределителя 6 через элемент 8 задержки на вход блока 14 поступает импульс, по которому происходит считывание информации из блока 14 на выход 19 устройства. Причем код адреса, по которому происходит считывание, подается с выхода счетчика 5 через элементы И 12, открытые потенциалом с выхода 32 распределителя 6, и элементы ИЛИ 15.

При поступлении следующего считывающего сигнала из содержимого реверсивного счетчика 4 вычитается еще единица, в счетчик 5 добавляется единица и на адресном входе блока 14 выставляется код второго адреса. Значение информации, записанной по этому адресу, считывается и поступает на выход 19 устройства. При завершении считывания всех записанных в память кодов реверсивный счетчик 4 устанавливается в нулевое состояние, вследствие чего дешифратор 11 формирует сигнал, блокирующий элемент И 1 и запрещающий изменение состояния устройства по сигналам считывания, проходящим на вход 16. Одновременно сигнал с выхода дешифратора 11 может быть подан на приемник как сигнал запрета чтения (отсутствия информации для чтения).

В случае, когда реверсивный счетчик 4 заполняется импульсами, поступившими по входу 17, что свидетельствует о заполнении всего объема памяти блока 14, дешифратор 10 заполнения формирует сигнал, блокирующий элемент И 2 и тем самым запрещающий дальнейшую запись информации. Первый сигнал, поступивший на вход 16, производит считывание информации по адресу с выхода счетчика 5 чтения и снимает блокировку устройства по входу 17, тем самым разрешая дальнейшую запись информации в устройство. Сигнал с выхода дешифратор 10 может быть выдан источнику как сигнал переполнения буферной памяти и блокировки выдачи данных на вход 18.

В случае, когда на входы 16 и 17 поступают одновременно оба сигнала для устранения сбойной ситуации распределитель 6 осуществляет разделение во время циклов записи и считывания. При этом информация на входе 18 по сигналу на входе 17 записывается в регистр 3. После этого распределитель 6 формирует сигналы, по которым осуществляется запись информации из регистра 3 в блок 14, а затем чтение информации из блока 14 или, наоборот, сначала чтение информации, а затем запись информации из регистра 3 в блок 14. Порядок следования циклов запись-чтение зависит только от величин внутренних задержек в распределителе 6 и принципиального значения не имеет.

Если в первую очередь организуется цикл записи, то устройство работает следующим образом. По сигналам с выходов элементов И 1 и И 2 на втором выходе распределителя 6 формируется сигнал, по которому разрешается прохождение кода адреса с выхода счетчика 7 через элементы И 13 и элементы ИЛИ 15 на адресный вход блока 14 памяти. Затем на выходе 35 распределителя 6 формируется сигнал, по которому информация из регистра 3 переписывается в блок 14. Сразу после записи информации распределитель 6 организует чтение информации. При этом на выходе 32 распределителя 6 формируется сигнал, по которому разрешается прохождение кода адреса с выхода счетчика 5 через элементы И 12 и элементы ИЛИ 15 на адресный вход блока 14. Затем на выходе 34 формируется сигнал, по которому информация из блока 14 поступает на выход 19 устройства.

Распределитель 6 импульсов (фиг.2 и 3) работает следующим образом. В исходном состоянии триггеры 20 и 21 находятся в нулевом состоянии. На вход 30 поступает импульс чтения, который устанавливает триггер 20 в единичное состояние. Так как триггер 21 находится в нулевом состоянии, на выходе элемента И-НЕ 23 находится высокий уровень. При этом на выходе 32 распределителя 6 импульсов устанавливается высокий уровень. По фронту этого уровня формирователем 26 формируется импульс, который поступает на выход 34 распределителя 6. По спаду этого импульса формирователем 28 формируется импульс, который сбрасывает триггер 20. При этом на выходе элемента И-НЕ 22 устанавливается высокий уровень, а на выходе элемента НЕ 24 - низкий уровень. Сигнал на выходе 32 используется для разрешения прохождения кода адреса на адресный вход блока 14, а сигнал на выходе 34 - для чтения информации из блока 14. При поступлении на вход 31 импульса записи триггер 21 устанавливается в единичное состояние. Так как триггер 20 находится в нулевом состоянии, на выходе элемента И-НЕ 22 находится высокий уровень. При этом на выходе 33 устанавливается высокий уровень. По фронту этого уровня формирователем 27 формируется импульс,

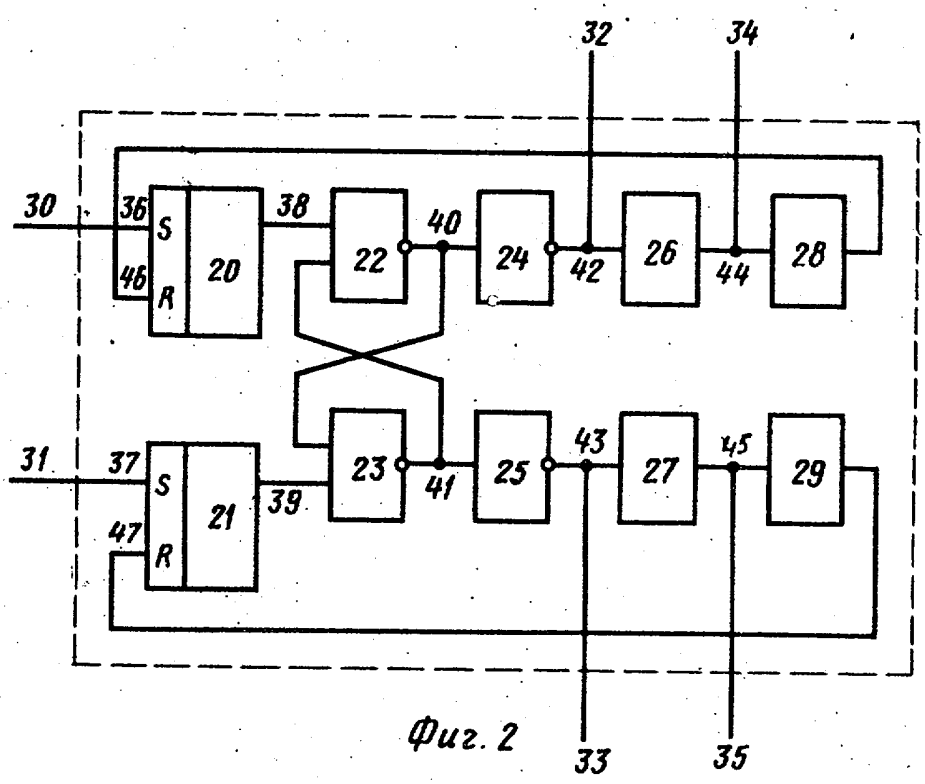
который поступает на выход 35. По спаду этого импульса формирователем 29 формируется импульс, который сбрасывает триггер 21. При этом на выходе элемента И-НЕ 23 устанавливается высокий уровень, а на выходе элемента НЕ 25 - низкий уровень. Сигнал на выходе 33 используется для разрешения прохождения кода адреса на адресный вход блока 14, а сигнал на выходе 35 для записи информации в блок 14. При одновременном поступлении импульсов чтения и записи на входы 30 и 31 распределитель 6 осуществляет поочередное формирование импульсов на выходах 32, 34 и 33, 35. При этом триггеры 20 и 21 устанавливаются в единичное состояние. Схема взаимной блокировки на элементах И-НЕ 22 и 23 управляет очередностью формирования импульсов на выходах 32, 34 и 33, 35. Так, например, при срабатывании первым во времени элемента И-НЕ 22 на его выходе появляется низкий уровень, который блокирует элемент И-НЕ 23, на выходе которого появляется высокий уровень. При этом формируются импульсы на выходах 32 и 34, триггер 20 импульсом с выхода формирователя 28 устанавливается в нулевое состояние. На выходе элемента И-НЕ 22 появляется высокий уровень и тем самым снимается блокировка с элемента И-НЕ 23. Так как триггер 21 находится в единичном состоянии, на выходе элемента И-НЕ 23 появляется низкий уровень и формируются импульсы на выходах 33 и 35. Импульсом с выхода формирователя 29 сбрасывается триггер 21 и на этом работа распределителя 6 заканчивается до поступления очередных импульсов на входы 30 и 31.

Формула изобретения

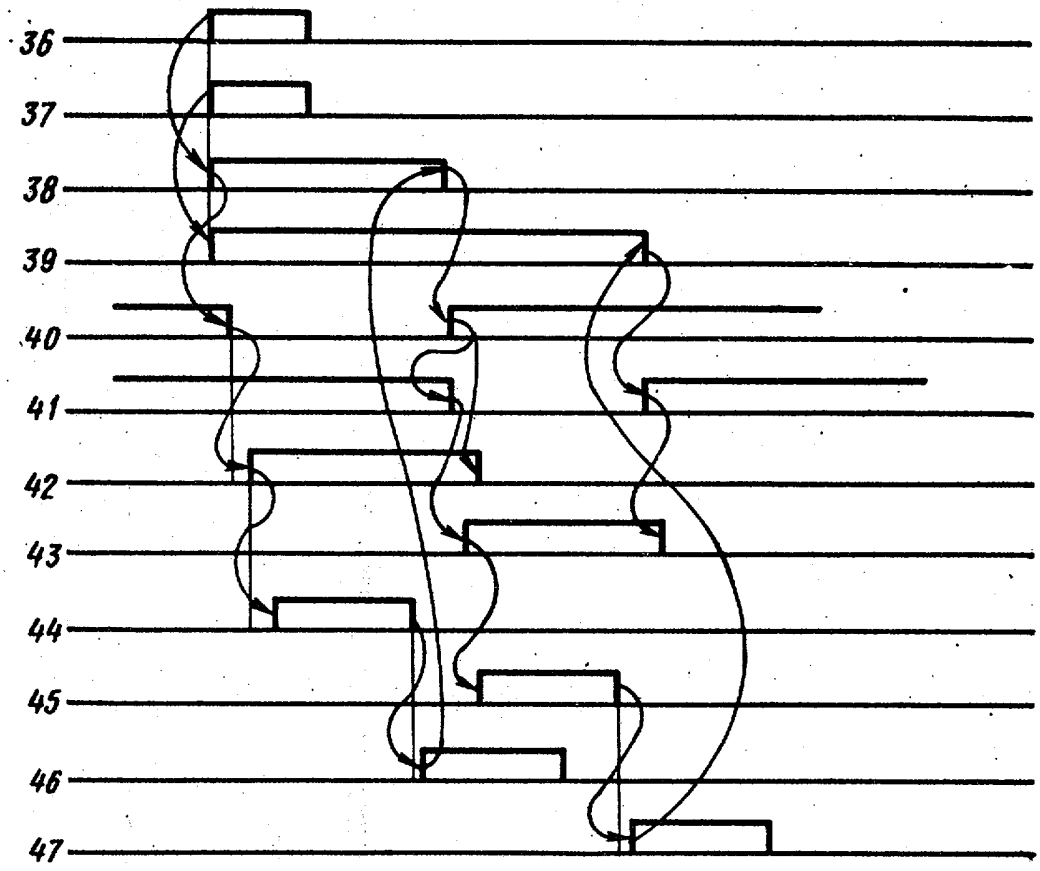
1. Устройство для сопряжения источника и приемника информации, содержащее блок памяти, первый и второй элементы И, реверсивный счетчик, дешифратор заполнения и дешифратор нуля, счетчик чтения, счетчик записи, две группы элементов И, группа элементов ИЛИ и два элемента задержки, причем выход первого элемента И соединен с вычитающим входом реверсивного счетчика и счетным входом счетчика чтения, выход второго элемента И соединен с суммирующим входом реверсивного счетчика и счетным входом счетчика записи, выходы счетчика чтения и счетчика записи соединены соответственно с информационными входами элементов И первой и второй групп, выходы которых соединены соответственно с первыми и вторыми входами элементов ИЛИ группы, выходы которых соединены с адресным входом блока памяти, выход которого является выходом устройства для подключения информационного входа приемника информации, входы записи и чтения блока памяти соединены соответственно с выходами первого и второго элементов задержки, выход реверсивного счетчика соединен с входами дешифратора нуля и дешифратора заполнения, выходы которых соединены соответственно с первыми входами первого и второго элементов И, вторые входы которых являются соответственно входами устройства для подключения выхода синхроимпульса чтения приемника информации и выхода синхроимпульса записи источника информации, о т л и ч а ю щ е е с я тем, что, с целью повышения достоверности функционирования устройства, в него введены регистр и распределитель импульсов, причем выходы первого и второго элементов И подключены соответственно к первому и второму входам запуска распределителя импульсов, первый-четвертый выходы которого подключены соответственно к управляющим входам элементов И первой и второй групп и входам первого и второго элементов задержки, информационный вход блока памяти соединен с выходом регистра, информационный вход и синхровход которого являются соответственно входами устройства для подключения информационного выхода и выхода синхроимпульса записи источника информации.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что распределитель импульсов содержит два триггера, два элемента И-НЕ, два элемента НЕ, два формирователя импульса по фронту входного сигнала, два формирователя импульса по спаду входного сигнала, причем единичные входы первого и второго триггеров являются соответственно первым и вторым входами запуска распределителя импульсов, а выходы подключены соответственно к первым входам первого и второго элементов И-НЕ, выходы которых через первый и второй элементы НЕ подключе-

ны соответственно к первому и второму выходам распределителя импульсов и входам первого и второго формирователей импульса по фронту входного сигнала, выходы которых соединены соответственно с третьим и четвертым выходами распределителя импульсов и через первый и второй формирователи импульса по спаду входного сигнала с нулевыми входами первого и второго триггеров, вторые входы первого и второго элементов И-НЕ подключены соответственно к выходам второго и первого элементов И-НЕ.



Фиг. 2



Фиг.3

Составитель В.Вертлиб
Редактор А.Ворович Техред М.Ходанич Корректор Л.Пилипенко

Заказ 1800/42 Тираж 673 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4