



등록특허 10-2449610



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월29일  
(11) 등록번호 10-2449610  
(24) 등록일자 2022년09월27일

- (51) 국제특허분류(Int. Cl.)  
*G09G 3/3208* (2016.01)
- (52) CPC특허분류  
*G09G 3/3208* (2013.01)  
*G09G 2300/043* (2013.01)
- (21) 출원번호 10-2022-7009269(분할)
- (22) 출원일자(국제) 2012년06월28일  
심사청구일자 2022년04월15일
- (85) 번역문제출일자 2022년03월21일
- (65) 공개번호 10-2022-0039852
- (43) 공개일자 2022년03월29일
- (62) 원출원 특허 10-2021-7027281  
원출원일자(국제) 2012년06월28일  
심사청구일자 2021년09월17일
- (86) 국제출원번호 PCT/JP2012/067244
- (87) 국제공개번호 WO 2013/015091  
국제공개일자 2013년01월31일
- (30) 우선권주장  
JP-P-2011-161103 2011년07월22일 일본(JP)  
JP-P-2011-259828 2011년11월29일 일본(JP)
- (56) 선행기술조사문헌  
KR1020060031545 A  
KR1020090094146 A  
KR1020080080608 A

- (73) 특허권자  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자  
이노우에 세이코  
일본국 2430036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
미야케 히로유키  
일본국 2430036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인  
황의만

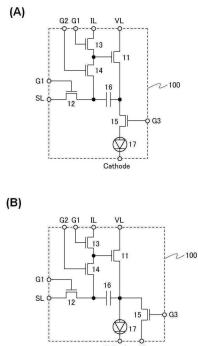
전체 청구항 수 : 총 3 항

심사관 : 한상일

(54) 발명의 명칭 **발광 장치****(57) 요 약**

본 발명은 트랜지스터의 문턱 전압의 편차에 의한 화소 간의 휘도의 편차가 억제되는 발광 장치를 제공하는 것을 과제로 한다.

발광 장치는 적어도 트랜지스터, 제 1 배선, 제 2 배선, 제 1 스위치, 제 2 스위치, 제 3 스위치, 제 4 스위치,  
(뒷면에 계속)

**대 표 도 - 도1**

용량 소자, 발광 소자를 가진다. 제 1 배선과 용량 소자의 제 1 전극은 제 1 스위치를 통하여 서로 전기적으로 접속된다. 용량 소자의 제 2 전극은 트랜지스터의 제 1 단자에 접속된다. 제 2 배선과 트랜지스터의 게이트는 제 2 스위치를 통하여 서로 전기적으로 접속된다. 용량 소자의 제 1 전극과 트랜지스터의 게이트는 제 3 스위치를 통하여 서로 전기적으로 접속된다. 트랜지스터의 제 1 단자와 발광 소자의 애노드는 제 4 스위치를 통하여 서로 전기적으로 접속된다.

(52) CPC특허분류

*G09G 2300/043 (2013.01)*

---

## 명세서

### 청구범위

#### 청구항 1

발광 장치로서,

반도체막, 제 1 도전막, 제 2 도전막, 제 3 도전막, 제 4 도전막, 및 발광 소자의 화소 전극을 가지고,

상기 반도체막은 제 1 트랜지스터의 채널 형성 영역, 제 2 트랜지스터의 채널 형성 영역, 및 상기 제 1 트랜지스터의 채널 형성 영역과 상기 제 2 트랜지스터의 채널 형성 영역 사이의 불순물 영역으로서 기능하고, 또한 용량 소자의 한쪽의 전극으로서 기능하는 제 1 영역을 가지고,

상기 불순물 영역은 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽으로서 기능하고, 또한 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽으로서 기능하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽 및 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 용량 소자의 한쪽의 전극과 전기적으로 접속되고,

상기 제 1 도전막은 상기 제 1 트랜지스터의 게이트로서 기능하고, 또한 상기 반도체막의 상방에 위치하고,

상기 제 2 도전막은 상기 제 2 트랜지스터의 게이트로서 기능하고, 또한 상기 반도체막의 상방에 위치하고,

상기 제 3 도전막은 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 한쪽과 상기 화소 전극에 전기적으로 접속되고,

상기 제 4 도전막은 상기 용량 소자의 다른 한쪽의 전극으로서 기능하고, 또한 상기 반도체막의 상기 제 1 영역의 상방에 위치하고,

상기 화소 전극은 상기 반도체막과 중첩되는 영역을 가지고, 또한 상기 제 1 도전막의 상방에 위치하고,

상기 반도체막은 상기 제 1 트랜지스터의 채널 형성 영역에서 구부러진 형상을 가지고,

상기 제 1 트랜지스터는 상기 발광 소자로의 전류의 공급을 제어하는 기능을 가지는, 발광 장치.

#### 청구항 2

발광 장치로서,

반도체막, 제 1 도전막, 제 2 도전막, 제 3 도전막, 제 4 도전막, 및 발광 소자의 화소 전극을 가지고,

상기 반도체막은 제 1 트랜지스터의 채널 형성 영역 및 제 2 트랜지스터의 채널 형성 영역으로서 기능하고, 또한 용량 소자의 한쪽의 전극으로서 기능하는 제 1 영역을 가지고,

상기 제 1 도전막은 상기 제 1 트랜지스터의 게이트로서 기능하고, 또한 상기 반도체막의 상방에 위치하고,

상기 제 2 도전막은 상기 제 2 트랜지스터의 게이트로서 기능하고, 또한 상기 반도체막의 상방에 위치하고,

상기 제 3 도전막은 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 한쪽과 상기 화소 전극에 전기적으로 접속되고,

상기 제 4 도전막은 상기 용량 소자의 다른 한쪽의 전극으로서 기능하고, 또한 상기 반도체막의 상기 제 1 영역의 상방에 위치하고,

상기 화소 전극은 상기 반도체막과 중첩되는 영역을 가지고, 또한 상기 제 1 도전막의 상방에 위치하고,

상기 제 1 트랜지스터는 상기 발광 소자로의 전류의 공급을 제어하는 기능을 가지는, 발광 장치.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 한쪽은 전위를 공급하는 기능을 가지는 배선과 전기적으로 접속되는, 발광 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 트랜지스터가 각 화소에 제공된 발광 장치에 관한 것이다.

#### 배경 기술

[0002] 발광 소자를 이용한 표시 장치는 시인성이 높고, 박형화에 적합하고, 시야각에도 제한이 없기 때문에, 음극선관(CRTs)과 액정 표시 장치를 대신한 표시 장치로서 주목받고 있다. 구체적으로, 발광 소자를 이용한 액티브 매트릭스형의 표시 장치의 제안된 구성은 제조업체에 따라 다르다. 일반적으로, 화소는 적어도 발광 소자, 화소에 대한 비디오 신호의 입력을 제어하는 트랜지스터(스위칭용 트랜지스터), 이 발광 소자에 공급되는 전류량을 제어하는 트랜지스터(구동용 트랜지스터)를 포함하고 있다.

[0003] 화소에서의 모든 상기 트랜지스터가 같은 극성을 가질 때, 트랜지스터의 제작 공정에서, 예를 들면, 반도체막에 일 도전형을 부여하는 불순물 원소의 첨가 등의 공정을 일부 생략할 수 있다. 특허문헌 1은 화소에 포함되는 트랜지스터들이 모두 n 채널형 트랜지스터에 들어있는 발광 소자형 디스플레이를 개시한다.

#### 선행기술문헌

##### 특허문헌

[0004] (특허문헌 0001) 일본국 특개 2003-195810호 공보

#### 발명의 내용

##### 해결하려는 과제

[0005] 발광 장치에서는 구동용 트랜지스터의 드레인 전류가 발광 소자에 공급된다; 따라서 화소 사이에서 구동용 트랜지스터의 문턱 전압이 서로 다를 때, 그에 따라 발광 소자의 휘도도 서로 달라진다. 따라서, 발광 장치의 화질을 향상시키기 위해, 문턱 전압의 편차를 예측하여 구동용 트랜지스터의 전류값이 보상될 수 있는 화소 구성을 제안하는 것이 중요하다.

[0006] 일반적으로, 발광 소자의 애노드로서 이용되는 도전막의 표면은 발광 소자의 캐소드로서 이용되는 도전막보다 대기 중에서 산화되기 어렵다. 게다가, 발광 소자의 애노드로서 이용되는 도전막은 통상 스퍼터링법을 이용하여 형성되기 때문에, 발광 재료를 포함하는 EL층 위에 애노드가 형성될 때, EL층은 스퍼터링에 의해 손상을 받는 경향이 있다. 따라서, 애노드, EL층, 캐소드의 순으로 적층된 발광 소자는 간단한 제작 공정으로 제작될 수 있고, 쉽게 높은 발광 효율을 얻을 수 있다. 그러나, n 채널형의 구동용 트랜지스터가 상기 발광 소자와 조합되는 것에 이용될 때, 구동용 트랜지스터의 소스는 발광 소자의 애노드에 접속된다. 이 경우, 발광 재료의 열화로 인하여, 발광 소자의 애노드와 캐소드간의 전압이 증가하면, 구동용 트랜지스터의 소스의 전위가 상승하여, 게이트와 소스간의 전압(게이트 전압)이 감소된다. 따라서, 구동용 트랜지스터의 드레인 전류, 즉, 발광 소자에 공급되는 전류가 감소되어, 발광 소자의 휘도가 저하된다.

[0007] 상기와 같은 기술적 배경 하에서, 본 발명의 일 형태는 구동용 트랜지스터의 문턱 전압의 편차에 의한 화소 간의 휘도의 편차가 억제되는 발광 장치를 제공하는 것이다. 본 발명의 다른 일 형태는 EL층의 열화에 의해, 발광 소자의 휘도가 저하되는 것이 억제되는 발광 장치를 제공하는 것이다.

##### 과제의 해결 수단

[0008] 본 발명의 일 형태에 따른 발광 장치는 적어도 트랜지스터, 제 1 배선, 제 2 배선, 제 1 스위치, 제 2 스위치, 제 3 스위치, 제 4 스위치, 용량 소자, 발광 소자를 포함한다. 제 1 스위치는 제 1 배선과 용량 소자의 한쌍의 전극 중 한쪽 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 용량 소자의 한쌍의 전극 중 다른 한쪽은 트랜지스터의 소스 및 드레인의 한쪽에 접속된다. 제 2 스위치는 제 2 배선과 트랜지스터의 게이트

와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 제 3 스위치는 용량 소자의 한쌍의 전극 중 한쪽과 트랜지스터의 게이트와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 제 4 스위치는 트랜지스터의 소스 및 드레인의 한쪽과 발광 소자의 애노드와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다.

[0009] 본 발명의 다른 일 양태에 따른 발광 장치는 적어도 트랜지스터, 제 1 배선, 제 2 배선, 제 3 배선, 제 1 스위치, 제 2 스위치, 제 3 스위치, 제 4 스위치, 용량 소자, 발광 소자를 포함한다. 제 1 스위치는 제 1 배선과 용량 소자의 한쌍의 전극 중 한쪽과의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 용량 소자의 한쌍의 전극 중 다른 한쪽은 트랜지스터의 소스 및 드레인의 한쪽, 및 발광 소자의 애노드에 접속된다. 제 2 스위치는 제 2 배선과 트랜지스터의 게이트와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 제 3 스위치는 용량 소자의 한쌍의 전극 중 한쪽과 트랜지스터의 게이트와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 제 4 스위치는 트랜지스터의 소스 및 드레인의 한쪽과 제 3 배선과의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다.

[0010] 상기 스위치는 전류 또는 전위의 공급을 제어하는 기능을 가지는 소자이고, 예를 들면, 전기적 스위치 또는 기계적인 스위치일 수 있다. 구체적으로, 스위치는 트랜지스터, 다이오드, 또는 트랜지스터로 이루어진 논리 회로일 수 있다.

[0011] 본 발명의 일 양태에 따른 발광 장치에서는, 상기 구성에 의해, 구동용 트랜지스터의 문턱 전압보다 높고, 상기 문턱 전압과 구동용 트랜지스터의 소스와 드레인간의 전압의 합인 전압보다 낮은 전위가 구동용 트랜지스터의 게이트와 소스 사이에 인가될 수 있다. 상기 전압이 인가되는 동안, 구동용 트랜지스터의 소스가 플로팅 상태로 될 때, 문턱 전압이 구동용 트랜지스터의 게이트와 소스의 사이에서 얻어질 수 있다. 그리고, 소스가 플로팅(부유 상태)된 채로, 화상 신호의 전압이 게이트에 인가될 때, 구동용 트랜지스터의 게이트와 소스 사이에, 화상 신호의 전압과 문턱 전압의 합인 전압이 인가된다. 발광 소자는 구동용 트랜지스터의 게이트 전압에 대응하는 전류가 공급되어, 계조를 나타낸다.

### 발명의 효과

[0012] 본 발명의 일 양태에 따른 발광 장치에서는, 화상 신호의 전압과 트랜지스터의 문턱 전압의 합인 전위가 트랜지스터의 게이트 전극에 인가될 수 있다; 따라서, 문턱 전압의 보상과 애노드의 전위의 보상이 발광 장치의 화질을 향상시킬 수 있다.

### 도면의 간단한 설명

[0013] 도 1(A) 및 도 1(B)은 화소의 회로도이다.

도 2는 화소의 동작을 나타내는 타이밍 차트이다.

도 3(A) 내지 도 3(C)은 화소의 동작을 나타내는 도면이다.

도 4는 화소의 동작을 나타내는 타이밍 차트이다.

도 5(A) 내지 도 5(C)는 화소의 동작을 나타내는 도면이다.

도 6은 화소의 상면도이다.

도 7은 화소의 단면도이다.

도 8은 화소의 상면도이다.

도 9는 화소의 단면도이다.

도 10은 화소의 단면도이다.

도 11(A) 내지 도 11(C)은 화소의 단면도이다.

도 12는 패널의 사시도이다.

도 13(A) 내지 도 13(E)은 전자기기의 도면이다.

도 14(A) 내지 도 14(E)는 산화물 반도체의 구조를 설명하는 도면이다.

도 15(A) 내지 도 15(C)는 산화물 반도체의 구조를 설명하는 도면이다.

도 16(A) 내지 도 16(C)은 산화물 반도체의 구조를 설명하는 도면이다.

도 17은 시뮬레이션의 결과를 나타내는 도면이다.

도 18은 시뮬레이션의 결과를 나타내는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0014] 이하에서는 본 발명의 실시형태에 대하여 첨부 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.

[0015] 또한, 본 명세서에서 발광 장치란, 발광 소자가 각 화소에 형성된 패널과, 콘트롤러를 포함하는 IC 등이 패널에 탑재된 모듈을 그 범주에 포함한다.

[0016] (실시형태 1)

[0017] 도 1(A)은 본 발명의 일 양태에 따른 발광 장치에 포함되는 화소(100)의 구성의 일례를 나타낸다.

[0018] 화소(100)는 트랜지스터(11) 내지 트랜지스터(15), 용량 소자(16), 및 발광 소자(17)를 포함한다. 또한, 도 1(A)은 트랜지스터(11) 내지 트랜지스터(15)가 n 채널형인 경우를 나타낸다.

[0019] 트랜지스터(12)는 배선 SL과, 용량 소자(16)의 한쌍의 전극 중 한쪽과의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 용량 소자(16)의 한쌍의 전극 중 다른 한쪽은 트랜지스터(11)의 소스 및 드레인의 한쪽에 접속된다. 트랜지스터(13)는 배선 IL과 트랜지스터(11)의 게이트와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 트랜지스터(14)는 용량 소자(16)의 한쌍의 전극 중 한쪽과 트랜지스터(11)의 게이트와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 트랜지스터(15)는 트랜지스터(11)의 소스 및 드레인의 한쪽과 발광 소자(17)의 애노드와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다.

[0020] 또한, 도 1(A)에서는 트랜지스터(11)의 소스 및 드레인의 다른 한쪽은 배선 VL에 접속되어 있다.

[0021] 트랜지스터(12)의 온/오프 상태는 트랜지스터(12)의 게이트에 접속된 배선 G1의 전위에 의해 결정된다. 트랜지스터(13)의 온/오프 상태는 트랜지스터(13)의 게이트에 접속된 배선 G1의 전위에 의해 결정된다. 트랜지스터(14)의 온/오프 상태는 트랜지스터(14)의 게이트에 접속된 배선 G2의 전위에 의해 결정된다. 트랜지스터(15)의 온/오프 상태는 트랜지스터(15)의 게이트에 접속된 배선 G3의 전위에 의해 결정된다.

[0022] 또한, 본 명세서에서 "접속"이라는 용어는 전기적인 접속을 의미하고, 전류, 전압 또는 전위가 공급 가능, 혹은 전송 가능한 상태에 상당한다. 따라서, 접속 상태란, 직접 접속하고 있는 상태뿐만 아니라, 전류, 전압 또는 전위가, 공급 가능, 혹은 전송 가능한, 배선, 도전막, 저항, 다이오드, 트랜지스터 등의 소자를 통하여 간접적으로 접속하고 있는 상태도 의미한다.

[0023] 회로도 상에서 다른 구성 요소들이 각각 접속되어 있는 경우에도, 실제로는 배선의 일부가 전극으로서 기능하는 경우 등, 하나의 도전막이, 복수의 구성 요소의 기능을 가지고 있는 경우도 있다. 본 명세서에서 "접속"이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 가지는 경우도 또한 그 범주에 포함한다.

[0024] 발광 소자(17)는 애노드, 캐소드, 그리고 애노드와 캐소드의 사이에 제공된 EL층을 포함한다. EL층은 단층 또는 복수의 층을 이용하여 형성되어 있고, 적어도 이들 층 중 하나는 발광성의 물질을 포함하는 발광층이다. EL층으로부터, 일렉트로루미네스نس는 캐소드의 전위를 기준 전위로 이용하여 캐소드와 애노드 간의 전위차가 발광 소자(17)의 문턱 전압 V<sub>the</sub> 이상이 되었을 때에 공급되는 전류에 의해 얻어진다. 일렉트로루미네스نس로서는 일중항 여기 상태로부터 기저 상태로 복귀할 때의 발광(형광)과 삼중항 여기 상태로부터 기저 상태로 복귀할 때의 발광(인광)이 있다.

[0025] 또한, 트랜지스터의 "소스"와 "드레인"이라는 용어는 트랜지스터의 극성 또는 소스와 드레인에 인가되는 전위의 준위에 따라, 서로 교체할 수 있다. 일반적으로, n 채널형 트랜지스터에서는, 낮은 전위가 인가되는 쪽이 소스라고 불리고, 높은 전위가 인가되는 쪽이 드레인이라고 불린다. 또, p 채널형 트랜지스터에서는, 낮은 전위가 인가되는 쪽이 드레인이라고 불리고, 높은 전위가 인가되는 쪽이 소스라고 불린다. 본 명세서에서는, 편의상

소스와 드레인이 고정되어 있는 것이라고 가정하여, 트랜지스터의 접속 관계가 종종 설명되지만, 실제로는 상기 전위의 관계에 따라 소스와 드레인의 호칭이 서로 바뀔 수 있다.

[0026] 다음에, 도 1(B)은 본 발명의 일 양태에 따른 발광 장치에 포함되는 화소(100)의 다른 일례를 나타낸다.

[0027] 화소(100)는 트랜지스터(11) 내지 트랜지스터(15), 용량 소자(16), 발광 소자(17)를 포함한다. 또한, 도 1(B)은 트랜지스터(11) 내지 트랜지스터(15)가 n 채널형인 경우를 예시하고 있다.

[0028] 트랜지스터(12)는 배선 SL과 용량 소자(16)의 한쌍의 전극 중 한쪽과의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 용량 소자(16)의 한쌍의 전극 중 다른 한쪽은 트랜지스터(11)의 소스 및 드레인의 한쪽 및 발광 소자(17)의 애노드에 접속된다. 트랜지스터(13)는 배선 IL과 트랜지스터(11)의 게이트와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 트랜지스터(14)는 용량 소자(16)의 한쌍의 전극 중 한쪽과 트랜지스터(11)의 게이트와의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 트랜지스터(15)는 트랜지스터(11)의 소스 및 드레인의 한쪽 및 발광 소자(17)의 애노드와 배선 RL과의 사이에 전기적 연속성이 설정되는지를 결정하는 기능을 가진다. 트랜지스터(11)의 소스 및 드레인의 다른 한쪽은 배선 VL에 접속되어 있다.

[0029] 트랜지스터(12)의 온/오프 상태는 트랜지스터(12)의 게이트에 접속된 배선 G1의 전위에 의해 정해진다. 트랜지스터(13)의 온/오프 상태는 트랜지스터(13)의 게이트에 접속된 배선 G1의 전위에 의해 정해진다. 트랜지스터(14)의 온/오프 상태는 트랜지스터(14)의 게이트에 접속된 배선 G2의 전위에 의해 정해진다. 트랜지스터(15)의 온/오프 상태는 트랜지스터(15)의 게이트에 접속된 배선 G3의 전위에 의해 정해진다.

[0030] 도 1(A) 및 도 1(B)에서, 트랜지스터(11) 내지 트랜지스터(15)는 각각 반도체막의 적어도 한쪽에 위치한 게이트를 가지고 있지만; 그 대신에, 트랜지스터(11) 내지 트랜지스터(15)는 반도체막을 사이에 끼운 한쌍의 게이트를 가지고 있어도 좋다. 각각 한쌍의 게이트의 한쪽을 프런트 게이트, 한 쌍의 게이트의 다른 한쪽을 백 게이트라고 하면, 백 게이트는 플로팅 상태여도 좋고, 전위가 외부로부터 공급되어도 좋다. 후자의 경우, 프런트 게이트 및 백 게이트에 같은 준위의 전위가 인가될 수도 있고, 또는 백 게이트에만 접지 전위 등의 고정의 전위가 인가될 수도 있다. 백 게이트에 인가되는 전위의 높이를 제어함으로써, 트랜지스터의 문턱 전압을 제어할 수 있다. 또, 백 게이트를 제공함으로써, 채널 형성 영역이 증가하여 드레인 전류가 증가될 수 있다. 또한, 백 게이트를 제공하는 것은 반도체막에 공핍층을 형성하여, 이것은 낮은 서브 문턱값 스윙(subthreshold swing)을 초래한다.

[0031] 도 1(A) 및 도 1(B)에서는 트랜지스터(11) 내지 트랜지스터(15)가 n 채널형인 경우를 예시하고 있다. 트랜지스터(11) 내지 트랜지스터(15)가 같은 극성인 경우, 트랜지스터의 제작 공정에서, 반도체막에 일도전성을 부여하는 불순물 원소의 첨가 등의 공정을 일부 생략할 수 있다. 단, 본 발명의 일 양태에 따른 발광 장치에서는 트랜지스터(11) 내지 트랜지스터(15)가 반드시 모두 n 채널형인 필요는 없다. 발광 소자(17)의 애노드가 트랜지스터(15)의 소스 및 드레인의 한쪽에 접속되어 있는 경우, 적어도 트랜지스터(11)는 n 채널형인 것이 바람직하고, 반면 발광 소자(17)의 캐소드가 트랜지스터(15)의 소스 및 드레인의 한쪽에 접속되어 있는 경우, 적어도 트랜지스터(11)는 p 채널형인 것이 바람직하다.

[0032] 또, 전류를 흘리기 위해 트랜지스터(11)를 포화 영역에서 동작하는 경우, 채널 길이 또는 채널 폭을 트랜지스터(12) 내지 트랜지스터(15)보다 길게 하는 것이 바람직하다. 채널 길이 또는 채널 폭의 증가는, 포화 영역에서 드레인 전류를 일정하게 만들어, 킹크 효과(kink effect)를 저감할 수 있다. 혹은 채널 길이 또는 채널 폭의 증가는 포화 영역에서도 많은 양의 전류가 트랜지스터(11)를 통하여 흐르게 할 수 있다.

[0033] 도 1(A) 및 도 1(B)은 각각 트랜지스터(11) 내지 트랜지스터(15)가 단수의 게이트와 단수의 채널 형성 영역을 포함하는 싱글 게이트 구조를 가지는 것을 도시하지만; 본 발명의 트랜지스터는 싱글 게이트의 트랜지스터에 한정되는 것은 아니다. 트랜지스터(11) 내지 트랜지스터(15)의 어느 하나 또는 모두가 전기적으로 접속된 복수의 게이트와 복수의 채널 형성 영역을 포함하는 멀티 게이트 구조를 가져도 좋다.

[0034] 다음에, 도 1(A)에 나타내는 화소(100)의 동작에 대하여 설명한다.

[0035] 도 2는 배선 G1 내지 배선 G3의 전위와 배선 SL에 공급되는 전위 Vdata를 보여주는 타이밍 차트의 예이고; 배선 G1 내지 배선 G3과 배선 SL은 도 1(A)의 화소(100)에 접속된다. 단, 도 2에 나타내는 타이밍 차트는 트랜지스터(11) 내지 트랜지스터(15)가 n 채널형인 경우를 나타내고 있다. 도 2에 나타낸 바와 같이, 도 1(A)에서의 화소(100)의 동작은 주로 제 1 기간에서의 제 1 동작, 제 2 기간에서의 제 2 동작, 제 3 기간에서의 제 3 동작으

로 나뉘어질 수 있다.

[0036] 먼저, 제 1 기간의 제 1 동작에 대하여 설명한다. 제 1 기간에서는 배선 G1에 로 레벨의 전위가 인가되고, 배선 G2에 로 레벨의 전위가 인가되고, 배선 G3에 하이 레벨의 전위가 인가된다. 결과적으로, 트랜지스터(15)는 온 상태가 되고, 트랜지스터(12) 내지 트랜지스터(14)는 오프 상태가 된다.

[0037] 배선 VL에는 전위 Vano가 인가되고, 발광 소자(17)의 캐소드에는 전위 Vcat이 인가된다. 전위 Vano는 발광 소자(17)의 문턱 전압 Vthe와 전위 Vcat의 합인 전위보다 높다. 또한, 이하에서는, 발광 소자(17)의 문턱 전압 Vthe는 0인 것으로 가정한다.

[0038] 도 3(A)은 제 1 기간에서의 화소(100)의 동작을 나타낸다. 또한, 도 3(A)에서는 트랜지스터(12) 내지 트랜지스터(15)를 스위치로서 표기하고 있다. 제 1 기간에서는 상기 동작에 의해, 트랜지스터(11)의 소스 및 드레인의 한쪽(노드 A로서 도시함)의 전위가 전위 Vcat과 발광 소자(17)의 문턱 전압 Vthe의 합인 전위가 된다. 도 3(A)에서는 문턱 전압 Vthe가 0인 것으로 가정하고 있으므로, 노드 A의 전위는 전위 Vcat가 된다.

[0039] 다음에, 제 2 기간의 제 2 동작에 대하여 설명한다. 제 2 기간에서는 배선 G1에 하이 레벨의 전위가 인가되고, 배선 G2에 로 레벨의 전위가 인가되고, 배선 G3에 로 레벨의 전위가 인가된다. 결과적으로, 트랜지스터(12) 및 트랜지스터(13)는 온 상태가 되고, 트랜지스터(14) 및 트랜지스터(15)는 오프 상태가 된다.

[0040] 제 1 기간에서 제 2 기간으로 이행하는 동안, 배선 G1에 인가되는 전위가 로 레벨에서 하이 레벨로 전환되고 나서, 배선 G3에 인가되는 전위를 하이 레벨로부터 로 레벨로 전환하는 것이 바람직하다. 상기 구성에 의해, 배선 G1에 인가되는 전위의 전환에 의해, 노드 A에서의 전위가 변동하는 것을 막을 수 있다.

[0041] 배선 VL에는 전위 Vano가 인가되고, 발광 소자(17)의 캐소드에는 전위 Vcat가 인가된다. 그리고, 배선 IL에는 전위 V0가 인가되고, 배선 SL에는 화상 신호의 전위 Vdata가 인가된다. 또한, 전위 V0는 전위 Vcat과 트랜지스터(11)의 문턱 전압 Vth 및 발광 소자(17)의 문턱 전압 Vthe의 합인 전위보다 높고, 전위 Vano와 트랜지스터(11)의 문턱 전압 Vth의 합인 전위보다 낮은 것이 바람직하다.

[0042] 도 3(B)은 제 2 기간에서의 화소(100)의 동작을 나타낸다. 도 3(B)에서는 트랜지스터(12) 내지 트랜지스터(15)를 스위치로서 표기하고 있다. 제 2 기간에서는 상기 동작에 의해, 전위 V0가 트랜지스터(11)의 게이트(노드 B로서 도시함)에 인가되기 때문에, 트랜지스터(11)가 온 상태가 된다. 따라서, 트랜지스터(11)를 통하여 용량 소자(16)의 전하가 방출되고, 전위 Vcat인 노드 A의 전위가 상승하기 시작한다. 그리고, 최종적으로 노드 A의 전위가 전위 V0-Vth가 되면, 즉 트랜지스터(11)의 게이트 전압이 문턱 전압 Vth까지 작아지면, 트랜지스터(11)가 오프 상태가 된다. 용량 소자(16)의 한쪽의 전극(노드 C로서 도시함)에는 전위 Vdata가 인가된다.

[0043] 다음에, 제 3 기간의 제 3 동작에 대하여 설명한다. 제 3 기간에서는 배선 G1에 로 레벨의 전위가 인가되고, 배선 G2에 하이 레벨의 전위가 인가되고, 배선 G3에 하이 레벨의 전위가 인가된다. 결과적으로, 트랜지스터(14) 및 트랜지스터(15)는 온 상태가 되고, 트랜지스터(12) 및 트랜지스터(13)는 오프 상태가 된다.

[0044] 제 2 기간에서 제 3 기간으로 이행하는 동안, 배선 G1에 인가되는 전위가 하이 레벨로부터 로 레벨로 전환되고 나서, 배선 G2 및 배선 G3에 인가되는 전위를 로 레벨에서 하이 레벨로 전환하는 것이 바람직하다. 상기 구성에 의해, 배선 G1에 인가되는 전위의 전환에 의해, 노드 A에서의 전위가 변동하는 것을 막을 수 있다.

[0045] 또, 배선 VL에는 전위 Vano가 인가되고, 발광 소자(17)의 캐소드에는 전위 Vcat가 인가된다.

[0046] 도 3(C)은 제 3 기간에서의 화소(100)의 동작을 나타낸다. 또한, 도 3(C)에서는 트랜지스터(12) 내지 트랜지스터(15)를 스위치로서 나타낸다. 제 3 기간에서는 상기 동작에 의해, 노드 B에 전위 Vdata가 인가되기 때문에, 트랜지스터(11)의 게이트 전압이 Vdata-V0+Vth가 된다. 즉, 트랜지스터(11)의 게이트 전압을 문턱 전압 Vth가 더해진 값으로 할 수 있다. 결과적으로, 트랜지스터(11)의 문턱 전압 Vth의 편차는 발광 소자(17)에 공급되는 전류값에 부정적으로 영향을 미치는 것을 막을 수 있다. 대신에 트랜지스터(11)가 열화되고, 문턱 전압 Vth가 변화해도, 상기 문턱 전압 Vth의 변화가 발광 소자(17)에 공급되는 전류값에 부정적으로 영향을 미치는 것을 막을 수 있다. 따라서, 표시 편차를 저감할 수 있고, 높은 화질이 표시될 수 있다.

[0047] 다음에, 도 1(B)에 나타내는 화소(100)의 동작에 대하여 설명한다.

[0048] 도 4는 배선 G1 내지 배선 G3의 전위와 배선 SL에 공급되는 전위 Vdata를 보여주는 타이밍 차트의 예이고; 배선 G1 내지 배선 G3과 배선 SL은 도 1(B)의 화소(100)에 접속된다. 단, 도 4에 나타내는 타이밍 차트는 트랜지스터(11) 내지 트랜지스터(15)가 n 채널형 트랜지스터인 경우를 나타내고 있다. 도 4에 나타낸 바와 같이, 도

1(B)에서의 화소(100)의 동작은 주로 제 1 기간에서의 제 1 동작, 제 2 기간에서의 제 2 동작, 제 3 기간에서의 제 3 동작으로 나뉘어질 수 있다.

[0049] 먼저, 제 1 기간의 제 1 동작에 대하여 설명한다. 제 1 기간에서는 배선 G1에 로 레벨의 전위가 인가되고, 배선 G2에 로 레벨의 전위가 인가되고, 배선 G3에 하이 레벨의 전위가 인가된다. 결과적으로, 트랜지스터(15)는 온 상태가 되고, 트랜지스터(12) 내지 트랜지스터(14)는 오프 상태가 된다.

[0050] 배선 VL에는 전위 Vano가 인가되고, 발광 소자(17)의 캐소드에는 전위 Vcat가 인가된다. 상술한 바와 같이, 전위 Vano는 발광 소자(17)의 문턱 전압 Vthe와 전위 Vcat의 합인 전위보다 높은 것으로 한다. 배선 RL에는 전위 V1가 인가된다. 전위 V1은 전위 Vcat와 발광 소자(17)의 문턱 전압 Vthe의 합인 전위보다 낮은 것이 바람직하다. 전위 V1을 상기 범위로 설정함으로써, 제 1 기간에서 발광 소자(17)를 통하여 전류가 흐르는 것을 막을 수 있다.

[0051] 도 5(A)는 제 1 기간에서의 화소(100)의 동작을 나타낸다. 또한, 도 5(A)에서는 트랜지스터(12) 내지 트랜지스터(15)를 스위치로서 나타낸다. 제 1 기간에서는 상기 동작에 의해, 트랜지스터(11)의 소스 및 드레인의 한쪽(노드 A로서 도시함)에 전위 V1가 인가된다.

[0052] 다음에, 제 2 기간의 제 2 동작에 대하여 설명한다. 제 2 기간에서는 배선 G1에 하이 레벨의 전위가 인가되고, 배선 G2에 로 레벨의 전위가 인가되고, 배선 G3에 로 레벨의 전위가 인가된다. 결과적으로, 트랜지스터(12) 및 트랜지스터(13)가 온 상태가 되고, 트랜지스터(14)가 오프 상태로 남게 되고, 트랜지스터(15)가 오프 상태가 된다.

[0053] 제 1 기간에서 제 2 기간으로 이행하는 동안, 배선 G1에 인가되는 전위가 로 레벨로부터 하이 레벨로 전환되고 나서, 배선 G3에 인가되는 전위를 하이 레벨로부터 로 레벨로 전환하는 것이 바람직하다. 상기 구성에 의해, 배선 G1에 인가되는 전위의 전환에 의해, 노드 A에서의 전위가 변동하는 것을 막을 수 있다.

[0054] 배선 VL에는 전위 Vano가 인가되고, 발광 소자(17)의 캐소드에는 전위 Vcat가 인가된다. 배선 IL에는 전위 V0가 인가되고, 배선 SL에는 화상 신호의 전위 Vdata가 인가된다. 상술한 바와 같이, 전위 V0는 전위 Vcat과 트랜지스터(11)의 문턱 전압 Vth 및 발광 소자(17)의 문턱 전압 Vthe의 합인 전위보다 높고, 전위 Vano와 트랜지스터(11)의 문턱 전압 Vth의 합인 전위보다 낮은 것이 바람직하다. 단, 도 1(A)에 나타내는 화소(100)와는 달리, 도 1(B)에 나타내는 화소(100)에서 발광 소자(17)의 애노드는 트랜지스터(11)의 소스 및 드레인의 한쪽과 접속되어 있다. 따라서, 제 2 기간에서 발광 소자(17)에 공급되는 전류값을 증가시키지 않기 위해, 도 1(B)에 나타내는 화소(100)의 전위 V0는 도 1(A)에 나타내는 화소(100)의 전위 V0보다 낮은 값으로 설정되는 것이 바람직하다.

[0055] 도 5(B)는 제 2 기간에서의 화소(100)의 동작을 나타낸다. 또한, 도 5(B)에서는 트랜지스터(12) 내지 트랜지스터(15)를 스위치로서 나타낸다. 제 2 기간에서는 상기 동작에 의해, 트랜지스터(11)의 게이트(노드 B로서 도시함)에 전위 V0가 인가되기 때문에, 트랜지스터(11)가 온 상태가 된다. 따라서, 트랜지스터(11)를 통하여 용량 소자(16)의 전하가 방출되고, 전위 V1인 노드 A의 전위가 상승하기 시작한다. 그리고나서, 노드 A의 전위가 마침내 전위 V0-Vth에 도달했을 때, 즉 트랜지스터(11)의 게이트 전압이 문턱 전압 Vth까지 감소하면, 트랜지스터(11)는 오프 상태가 된다. 용량 소자(16)의 한쪽의 전극(노드 C로서 도시함)에는 전위 Vdata가 인가된다.

[0056] 다음에, 제 3 기간의 제 3 동작에 대하여 설명한다. 제 3 기간에서는 배선 G1에 로 레벨의 전위가 인가되고, 배선 G2에 하이 레벨의 전위가 인가되고, 배선 G3에 로 레벨의 전위가 인가된다. 결과적으로, 트랜지스터(14)가 온 상태가 되고, 트랜지스터(12)와 트랜지스터(13)가 오프 상태가 되고, 트랜지스터(15)가 오프 상태로 남게 된다.

[0057] 제 2 기간으로부터 제 3 기간으로 이행하는 동안, 배선 G1에 인가되는 전위가 하이 레벨로부터 로 레벨로 전환되고 나서, 배선 G2에 인가되는 전위를 로 레벨로부터 하이 레벨로 전환하는 것이 바람직하다. 상기 구성에 의해, 배선 G1에 인가되는 전위의 전환에 의해, 노드 A에서의 전위가 변동하는 것을 막을 수 있다.

[0058] 배선 VL에는 전위 Vano가 인가되고, 발광 소자(17)의 캐소드에는 전위 Vcat가 인가된다.

[0059] 도 5(C)는 제 3 기간에서의 화소(100)의 동작을 나타낸다. 또한, 도 5(C)에서는 트랜지스터(12) 내지 트랜지스터(15)를 스위치로서 나타낸다. 제 3 기간에서는 상기 동작에 의해, 노드 B에 전위 Vdata가 인가되기 때문에, 트랜지스터(11)의 게이트 전압이 Vdata - V0 + Vth가 된다. 즉, 트랜지스터(11)의 게이트 전압을 문턱 전압 Vth가 더해진 값으로 할 수 있다. 결과적으로, 트랜지스터(11)의 문턱 전압 Vth의 편차가 발광 소자(17)에 공급되

는 전류값에 부정적으로 영향을 미치는 것을 막을 수 있다. 대신에 트랜지스터(11)가 열화되고, 문턱 전압  $V_{th}$ 가 변화해도, 상기 문턱 전압  $V_{th}$ 의 변화가 발광 소자(17)에 공급되는 전류값에 부정적으로 영향을 미치는 것을 막을 수 있다. 따라서, 표시 편차를 저감할 수 있고, 높은 화질이 표시될 수 있다.

[0060] 특허문헌 1에 개시된 발광 소자형 디스플레이에서는, 유기 EL 소자에 전류를 공급하기 위한 트랜지스터(Tr12)의 게이트와 드레인의 문턱 전압을 얻기 위해 서로 전기적으로 접속되어 있다. 따라서, 트랜지스터(Tr12)가 노멀리 온(normally-on) 트랜지스터인 경우, 트랜지스터(Tr12)의 소스의 전위가 게이트의 전위보다 높아지는 일은 없다. 따라서, 트랜지스터(Tr12)가 노멀리 온 트랜지스터인 경우, 문턱 전압을 얻기는 어렵다.

[0061] 그에 반하여, 도 1(A) 및 도 1(B)에 나타낸 화소를 포함하는 본 발명의 일 양태에 따른 발광 장치에서는, 트랜지스터(11)의 소스 및 드레인의 다른 한쪽이 트랜지스터(11)의 게이트와 전기적으로 분리되어 있으므로, 그들의 전위를 개별적으로 제어할 수 있다. 따라서, 제 2 동작에서, 트랜지스터(11)의 소스 및 드레인의 다른 한쪽의 전위는 트랜지스터(11)의 게이트의 전위와 문턱 전압  $V_{th}$ 의 합인 값보다 높은 값으로 설정할 수 있다. 따라서, 트랜지스터(11)가 노멀리 온 트랜지스터인 경우에, 즉 문턱 전압  $V_{th}$ 가 네거티브일 때, 트랜지스터(11)의 소스의 전위가 트랜지스터의 게이트의 전위  $V_0$ 보다 높아질 때까지, 용량 소자(16)에 전하를 축적할 수 있다. 따라서, 본 발명의 일 양태에 따른 발광 장치에서는 트랜지스터(11)가 노멀리 온 트랜지스터이더라도, 상기 제 2 동작에서 문턱 전압을 취득할 수 있고, 제 3 동작에서, 트랜지스터(11)의 게이트 전압은 문턱 전압  $V_{th}$ 가 더해진 값으로 설정될 수 있다.

[0062] 따라서, 본 발명의 일 양태에 따른 발광 장치에서는, 예를 들면, 산화물 반도체를 가지는 반도체막을 포함하는 트랜지스터(11)가 노멀리 온이 되어도, 표시 편차를 저감할 수 있고, 높은 화질이 표시될 수 있다.

[0063] (실시형태 2)

[0064] 도 6은 도 1(A)에 나타낸 화소의 상면도의 일례를 나타낸다. 또한, 도 6에 나타낸 화소의 상면도에서는, 화소의 레이아웃을 명확하게 나타내기 위해, 절연막을 생략하였다. 또, 도 6에 나타낸 화소의 상면도에서는, 화소에 포함되는 트랜지스터와 용량 소자의 레이아웃을 명확하게 나타내기 위해, 애노드, EL층, 및 캐소드를 생략하였다.

[0065] 도 7은 도 6의 상면도의 파선 A1-A2 및 파선 A3-A4에 따른 단면도이다.

[0066] 트랜지스터(12)는 절연 표면을 가지는 기판(800) 위에, 게이트로서 기능하는 도전막(801), 도전막(801) 위의 게이트 절연막(802), 도전막(801)과 중첩하는 게이트 절연막(802) 위에 위치하는 반도체막(803), 그리고 반도체막(803) 위에 위치하고, 소스 또는 드레인으로서 기능하는 도전막(804) 및 도전막(805)을 포함한다. 도전막(801)은 배선 G1으로서도 기능한다. 도전막(804)은 배선 SL으로서도 기능한다.

[0067] 트랜지스터(13)는 절연 표면을 가지는 기판(800) 위에, 게이트로서 기능하는 도전막(801), 도전막(801) 위의 게이트 절연막(802), 도전막(801)과 중첩하는 게이트 절연막(802) 위에 위치하는 반도체막(806), 그리고 반도체막(806) 위에 위치하고, 소스 또는 드레인으로서 기능하는 도전막(807) 및 도전막(808)을 포함한다. 도전막(807)은 컨택트홀을 통하여, 배선 IL로서 기능하는 도전막(809)에 접속되어 있다.

[0068] 트랜지스터(14)는 절연 표면을 가지는 기판(800) 위에, 게이트로서 기능하는 도전막(810), 도전막(810) 위의 게이트 절연막(802), 도전막(810)과 중첩하는 게이트 절연막(802) 위에 위치하는 반도체막(811), 그리고 반도체막(811) 위에 위치하고, 소스 또는 드레인으로서 기능하는 도전막(805) 및 도전막(808)을 포함한다. 도전막(810)은 배선 G2으로서도 기능한다.

[0069] 트랜지스터(11)는 절연 표면을 가지는 기판(800) 위에, 게이트로서 기능하는 도전막(812), 도전막(812) 위의 게이트 절연막(802), 도전막(812)과 중첩하는 게이트 절연막(802) 위에 위치하는 반도체막(813), 그리고 반도체막(813) 위에 위치하고, 소스 또는 드레인으로서 기능하는 도전막(814) 및 도전막(815)을 포함한다. 도전막(812)은 도전막(808)에 접속되어 있다. 도전막(814)은 배선 VL로서도 기능한다.

[0070] 트랜지스터(15)는 절연 표면을 가지는 기판(800) 위에, 게이트로서 기능하는 도전막(816), 도전막(816) 위의 게이트 절연막(802), 도전막(816)과 중첩하는 게이트 절연막(802) 위에 위치하는 반도체막(817), 반도체막(817) 위에 위치하고, 소스 또는 드레인으로서 기능하는 도전막(815) 및 도전막(818)을 포함한다. 도전막(816)은 배선 G3으로서도 기능한다.

[0071] 용량 소자(16)는 절연 표면을 가지는 기판(800) 위에, 도전막(819), 도전막(819) 위의 게이트 절연막(802), 도전막(819)과 중첩하는 게이트 절연막(802) 위에 위치하는 도전막(815)을 포함한다. 도전막(819)은 도전막(808)

5)과 접속되어 있다.

[0072] 도전막(804), 도전막(805), 도전막(807), 도전막(808), 도전막(814), 도전막(815), 도전막(818) 위에는 절연막(820)이 형성되어 있다. 그리고, 절연막(821) 위에는 애노드로서 기능하는 도전막(822)이 형성되어 있다. 도전막(822)은 절연막(820) 및 절연막(821)에 형성된 컨택트홀(823)을 통하여, 도전막(818)에 접속되어 있다.

[0073] 도전막(822)의 일부가 노출되는 개구부를 가진 절연막(824)이 절연막(821) 위에 제공되어 있다. 도전막(822)의 일부 및 절연막(824) 위에는 EL층(825)과 캐소드로서 기능하는 도전막(826)이 이 순서로 적층되어 있다. 도전막(822)과 EL층(825)과 도전막(826)이 서로 중첩되어 있는 영역이 발광 소자(17)에 상당한다.

[0074] 도 8은 도 1(A)에 나타낸 화소의 상면도의 다른 일례를 나타낸다. 또한, 도 8의 화소의 상면도에서는 화소의 레이아웃을 명확하게 나타내기 위해, 절연막을 생략하였다. 또, 도 8의 화소의 상면도에서는 화소가 포함되는 트랜지스터와 용량 소자의 레이아웃을 명확하게 나타내기 위해, 애노드와 EL층과 캐소드를 생략하였다.

[0075] 도 9는 도 8에 나타내는 상면도의, 과선 A1-A2 및 과선 A3-A4에 따른 단면도이다.

[0076] 트랜지스터(12)는 절연 표면을 가지는 기판(900) 위에, 반도체막(901), 반도체막(901) 위의 게이트 절연막(902), 반도체막(901)과 중첩하는 게이트 절연막(902) 위에 위치하고, 게이트로서 기능하는 도전막(903), 그리고 반도체막(901)에 포함된 소스 및 드레인에 접속된 도전막(904) 및 도전막(905)을 포함한다. 도전막(903)은 배선 G1로서도 기능한다. 도전막(904)은 배선 SL로서도 기능한다.

[0077] 트랜지스터(13)는 절연 표면을 가지는 기판(900) 위에, 반도체막(906), 반도체막(906) 위의 게이트 절연막(902), 반도체막(906)과 중첩하는 게이트 절연막(902) 위에 위치하고, 게이트로서 기능하는 도전막(903), 그리고 반도체막(906)에 포함된 소스 및 드레인에 접속된 도전막(907) 및 도전막(908)을 포함한다. 도전막(907)은 컨택트홀을 통하여 배선 IL로서 기능하는 도전막(909)에 접속되어 있다.

[0078] 트랜지스터(14)는 절연 표면을 가지는 기판(900) 위에, 반도체막(901), 반도체막(901) 위의 게이트 절연막(902), 반도체막(901)과 중첩하는 게이트 절연막(902) 위에 위치하고, 게이트로서 기능하는 도전막(911), 그리고 반도체막(901)에 포함된 소스 및 드레인에 접속된 도전막(905) 및 도전막(908)을 포함한다. 도전막(911)은 배선 G2로서도 기능한다. 도 8에서는 트랜지스터(12)와 트랜지스터(14)가 하나의 반도체막(901)을 공유하고 있지만; 대신에 트랜지스터(12)와 트랜지스터(14)가 서로 다른 반도체막을 포함해도 좋다.

[0079] 트랜지스터(11)는 절연 표면을 가지는 기판(900) 위에, 반도체막(912), 반도체막(912) 위의 게이트 절연막(902), 반도체막(912)과 중첩하는 게이트 절연막(902) 위에 위치하고, 게이트로서 기능하는 도전막(913), 반도체막(912)에 포함된 소스 또는 드레인에 접속된 도전막(914)을 포함한다. 도전막(913)은 도전막(908)에 접속되어 있다. 도전막(914)은 배선 VL로서도 기능한다.

[0080] 트랜지스터(15)는 절연 표면을 가지는 기판(900) 위에, 반도체막(912), 반도체막(912) 위의 게이트 절연막(902), 반도체막(912)과 중첩하는 게이트 절연막(902) 위에 위치하고, 게이트로서 기능하는 도전막(915), 반도체막(912)에 포함된 소스 또는 드레인에 접속된 도전막(916)을 포함한다. 도전막(915)은 배선 G3으로서도 기능한다.

[0081] 용량 소자(16)는 절연 표면을 가지는 기판(900) 위에, 반도체막(912), 반도체막(912) 위의 게이트 절연막(902), 반도체막(912)과 중첩하는 게이트 절연막(902) 위에 위치하는 도전막(917)을 가진다. 도전막(917)은 도전막(905)에 접속되어 있다.

[0082] 도전막(904), 도전막(905), 도전막(907), 도전막(908), 도전막(914), 도전막(916) 위에는 절연막(920)이 형성된다. 절연막(920) 위에는 애노드로서 기능하는 도전막(921)이 제공된다. 도전막(921)은 절연막(920)에 형성된 컨택트홀(922)을 통하여, 도전막(916)에 접속되어 있다.

[0083] 도전막(921)의 일부가 노출되는 개구부를 가진 절연막(923)이 절연막(920) 위에 제공되어 있다. 도전막(921)의 일부 및 절연막(923) 위에는 EL층(924)과 캐소드로서 기능하는 도전막(925)이 이 순서로 적층된다. 도전막(921), EL층(924), 도전막(925)이 서로 중첩되어 있는 영역이 발광 소자(17)에 상당한다.

[0084] 또한, 본 발명의 일 양태에서, 트랜지스터(11) 내지 트랜지스터(15)는 비정질, 미결정, 다결정 또는 단결정(예를 들면, 실리콘 또는 게르마늄)을 포함하는 반도체막, 또는 와이드 캡 반도체(예를 들면, 산화물 반도체)를 포함하는 반도체막을 포함해도 좋다.

[0085] 트랜지스터(11) 내지 트랜지스터(15)의 반도체막이 비정질, 미결정, 다결정 또는 단결정(예를 들면, 실리콘 또

는 게르마늄)을 이용하여 형성될 때, 상기 반도체막에 일 도전성을 부여하는 불순물 원소를 상기 반도체막에 첨가함으로써 소스 또는 드레인으로서 기능하는 불순물 영역이 형성된다. 예를 들면, 상기 반도체막에 인 또는 비소를 첨가함으로써, n형의 도전성을 가지는 불순물 영역을 형성할 수 있다. 또, 예를 들면, 상기 반도체막에 붕소를 첨가함으로써, p형의 도전성을 가지는 불순물 영역을 형성할 수 있다.

[0086] 트랜지스터(11) 내지 트랜지스터(15)의 반도체막에 산화물 반도체가 이용되는 경우, 도편트를 상기 반도체막에 첨가하여, 소스 또는 드레인으로서 기능하는 불순물 영역을 형성해도 좋다. 도편트는 이온 주입법을 이용하여 첨가할 수 있다. 도편트의 예는 헬륨, 아르곤, 크세논 등의 희가스 및, 질소, 인, 비소, 안티몬 등의 15족 원소 등이다. 예를 들면, 질소를 도편트로서 이용한 경우, 불순물 영역 내의 질소 원자의 농도는  $5 \times 10^{19}/\text{cm}^3$ 에서  $1 \times 10^{22}/\text{cm}^3$ 인 것이 바람직하다.

[0087] 또한, 실리콘 반도체로서는, 예를 들어, 스페터링법 또는 플라즈마 CVD법 등의 기상 성장법에 의해 형성된 비정질 실리콘, 비정질 실리콘의 레이저 어닐 등에 의해 결정화된 방식으로 얻어지는 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 단결정 실리콘 웨이퍼의 표층부가 박리되는 방식으로 얻어지는 단결정 실리콘 등을 이용할 수 있다.

[0088] 산화물 반도체의 예로서는, 산화 인듐; 산화 주석; 산화 아연; 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물; 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물; 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물이 있다.

[0089] 예를 들면, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 포함하는 산화물을 가리키고, In과 Ga와 Zn의 비율에는 제한이 없다. In-Ga-Zn계 산화물은 In과 Ga와 Zn 이외의 금속 원소를 포함해도 좋다.

[0090]  $\text{InM}_3(\text{ZnO})_m$ ( $m > 0$ 이고,  $m$ 은 정수가 아님)로 표기되는 재료가 산화물 반도체로서 이용되어도 좋다. 또한, M은 Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 그 이상의 금속 원소를 나타낸다. 대신에,  $\text{In}_2\text{Sn}_5(\text{ZnO})_n$ ( $n > 0$ , 또한, n은 자연수)로 나타내어지는 재료가 산화물 반도체로서 이용되어도 좋다.

[0091] 예를 들면,  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ( $= 1/3 : 1/3 : 1/3$ ) 혹은  $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ( $= 2/5 : 2/5 : 1/5$ )의 원자비의 In-Ga-Zn계 산화물이나, 상기 원자비에 가까운 원자비의 산화물을 이용할 수 있다. 대신에,  $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ( $= 1/3 : 1/3 : 1/3$ ),  $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ( $= 1/3 : 1/6 : 1/2$ ), 또는  $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ( $= 1/4 : 1/8 : 5/8$ )의 원자비의 In-Sn-Zn계 산화물이나, 상기 원자비에 가까운 산화물을 이용하면 좋다.

[0092] 이 산화물 반도체를 포함하는 트랜지스터의 전기적 특성의 편차를 줄이기 위한 스태빌라이저(stabilizer)로서, 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr), 티탄(Ti)을 포함하는 것이 바람직하다. 다른 스태빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu)의 일종 혹은 복수종을 포함해도 좋다.

[0093] 전자 공여체(도너) 역할을 하는 수분 또는 수소 등의 불순물의 감소에 의해, 그리고 산소 결손의 감소에 의해 얻어진 고순도화된 산화물 반도체(purified OS)는 i형(진성) 반도체이거나 실질적으로 i형 반도체이다. 따라서, 고순도화된 산화물 반도체를 포함하는 트랜지스터는 오프 전류가 매우 낮다. 산화물 반도체의 밴드 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 더욱 바람직하게는 3 eV 이상이다. 수분 및 수소 등의 불순물 농도가 충분히 저감되고, 산소 결손이 저감됨으로써 고순도화된 산화물 반도체막을 이용함으로써, 트랜지스터의 오프 전류를 낮출 수 있다.

[0094] 구체적으로, 다양한 실험은 고순도화된 산화물 반도체를 반도체막에 이용한 트랜지스터의 낮은 오프 전류를 증명할 수 있다. 예를 들면, 채널 폭이  $1 \times 10^6 \mu\text{m}$ 이고, 채널 길이가  $10 \mu\text{m}$ 인 트랜지스터의 오프 상태 전류는, 소스 전극과 드레인 전극간의 전압(드레인 전압) 사이의 전압이 1 V에서 10 V의 범위일 때, 반도체 파라미터 분석기의 측정 한계 이하, 즉  $1 \times 10^{-13} \text{ A}$  이하인 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나

눈 수치에 상당하는 오프 전류는  $100 \text{ zA}/\text{m}$  이하이다. 또, 용량 소자와 트랜지스터를 접속하여, 용량 소자에 유입 또는 용량 소자로부터 유출하는 전하를 이 트랜지스터로 제어하는 회로를 이용하여, 오프 전류를 측정하였다. 이 측정에서는, 채널 형성 영역이 고순도화된 산화물 반도체막에 형성되는 상기 트랜지스터가 사용되었고, 용량 소자의 단위 시간당의 전하량의 추이로부터 이 트랜지스터의 오프 전류를 측정했다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3 V의 경우에, 마이크로미터당 수십 약토암페어( $\text{yA}/\text{m}$ )의 더 낮은 오프 전류가 얻어지는 것을 알 수 있었다. 따라서, 상기 채널 형성 영역이 고순도화된 산화물 반도체막에 형성되는 상기 트랜지스터의 오프 전류는 결정성 실리콘을 이용한 트랜지스터의 오프 전류보다 매우 낮다.

[0095] 또한, 특별히 언급하지 않는 한, n 채널형 트랜지스터의 경우, 본 명세서에서 오프 전류란, 드레인의 전위를 소스와 게이트의 전위보다 높게 한 상태에서, 기준 전위로서 소스의 전위를 가지고 게이트의 전위가 0 이하일 때, 소스와 드레인의 사이에 흐르는 전류를 의미한다. 또한, p 채널형 트랜지스터의 경우, 본 명세서에서 오프 전류란, 드레인의 전위를 소스와 게이트의 전위보다 낮게 한 상태에서, 기준 전위로서 소스의 전위를 가지고 게이트의 전위가 0 이상일 때, 소스와 드레인의 사이에 흐르는 전류를 의미한다.

[0096] 예를 들면, 산화물 반도체막은 In(인듐), Ga(갈륨), 및 Zn(아연)을 포함하는 타겟을 이용하는 스퍼터링법에 의해 형성할 수 있다. In-Ga-Zn계 산화물 반도체막을 스퍼터링법으로 형성하는 경우,  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1, 4 : 2 : 3, 3 : 1 : 2, 1 : 1 : 2, 2 : 1 : 3$ , 또는  $3 : 1 : 4$ 의 원자수비를 가지는 In-Ga-Zn계 산화물의 타겟을 이용하는 것이 바람직하다. 상술한 원자수비를 가지는 In-Ga-Zn계 산화물의 타겟을 이용하여 산화물 반도체막을 형성할 때, 다결정 또는 c축 배향 결정(CAAC)이 형성되기 쉬워진다. 또, In, Ga, 및 Zn을 포함하는 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다. 충전율이 높은 타겟을 이용함으로써, 치밀한 산화물 반도체막이 형성된다.

[0097] 산화물 반도체로서 In-Zn계 산화물 재료를 이용하는 경우, 이용되는 타겟 중의 금속 원소의 원자수비는  $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ (몰수비로 환산하면  $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$ ), 바람직하게는  $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ (몰수비로 환산하면  $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$ ), 더욱 바람직하게는  $\text{In} : \text{Zn} = 15 : 1 \sim 1.5 : 1$ (몰수비로 환산하면  $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$ )이다. 예를 들면,  $\text{In} : \text{Zn} : 0 = X : Y : Z$ 의 원자수비를 가지는 In-Zn계 산화물을 포함하는 산화물 반도체막의 형성에 이용되는 타겟에서,  $Z > 1.5X + Y$ 의 관계가 만족된다. 상기 범위 내에서 Zn의 비율을 유지함으로써, 이동도를 향상시킬 수 있다.

[0098] 구체적으로, 산화물 반도체막은 다음과 같이 형성될 수 있다: 감압 상태의 처리실 내에 기판을 유지하고, 처리실 내의 잔류 수분을 제거하는 동안 수소 및 수분이 제거된 스퍼터링 가스가 도입되고, 상기 타겟이 이용된다. 성막 동안, 기판 온도는 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하이면 좋다. 기판이 가열되는 동안, 산화물 반도체막을 형성함으로써, 형성된 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또, 스퍼터링에 의한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또, 배기 수단은 콜드 트랩으로 제공된 터보 펌프여도 좋다. 크라이오 펌프를 이용하여 성막 실에서는, 예를 들면, 수소 원자, 물( $\text{H}_2\text{O}$ ) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 제거되기 때문에, 이 처리실에서 형성된 산화물 반도체막의 불순물의 농도를 저감할 수 있다.

[0099] 단, 스퍼터링 등으로 성막된 산화물 반도체막은 때때로 불순물로서 다량의 수분 또는 수소(수산기를 포함함)를 포함한다. 수분 및 수소는 도너 준위를 형성하기 쉽기 때문에, 산화물 반도체에서 불순물의 역할을 한다. 본 발명의 일 양태에서는 산화물 반도체막 중의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)하기 위해, 산화물 반도체막은 감압 분위기 하, 질소나 희가스 등의 불활성 가스 분위기 하, 산소 가스 분위기 하, 또는 초건조 에어(캐비티 링 다운 레이저 분광법(CRDS) 방식의 노점 온도계를 이용하여 측정한 경우의 수분량이 20 ppm(노점 환산으로 -55°C) 이하, 바람직하게는 1 ppm 이하, 바람직하게는 10 ppb 이하) 분위기 하에서 가열 처리가 실시된다.

[0100] 산화물 반도체막에 가열 처리를 실시함으로써, 산화물 반도체막 중의 수분 또는 수소를 제거할 수 있다. 구체적으로, 가열 처리는 250°C 이상 750°C 이하, 바람직하게는 400°C 이상 기판의 변형점 미만의 온도에서 실시하면 좋다. 예를 들면, 가열 처리는 500°C에서, 3분 이상 6분 이하 정도 동안 실시하면 좋다. 가열 처리에 RTA법을 이용하면, 단시간에 탈수화 또는 탈수소화를 수행할 수 있다; 따라서, 유리 기판의 변형점보다 높은 온도에서도 처리가 실시될 수 있다.

- [0101] 단 어떤 경우에, 상기 가열 처리는 산화물 반도체막으로부터 산소가 이탈하게 하고, 산화물 반도체막 내에 산소 결손이 형성된다. 본 발명의 일 양태에서는, 산소 결손을 방지하기 위해 산화물 반도체막과 접하는 게이트 절연막 등의 절연막으로 산소를 포함하는 절연막을 이용한다. 그리고나서, 산소를 포함하는 절연막을 형성한 후, 가열 처리를 실시함으로써, 상기 절연막으로부터 산화물 반도체막에 산소가 공급된다. 상기 구성에 의해, 반도체막에서 도너 역할을 하는 산소 결손을 저감하고, 산화물 반도체막에 포함되는 산화물 반도체의 화학량론적 조성비를 만족시킬 수 있다. 산화물 반도체막에서 산소의 비율은 화학량론적 조성비에서 산소의 비율보다 높은 것이 바람직하다. 그 결과, 산화물 반도체막을 실질적으로 i형으로 할 수 있고, 산소 결손으로 인한 트랜지스터의 전기적 특성의 편차가 저감된다; 따라서 전기적 특성을 향상시킬 수 있다.
- [0102] 산소를 산화물 반도체막에 공급하기 위한 가열 처리는 질소, 초건조 공기, 또는 희가스(예를 들면, 아르곤, 헬륨 등)의 분위기 하에서, 바람직하게는 200°C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하의 온도에서 행해진다. 상기 가스의 물 함유량은 20 ppm 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하인 것이 바람직하다.
- [0103] 또, 산화물 반도체는 어모페스(비정질)여도 좋고, 결정성을 가지고 있어도 좋다. 후자의 경우, 산화물 반도체는 단결정이어도 좋고, 다결정이어도 좋고, 또는 산화물 반도체의 일부분이 결정성을 가지는 구성이어도 좋고, 결정성 부분을 포함하는 어모페스 구조여도 좋고, 비어모페스여도 좋다. 일부분이 결정성을 가지는 구성의 일례로서, a-b면, 표면 또는 계면 방향에서 볼 때 삼각형상 또는 육각형상의 원자 배열을 가지고, c축 배향(c축 배향된 결정성 산화물 반도체(CAAC-OS)라고도 함)하는 결정을 포함하는 산화물 반도체를 사용하여도 좋다. 결정에서, c축에 수직인 방향에서 볼 때, 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 c축을 따라 배열되고, a축 또는 b축의 방향은 a-b면에서 변동된다(c축을 중심으로 회전함).
- [0104] CAAC-OS란, 넓은 의미로, 그 a-b면에 수직인 방향에서 볼 때, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 가지고, c축 방향에서 수직인 방향에서 볼 때, 금속 원자가 층상, 또는 금속 원자와 산소 원자가 층상으로 배열한 상을 포함하는 비단결정 산화물을 말한다.
- [0105] CAAC-OS는 단결정은 아니지만, 비정질만으로 구성되어 있는 것을 의미하는 것은 아니다. 비록, CAAC는 결정화된 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분의 경계가 명확하지 않은 경우도 있다.
- [0106] 질소는 CAAC-OS를 구성하는 산소의 일부로 치환되어도 좋다. CAAC-OS에 포함되는 결정 부분의 c축은 일정한 방향(예를 들면, CAAC-OS가 형성되는 기판면, 또는 CAAC-OS의 표면 등에 수직인 방향)으로 정렬되어 있어도 좋다. 대신에 CAAC-OS를 포함하는 개개의 결정 부분의 a-b면의 법선은 일정한 방향(예를 들면, CAAC-OS가 형성되는 기판면, 또는 CAAC-OS의 표면 등에 수직인 방향)으로 정렬되어 있어도 좋다.
- [0107] CAAC-OS는 그 조성 등에 따라, 도체, 반도체, 또는 절연체이다. 또, 그 조성 등에 따라, CAAC-OS는 가시광을 투과하거나 투과하지 않는다.
- [0108] 이러한 CAAC-OS의 예는 막 상으로 형성되고, 막 표면 또는 막이 형성되는 기판면에 수직인 방향으로부터 관찰했을 때 삼각형 또는 육각형의 원자 배열을 가지고, 그 막 단면을 관찰했을 때 금속 원자가 층상으로 배열되거나, 또는 금속 원자 및 산소 원자(또는 질소 원자)가 층상으로 배열되는 산화물이다.
- [0109] CAAC-OS의 결정 구조의 일례는 도 14(A) 내지 도 14(E), 도 15(A) 내지 도 15(C), 도 16(A) 내지 도 16(C)을 이용하여 상세하게 설명된다. 특별히 언급하지 않는 한, 도 14(A) 내지 도 14(E), 도 15(A) 내지 도 15(C), 도 16(A) 내지 도 16(C)에서, 수직 방향이 c축 방향에 상당하고, c축 방향에 직교하는 면이 a-b면에 상당한다. 또한, 단순히 "상반분", "하반분"이라는 표현이 사용될 때, a-b면 윗 부분을 상반분이라고 하고, a-b면 아래 부분을 하반분(a-b면에 대한 상반분, 하반분)이라고 한다. 도 14(A) 내지 도 14(E)에서 동그라미로 둘러싸인 0는 4배위의 0를 나타내고, 이중 동그라미로 둘러싸인 0는 3배위의 0을 나타낸다.
- [0110] 도 14(A)는 1개의 6배위의 In 원자, In 원자에 근접한 6개의 4배위의 산소 원자(이하 4배위의 0라고 함)를 포함하는 구조를 나타낸다. 여기에서는 1개의 금속 원자와 그에 근접한 산소 원자를 포함하는 구조를 소그룹이라고 부른다. 도 14(A)의 구조는 실체로는 팔면체 구조이지만, 간단하게 하기 위해, 평면 구조로 나타냈다. 단, 도 14(A)의 상반분 및 하반분 각각에는 3개씩 4배위의 0 원자가 있다. 도 14(A)에 나타내는 소그룹에서, 전하는 0이다.
- [0111] 도 14(B)는 1개의 5배위의 Ga 원자와, Ga 원자에 근접한 3개의 3배위의 산소 원자(이하 3배위의 0라고 함)와, Ga 원자에 근접한 2개의 4배위의 0 원자를 포함하는 구조를 나타낸다. 3배위의 0 원자는 모두 a-b면에 존재한

다. 도 14(B)의 상반분 및 하반분 각각에는 1개씩 4배위의 0 원자가 있다. In 원자도 5배위를 가지기 때문에, 도 14(B)에 나타내는 구조를 또한 가질 수 있다. 도 14(B)에 나타내는 소그룹에서, 전하는 0이다.

[0112] 도 14(C)는 1개의 4배위의 Zn 원자와, Zn 원자에 근접한 4개의 4배위의 0 원자를 포함하는 구조를 나타낸다. 도 14(C)에서, 상반분에는 1개의 4배위의 0 원자가 있고, 하반분에는 3개의 4배위의 0 원자가 있다. 대신에, 도 14(C)의 상반분에 3개의 4배위의 0 원자가 있고, 하반분에 1개의 4배위의 0 원자가 있어도 좋다. 도 14(C)에 나타내는 소그룹에서, 전하는 0이다.

[0113] 도 14(D)는 1개의 6배위의 Sn 원자와, Sn 원자에 근접한 6개의 4배위의 0 원자를 포함하는 구조를 나타낸다. 도 14(D)의 상반분 및 하반분의 각각에는 3개의 4배위의 0 원자가 있다. 도 14(D)에 나타내는 소그룹에서 전하는 +1이다.

[0114] 도 14(E)는 2개의 Zn 원자를 포함하는 소그룹을 나타낸다. 도 14(E)에서, 상반분 및 하반분의 각각에는 1개의 4배위의 0 원자가 있다. 도 14(E)에 나타내는 소그룹에서, 전하는 -1이다.

[0115] 여기에서는 복수의 소그룹은 중그룹을 형성하고, 복수의 중그룹은 대그룹을 형성한다(유닛 셀이라고도 함).

[0116] 소그룹들 간의 결합 규칙에 대하여 설명한다. 도 14(A)에 나타내는 6배위의 In 원자에 대한 상반분의 3개의 0 원자는 하방향에 각각 3개의 근접 In 원자를 가지고, 하반분의 3개의 0 원자는 상방향에 각각 3개의 근접 In 원자를 가진다. 도 14(B)에 나타내는 5배위의 Ga 원자에 대한 상반분의 1개의 0 원자는 하방향에 1개의 근접 Ga 원자를 가지고, 하반분의 1개의 0 원자는 상방향에 1개의 근접 Ga 원자를 가진다. 도 14(C)에 나타내는 4배위의 Zn 원자에 대한 상반분의 1개의 0 원자는 하방향에 1개의 근접 Zn 원자를 가지고, 하반분의 3개의 0 원자는 상방향에 각각 3개의 근접 Zn 원자를 가진다. 이와 마찬가지로, 금속 원자의 상방향의 4배위의 0 원자의 수와 그 4배위의 0 원자의 하방향에 있는 근접 금속 원자의 수는 동일하다. 마찬가지로, 금속 원자의 하방향의 4배위의 0 원자의 수와 그 4배위의 0 원자의 상방향에 있는 근접 금속 원자의 수는 동일하다. 0 원자는 4배위이므로, 하방향에 있는 근접 금속 원자의 수와 상방향에 있는 근접 금속 원자의 수의 합은 4이다. 따라서, 금속 원자의 상방향에 있는 4배위의 0 원자의 수와 다른 금속 원자의 하방향에 있는 4배위의 0 원자의 수의 합이 4일 때, 금속 원자를 포함하는 2종의 소그룹들은 서로 결합될 수 있다. 예를 들면, 6배위의 금속 원자(In 또는 Sn)가 하반분의 3개의 4배위의 0 원자를 통하여 결합되는 경우, 5배위의 금속 원자(Ga 또는 In) 또는, 4배위의 금속 원자(Zn)에 결합된다.

[0117] 배위수가 4, 5, 또는 6인 금속 원자는 c축 방향에서, 4배위의 0를 통하여 다른 금속 원자에 결합된다. 이 밖에도, 총 구조의 합계의 전하가 0이 되도록 복수의 소그룹을 결합함으로써 중그룹을 형성할 수 있다.

[0118] 도 15(A)는 In-Sn-Zn계 산화물의 총 구조에 포함되는 중그룹의 모델도를 도시한다. 도 15(B)는 3개의 중그룹을 포함하는 대그룹을 나타낸다. 도 15(C)는 도 15(B)의 총 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 나타낸다.

[0119] 도 15(A)에서는, 간단하게 하기 위해, 3배위의 0 원자는 생략되고, 4배위의 0 원자는 동그라미로 나타낸다; 동그라미의 개수는 4배위의 0 원자의 수를 나타낸다. 예를 들면, Sn 원자에 대해 상반분 및 하반분 각각에는 3개씩 4배위의 0 원자가 있는 것이 동그라미 3으로 나타나 있다. 마찬가지로, 도 15(A)에서, In 원자에 대해 상반분 및 하반분 각각에는 1개씩 4배위의 0 원자가 있는 것이 동그라미 1로 나타나 있다. 마찬가지로, 도 15(A)는 하반분에서 1개의 4배위의 0 원자 및 상반분에서 3개의 4배위의 0 원자에 근접한 Zn 원자와, 상반분에서 1개의 4배위의 0 원자 및 하반분에서 3개의 4배위의 0 원자에 근접한 Zn 원자를 나타낸다.

[0120] 도 15(A)에서, In-Sn-Zn계 산화물의 총 구조에 포함되는 중그룹에서는 위에서부터 순차로 상반분 및 하반분의 각각에서 3개의 4배위의 0 원자에 근접한 Sn 원자가 상반분 및 하반분의 각각에서 1개의 4배위의 0 원자에 근접한 In 원자와 결합하고, 그 In 원자는 상반분에서 3개의 4배위의 0 원자에 근접한 Zn 원자와 결합하고, 그 Zn 원자는 Zn 원자에 대해 하반분에서 1개의 4배위의 0 원자를 통하여 상반분 및 하반분의 각각에서 3개의 4배위의 0 원자에 근접한 In과 결합하고, 그 In 원자는 2개의 Zn 원자를 포함하고, 상반분에서 1개의 4배위의 0 원자에 근접한 소그룹과 결합하고, 이 소그룹은 이 소그룹에 대해 하반분의 1개의 4배위의 0 원자를 통하여 상반분 및 하반분의 각각에서 3개의 4배위의 0 원자에 근접한 Sn 원자와 결합하고 있는 구성이다. 이 복수의 중그룹이 결합하여 대그룹이 형성된다.

[0121] 여기서, 3배위의 0 원자 및 4배위의 0 원자의 결합 1개당의 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들면, In 원자(6배위 또는 5배위), Zn 원자(4배위), Sn 원자(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn 원자를 포함하는 소그룹의 전하는 +1이다. 따라서, Sn 원자를 포함하는 총 구조를 형성하

기 위해서는 전하 +1을 지우는 전하 -1이 필요하다. 전하 -1을 가지는 구조의 예는 도 14(E)에 나타낸 바와 같이, 2개의 Zn 원자를 포함하는 소그룹을 들 수 있다. 예를 들면, 2개의 Zn 원자를 포함하는 하나의 소그룹으로, Sn 원자를 포함하는 하나의 소그룹의 전하는 지워질 수 있기 때문에, 총 구조의 합계의 전하가 0이 될 수 있다.

[0122] 구체적으로는, 도 15(B)에 나타낸 대그룹을 반복함으로써, In-Sn-Zn계 산화물의 결정( $In_2SnZn_3O_8$ )을 얻을 수 있다. 단, 얻어진 In-Sn-Zn계 산화물의 총 구조는  $In_2SnZn_2O_7(ZnO)_m$ ( $m$ 은 0 또는 자연수)의 조성식으로 나타낼 수 있다.

[0123] 상기 규칙은 다음의 산화물, 즉, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물; 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물; 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물에도 적용된다.

[0124] 예를 들면, 도 16(A)은 In-Ga-Zn계 산화물의 총 구조에 포함되는 중그룹의 모델도를 나타낸다.

[0125] 도 16(A)에서, In-Ga-Zn계 산화물의 총 구조에 포함되는 중그룹에서는 위에서부터 순차로 상반분 및 하반분의 각각에서 3개의 4배위의 0 원자에 근접한 In 원자가, 상반분에서 1개의 4배위의 0 원자에 근접한 Zn 원자과 결합하고, 그 Zn 원자는 Zn 원자에 대해 하반분에서 3개의 4배위의 0 원자를 통하여, 상반분 및 하반분의 각각에서 1개의 4배위의 0 원자에 근접한 Ga 원자와 결합하고, 그 Ga 원자는 Ga 원자의 하반분에 대해 1개의 4배위의 0 원자를 통하여, 상반분 및 하반분의 각각에서 3개의 4배위의 0 원자에 근접한 In 원자와 결합하고 있는 구성이다. 이 복수의 중그룹이 결합하여 대그룹이 형성된다.

[0126] 도 16(B)에 3개의 중그룹으로 구성되는 대그룹을 나타낸다. 도 16(C)은 도 16(B)의 총 구조를 c축 방향에서 관찰한 경우의 원자 배열을 나타내고 있다.

[0127] 여기서, In 원자(6배위 또는 5배위), Zn 원자(4배위), Ga 원자(5배위)의 전하는 각각 +3, +2, +3이기 때문에, In 원자, Zn 원자 및 Ga 원자 중 어느 것을 포함하는 소그룹의 전하는 0이다. 따라서, 이러한 소그룹의 조합을 가지는 중그룹의 합계의 전하는 항상 0이다.

[0128] In-Ga-Zn계 산화물의 총 구조를 형성하기 위해, 대그룹은 도 16(A)에 나타낸 중그룹뿐만 아니라, 도 16(A)에 나타낸 것과 In 원자, Ga 원자, Zn 원자의 배열이 다른 중그룹을 이용하여 형성할 수 있다.

[0129] 구체적으로는, 도 16(B)에 나타낸 대그룹을 반복함으로써, In-Ga-Zn계 산화물을 얻을 수 있다. 단, 얻어진 In-Ga-Zn계 산화물의 총 구조는  $InGaO_3(ZnO)_n$ ( $n$ 은 자연수)으로 하는 조성식으로 나타낼 수 있다.

[0130] 본 실시형태는 다른 실시형태와 조합하여 실시하는 것이 가능하다.

[0131] (실시형태 3)

[0132] 본 발명의 일 양태에 따른 발광 장치에서는 백색 등의 단색의 광을 발하는 발광 소자와 컬러 필터의 조합을 이용함으로써, 풀 컬러 화상이 표시되는 컬러 필터 방식을 채용할 수 있다. 대신에, 서로 다른 색상의 광을 발하는 복수의 발광 소자를 이용하여, 풀 컬러 화상이 표시되는 방식을 채용할 수도 있다. 이 방식은 발광 소자의 한쌍의 전극 사이에 제공되는 각 EL층을 대응하는 색으로 나누어 채색되기 때문에, 분리 컬러링(coloring) 방식이라고 불린다.

[0133] 분리 컬러링 방식의 경우, EL층은 통상, 메탈 마스크 등의 마스크를 이용하여, 중착법으로 나누어 도포된다; 따라서, 화소의 사이즈는 중착법에 의한 EL층의 분리 컬러링 정밀도에 의존한다. 한편, 분리 컬러링 방식과 달리 컬러 필터 방식에서는, EL층은 나누어 도포될 필요가 없다. 따라서, 분리 컬러링 방식의 경우보다, 화소 사이즈의 축소화가 용이하여; 고정밀의 화소부가 제공될 수 있다.

[0134] 발광 장치는 그 카테고리에서 트랜지스터가 형성된 소자 기판측에서 추출된 발광 소자로부터 광이 발해지는 보텀 에미션(bottom-emission) 발광 장치와; 소자 기판과는 반대의 측으로부터 발광 소자에서 발해지는 광이 추출되는 탑 에미션(top-emission) 발광 장치를 포함한다. 탑 에미션 구조의 경우, 발광 소자로부터 발해지는 광을 배선, 트랜지스터, 또는 저장 커패시터 등의 각종 소자에 의해 차단되는 일이 없기 때문에, 보텀 에미션 구조에

비해 화소로부터의 광의 취출 효율을 높일 수 있다. 따라서, 탑 에미션 구조는 발광 소자에 공급되는 전류량을 낮추어도 높은 휘도를 얻을 수 있기 때문에, 발광 소자의 수명을 향상시키는 데 유리하다.

[0135] 본 발명의 일 양태에 따른 발광 장치에서는 EL층으로부터 발해지는 광을 발광 소자 내에서 공진시키는 마이크로 캐비티(미소 광 공진기) 구조를 가지고 있어도 좋다. 마이크로 캐비티 구조에 의해, 특정의 파장을 가지는 광이 고효율을 가지고 발광 소자로부터 취출될 수 있기 때문에, 화소부의 휘도와 색순도를 향상시킬 수 있다.

[0136] 도 10에, 화소의 단면도를 일례로서 나타낸다. 도 10에서는 빨강에 대응하는 화소의 단면의 일부, 초록에 대응하는 화소의 단면의 일부, 파랑에 대응하는 화소의 단면의 일부를 나타내고 있다.

[0137] 구체적으로, 도 10에서는 빨강에 대응한 화소(140r)와 초록에 대응한 화소(140g)와 파랑에 대응한 화소(140b)가 도시되어 있다. 화소(140r), 화소(140g), 화소(140b)는 각각 애노드(715r), 애노드(715g), 애노드(715b)를 포함한다. 화소(140r), 화소(140g), 화소(140b)에 포함되는 상기 애노드(715r), 애노드(715g), 애노드(715b)는 기판(740)에 형성된 절연막(750)의 위에 제공되어 있다.

[0138] 애노드(715r), 애노드(715g), 및 애노드(715b) 위에는 절연막을 이용하여 형성되는 격벽(730)이 제공되어 있다. 격벽(730)은 개구부를 가지고, 상기 개구부에서, 애노드(715r), 애노드(715g), 및 애노드(715b)가 각각 일부 노출되어 있다. 또, 상기 노출된 영역을 덮도록, 격벽(730) 위에 EL층(731)과 가시광 투과하는 캐소드(732)가 순차로 적층되어 있다.

[0139] 애노드(715r), EL층(731), 및 캐소드(732)가 서로 중첩되는 부분이 빨강에 대응한 발광 소자(741r)에 상당한다. 애노드(715g), EL층(731), 및 캐소드(732)가 서로 중첩되는 부분이 초록에 대응한 발광 소자(741g)에 상당한다. 애노드(715b), EL층(731), 캐소드(732)가 서로 중첩되는 부분이 파랑에 대응한 발광 소자(741b)에 상당한다.

[0140] 기판(742)은 발광 소자(741r), 발광 소자(741g), 및 발광 소자(741b)를 사이에 끼우도록, 기판(740)과 대치하여 제공된다. 기판(742) 위에는 화소(140r)에 대응한 채색층(743r), 화소(140g)에 대응한 채색층(743g), 화소(140b)에 대응한 채색층(743b)이 제공되어 있다. 채색층(743r)은 빨강에 대응한 파장 영역의 광의 투과율이 다른 파장 영역의 광의 투과율보다 높은 층이다. 채색층(743g)은 초록에 대응한 파장 영역의 광의 투과율이 다른 파장 영역의 광의 투과율보다 높은 층이다. 채색층(743b)은 파랑에 대응한 파장 영역의 광의 투과율이 다른 파장 영역의 광의 투과율보다 높은 층이다.

[0141] 기판(742) 위에는 채색층(743r), 채색층(743b), 채색층(743b)을 덮도록, 오버코트(744)가 제공되어 있다. 오버코트(744)는 채색층(743r), 채색층(743g), 채색층(743b)을 보호하기 위해 제공되는 가시광을 투과하고, 평탄성이 향상된 수지 재료를 이용하여 형성되는 것이 바람직하다. 채색층(743r), 채색층(743g), 및 채색층(743b)과 오버코트(744)를 통틀어 컬러 필터라고 간주해도 좋고, 또는 채색층(743r), 채색층(743g), 및 채색층(743b)의 각각을 컬러 필터라고 간주해도 좋다.

[0142] 도 10에서는 가시광의 반사율이 높은 도전막(745r)과 가시광의 투과율이 상기 도전막(745r)보다 높은 도전막(746r)이 애노드(715r)로서 이용되기 위해 순차로 적층된다. 또, 가시광의 반사율이 높은 도전막(745g)과 가시광의 투과율이 상기 도전막(745g)보다 높은 도전막(746g)이 애노드(715g)로서 이용되기 위해, 순차로 적층된다. 도전막(746g)의 막두께는 도전막(746r)의 막두께보다 작다. 가시광의 반사율이 높은 도전막(745b)이 애노드(715b)로서 이용된다.

[0143] 따라서, 도 10에 나타내는 발광 장치에서는, 발광 소자(741r)에서, EL층(731)으로부터 발해진 광의 광로 길이는 도전막(745r)과 캐소드(732) 사이의 거리에 의해 조절될 수 있다. 발광 소자(741g)에서, EL층(731)으로부터 발해진 광의 광로 길이는 도전막(745g)과 캐소드(732) 사이의 거리에 의해 조절될 수 있다. 발광 소자(741b)에서, EL층(731)으로부터 발해진 광의 광로 길이는 도전막(745b)과 캐소드(732)의 거리에 의해 조절될 수 있다.

[0144] 본 발명의 일 양태에서는 발광 소자(741r), 발광 소자(741g), 및 발광 소자(741b)로부터 발해진 광의 파장에 맞추어, 상기 광로 길이를 조정하는 마이크로 캐비티 구조가 이용되어도 좋고, 이에 따라, EL층(731)으로부터 발해진 광을 상기 각 발광 소자 내에서 공진시킨다.

[0145] 본 발명의 일 양태에 따른 발광 장치에 상기 마이크로 캐비티 구조를 적용함으로써, 발광 소자(741r)로부터 발해지는 광에서, 빨강에 대응한 파장을 가지는 광이 그것의 강도를 높이기 위해 마이크로 캐비티 구조에서 공진한다. 결과적으로, 채색층(743r)을 통해 얻어지는 빨강의 광의 색순도 및 휘도가 높아진다. 또, 발광 소자(741g)로부터 발해지는 광에서, 초록에 대응한 파장을 가지는 광이 그것의 강도를 높이기 위해 마이크로 캐비티

구조에서 공진하고, 결과적으로, 채색층(743g)을 통해 얻어지는 초록의 광의 색순도 및 휘도가 높아진다. 발광 소자(741b)로부터 발해지는 광에서, 파랑에 대응한 파장을 가지는 광이 그것의 강도를 높이기 위해 마이크로 캐비티 구조에서 공진하고; 결과적으로, 채색층(743b)을 통해 얻어지는 파랑의 광의 색순도 및 휘도가 높아진다.

[0146] 단, 도 10에서는 빨강, 초록, 파랑의 3색에 대응하는 화소를 나타냈지만, 본 발명의 일 양태에서는 이 구성으로 한정되지 않는다. 본 발명의 일 양태에서는, 빨강, 초록, 파랑 및 노랑의 4색의 조합, 또는 청록, 진홍 및 노랑의 3색의 조합이 이용되어도 좋다. 대신에 얇은 색의 빨강, 초록, 및 파랑, 및 짙은 색의 빨강, 초록, 및 파랑의 6색의 조합을 이용할 수 있고, 혹은 빨강, 초록, 파랑, 청록, 진홍, 노랑의 6색의 조합을 이용할 수 있다.

[0147] 단, 예를 들면, 빨강, 초록, 및 파랑의 화소를 이용하여 표현될 수 있는 색은 색도도 상의 각각의 화소의 발광 색에 대응하는 3점에 의해 만들어진 삼각형의 내측에 나타나는 색에 한정된다. 따라서, 빨강, 초록, 파랑 및 노랑의 화소를 이용한 경우와 같이, 색도도 상의 이 삼각형의 외측에 존재하는 색의 발광 소자를 추가적으로 제공함으로써, 이 발광 장치에서 표현할 수 있는 색의 범위가 확대될 수 있고, 결과적으로 색 재현성이 향상될 수 있다.

[0148] 도 10에서는 발광 소자(741r), 발광 소자(741g), 발광 소자(741b) 중, 가장 얇은 파장  $\lambda$ 의 빛을 발하는 발광 소자(741b)에서, 가시광의 반사율이 높은 도전막(745b)이 애노드로서 이용되고, 다른 발광 소자(741r), 발광 소자(741g)에서는 막두께가 서로 다른 도전막(746r) 및 도전막(746g)이 이용되고; 따라서 광로 길이가 조정된다. 본 발명의 일 양태에서는 가장 얇은 파장  $\lambda$ 의 빛을 발하는 발광 소자(741b)에서도, 가시광의 반사율이 높은 도전막(745b) 위에, 도전막(746r) 및 도전막(746g)과 같은 가시광의 투과율이 높은 도전막이 제공되어도 좋다. 그러나, 모든 발광 소자(741r, 741g, 741b)의 애노드로서 가시광의 투과율이 높은 도전막을 이용하는 경우보다, 애노드의 제작 공정이 간소화되기 때문에, 도 10에 나타낸 바와 같이, 가장 얇은 파장  $\lambda$ 의 빛을 발하는 발광 소자(741b)의 애노드로서, 가시광의 반사율이 높은 도전막(745b)을 사용하는 것이 바람직하다.

[0149] 단, 가시광의 반사율이 높은 도전막(745b)의 일 함수는 가시광의 투과율이 높은 도전막(746r) 및 도전막(746g)에 비해 보통 작다. 따라서, 가장 얇은 파장  $\lambda$ 의 빛을 발하는 발광 소자(741b)에서는 발광 소자(741r), 발광 소자(741g)에 비해, 애노드(715b)로부터 EL층(731)으로 정공을 주입하기 어렵기 때문에, 발광 효율이 낮은 경향이 있다. 이런 관점에서, 본 발명의 일 양태에서는 가장 얇은 파장  $\lambda$ 의 빛을 발하는 발광 소자(741b)에서, 가시광의 반사율이 높은 도전막(745b)과 접하는 EL층(731)의 일부로, 정공 수송성이 높은 물질과, 이 정공 수송성이 높은 물질에 대하여 억셉터성(전자 수용성)을 가지는 물질을 함유시킨 복합 재료를 이용하는 것이 바람직하다. 상기 복합 재료가 애노드(715b)와 접하여 형성될 때, 애노드(715b)로부터 EL층(731)에 정공을 주입하기 쉬워져, 발광 소자(741b)의 발광 효율을 높일 수 있다.

[0150] 억셉터성을 가지는 물질로서는, 7,7,8,8-테트라시아노-2,3,5,6-테트라플루오로퀴노디메탄(약칭 : F<sub>4</sub>-TCNQ), 클로라닐, 천이 금속 산화물, 원소 주기표에서 제 4 족 내지 제 8 족에 속하는 금속의 산화물을 들 수 있다. 구체적으로는, 산화 바나듐, 산화 니오브, 산화 탄탈, 산화 크로뮴, 산화 몰리브데늄, 산화 텉스텐, 산화 망간, 산화 레늄은 억셉터성이 높기 때문에 바람직하다. 이 중에서 특히, 산화 몰리브데늄은 대기 중에서도 안정적이고, 흡습성이 낮고, 취급하기 쉽기 때문에 바람직하다.

[0151] 복합 재료에 이용되는 정공 수송성이 높은 물질로서는, 방향족 아민 화합물, 카바졸 유도체, 방향족 탄화 수소, 고분자 화합물(예를 들면, 올리고머, 텐드리머, 폴리머 등) 등 다양한 화합물을 이용할 수 있다. 또한, 복합 재료에 이용되는 유기 화합물로서는 정공 수송성이 높은 유기 화합물인 것이 바람직하다. 구체적으로는, 10<sup>-6</sup> cm<sup>2</sup>/Vs 이상의 정공 이동도를 가지는 물질이 바람직하게 이용된다. 단, 전자보다 정공의 수송성이 높은 물질이면, 이것들 이외의 것을 이용해도 좋다.

[0152] 가시광의 반사율이 높은 도전막(745r), 도전막(745g), 도전막(745b)은, 예를 들면, 알루미늄, 은 또는 이러한 금속 재료를 포함하는 합금 등을 단층, 혹은 적층함으로써, 형성될 수 있다. 대신에, 도전막(745r), 도전막(745g), 도전막(745b)을 가시광의 반사율이 높은 도전막과 막두께가 얇은 도전막(바람직하게는 20 nm 이하, 더욱 바람직하게는 10 nm 이하)을 적층시켜, 형성해도 좋다. 예를 들면, 가시광의 반사율이 높은 도전막 위에, 얇은 티탄막이나 몰리브데늄막을 적층하여 도전막(745b)을 형성함으로써, 가시광의 반사율이 높은 도전막(예를 들면, 알루미늄, 알루미늄을 포함하는 합금, 또는 은 등)의 표면에 산화막이 형성되는 것을 막을 수 있다.

[0153] 가시광의 투과율이 높은 도전막(746r) 및 도전막(746g)은 예를 들면, 산화 인듐, 산화 주석, 산화 아연, 인듐 주석 산화물, 인듐 아연 산화물 등을 이용하여 형성될 수 있다.

- [0154] 캐소드(732)는 예를 들면, 광을 투과할 정도로 충분히 얇은 도전막(바람직하게는 20 nm 이하, 더욱 바람직하게는 10 nm 이하)과 도전성의 금속 산화물을 포함하는 도전막을 적층함으로써, 형성될 수 있다. 광을 투과할 정도로 충분히 얇은 도전막은 은, 마그네슘, 또는 이러한 금속 재료를 포함하는 합금 등을 단층, 혹은 적층하여 형성할 수 있다. 도전성의 금속 산화물로서는 산화 인듐, 산화 주석, 산화 아연, 인듐 주석 산화물, 인듐 아연 산화물, 및 산화 규소를 포함하는 이러한 금속 산화물 재료가 있다.
- [0155] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0156] (실시형태 4)
- [0157] 본 실시형태에서는 보텀 에미션 구조, 탑 에미션 구조, 및 듀얼 에미션 구조에 대하여 설명한다. 듀얼 에미션 구조에서는, 발광 소자의 광은 소자 기판측으로부터, 및 소자 기판과는 반대의 측으로부터 꺼내진다.
- [0158] 도 11(A)은 발광 소자(6033)로부터 발해지는 광을 애노드(6034)측에서 꺼내는 경우의, 화소의 단면도를 나타낸다. 트랜지스터(6031)는 절연막(6037)으로 덮여 있고, 절연막(6037) 위에는 개구부를 가지는 격벽(6038)이 형성되어 있다. 격벽(6038)의 개구부에서 애노드(6034)가 일부 노출되어 있고, 이 개구부에서 애노드(6034), EL층(6035), 캐소드(6036)가 순차로 적층되어 있다.
- [0159] 애노드(6034)는 광을 투과하기 쉬운 재료를 이용하여 형성되고 또는 애노드(6034)를 쉽게 통과하는 빛의 막두께로 형성된다. 캐소드(6036)는 광을 투과하기 어려운 재료를 이용하여 형성되고 또는 캐소드(6036)를 통과하기 어려운 빛의 막두께로 형성된다. 따라서 상기 구성에 의해, 윤곽 화살표로 나타낸 바와 같이, 애노드(6034)측으로부터 광을 꺼내는 보텀 에미션 구조를 얻을 수 있다.
- [0160] 도 11(B)은 발광 소자(6043)로부터 발해지는 광을 캐소드(6046)측에서 꺼내는 경우의 화소의 단면도를 나타낸다. 트랜지스터(6041)는 절연막(6047)으로 덮여 있고, 절연막(6047) 위에는 개구부를 가지는 격벽(6048)이 형성되어 있다. 격벽(6048)의 개구부에서 애노드(6044)가 일부 노출되어 있고, 이 개구부에서 애노드(6044), EL층(6045), 캐소드(6046)가 순차로 적층되어 있다.
- [0161] 애노드(6044)는 광을 투과하기 어려운 재료를 이용하여 형성되고 또는 애노드(6044)를 통과하기 어려운 빛의 막두께로 형성된다. 캐소드(6046)는 광을 투과하기 쉬운 재료를 이용하여 형성되고 또는 캐소드(6046)를 쉽게 통과하는 빛의 막두께로 형성된다. 따라서 상기 구성에 의해, 윤곽 화살표로 나타낸 바와 같이, 캐소드(6046)측으로부터 광을 꺼내는 탑 에미션 구조를 얻을 수 있다.
- [0162] 도 11(C)은 광소자(6053)로부터 발해지는 광을 애노드(6054)측 및 캐소드(6056)측에서 꺼내는 경우의 화소의 단면도를 나타낸다. 트랜지스터(6051)는 절연막(6057)으로 덮여 있고, 절연막(6057) 위에는 개구부를 가지는 격벽(6058)이 형성되어 있다. 격벽(6058)의 개구부에서 애노드(6054)가 일부 노출되어 있고, 이 개구부에서 애노드(6054), EL층(6055), 캐소드(6056)가 순차로 적층되어 있다.
- [0163] 애노드(6054) 및 캐소드(6056)는 광을 투과하기 쉬운 재료를 이용하여 형성되고 또는 애노드(6054) 및 캐소드(6056)를 쉽게 통과하는 빛의 막두께로 형성된다. 따라서 상기 구성에 의해, 윤곽 화살표로 나타낸 바와 같이, 애노드(6054) 및 캐소드(6056)측으로부터 광을 꺼내는 듀얼 에미션 구조를 얻을 수 있다.
- [0164] 애노드 및 캐소드 역할을 하는 전극에는, 예를 들면, 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 이용할 수 있다. 구체적으로는, 산화 인듐-산화 주석(ITO: Indium Tin Oxide), 규소 혹은 산화 규소를 함유한 산화 인듐-산화 주석, 산화 인듐-산화 아연(Indium Zinc Oxide), 산화 텉스텐 및 산화 아연을 함유한 산화 인듐, 금(Au), 백금(Pt), 니켈(Ni), 텉스텐(W), 크로뮴(Cr), 몰리브데늄(Mo), 철(Fe), 코발트(Co), 구리(Cu), 팔라듐(Pd), 티탄(Ti)을 예로 들 수 있다. 다른 예들로는, 원소 주기표의 제 1 족 또는 제 2 족에 속하는 원소, 즉 리튬(Li)이나 세슘(Cs) 등의 알칼리 금속, 및 칼슘(Ca), 스트론튬(Sr) 등의 알칼리토류 금속, 마그네슘(Mg), 및 이것들을 포함하는 합금(예를 들면, MgAg, AlLi), 유로퓸(Eu), 이테르븀(Yb) 등의 희토류 금속 및 이것들을 포함하는 합금, 및, 그라펜 등이 있다. 상기 전극들은 상기로부터 적절히 선택된 재료를 이용하여 형성되고, 최적의 두께를 갖도록 형성됨으로써, 보텀 에미션 구조, 탑 에미션 구조, 또는 듀얼 에미션 구조를 만드는 것이 가능해진다.
- [0165] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0166] (실시형태 5)
- [0167] 도 12는 본 발명의 일 양태에 따른 발광 장치의 사시도의 일례이다.

- [0168] 도 12에 나타내는 발광 장치는 패널(1601), 회로 기판(1602), 접속부(1603)를 포함한다. 패널(1601)은 복수의 화소를 포함하는 화소부(1604), 복수의 화소를 행마다 선택하는 주사선 구동 회로(1605), 선택된 행 내의 화소에의 화상 신호의 입력을 제어하는 신호선 구동 회로(1606)를 포함한다. 구체적으로, 주사선 구동 회로(1605)에서는 배선 G1 내지 배선 G3에 입력되는 신호가 생성된다.
- [0169] 회로 기판(1602)으로부터 접속부(1603)를 통하여 각종 신호와 전원의 전위가 패널(1601)에 입력된다. 접속부(1603)에는 예를 들면, 가요성 인쇄 기판(FPC : Flexible Printed Circuit) 등을 이용할 수 있다. 접속부(1603)로 COF 테이프가 이용되는 경우, 회로 기판(1602) 내의 일부의 회로, 혹은 패널(1601)에 포함되는 주사선 구동 회로(1605)나 신호선 구동 회로(1606)의 일부 등이 별도 준비된 칩 상에 형성되어도 좋고, COF(Chip On Film)법을 이용하여 이 칩이 COF 테이프에 접속되어도 좋다.
- [0170] 본 실시형태는 다른 실시형태와 조합하여 실시하는 것이 가능하다.
- [0171] (실시형태 6)
- [0172] 본 발명의 일 양태에 따른 발광 장치는 표시기기, 퍼스널 컴퓨터, 기록 매체가 제공된 화상 재생 장치(대표적으로는, DVD : Digital Versatile Disc 등의 기록 매체의 내용을 재생하여, 그 재생된 화상을 표시하기 위한 디스플레이를 가지는 장치)에 이용될 수 있다. 본 발명의 일 양태에 따른 발광 장치를 포함할 수 있는 전자기기의 다른 예로는 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라, 디지털 스틸 카메라와 같은 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(예를 들면, 카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이러한 전자기기의 구체적인 예를 도 13(A) 내지 도 13(E)에 나타낸다.
- [0173] 도 13(A)은 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008) 등을 포함하는 휴대형 게임기를 나타낸다. 본 발명의 일 양태에 따른 발광 장치는 표시부(5003), 또는 표시부(5004)로서 이용될 수 있다. 본 발명의 일 양태에 따른 발광 장치를 표시부(5003) 또는 표시부(5004)로서 이용함으로써, 고화질의 휴대형 게임기를 제공할 수 있다. 단, 도 13(A)에 나타낸 휴대형 게임기는 2개의 표시부(5003)와 표시부(5004)를 포함하지만, 휴대형 게임기에 포함되는 표시부의 수는 두개로 한정되지 않는다.
- [0174] 도 13(B)은 하우징(5201), 표시부(5202), 지지대(5203) 등을 포함하는 표시기기를 나타낸다. 본 발명의 일 양태에 따른 발광 장치는 표시부(5202)로서 이용될 수 있다. 표시부(5202)로서 본 발명의 일 양태에 따른 발광 장치를 이용함으로써, 고화질의 표시기기를 제공할 수 있다. 단, 표시기기는 그 범주에 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시기기를 포함한다.
- [0175] 도 13(C)은 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 포함하는 노트형 퍼스널 컴퓨터를 나타낸다. 본 발명의 일 양태에 따른 발광 장치는 표시부(5402)로서 이용될 수 있다. 표시부(5402)로서 본 발명의 일 양태에 따른 발광 장치를 이용함으로써, 고화질의 노트형 퍼스널 컴퓨터를 제공할 수 있다.
- [0176] 도 13(D)은 하우징(5601), 표시부(5602), 조작 키(5603) 등을 포함하는 휴대 정보 단말을 나타낸다. 도 13(D)에 나타내는 휴대 정보 단말에서는 모뎀이 하우징(5601)에 내장되어 있어도 좋다. 본 발명의 일 양태에 따른 발광 장치는 표시부(5602)로서 이용될 수 있다. 표시부(5602)로서 본 발명의 일 양태에 따른 발광 장치를 이용함으로써, 고화질의 휴대 정보 단말을 제공할 수 있다.
- [0177] 도 13(E)은 하우징(5801), 표시부(5802), 음성 입력부(5803), 음성 출력부(5804), 조작 키(5805), 수광부(5806) 등을 포함하는 휴대전화를 나타낸다. 수광부(5806)에서 수신된 광을 전기 신호로 변환함으로써, 외부 화상을 로드할 수 있다. 본 발명의 일 양태에 따른 발광 장치는 표시부(5802)로서 이용될 수 있다. 표시부(5802)로서 본 발명의 일 양태에 따른 발광 장치를 이용함으로써, 고화질의 휴대 전화를 제공할 수 있다.
- [0178] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0179] (실시형태 7)
- [0180] 본 실시형태에서는 실시형태 1에서 설명한 도 1(A)에 나타내는 화소(100)의 동작의 제 3 기간에서의 트랜지스터(11)의 게이트 전압  $V_{gs}$ 의 값을 계산에 의해 구했다.
- [0181] 계산은 배선 IL에서의 전위  $V_0$ 의 값이 서로 다른 조건 A 또는 조건 B 하에서 행해졌다. 조건 A와 조건 B 하에

서 각 배선의 구체적인 전위의 값을 하기 표 1에 나타낸다. 전위 GVDD는 배선 G1, 배선 G2, 및 배선 G3에 각각에 인가되는 하이 레벨의 전위에 상당한다. 전위 GVSS는 배선 G1, 배선 G2, 및 배선 G3에 각각에 인가되는 로 레벨의 전위에 상당한다. 단, 표 1에서는 전위 Vcat를 0 V로 하고, 전위 Vdata, 전위 Vano, 전위 V0, 전위 GVDD, 전위 GVSS의 값을 전위 Vcat에 대한 전위차로 나타내고 있다.

## 표 1

	상태 A	상태 B
Vth	-3 V to 3 V	-3 V to 3 V
Vdata	10 V to 15 V	14 V to 19 V
V0	10 V	14 V
Vano	14 V	14 V
Vcat	0 V	0 V
GVDD/GVSS	20 V/0 V	25 V/0 V

[0182]

[0183] 계산에서 각 트랜지스터의 채널 길이 L과 채널 폭 W의 비에 관해서는, 트랜지스터(11)의 W/L은  $3 \mu\text{m}/9 \mu\text{m}$ 이고, 트랜지스터(12) 내지 트랜지스터(15)의 W/L은  $3 \mu\text{m}/3 \mu\text{m}$ 였다. 그리고, 도 1(A)에 나타낸 화소(100)에 포함되는 모든 트랜지스터에서, 소스 또는 드레인으로서 기능하는 도전막과 반도체막이 접하고 있는 영역을 영역 A라고 하면, 상기 영역 A와 게이트 전극이 형성되어 있는 영역이 중첩되는 영역에서의, 채널 길이 방향의 길이(Lov)는  $1.5 \mu\text{m}$ 였다.

[0184]

제 3 기간에서, 트랜지스터(11)의 게이트 전압 Vgs는 도 3(C)에 나타낸 바와 같이, 전압이 Vdata-V0+Vth였다. 따라서, 도 1(A)에 나타낸 화소(100)에서, 등식  $Vgs-Vth = Vdata-V0$ 이 유지되기 때문에, Vgs-Vth는 문턱 전압 Vth의 값에 상관없이 이상적으로 일정하다.

[0185]

도 17은 조건 A 하에서 계산에 의해 얻어진 Vgs-Vth의 값을 나타낸다. 도 17에서는 가로축이 문턱 전압 Vth (V)를 나타내고, 세로축이 Vgs-Vth(V)의 값을 나타낸다. 도 17에서, 문턱 전압 Vth의 값이 변화시켜도, Vgs-Vth의 값이 거의 균일하고, 그 편차는 약 25% 내지 30% 이하로 제한되어 있는 것을 알 수 있다.

[0186]

도 18은 조건 B 하에서 계산에 의해 얻어진 Vgs-Vth의 값을 나타낸다. 도 18에서는 가로축이 문턱 전압 Vth (V)를 나타내고, 세로축이 Vgs-Vth(V)의 값을 나타낸다. 도 18에서는 문턱 전압 Vth의 값이 양의 값을 가지는 경우, Vgs-Vth의 값이 거의 균일하다. 그러나, 문턱 전압 Vth의 값이 음의 값을 가지는 경우, 문턱 전압 Vth의 값이 음의 방향으로 커질수록, Vgs-Vth의 값이 커지고, 이것은 Vgs-Vth의 값이 문턱 전압 Vth의 값에 의존하고 있는 것을 의미한다.

[0187]

상기 계산의 결과는, 본 발명의 일 양태에 따른 발광 장치에서 트랜지스터(11)가 노멀리 온이어도, 즉 문턱 전압 Vth가 음의 값을 가지고 있어도, 트랜지스터(11)의 문턱 전압 Vth가 더해진 값이 되도록, 트랜지스터(11)의 게이트 전압 Vgs를 설정할 수 있는 것을 증명하였다.

[0188]

본 실시형태는 다른 실시형태와 조합하여 실시하는 것이 가능하다.

### 부호의 설명

[0189]

11 : 트랜지스터

12 : 트랜지스터

13 : 트랜지스터

14 : 트랜지스터

15 : 트랜지스터

16 : 용량 소자

17 : 발광 소자

100 : 화소  
140b : 화소  
140g : 화소  
140r : 화소  
715b : 애노드  
715g : 애노드  
715r : 애노드  
730 : 격벽  
731 : EL총  
732 : 캐소드  
740 : 기판  
741b : 발광 소자  
741g : 발광 소자  
741r : 발광 소자  
742 : 기판  
743b : 채색총  
743g : 채색총  
743r : 채색총  
744 : 오버코트  
745b : 도전막  
745g : 도전막  
745r : 도전막  
746g : 도전막  
746r : 도전막  
750 : 절연막  
800 : 기판  
801 : 도전막  
802 : 게이트 절연막  
803 : 반도체막  
804 : 도전막  
805 : 도전막  
806 : 반도체막  
807 : 도전막  
808 : 도전막  
809 : 도전막  
810 : 도전막

811 : 반도체막

812 : 도전막

813 : 반도체막

814 : 도전막

815 : 도전막

816 : 도전막

817 : 반도체막

818 : 도전막

819 : 도전막

820 : 절연막

821 : 절연막

822 : 도전막

823 : 컨택트홀

824 : 절연막

825 : EL층

826 : 도전막

900 : 기판

901 : 반도체막

902 : 게이트 절연막

903 : 도전막

904 : 도전막

905 : 도전막

906 : 반도체막

907 : 도전막

908 : 도전막

909 : 도전막

911 : 도전막

912 : 반도체막

913 : 도전막

914 : 도전막

915 : 도전막

916 : 도전막

917 : 도전막

920 : 절연막

921 : 도전막

922 : 컨택트홀

923 : 절연막

924 : EL총

925 : 도전막

1601 : 패널

1602 : 회로 기판

1603 : 접속부

1604 : 화소부

1605 : 주사선 구동 회로

1606 : 신호선 구동 회로

5001 : 하우징

5002 : 하우징

5003 : 표시부

5004 : 표시부

5005 : 마이크로폰

5006 : 스피커

5007 : 조작 키

5008 : 스타일러스

5201 : 하우징

5202 : 표시부

5203 : 지지대

5401 : 하우징

5402 : 표시부

5403 : 키보드

5404 : 포인팅 디바이스

5601 : 하우징

5602 : 표시부

5603 : 조작 키

5801 : 하우징

5802 : 표시부

5803 : 음성 입력부

5804 : 음성 출력부

5805 : 조작 키

5806 : 수광부

6031 : 트랜지스터

6033 : 발광 소자

6034 : 애노드

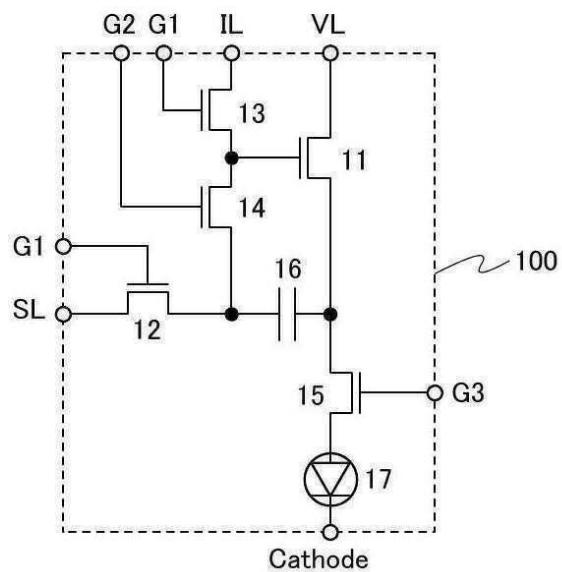
6035 : EL총  
6036 : 캐소드  
6037 : 절연막  
6038 : 격벽  
6041 : 트랜지스터  
6043 : 발광 소자  
6044 : 애노드  
6045 : EL총  
6046 : 캐소드  
6047 : 절연막  
6048 : 격벽  
6051 : 트랜지스터  
6053 : 광소자  
6054 : 애노드  
6055 : EL총  
6056 : 캐소드  
6057 : 절연막  
6058 : 격벽

본 출원은 각각 2011년 7월 22일 및 2011년 11월 29일에 일본 특허청에 출원된 일련 번호가 2011-161103 및 2011-259828인 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

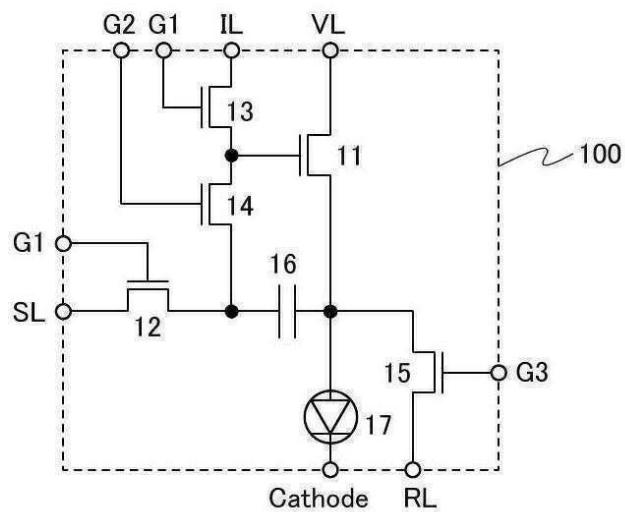
도면

도면1

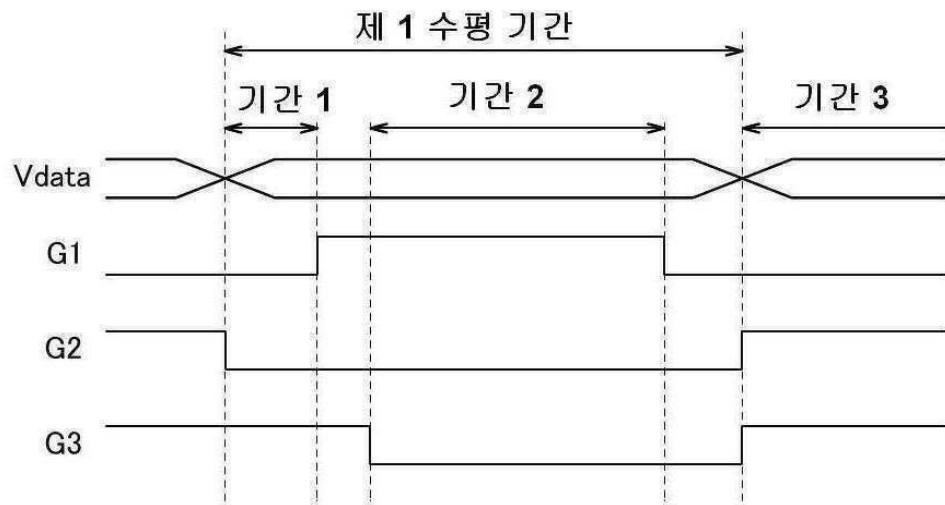
(A)



(B)

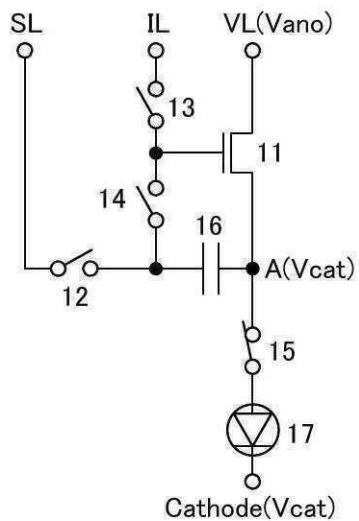


## 도면2

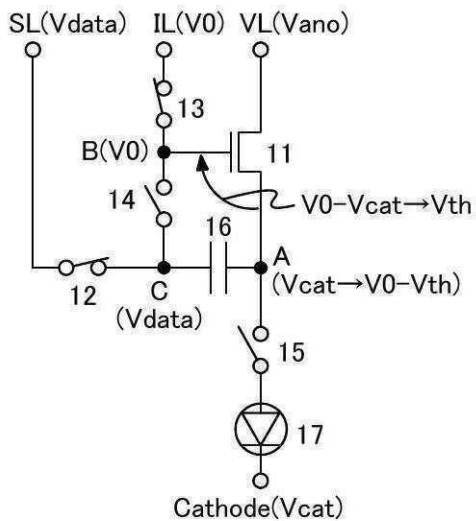


도면3

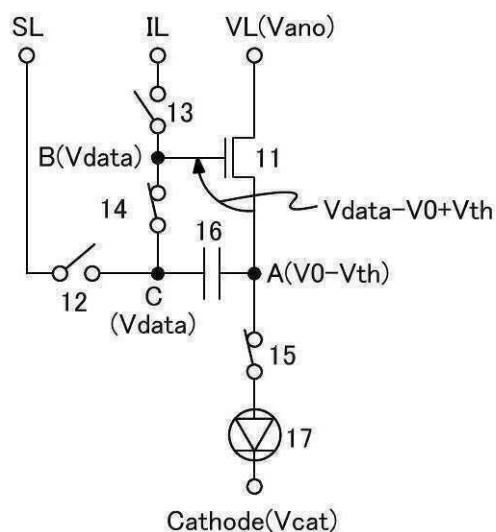
(A)



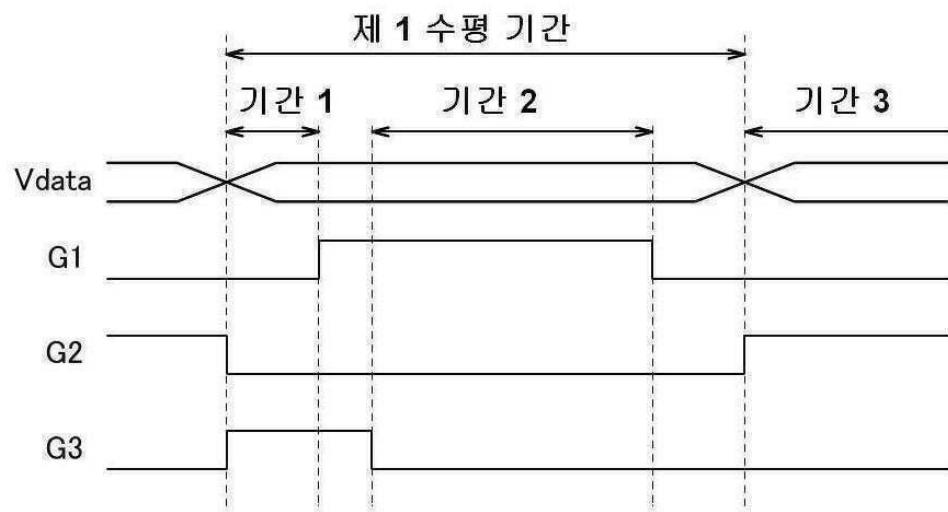
(B)



(C)

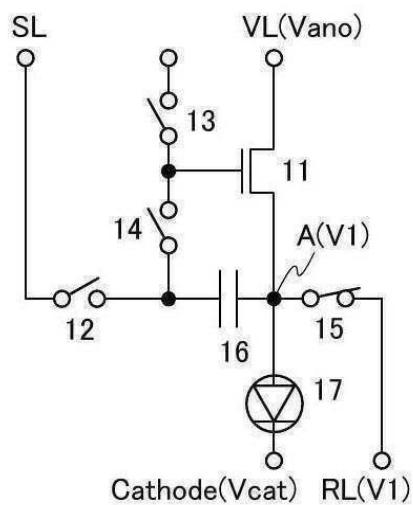


도면4

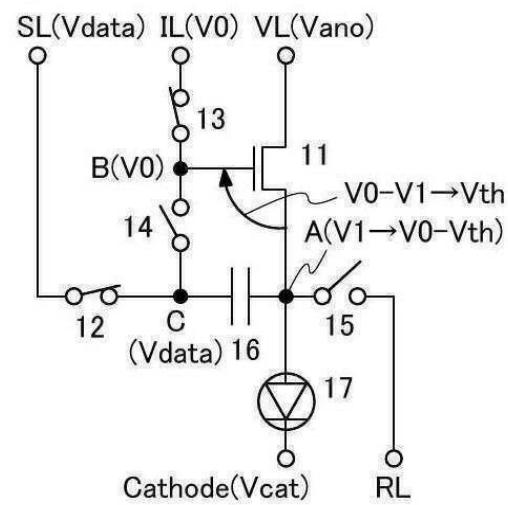


도면5

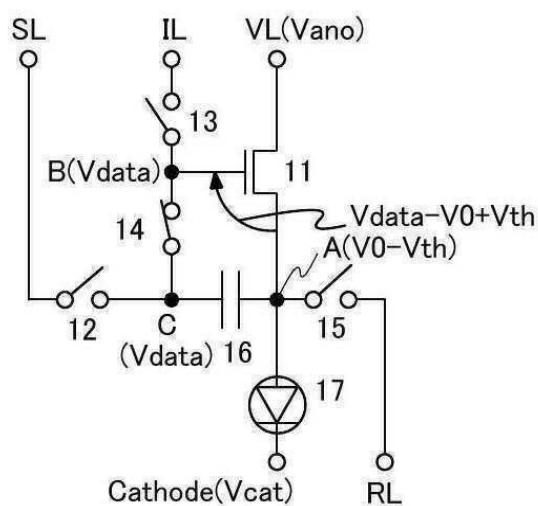
(A)



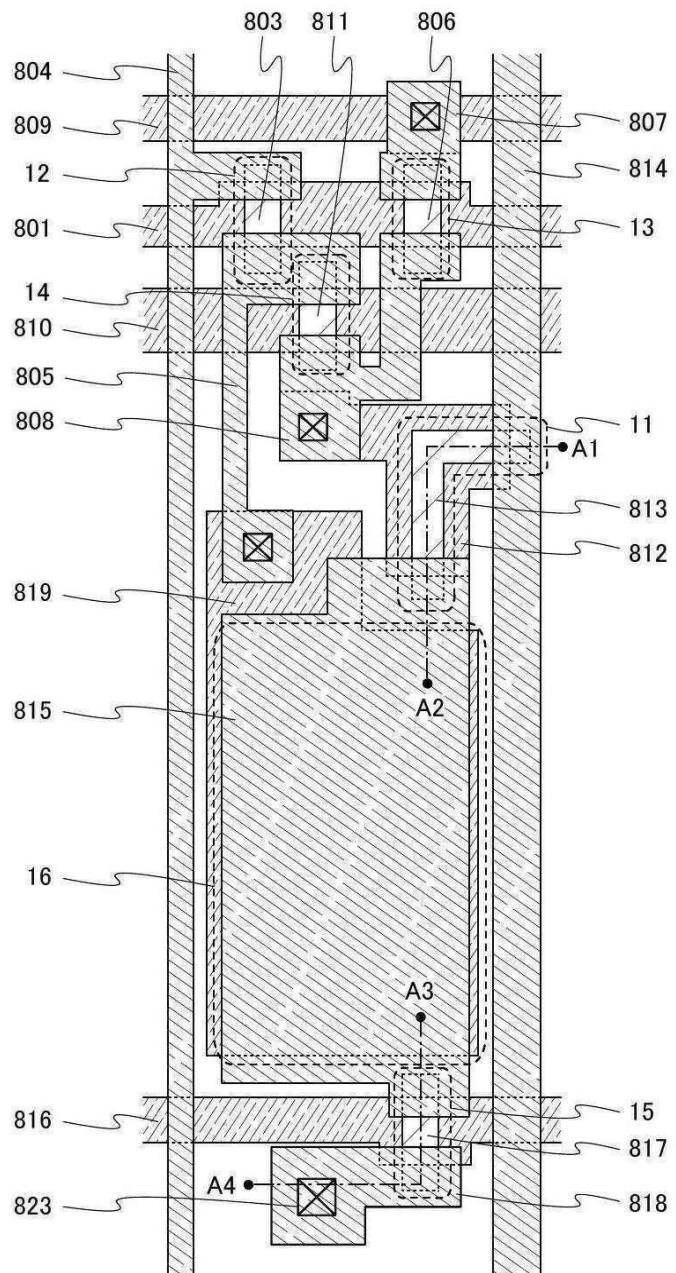
(B)



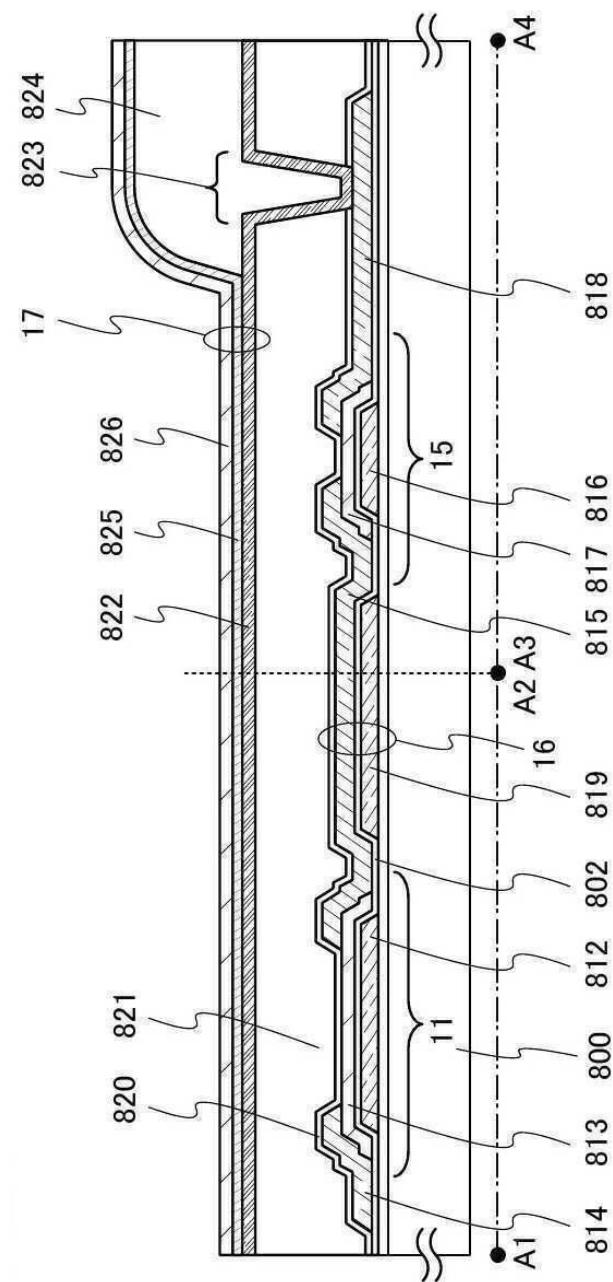
(C)



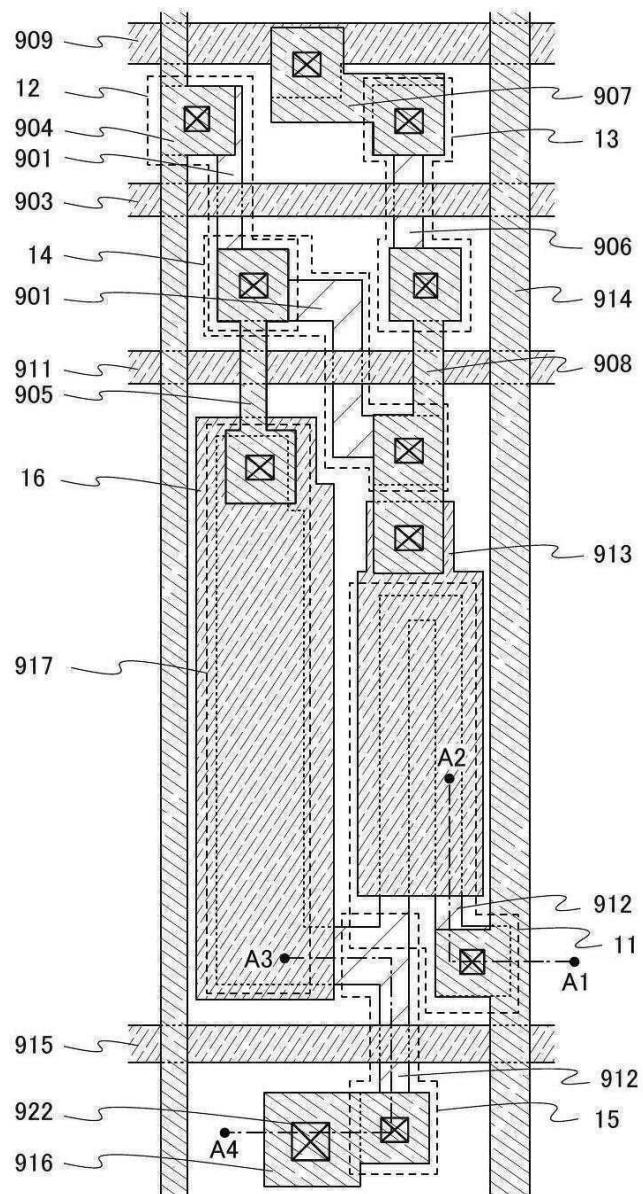
## 도면6



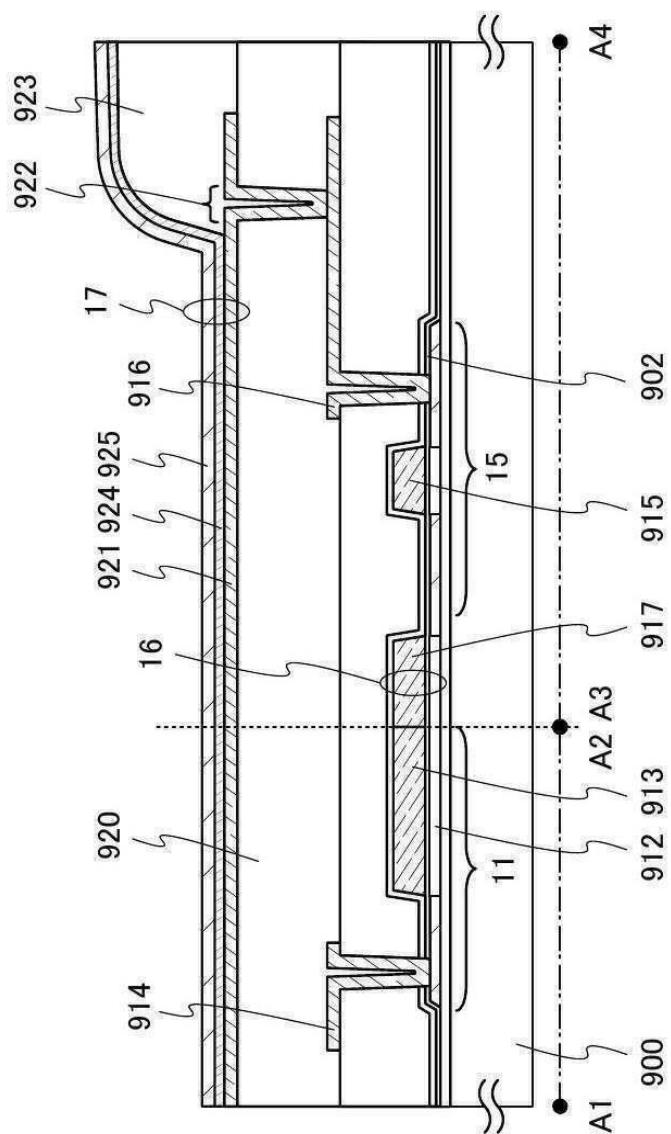
도면7



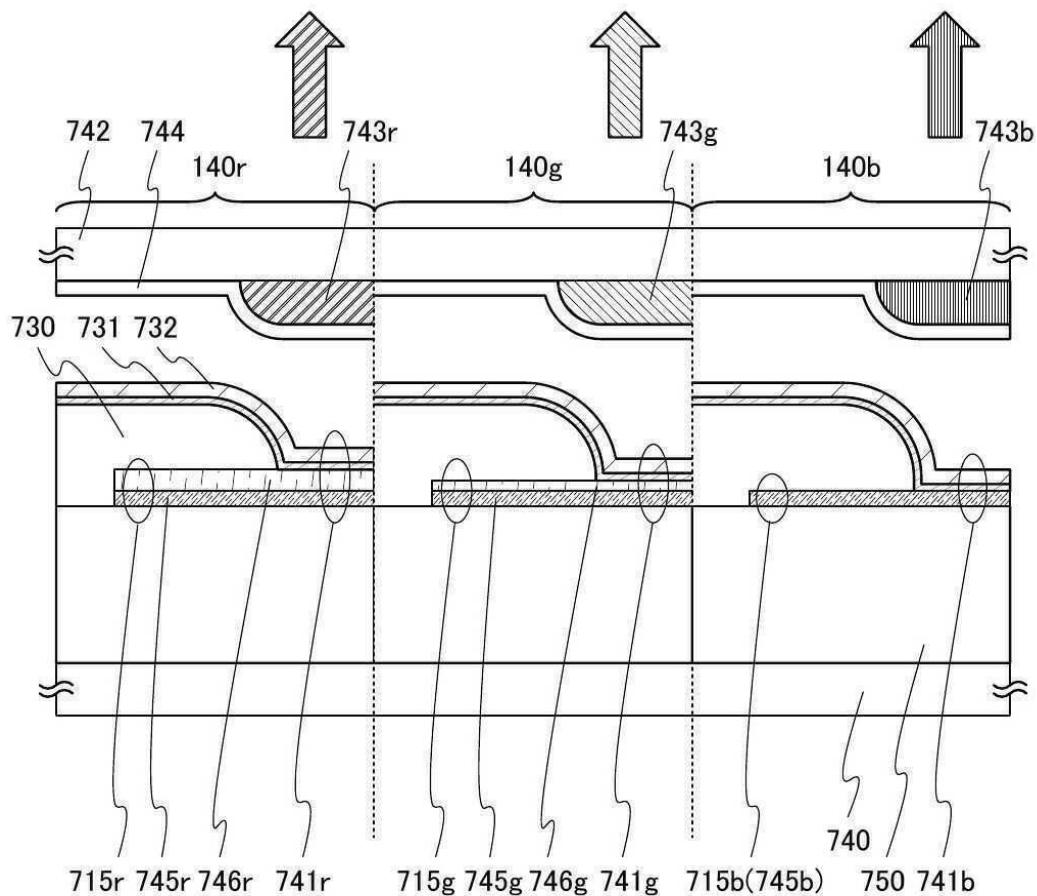
## 도면8



도면9

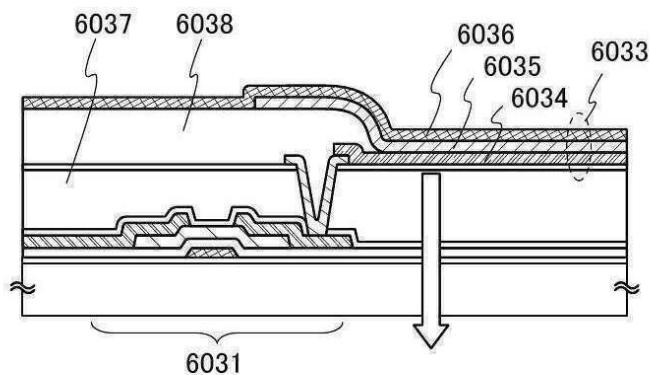


도면10

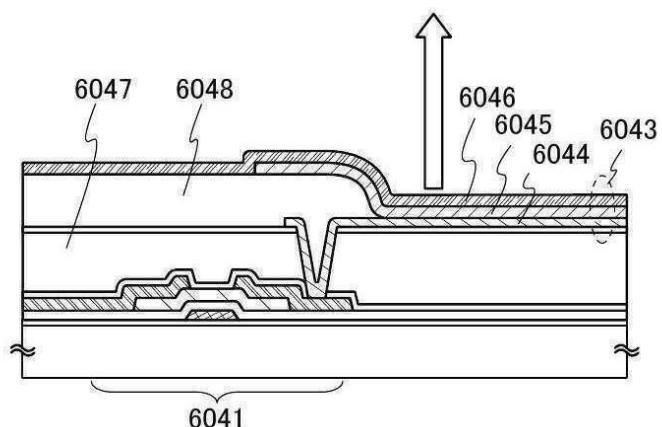


## 도면11

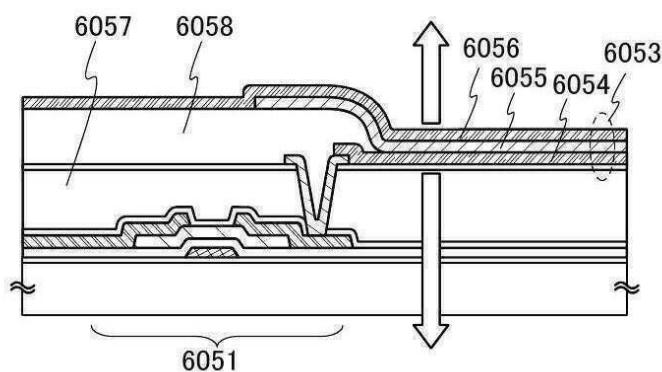
(A)



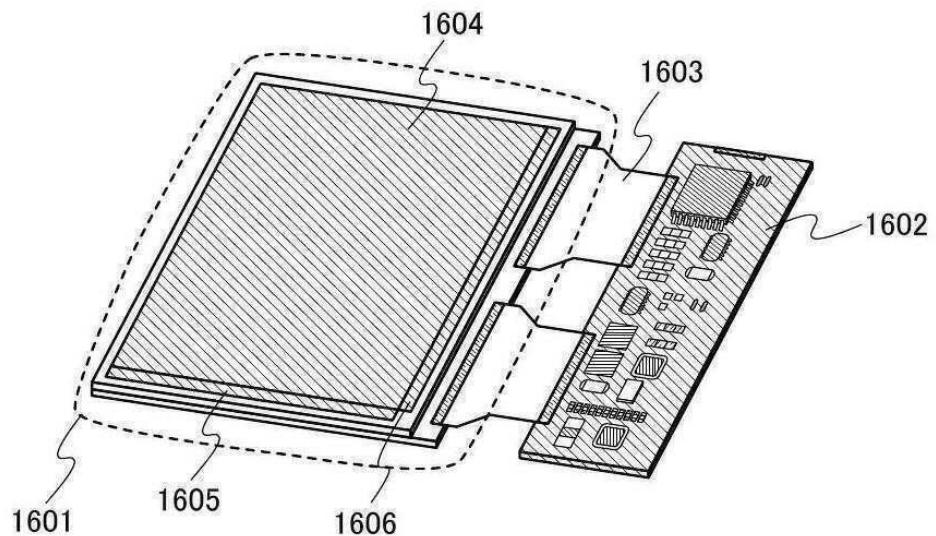
(B)



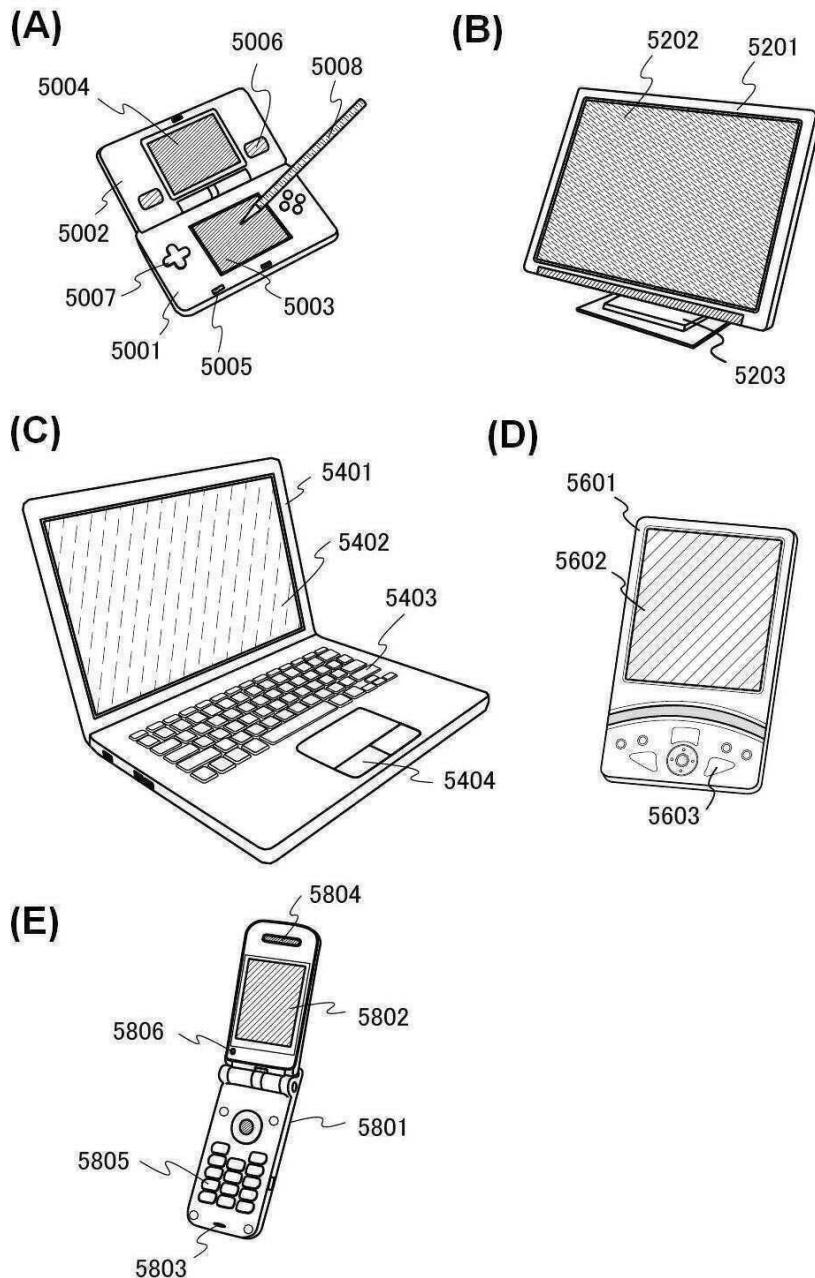
(C)



도면12

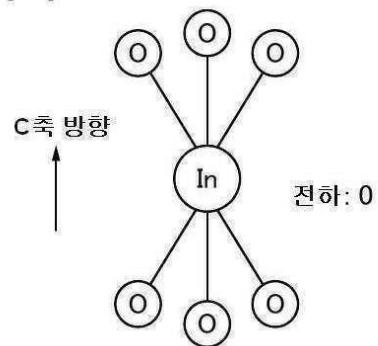


도면13

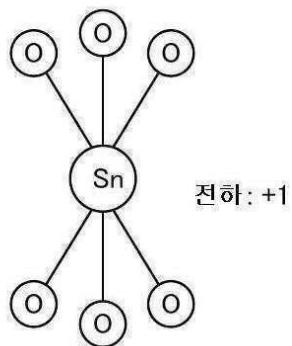


## 도면14

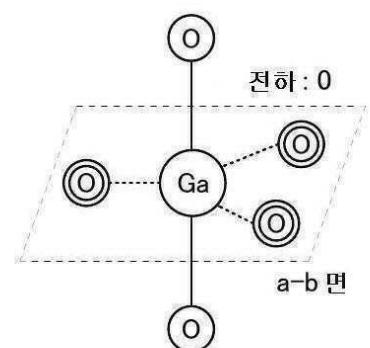
(A)



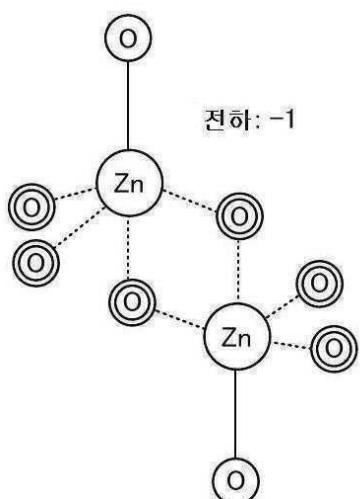
(D)



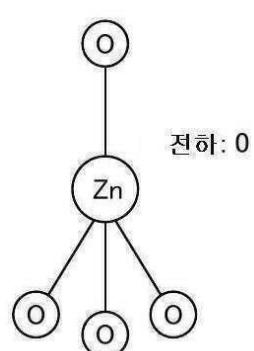
(B)



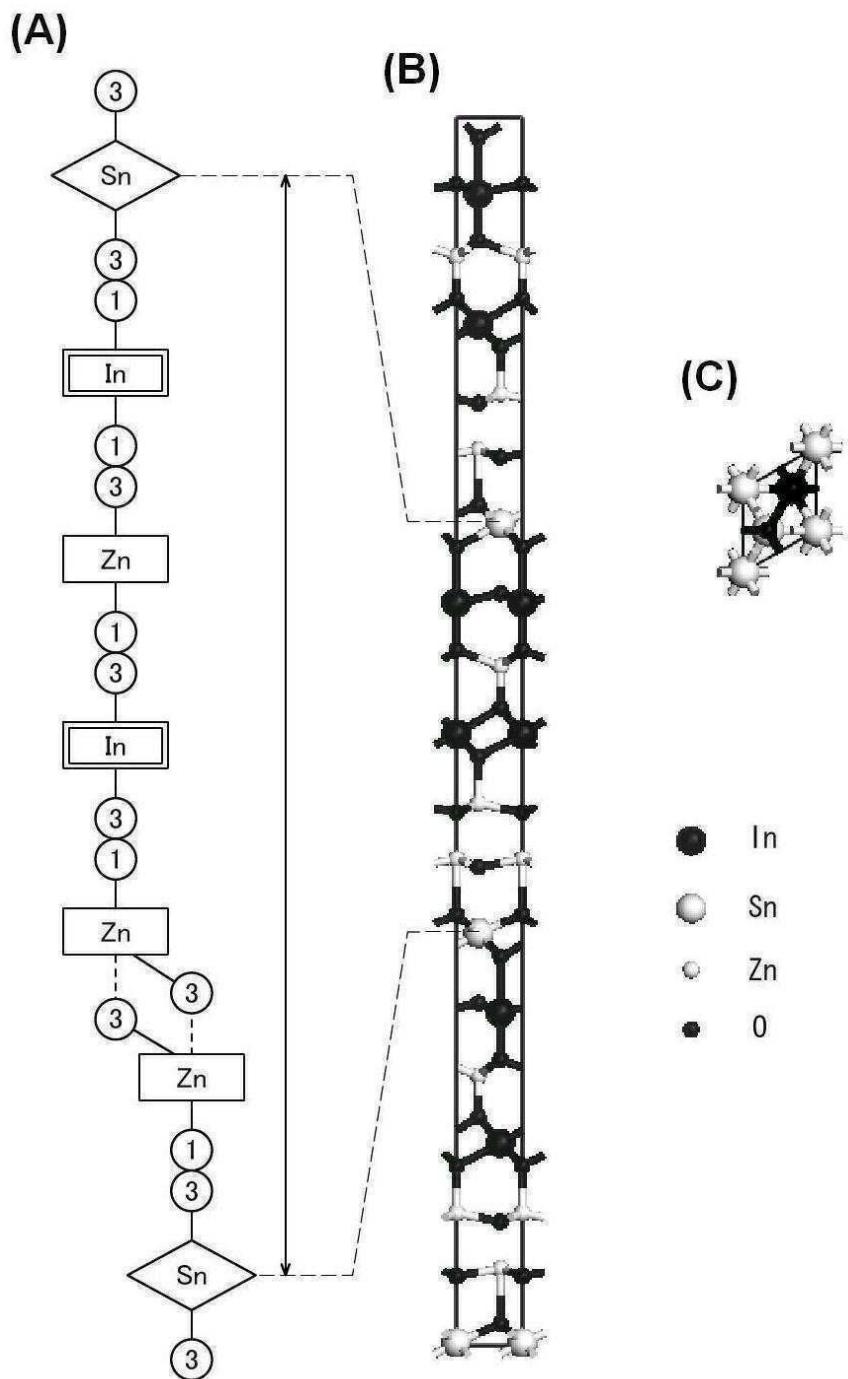
(E)



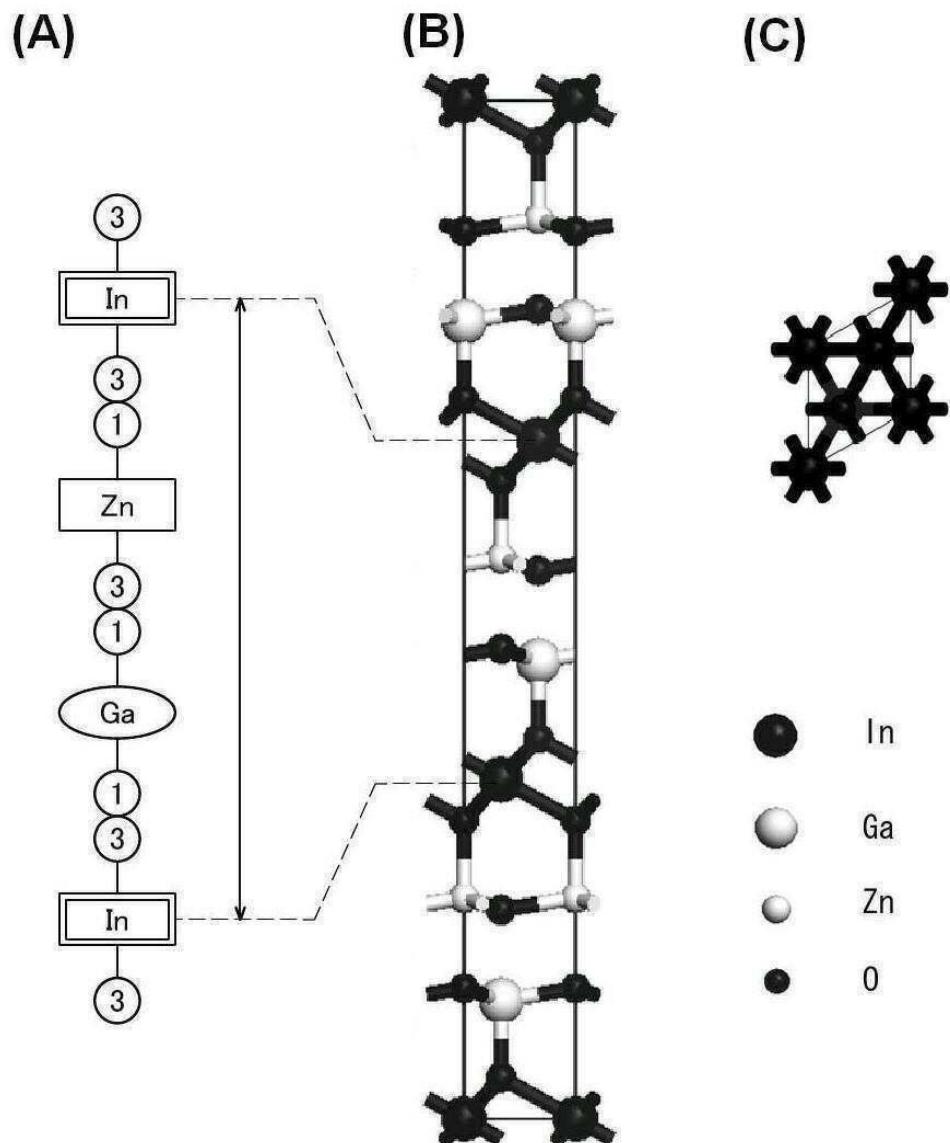
(C)



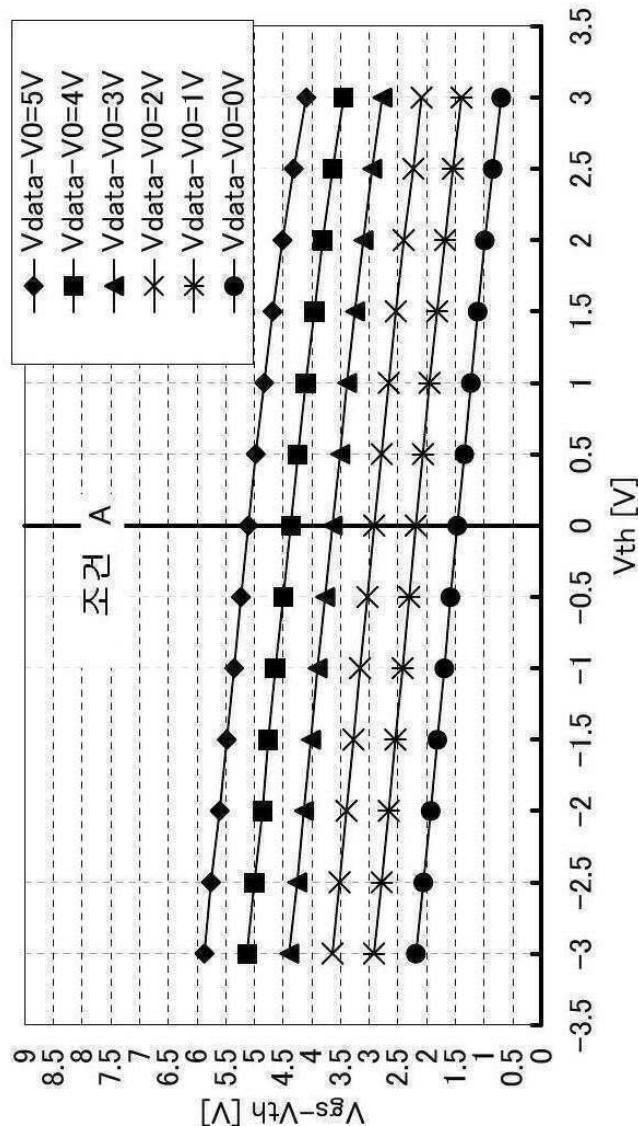
도면15



도면16



도면 17



도면 18

