



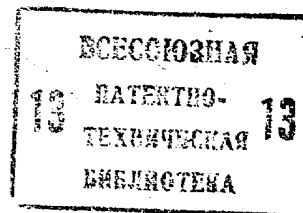
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1034069 A

3(51) G 11 C 9/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3411800/18-24
(22) 26.03.82
(46) 07.08.83. Бюл. № 29
(72) В.С.Лупиков
(53) 681.327(088,8)
(56) 1. Авторское свидетельство СССР
№ 822287, кл. G 11 C 9/00, 1979.

2. Авторское свидетельство СССР
по заявке № 3289715/18-24,
кл. G 11 C 9/00, 1981 (прототип).
(54)(57) БУФЕРНОЕ ЗАПОМИНАЮЩЕЕ
УСТРОЙСТВО, содержащее накопитель,
информационные входы и выходы которо-
го являются соответственно информа-
ционными входами и выходами устройст-
ва, сумматор, элементы И-ИЛИ, первые
входы которых соединены с выходом
элемента НЕ, вход элемента НЕ соеди-
нен с вторыми входами элементов И-ИЛИ
и является первым управляющим входом
устройства, первый и второй счетчики
адреса, входы которого являются соот-
ветственно вторым и третьим управля-

ющими входами устройства, отли-
чающееся тем, что, с целью
повышения надежности устройства, в
него введены триггер, элемент И, тре-
тий счетчик адреса, вход которого
соединен с первым входом триггера и
выходом "Переполнение" второго счет-
чика адреса, выходы третьего счет-
чика адреса соединены с одними вхо-
дами сумматора, другие входы которого
соединены с входами элементов И-ИЛИ,
третьи и четвертые входы которых со-
ответственно соединены с выходами
первого и второго счетчиков адреса,
выход "Переполнение" первого счетчи-
ка адреса соединен с вторым входом
триггера, выход которого соединен с
первым входом элемента И, второй
вход которого соединен с выходом
элемента НЕ, а выход элемента И сое-
динен с входом "Перенос" сумматора,
выходы которого соединены с адресны-
ми входами накопителя.

(19) SU (11) 1034069 A

Изобретение относится к вычислительной технике и может быть использовано в буферных запоминающих устройствах систем ввода информации многоканальных измерительных комплексов.

Известно буферное запоминающее устройство, в котором используется метод перекрестно-последовательного обращения, позволяющий осуществлять двусторонний обмен информацией и совмещать процессы ввода в буферное запоминающее устройство и вывода информации из него [1].

Однако использование известного устройства в системах ввода информации многоканальных измерительных комплексов, когда последовательность опроса каналов неизменна, а их количество равно или кратно и превышает количество ячеек буферного запоминающего устройства, отказ одной или нескольких ячеек накопителя приводит к потерям информации от одного или нескольких каналов.

Наиболее близким к предлагаемому является буферное запоминающее устройство, содержащее накопитель, информационные входы и выходы которого соответственно являются информационными входами и выходами устройства, сумматор, элементы И-ИЛИ, первые входы которых подключены к выходу элемента НЕ, вход элемента НЕ соединен с вторыми входами элементов И-ИЛИ и является первым управляющим входом устройства, первый и второй счетчики адреса, входы которых являются соответственно вторым и третьим управляющими входами устройства [2].

Недостатком такого устройства является низкая надежность, обусловленная большим количеством оборудования схем формирования адресов обращения к накопителю.

Цель изобретения - повышение надежности устройства за счет его упрощения.

Поставленная цель достигается тем, что в буферное запоминающее устройство, содержащее накопитель, информационные входы и выходы которого являются соответственно информационными входами и выходами устройства, сумматор, элементы И-ИЛИ, первые входы которых соединены с выходом элемента НЕ, вход элемента НЕ соединен с вторыми входами элементов И-ИЛИ и является первым управляющим входом устройства, первый и второй счетчики адреса, входы которых являются соответственно вторым и третьим управляющими входами устройства, введены триггер, элемент И, третий счетчик адреса, вход которого соединен с первым входом триггера и выходом "Переполнение" второго счетчика адреса,

выходы третьего счетчика адреса соединены с одними входами сумматора, другие входы которого соединены с входами элементов И-ИЛИ, третий и четвертые входы которых соответственно соединены с выходами первого и второго счетчиков адреса, выход "Переполнение" первого счетчика адреса соединен с вторым входом триггера, выход которого соединен с первым входом элемента И, второй вход которого соединен с выходом элемента НЕ, а выход элемента И соединен с входом "Перенос" сумматора, выходы которого соединены с адресными входами накопителя.

На чертеже представлена структурная схема буферного запоминающего устройства.

Устройство содержит накопитель 1, сумматор 2, элементы 3 И-ИЛИ, элемент 4 НЕ, шину 5 кода операции, первый счетчик 6 адреса, второй счетчик 7 адреса, шину 8 модификации адреса записи, шину 9 модификации адреса чтения, третий счетчик 10 адреса, триггер 11, элемент 12 И.

Устройство работает следующим образом.

Перед началом работы счетчики 6, 7 и 10 адреса устанавливаются, как и триггер 11, в нулевое состояние (цепь начальной установки на чертеже не показана). Емкость буферного запоминающего устройства определяется разрядностью первого счетчика 6 адреса (второго счетчика 7 адреса) и составляет $V = 2^K$ слов, где K - количество разрядов первого счетчика 6 (второго счетчика 7 адреса).

При выполнении операции записи информации в накопитель 1 на шине 5 кода операции устанавливается низкий уровень сигнала, который, воздействуя через элемент 4 НЕ на первые входы элементов 3 И-ИЛИ, подключает к вторым входам сумматора 2 выходы первого счетчика 6 адреса. Текущий адрес записи формируется на выходах сумматора 2 как сумма содержимого первого счетчика 6 адреса и содержимого третьего счетчика 10, выходы которого соединены с первыми входами сумматора 2, с учетом сигнала на входе "Перенос" сумматора 2. Высокий уровень сигнала на выходе элемента 4 НЕ, воздействуя на элемент 12 И, подключает ко входу переноса сумматора 2 выходной сигнал триггера 11. В накопитель 1 по адресу, сформированному на выходах сумматора 2, осуществляется запись информации с входных шин числа. По окончании записи сигналом на шине 8 модификация адреса записи добавляется единица к содержимому первого счетчика 6 адреса записи.

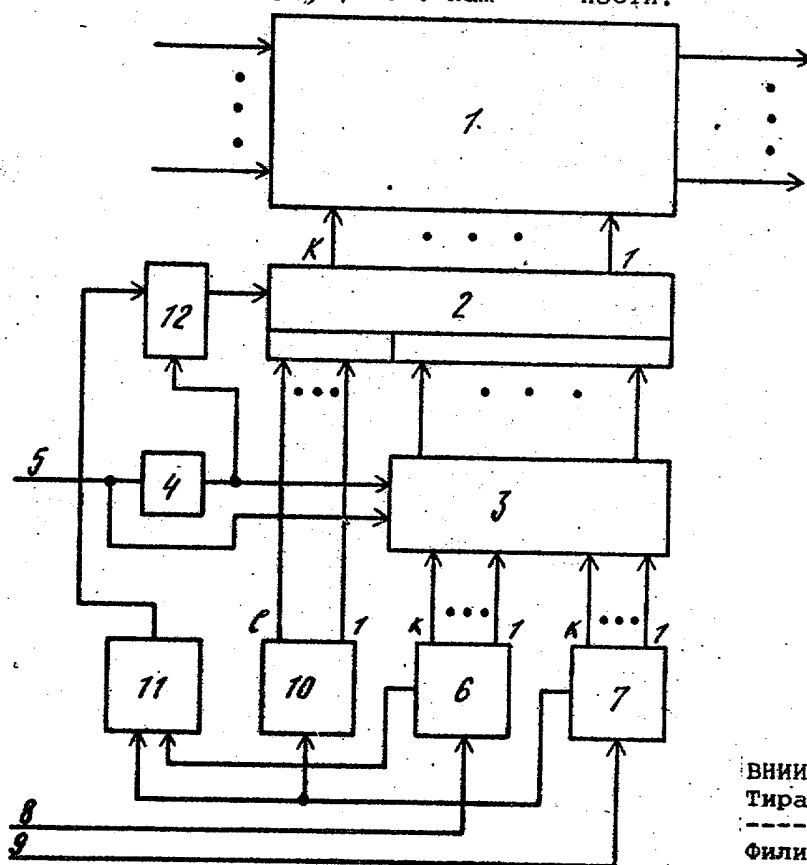
При выполнении операции чтения информации из накопителя 1 на шине 5

кода операции устанавливается высокий уровень сигнала, который, воздействуя на вторые входы элементов 3 И-ИЛИ, подключает к вторым входам сумматора 2 выходы второго счетчика 7 адреса. Текущий адрес чтения формируется на выходах сумматора 2 как сумма содержимого второго счетчика 7 адреса и содержимого третьего счетчика 10, выходы которого соединены с первыми входами сумматора 2. При этом на входе "Перенос" сумматора 2 присутствует низкий уровень сигнала, так как низкий уровень сигнала на выходе элемента 4 не блокирует прохождения выходного сигнала триггера 11 через элемент 12 И. Производится чтение информации из накопителя 1 по адресу, сформированному на выходе сумматора 2. По окончании чтения сигналом на входе 9 модификация адреса чтения добавляется единица к содержимому второго счетчика 7 адреса.

Разрядность l третьего счетчика 10 определяется характером сбоев накопителя 1, а также отношением количества информационных каналов измерительной системы к количеству ячеек накопителя 1. Триггер 11 устанавливается в единичное состояние сигналом на выходе "Переполнение" первого счетчика 6 адреса каждый раз после записи в накопитель 1 2^K информационных слов. Сигналом на выходе "Переполнение" второго счетчика 7 адреса, т.е. каж-

дый раз после чтения 2^K слов из накопителя 1, триггер 11 устанавливается в нулевое состояние и добавляется единица к содержимому третьего счетчика 10. Тем самым устраняется однозначное соответствие номера информационного канала и номера ячейки накопителя 1, куда производится запись данных этого канала, так как при работе буферного запоминающего устройства начальный адрес записи (чтения), а следовательно, все последующие и конечный адрес записи (чтения) будет изменяться, т.е. увеличиваться на единицу каждый раз после записи (чтения) 2^K слов с возвратом к исходному после записи (чтения) 2^{K+l} слов.

Технико-экономические преимущества предлагаемого буферного запоминающего устройства заключаются в том, что его аппаратные затраты на формирование адресов обращения к накопителю значительно меньше, чем у известного устройства за счет исключения одного сумматора и счетчика, что, в свою очередь, позволяет снизить энергоемкость аппаратуры, ее габариты и повысить надежность устройства в целом. В частности, увеличивается время наработки на отказ устройства, уменьшается интенсивность отказов, сокращается время отыскания неисправности.



ВНИИПИ Заказ 5631/53
Тираж 594 Подписное
Филиал ППП "Патент",
г.Ужгород, ул.Проектная, 4