

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 1 月 21 日(21.01.2016)



(10) 国際公開番号
WO 2016/009582 A1

- (51) 国際特許分類:
H03K 17/16 (2006.01) **H02M 1/08** (2006.01)
H01L 21/822 (2006.01) **H03K 17/56** (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2015/002570
- (22) 国際出願日: 2015 年 5 月 21 日(21.05.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-146941 2014 年 7 月 17 日(17.07.2014) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 森 貴浩(MORI, Takahiro); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 廣瀬 一, 外(HIROSE, Hajime et al.); 〒1056032 東京都港区虎ノ門四丁目 3 番 1 号 城山トラストタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

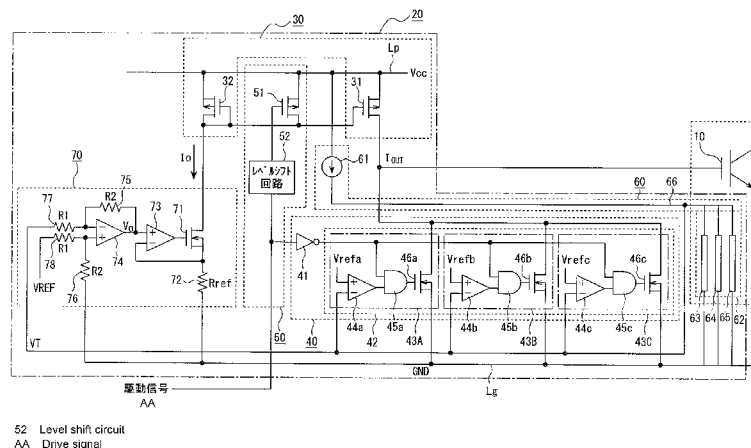
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

(54) Title: VOLTAGE CONTROLLED DEVICE DRIVE CIRCUIT

(54) 発明の名称: 電圧制御型デバイスの駆動回路



(57) Abstract: Provided is a voltage controlled device drive circuit wherein the turn-on performance of the drive circuit can be adjusted in accordance with the specification or the like of at least one of the voltage controlled device and the drive circuit. A voltage controlled device drive circuit comprises: a constant current circuit (30) that supplies a constant current to the gate of a voltage controlled device (10), thereby causing the voltage controlled device to perform an on-operation; a discharge circuit (40) that flows a discharge current between the gate of the voltage controlled device and the emitter thereof, thereby causing the voltage controlled device to perform an off-operation; a switch circuit (50) that activates, in response to a drive signal, one of the constant current circuit and the discharge circuit, thereby turning on or off the voltage controlled device; a current order value generation circuit (60) that generates and outputs a current order value to establish at least an output current of the constant current circuit; and a current control circuit (70) that controls the output current of the constant current circuit on the basis of the current order value generated by the current order value generation circuit.

(57) 要約:

[続葉有]



WO 2016/009582 A1



駆動回路を電圧制御型デバイス及び駆動回路の少なくとも一方の仕様などに合わせてターンオン能力の調整が可能な電圧制御型デバイスの駆動回路を提供する。電圧制御型デバイス（１０）のゲートに一定電流を供給して当該電圧制御型デバイスをオン動作させる定電流回路（３０）と、電圧制御型デバイスのゲートとエミッタとの間に放電電流を流して当該電圧制御型デバイスをオフ動作させる放電回路（４０）と、駆動信号に応じて前記定電流回路及び前記放電回路の一方を動作させて前記電圧制御型デバイスをターンオンまたはターンオフさせる切替回路（５０）と、少なくとも前記定電流回路の出力電流を設定する電流指令値を生成して出力する電流指令値生成回路（６０）と、該電流指令値生成回路で生成された電流指令値に基づいて前記定電流回路の出力電流を制御する電流制御回路（７０）とを備えている。

明 細 書

発明の名称：電圧制御型デバイスの駆動回路

技術分野

[0001] 本発明は、電圧制御型デバイスの駆動回路に関し、駆動回路の類似形式増加を低減することができる電圧制御型デバイスの駆動回路に関する。

背景技術

[0002] 半導体電力変換器では、I G B T（絶縁ゲートバイポーラトランジスタ：Insulated Gate Bipolar Transistor）やパワーM O S F E Tなどの電圧制御型パワーデバイスが用いられ、これらのパワーデバイスを駆動するための駆動回路を用いてインバータを構成する方法がある。パワーデバイスの駆動の際に問題となってくるのがターンオン時における損失、ノイズ及びその温度特性である。

[0003] ターンオン時の損失、ノイズ及び温度依存性を低減するために、例えば特許文献1に記載された絶縁ゲート型デバイスの駆動回路や特許文献2に記載されたパワートランジスタの駆動回路が提案されている。

この特許文献1に記載された従来例では、切り替え回路で、電圧制御型デバイスのターンオン時に定電流源を介して絶縁ゲート型デバイスのゲートを電源電位側に接続するとともに、ターンオフ時に絶縁ゲート型デバイスのゲートをエミッタ側に接続するようにしている。

[0004] また、特許文献2に記載された従来例では、上記特許文献1に記載された構成の他に、定電流源からの定電流が供給されたパワートランジスタの温度を検出する温度検出用ツェナーダイオードを設け、この温度検出用ツェナーダイオードのアノードから出力されるパワートランジスタの温度に対応する電圧出力を定電流源の定電流を制御する電流制御部にフィードバックするようにしている。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-103895号公報

特許文献2：特開2013-219633号公報

発明の概要

発明が解決しようとする課題

[0006] 通常、IPM（インテリジェントパワーモジュール）では、IGBTなどの電圧制御型半導体パワーデバイスとその駆動回路が同一モジュールに搭載されるが、近年のシステム使用の多様化に伴い電圧制御型半導体デバイスと駆動回路との組合せも増加し、結果、モジュール形式数が増加する少量多品種の生産方法が主流になる傾向にある。

しかし、電圧制御型パワーデバイスやその駆動回路は、半導体素子で構成され、その製造プロセスで使用するフォトリソグラフィなどは形式数の増加に応じて増加する。一方で少量多品種生産ではフォトリソグラフィなどの増加速度が通常の量産方式と比べて速いため、量産部材の保管や管理が煩雑になるデメリットがある。

そこで、本発明は、上述した課題に着目してなされたものであり、駆動回路を電圧制御型デバイス及び駆動回路の少なくとも一方の仕様などに合わせてターンオン能力の調整が可能な電圧制御型デバイスの駆動回路を提供することを目的としている。

課題を解決するための手段

[0007] 本発明に係る電圧制御型デバイスの駆動回路の一態様は、電圧制御型デバイスを駆動する電圧制御型デバイスの駆動回路であって、電圧制御型デバイスのゲートに一定電流を供給して電圧制御型デバイスをオン動作させる定電流回路と、電圧制御型デバイスのゲートとエミッタとの間に放電電流を流して電圧制御型デバイスをオフ動作させる放電回路と、駆動信号に応じて定電流回路及び放電回路の一方を動作させて電圧制御型デバイスをターンオンまたはターンオフさせる切替回路と、少なくとも定電流回路の出力電流を設定する電流指令値を生成して出力する電流指令値生成回路と、この電流指令値生成回路で生成された電流指令値に基づいて定電流回路の出力電流を制御す

る電流制御回路とを備えている。

発明の効果

[0008] 本発明の一態様によれば、電流指令値生成回路から出力される電流指令電圧を定電流回路の出力電流を制御する電流制御回路に供給することで、電圧制御型デバイスのゲートを充電する定電流回路の出力電流を制御するので、電流指令値生成回路の電流指令値を生成することにより、電圧制御型デバイス及び駆動回路の少なくとも一方の仕様などに応じたターンオン能力を変更することができる。

したがって、電圧制御型デバイスの駆動回路の類似形式増加を低減することが可能となる。

図面の簡単な説明

[0009] [図1]本発明の第1実施形態に係る電圧制御型デバイスの駆動回路を示す回路図である。

[図2]本発明及び従来例の電圧制御型デバイスの形式数と駆動回路形式数との関係を示すグラフである。

[図3]電流指令値生成回路及び電流制御回路の一部を示す回路図である。

[図4]本発明の第2実施形態に係る電圧制御型デバイスの駆動回路を示す回路図である。

[図5]本発明の第3実施形態に係る電圧制御型デバイスの駆動回路を示す回路図である。

発明を実施するための形態

[0010] 次に、図面を参照して、本発明の一実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

また、以下に示す実施の形態は、本発明の技術的思想を具体化するための装置を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えることができる。

以下、本発明の実施の形態について、図面を参照して説明する。

[0011] (第1実施形態)

IGBTやパワーMOS-FETで構成される電圧制御型デバイス10は、図1に示すように、コレクタが図示しない例えば直列に接続される別の電圧制御型デバイスのエミッタに接続され、エミッタがグランドに接続され、ゲートが駆動回路20に接続されている。

駆動回路20は、電圧制御型デバイス10をターンオン動作させる定電流回路30と、電圧制御型デバイス10をターンオフ動作させる放電回路40と、ターンオン動作及びターンオフ動作を切り替える切替回路50と、電流指令値生成回路60と、定電流回路30の出力電流を制御する電流制御回路70とを備えている。

[0012] 定電流回路30は、電源電圧 V_{cc} が供給される電源ライン L_p と電圧制御型デバイス10のゲートとの間に接続されたカレントミラー回路で構成されている。この定電流回路30は、電源ライン L_p にそれぞれソースが接続されたpチャネル電界効果トランジスタで構成される第1トランジスタ31及び第2トランジスタ32を有する。

第1トランジスタ31は、ドレインが電圧制御型デバイス10のゲートに接続され、ゲートが第2トランジスタ32のゲート及びドレインに接続されている。

第2トランジスタ32は、ドレイン及びゲートが電流制御回路70に接続されている。

[0013] 放電回路40は、外部の制御回路から供給される駆動信号が入力される論理反転回路（インバータ）41と、この論理反転回路41の出力が入力される放電電流調整回路42とを備えている。ここで、第2トランジスタ32がカレントミラー回路の入力部を構成し、第1トランジスタ31がカレントミラー回路の出力部を構成し、第2トランジスタ32から引き出される電流 I_{in} に比例した電流 I_{out} が第1トランジスタ31から供給される。

[0014] 放電電流調整回路42は、複数例えば3組の電流調整ユニット43A、4

3 B 及び 4 3 C を有する。電流調整ユニット 4 3 A は、符号反転回路 4 1 の出力信号が一方の入力端子に入力されるアンドゲート 4 5 a と、このアンドゲート 4 5 a の他方の入力端子に接続されたコンパレータ 4 4 a と、アンドゲート 4 5 a の出力端子に接続された n チャネル電界効果トランジスタ 4 6 a とを備えている。

電流調整ユニット 4 3 B 及び 4 3 C も、電流調整ユニット 4 3 A と同様の構成を有し、アンドゲート 4 5 b 及び 4 5 c、コンパレータ 4 4 b 及び 4 4 c、n チャネル電界効果トランジスタ 4 6 b 及び 4 6 c を備えている。

[0015] ここで、電流調整ユニット 4 3 A ~ 4 3 C のコンパレータ 4 4 a ~ 4 4 c の非反転入力端子には基準電圧 $V_{ref a} \sim V_{ref c}$ が入力され、反転入力端子には後述する電流指令値生成回路 6 0 から出力される電流指令電圧 V_T が入力されている。そして、コンパレータ 4 4 a ~ 4 4 c は電流指令電圧 V_T が基準電圧 $V_{ref a} \sim V_{ref c}$ 以下となったときにハイレベルの比較信号を出力する。

そして、基準電圧 $V_{ref a}$ 、 $V_{ref b}$ 及び $V_{ref c}$ の大小関係は、 $V_{ref a} > V_{ref b} > V_{ref c}$ に設定されている。

[0016] このため、電流調整ユニット 4 3 A ~ 4 3 C では、電流指令電圧 V_T が基準電圧 $V_{ref a}$ 以下となると電流調整ユニット 4 3 A の n チャネル電界効果トランジスタ 4 6 a がオン状態となる。また、電流指令電圧 V_T が基準電圧 $V_{ref b}$ 以下となると、電流調整ユニット 4 3 A に加えて電流調整ユニット 4 3 B の n チャネル電界効果トランジスタ 4 6 b がオン状態となる。さらに、電流指令電圧 V_T が基準電圧 $V_{ref c}$ 以下となると、電流調整ユニット 4 3 A 及び 4 3 B に加えて電流調整ユニット 4 3 C の n チャネル電界効果トランジスタ 4 6 c がオン状態となる。このため、電流指令電圧 V_T の値が小さくなるにつれて段階的に放電電流量を増加させることができる。

[0017] 切替回路 5 0 は、電源ライン L_p にソースが接続され、ドレインが定電流回路 3 0 のカレントミラー回路の第 1 トランジスタ 3 1 のゲート及び第 2 トランジスタ 3 2 のドレインに接続された p チャネル電界効果トランジスタ 5

1 と、この p チャネル電界効果トランジスタ 5 1 のゲートに接続されたレベルシフト回路 5 2 とで構成されている。レベルシフト回路 5 2 は外部の制御装置から入力される駆動信号が入力される。レベルシフト回路 5 2 は、駆動信号がハイレベルであるときにハイレベルの信号を p チャネル電界効果トランジスタ 5 1 のゲートに入力して p チャネル電界効果トランジスタ 5 1 をオフ状態に制御し、カレントミラー回路の第 1 トランジスタ 3 1 及び第 2 トランジスタ 3 2 のゲートとソースを切り離すことにより定電流回路 3 0 をターンオン動作させる。また、レベルシフト回路 5 2 は駆動信号がローレベルであるときにローレベルの信号を p チャネル電界効果トランジスタ 5 1 のゲートに入力して p チャネル電界効果トランジスタ 5 1 をオン状態に制御し、カレントミラー回路の第 1 トランジスタ 3 1 及び第 2 トランジスタ 3 2 のゲートとソースを短絡させることにより定電流回路 3 0 の動作を停止させる。

[0018] 電流指令値生成回路 6 0 は、電源ライン L_p に接続された定電流回路 3 0 とは別の定電流源 6 1 と、この定電流源 6 1 からの定電流が選択的に供給される複数例えば 3 つの抵抗素子 6 3 ~ 6 5 を有し、上記選択的に定電流が供給される抵抗の電圧ドロップにより電流指令値としての電流指令電圧を形成する抵抗選択部 6 2 とを備えている。なお、複数の抵抗素子を有する抵抗選択部 6 2 の代わりに、一つの抵抗素子を用いてもよい（以下、同様）。この場合、当該一つの抵抗素子は、電圧制御型デバイス 1 0 の特性に応じてその抵抗値が決定される。

[0019] 抵抗選択部 6 2 は、電圧制御型デバイス 1 0 を形成するチップ内に形成され、複数の抵抗素子 6 3、6 4 及び 6 5 は異なる抵抗値を有する。これら抵抗素子 6 3 ~ 6 5 の一端は定電流源 6 1 に接続された電流供給ライン 6 6 に並列に接続され、他端はグラウンドライン L_g に接続されている。ここで、抵抗素子 6 3、6 4 及び 6 5 の抵抗値 R_{11} 、 R_{12} 及び R_{13} は例えば $R_{11} < R_{12} < R_{13}$ に設定されている。

[0020] 複数の抵抗素子 6 3 ~ 6 5 は、電圧制御型デバイス 1 0 の電流特性、抵抗選択部 6 2 以外の駆動回路 2 0 の特性、電圧制御型デバイス 1 0 が適用され

る装置からの要求などに応じて選択する抵抗素子以外の抵抗素子については電流供給ライン66との接続を切断する。そして、残された抵抗素子と定電流源61との間の接続点から電流指令電圧 V_T が出力される。

ここで、抵抗素子63のみを選択したときの電流指令電圧 V_T は放電回路40の基準電圧 V_{refc} 以上で基準電圧 V_{refb} より低くなるように設定されている。抵抗素子64のみを選択したときの電流指令電圧 V_T は放電回路40の基準電圧 V_{refb} 以上で基準電圧 V_{refc} より低くなるように設定されている。抵抗素子65のみを選択したときの電流指令電圧 V_T は放電回路40の基準電圧 V_{refa} 以上となるように設定されている。また、抵抗素子63～65のうち複数の抵抗素子を残すようにすると、さらに異なる電流指令電圧 V_T を生成することができ、例えば特性の異なる別の駆動回路と組み合わせることも可能になってくる。なお、以下では説明を抵抗素子63～65のうち1つだけを選択する場合について行う。

[0021] 電流制御回路70は、定電流回路30の第2トランジスタ32のドレイン及びグラウンドライン L_g との間に直列に接続された n チャネル電界効果トランジスタで構成される電流制御用トランジスタ71と抵抗72とを有する。電流制御用トランジスタ71のゲートには第1オペアンプ73が接続されている。第1オペアンプ73は反転入力端子が電流制御用トランジスタ71のソースと抵抗72との間に接続され、非反転入力端子に基準電圧 V_0 が入力されている。

また、電流制御回路70は、第1オペアンプ73に基準電圧 V_0 を供給する第2オペアンプ74を有する。この第2オペアンプ74は反転入力端子が抵抗75を介して出力端子に接続され、非反転入力端子が抵抗76を介してグラウンドライン L_g に接続されている。ここで、抵抗75及び76は互いに等しい抵抗値 R_2 に設定されている。

[0022] また、第2オペアンプ74の非反転入力端子には抵抗77を介して電流指令値生成回路60の定電流源61及び抵抗選択部62間の接続点から出力される電流指令電圧 V_T が供給され、反転入力端子には基準電圧 V_{REF} が抵

抗 7 8 を介して供給される。ここで、抵抗 7 7 及び 7 8 は互いに等しい抵抗値 R_1 に設定されている。

第 2 オペアンプ 7 4 の出力電圧 V_o は、抵抗選択部 6 2 で選択される抵抗素子の抵抗値を R_{10} とし、この抵抗値 R_{10} が抵抗 7 7 及び 7 8 の抵抗値 R_1 に対して無視できる程度に小さい値であるとする、

$$V_o = (R_2/R_1) (V_{REF} - V_T) \quad \dots (1)$$

で表すことができる。

[0023] さらに、第 2 オペアンプ 7 4 の出力電圧 V_o が第 1 オペアンプ 7 3 の非反転入力端子に供給されるので、第 1 オペアンプ 7 3 で制御される定電流回路 3 0 の基準電流 I_o 、すなわち抵抗 7 2 に流れる電流は、第 1 オペアンプ 7 3 の 2 つの入力端子が仮想短絡されることから上記 (1) 式を参照して下記 (2) 式で表される。

$$I_o = V_o / R_{ref} = \{R_2 / (R_1 \times R_{ref})\} (V_{REF} - V_T) \quad \dots (2)$$

[0024] ここで、 R_{ref} は抵抗 7 2 の抵抗値であり、抵抗値 R_1 、 R_2 、 R_{ref} 及び基準電圧 V_{REF} は定数であるため、前記 (2) 式では電流指令電圧 V_T のみを変数として考えられる。つまり、電圧制御型デバイス 1 0 を駆動する定電流能力は、前記 (2) 式において電流指令電圧 V_T 以外の精度を整えれば、電圧制御型デバイス 1 0 を駆動する定電流能力を精度よく制御できる。なお、(2) 式から分かるように、電流指令電圧 V_T が小さい程基準電流 I_o が大きくなる。

[0025] この第 1 の実施形態によると、駆動回路 2 0 でゲートを制御する電圧制御型デバイス 1 0 のターンオン動作及びターンオフ動作を制御するが、電流指令値生成回路 6 0 の抵抗選択部 6 2 の抵抗素子 6 3 ~ 6 5 を制御対象となる電圧制御型デバイス 1 0 の仕様等に応じて最適なターンオン動作及びターンオフ動作となる抵抗素子を選択し、選択した抵抗素子以外の抵抗素子については電流供給ライン 6 6 との接続部を切除して電流供給ライン 6 6 から切り離す。

このため、電流指令値生成回路 6 0 から電圧制御型デバイス 1 0 の仕様等

に応じて電流指令電圧 V_T が出力される。この電流指令電圧 V_T が放電回路40及び電流制御回路70に供給される。

[0026] このため、放電回路40では、電流指令電圧 V_T に応じてオン状態となる電流調整ユニット43A～43Cの数が変更されて電圧制御型デバイス10の仕様に応じた放電電流に調整される。すなわち、抵抗素子65が選択されたときには、電流調整ユニット43Aのnチャネル電界効果トランジスタ46aのみがオン状態となり、電圧制御型デバイス10の放電電流が最小となる。抵抗素子64が選択されたときには電流調整ユニット43Aのnチャネル電界効果トランジスタ46a及び電流調整ユニット43Bのnチャネル電界効果トランジスタ46bがオン状態となり、電圧制御型デバイス10の放電電流が中程度となる。抵抗素子63が選択されたときには全ての電流調整ユニット43A～43Cのnチャネル電界効果トランジスタ46a～46cがオン状態となり、電圧制御型デバイス10の放電電流が最大となる。

[0027] さらに、電流指令電圧 V_T が電流制御回路70に供給され、この電流制御回路70で電流指令電圧 V_T に基づいて定電流回路30の基準電流 I_0 が前述した(2)式にしたがって制御される。このため、定電流回路30から出力される出力電流 I_{OUT} が電圧制御型デバイス10の仕様等に応じて制御される。

すなわち、抵抗素子63が選択されたときには電流指令電圧 V_T が最小となるので、基準電流 I_0 が最大値となる。また、抵抗素子64が選択されたときには電流指令電圧 V_T が中程度となるので、基準電流 I_0 も中程度の値となる。さらに、抵抗素子65が選択されたときには電流指令電圧 V_T が最大値となるので、基準電流 I_0 は最小値となる。

[0028] この状態で、駆動回路20にハイレベルの駆動信号が供給されると、切替回路50のレベルシフト回路52からハイレベルのゲート電圧がpチャネル電界効果トランジスタ51のゲートに供給されて、このpチャネル電界効果トランジスタ51がオフ状態に制御される。このため、カレントミラー回路の出力部を構成する第1トランジスタ31がオン状態となって、定電流回路

30から基準電流 I_0 に応じた出力電流 I_{OUT} が電圧制御型デバイス10のゲートに供給されて電圧制御型デバイス10がターンオン動作してオン状態となる。このとき、放電回路40では、符号反転回路41の出力がローレベルとなるので、各電流調整ユニット43A~43Cのアンドゲート45a~45cの出力がローレベルとなってnチャネル電界効果トランジスタ46a~46cがオフ状態となる。このため、放電回路40によるターンオフ動作は停止されている。

[0029] これに対して、駆動回路20に、ローレベルの駆動信号が入力されると、切替回路50のレベルシフト回路52からローレベルのゲート信号がpチャネル電界効果トランジスタ51に供給される。このため、pチャネル電界効果トランジスタ51がオン状態に制御されてpチャネル電界効果トランジスタ31のゲートとソースが短絡状態となる。これによりpチャネル電界効果トランジスタ31がオフ状態となって定電流回路30の動作が停止される。

[0030] 一方、放電回路40では、符号反転回路41の出力がハイレベルとなることにより、各電流調整ユニット43A~43Cのアンドゲート45a~45cが出力可能な状態となる。このため、電流指令値生成回路60で選択された抵抗素子に応じた電流指令電圧 V_T によってアンドゲート45a、45a及び45b、45a~45cの何れかの出力がハイレベルとなる。したがって、nチャネル電界効果トランジスタ46a、46a及び46b、46a~46cがオン状態とされて放電電流が最小値、中間値及び最大値の何れかに制御されて、電圧制御型デバイス10の仕様に応じた放電電流を調整できる。

[0031] なお、電圧制御型デバイス10のゲートの充放電電流は大きすぎても小さすぎても問題となる。充放電電流が大きすぎると電圧制御型デバイスのスイッチング速度が速くなりすぎてスイッチングノイズが問題となる。充放電電流が小さすぎると電圧制御型デバイス10のスイッチング速度が遅くなりすぎて製品の動作に支障を生じる。

したがって、電圧制御型デバイスの充放電電流は電圧制御型デバイス10

及び抵抗選択部 62 の少なくとも一方を除く駆動回路の仕様などに応じて最適に調整する必要がある。本実施形態によれば、電圧制御型デバイス 10 及び抵抗選択部 62 の少なくとも一方を除く駆動回路の仕様などに応じて抵抗選択部 62 で抵抗素子 63 ~ 65 の何れかを選択することにより、3つの仕様の電圧制御型デバイス 10 を 1つの駆動回路 20 で最適な充放電電流で駆動することが可能となる。

[0032] このため、電圧制御型デバイス形式数に対する駆動回路形式数を、図 2 で実線図示の特性線 L1 で示すように、電圧制御型デバイス形式数の増加に対して駆動回路形式数の増加を緩やかとすることができる。このため、駆動回路 20 の製造プロセスで使用するフォトマスクなどの増加を抑制することができ、フォトマスクなどの量産部品の保管や管理が容易となる。

これに対して、電流指令値生成回路 60 を設けない従来例では、図 2 の点線図示の特性線 L2 で示すように、電圧制御型デバイス形式数の増加に対して駆動回路形式数も大きく増加することとなり、駆動回路数が増加して製造プロセスで使用するフォトマスクなどが増加し、量産部材の保管や管理が煩雑となる。

[0033] また、第 1 の実施形態のように、抵抗選択部 62 を電圧制御型デバイス 10 を形成するチップ内に形成することにより、電圧制御型デバイス 10 の製作時にその仕様にあって抵抗素子を選択することが可能となる。抵抗選択部 62 の代わりに一つの抵抗素子を設ければ、駆動回路 20 側で電圧制御型デバイス 10 の仕様に合わせた抵抗素子の選択が不要となる。また、電圧制御型デバイス 10 を形成するチップ内に抵抗素子を配置することで、電圧制御型デバイスの温度依存性に応じて抵抗値が変化し、電圧制御型デバイスの温度依存性を補償することができる。

[0034] なお、上記第 1 の実施形態では、電流指令値生成回路 60 の抵抗選択部 62 の抵抗値 R10 が電流制御回路 70 の第 2 オペアンプ 74 の入力側抵抗 77 及び 78 の抵抗値 R1 に比較して無視できる程度に小さい値に設定されている場合について説明した。しかしながら、本発明は上記構成に限定される

ものではなく、抵抗選択部 62 の抵抗素子 63～65 の抵抗値をある程度大きな値に設定しても第 2 オペアンプ 74 の出力電圧 V_o を制御することができる。

すなわち、電流指令値生成回路 60 及び電流制御回路 70 の第 2 オペアンプ 74 との関係は、図 3 で表すことができる。

この図 3 において、定電流源 61 から出力される定電流値を I_{ref} とすると、第 2 オペアンプ 74 の非反転入力端子の電圧は

$$\{R2 / (R1 + R2)\} VREF \quad \dots (3)$$

で表される。

[0035] そして、抵抗選択部 62 で選択された抵抗値を $R10$ とし、定電流源 61 から電流制御回路 70 の抵抗 77 に流れる電流を i_1 とすると、選択された抵抗素子を流れる電流は $I_{ref} - i_1$ となる。

このため、第 2 オペアンプ 74 の入力側電圧は、オペアンプ 74 の仮想短絡動作により反転入力端子の電圧と非反転入力端子の電圧が等しくなることから、

$$R10 (I_{ref} - i_1) - R1 \cdot i_1 = \{R2 / (R1 + R2)\} VREF \quad \dots (4)$$

となる。

この (4) 式を変形すると、

$$R10 \cdot I_{ref} - (R10 + R1) i_1 = \{R2 / (R1 + R2)\} VREF \quad \dots (5)$$

となり、この (5) 式をさらに変形すると、

$$(R1 + R10) i_1 = R10 \cdot I_{ref} - \{R2 / (R1 + R2)\} VREF \quad \dots (6)$$

となる。

[0036] したがって、第 2 オペアンプ 74 の入力側の抵抗 77 に流れる電流 i_1 は、
[数1]

$$i_1 = \frac{R10 \cdot I_{ref}}{R1 + R10} - \frac{R2 \cdot VREF}{(R1 + R10)(R1 + R2)} \quad \dots (7)$$

となる。

[0037] このため、第 2 オペアンプ 74 の出力電圧 V_o は、

[数2]

$$\begin{aligned} V_o &= \frac{R2}{R1+R2} VREF - R2 \cdot i_1 \\ &= \frac{R2}{R1+R2} VREF - \frac{R2 \cdot R10 \cdot Iref}{R1+R10} + \frac{R2^2 \cdot VREF}{(R1+R10)(R1+R2)} \quad \dots (8) \end{aligned}$$

となる。

[0038] この(8)式におけるVREFに係る第1項と第3項の係数部分をまとめると、

[数3]

$$\begin{aligned} &\frac{1}{(R1+R10)(R1+R2)} \{R2(R1+R10) + R2^2\} \\ &= \frac{R2}{(R1+R10)(R1+R2)} \{R2(R1+R2) + R2 \cdot R10\} \\ &= \frac{R2}{R1+R10} + \frac{R2 \cdot R10}{(R1+R10)(R1+R2)} \quad \dots (9) \end{aligned}$$

となる。

[0039] したがって、前記(8)式は、

[数4]

$$V_o = \frac{R2}{R1+R10} (VREF - R10 \cdot Iref) + \frac{R2 \cdot R10}{(R1+R10)(R1+R2)} VREF \quad \dots (10)$$

となる。

この(10)式によって第2オペアンプ74の出力電圧V_oを算出することができる。

[0040] ちなみに、(10)式の右辺第2項のVREFの係数部分は、

[数5]

$$\frac{R2(\frac{R10}{R1})}{(1+\frac{R10}{R1})(R1+R2)} \quad \dots (11)$$

と表すことができるので、前述した第1実施形態のようにR1≫R10に設

定することにより、この右辺第2項がゼロとなって前述した(1)式を得ることができる。

[0041] (第2実施形態)

次に、本発明の第2の実施形態について図4を伴って説明する。

この第2の実施形態では、第1の実施形態における電流制御回路70の構成を変更するようにしたものである。

すなわち、第2の実施形態では、第1の実施形態における図1の構成において、電流制御回路70の構成を変更した以外の構成にはついては図1と同様の構成を有し、図1との対応部分には同一符号を付しその詳細説明はこれを省略する。

[0042] 電流制御回路70は、前述した第1の実施形態の構成において、第2オペアンプ74、抵抗75、76、77及び78が省略されているとともに、抵抗72が3つの抵抗81～83に分割されている。

そして、抵抗81と並列にバイパス用のnチャネル電界効果トランジスタ84が接続され、抵抗82と並列にバイパス用のnチャネル電界効果トランジスタ85が接続されている。

nチャネル電界効果トランジスタ84及び85のゲートには第1コンパレータ86及び第2コンパレータの出力端子がそれぞれ接続されている。

[0043] 第1コンパレータ86の入力側には、非反転入力端子に基準電圧 V_{REFa} が入力され、反転入力端子には電流指令値生成回路60から出力される電流指令電圧 V_T が入力されている。

第2コンパレータ87の入力側には、非反転入力端子に基準電圧 V_{REFb} が入力され、反転入力端子に電流指令値生成回路60から出力される電流指令電圧 V_T が入力されている。ここで、基準電圧 V_{REFa} 及び V_{REFb} の関係は、 $V_{REFa} < V_{REFb}$ に設定されている。また、基準電圧 V_{REFa} は、電流指令値生成回路60の抵抗選択部62で抵抗素子63を選択したときの電流指令電圧 V_{T1} より高く、抵抗素子64を選択したときの電流指令電圧 V_{T2} よりも低い値に設定されている。さらに、基準電圧 V_R

E F b は、電流指令値生成回路 60 の抵抗選択部 62 で抵抗素子 64 を選択したときの電流指令電圧 V T 2 よりも高く、抵抗素子 65 を選択したときの電流指令電圧 V T 3 よりも低い値に設定されている。

[0044] この第 2 実施形態によると、放電回路 40 では前述した第 1 の実施形態と同様のターンオフ動作を行う。しかしながら、電流制御回路 70 では、電流指令値生成回路 60 の抵抗選択部 62 で抵抗素子 65 が選択されたときには、このとき出力される電流指令電圧 V T 3 が第 1 コンパレータ 86 の基準電圧 V R E F a 及び第 2 コンパレータ 87 の基準電圧 V R E F b よりも高い値である。したがって、第 1 コンパレータ 86 及び第 2 コンパレータ 87 の出力はローレベルであり、n チャネル電界効果トランジスタ 84 及び 85 はオフ状態を維持する。このため、定電流回路 30 の第 2 トランジスタ 32 のドレインが電流制御用トランジスタ 71 及び 3 つの抵抗 81 ~ 83 を通じてグラウンドライン L g に接続される。

[0045] このときの基準電流 I_o は、抵抗 81 の抵抗値を R r e f 1、抵抗 82 の抵抗値を R r e f 2、抵抗 83 の抵抗値を R r e f 3 とすると、

[数6]

$$I_o = \frac{VREF}{Rref1 + Rref2 + Rref3} \quad \dots (12)$$

となり、最小電流値に設定される。

[0046] また、抵抗選択部 62 で抵抗素子 64 を選択すると、このときに出力される電流指令電圧 V T 2 が第 2 コンパレータ 87 の基準電圧 V R E F b より低くなるので、この第 2 コンパレータ 87 の出力がハイレベルとなる。これによって、n チャネル電界効果トランジスタ 85 がオン状態となり、抵抗 82 がバイパスされることによる。

[0047] このため、基準電流 I_o は、

[数7]

$$I_o = \frac{VREF}{Rref1 + Rref3} \quad \dots (13)$$

となり、中程度の電流値に設定される。

[0048] さらに、抵抗選択部 62 で抵抗素子 63 を選択すると、このときに出力される電流指令電圧 V_{T1} が第 2 コンパレータ 87 の基準電圧 V_{REFb} より低い第 1 コンパレータ 86 の基準電圧 V_{REFa} より低くなるので、第 2 コンパレータ 87 に加えて、第 1 コンパレータ 86 の出力もハイレベルとなる。

[0049] このため、 n チャネル電界効果トランジスタ 84 及び 85 がともにオン状態となり、抵抗 81 及び 82 がバイパスされる。したがって、基準電流 I_o は、

[数 8]

$$I_o = \frac{V_{REF}}{R_{ref3}} \cdots (14)$$

となり、最大電流値に設定される。

[0050] したがって、前述した第 1 の実施形態と同様に電流指令値生成回路 60 の抵抗選択部 62 で選択した抵抗素子 63～65 の抵抗値に応じて定電流回路 30 の出力電流 I_{OUT} を制御することができ、電圧制御型デバイス 10 の仕様に応じた最適なターンオン動作を行うことができる。

[0051] (第 3 実施形態)

次に、本発明の第 3 の実施形態を図 5 について説明する。

この第 3 の実施形態は、定電流源 61 及び抵抗選択部 62 を省略して、別途電流指令値選択回路を設けるようにしたものである。

この第 3 の実施形態では、図 5 に示すように、第 1 及び第 2 の実施形態における放電回路 40 の電流調整ユニット 43A～43C 及び電流制御回路 70 の構成が変更されるとともに、電流指令値生成回路 60 が省略され、これに代えて別途電流指令値生成回路 90 が設けられている。

放電回路 40 の電流調整ユニット 43A～43C は、図 5 に示すようにコンパレータ 44a～44c が省略され、これらに代えて電流指令値生成回路 90 から出力される電流指令信号がアンドゲート 45a～45c に供給されている。

[0052] 一方、電流制御回路 70 では、第 2 の実施形態の構成において、第 1 コンパレータ 86 及び第 2 コンパレータ 87 が省略され、これらに代えて n チャネル電界効果トランジスタ 84 及び 85 のゲートに電流指令値生成回路 90 から出力される電流指令信号が供給されている。

電流指令値生成回路 90 は、E P R O M、ヒューズ R O M、ザップ等によるデータ選択回路などで構成され、駆動対象となる電圧制御型デバイスの仕様に依じて、出力する電流指令値信号が書込まれる。

[0053] すなわち、電流指令値生成回路 90 では、駆動信号に応じて放電回路 40 及び電流制御回路 70 が第 2 の実施形態における電流指令値生成回路 60 の抵抗選択部で抵抗素子 63 ~ 65 の何れかを選択した場合と同様の動作を行うように電流値生成信号を出力する。すなわち、抵抗素子 65 を選択して電流指令電圧 V_T を最大値 V_{T3} とする場合に対応するには、電流指令値生成回路 90 に最小電流値モードを指示するデータを書込む。この最小電流値モードでは、電流指令値選択信号 $S1a$ をハイレベルとするとともに、電流指令値選択信号 $S1b$ 及び $S1c$ と電流指令値選択信号 $S2a$ 及び $S2b$ をローレベルに制御する。

[0054] また、抵抗素子 64 を選択して電流指令電圧 V_T を中間値 V_{T2} とする場合に対応するには、電流指令値生成回路 90 に中間電流値モードを指示するデータを書込む。この中間電流値モードでは、電流指令値選択信号 $S1a$ 及び電流指令値選択信号 $S1b$ を電流指令値選択信号 $S2b$ をハイレベルとするとともに、電流指令値選択信号 $S1c$ と電流指令値選択信号 $S2a$ をローレベルに制御する。

さらに、抵抗素子 65 を選択して電流指令電圧 V_T を最小値 V_{T1} とする場合に対応するには、電流指令値生成回路 90 に最大電流値モードを指示するデータを書込む。この最大電流値モードでは、電流指令値選択信号 $S1a$ ~ $S1c$ と、電流指令値選択信号 $S2a$ 及び $S2b$ とをハイレベルに制御する。

[0055] この第 3 の実施形態によると、駆動対象となる電圧制御型デバイス 10 及

び電流指令値生成回路 90 の少なくとも一方を除く駆動回路の仕様などに応じて定電流回路 30 の基準電流 I_0 を最小値とする場合には、電流指令値生成回路 90 を最小値モードとする。この最小値モードでは、放電回路 40 の電流調整ユニット 43 A の n チャネル電界効果トランジスタ 46 a のみをオン状態として放電電流を最小値に設定するとともに、電流制御回路 70 の n チャネル電界効果トランジスタ 84 及び 85 をともにオフ状態として定電流回路 30 の基準電流 I_0 を最小電流値に制御する。

[0056] また、駆動対象となる電圧制御型デバイス 10 及び電流指令値生成回路 90 の少なくとも一方を除く駆動回路の仕様などに応じて定電流回路 30 の基準電流 I_0 を中間値とする場合には、電流指令値生成回路 90 を中間値モードとする。この中間値モードでは、放電回路 40 の電流調整ユニット 43 A 及び 43 B の n チャネル電界効果トランジスタ 46 a 及び 46 b をオン状態として放電電流を中間値に設定するとともに、電流制御回路 70 の n チャネル電界効果トランジスタ 85 のみをオン状態として抵抗 83 をバイパスさせて定電流回路 30 の基準電流 I_0 を中間電流値に制御する。

[0057] さらに、駆動対象となる電圧制御型デバイス 10 の仕様に応じて定電流回路 30 の基準電流 I_0 を最大値とする場合には、電流指令値生成回路 90 を最大値モードとする。この最大値モードでは、放電回路 40 の電流調整ユニット 43 A ~ 43 C の n チャネル電界効果トランジスタ 46 a ~ 46 c をオン状態として放電電流を最大値に設定するとともに、電流制御回路 70 の n チャネル電界効果トランジスタ 85 及び 86 をオン状態として抵抗 83 をバイパスさせて定電流回路 30 の基準電流 I_0 を中間電流値に制御する。

[0058] この第 3 の実施形態では、駆動回路 20 で駆動対象とする電圧制御型デバイス 10 及び電流指令値生成回路 90 の少なくとも一方を除く駆動回路の仕様などに応じて電流指令値生成回路 90 の書込データを変更するだけでよく、抵抗選択部 62 を設ける必要がないので、抵抗素子を選択する処理を不要とすることができ、モード変更を容易に行うことができる。

なお、上記第 1 及び第 2 の実施形態では、抵抗選択部 62 の抵抗素子 63

～65を並列に接続した場合について説明したが、これに限定されるものではなく、抵抗素子を直列に接続して必要な抵抗値に応じて必要数の抵抗素子をバイパスする配線部を設けるようにしてもよい。

また、上記第1及び第2の実施形態においては、抵抗選択部62の抵抗素子63～65中の必要な抵抗素子以外を切断するようにした場合について説明したが、これに限定されるものではなく、抵抗素子を選択する選択スイッチを形成するようにしてもよい。

[0059] さらに、第1及び第2の実施形態においては、抵抗選択部62の抵抗素子数を3つに設定した場合について説明したが、これに限定されるものではなく、抵抗素子数は4以上であってもよい。これに応じて、放電回路40の電流調整ユニット数を変更するとともに、第2の実施形態における電流制御回路70の抵抗及びnチャネル電界効果トランジスタ数及びコンパレータ数を変更するようにすればよい。さらに第3の実施形態における電流指令値生成回路90の電流指令値選択信号数も変更する。

[0060] また、上記第1～第3の実施形態においては、放電回路40及び電流制御回路70の双方の電流値を調整する場合について説明したが、放電回路40の電流調整を省略するようにしてもよい。

さらに、図5の電流制御回路70を図1のオペアンプ73、74および抵抗75～78を適用したものに変更するとともに、電流指令値生成回路90の構成にD/Aコンバータを付加して、当該D/Aコンバータの出力を信号VTの代わりに抵抗77の一端に入力するようにしてもよい。この場合、D/Aコンバータに入力されるデジタルデータはモードを指示するデータと一緒に電流指令値生成回路90に書き込むようにすればよい。

符号の説明

- [0061] 10…電圧制御型デバイス
20…駆動回路
30…定電流回路
31…第1トランジスタ

- 3 2 …第2 トランジスタ
- 4 0 …放電回路
- 4 1 …符号反転回路
- 4 2 …放電電流調整回路
- 4 3 A ～ 4 3 C …電流調整ユニット
- 5 0 …切替回路
- 5 1 … p チャネル電界効果トランジスタ
- 5 2 …レベルシフト回路
- 6 0 …電流指令値生成回路
- 6 1 …定電流源
- 6 2 …抵抗選択部
- 6 3 ～ 6 5 …抵抗素子
- 7 0 …電流制御回路
- 7 1 …電流制御用トランジスタ
- 7 2 …抵抗
- 7 3 …第1 オペアンプ
- 7 4 …第2 オペアンプ
- 8 1 ～ 8 3 …抵抗
- 8 4 , 8 5 … n チャネル電界効果トランジスタ
- 8 6 …第1 コンパレータ
- 8 7 …第2 コンパレータ
- 9 0 …電流指令値生成回路

請求の範囲

- [請求項1] 電圧制御型デバイスを駆動する電圧制御型デバイスの駆動回路であって、
- 前記電圧制御型デバイスのゲートに一定電流を供給して当該電圧制御型デバイスをオン動作させる定電流回路と、
- 前記電圧制御型デバイスのゲートとエミッタとの間に放電電流を流して当該電圧制御型デバイスをオフ動作させる放電回路と、
- 駆動信号に応じて前記定電流回路及び前記放電回路の一方を動作させて前記電圧制御型デバイスをターンオンまたはターンオフさせる切替回路と、
- 少なくとも前記定電流回路の出力電流を設定する電流指令値を生成して出力する電流指令値生成回路と、
- 該電流指令値生成回路で生成された電流指令値に基づいて前記定電流回路の出力電流を制御する電流制御回路と
- を備えていることを特徴とする電圧制御型デバイスの駆動回路。
- [請求項2] 前記電流指令値生成回路は、前記定電流回路とは別に設けられた定電流源と、該定電流源から定電流が供給される1つの抵抗素子もしくは該定電流が選択的に供給される複数の抵抗素子とを有することを特徴とする請求項1に記載の電圧制御型デバイスの駆動回路。
- [請求項3] 前記1つの抵抗素子もしくは前記複数の抵抗素子は、前記電圧制御型デバイスを形成するチップ内に形成されていることを特徴とする請求項2に記載の電圧制御型デバイスの駆動回路。
- [請求項4] 前記放電回路は、前記電流指令値生成回路で生成された電流指令値に基づいて前記放電電流の電流値を調整する放電電流調整回路を備えていることを特徴とする請求項1に記載の電圧制御型デバイスの駆動回路。
- [請求項5] 前記電圧制御型デバイスは、I G B T及びM O S - F E Tの何れかで構成されていることを特徴とする請求項1に記載の電圧制御型デバ

イスの駆動回路。

[請求項6] 前記電流指令値生成回路は、生成された電流指令値を表す電流指令電圧を出力し、前記電流制御回路は、基準電圧と、前記電流指令値生成回路で生成された電流指令電圧との電圧差に基づいて前記定電流回路の出力電流を決定するオペアンプを備えていることを特徴とする請求項1に記載の電圧制御型デバイスの駆動回路。

[請求項7] 前記電流指令値生成回路は、生成された電流指令値を表す電流指令電圧を出力し、前記電流制御回路は、基準電圧と前記電流指令値生成回路で生成された電流指令電圧とを比較し、比較結果に応じて前記定電流回路の出力電流を多段階に変化させるコンパレータを備えていることを特徴とする請求項1に記載の電圧制御型デバイスの駆動回路。

[請求項8] 前記定電流回路は、前記電圧制御型デバイスのゲートと電源電圧との間に接続されたカレントミラー回路で構成され、該カレントミラー回路は、前記電源電圧と前記電圧制御型デバイスのゲートとの間に接続されて前記カレントミラー回路の出力部を構成する第1トランジスタと、前記電源電圧と前記電流制御回路との間に接続されて前記カレントミラー回路の入力部を構成する第2トランジスタとを有していることを特徴とする請求項1に記載の電圧制御型デバイスの駆動回路。

補正された請求の範囲
[2015年10月2日(02.10.2015)国際事務局受理]

- [請求項 1] (補正後) 電圧制御型デバイスのゲートに一定電流を供給して当該電圧制御型デバイスをオン動作させる定電流回路と、
前記電圧制御型デバイスのゲートから放電電流を流して当該電圧制御型デバイスをオフ動作させる放電回路と、
駆動信号に応じて前記定電流回路及び前記放電回路の一方を動作させて前記電圧制御型デバイスをターンオンまたはターンオフさせる切替回路と、
前記定電流回路とは別に設けられた定電流源と、該定電流源及び接地間に並列に接続された複数の抵抗を仕様に応じて選択する抵抗選択部とを備え、定電流源と抵抗選択部との間の電圧を電流指令電圧として生成する電流指令値生成回路と、
該電流指令値生成回路で生成された電流指令電圧に基づいて前記定電流回路の出力電流を制御する電流制御回路と
を備えていることを特徴とする電圧制御型デバイスの駆動回路。
- [請求項 2] (補正後) 前記複数の抵抗素子は、前記電圧制御型デバイスを形成するチップ内に形成されていることを特徴とする請求項 1 に記載の電圧制御型デバイスの駆動回路。
- [請求項 3] (補正後) 前記放電回路は、前記電流指令値生成回路で生成された電流指令電圧に基づいて前記放電電流の電流値を調整する放電電流調整回路を備えていることを特徴とする請求項 1 に記載の電圧制御型デバイスの駆動回路。
- [請求項 4] (補正後) 前記放電電流調整回路は、異なる設定電圧と前記電流指令値電圧とを比較するコンパレータを有する複数の電流調整ユニットが並列に接続されて構成されていることを特徴とする請求項 3 に記載の電圧制御型デバイスの駆動回路。
- [請求項 5] (補正後) 前記電流制御回路は、基準電圧と、前記電流指令値生成回路で生成

された電流指令電圧との電圧差に基づいて前記定電流回路の出力電流を決定するオペアンプを備えていることを特徴とする請求項1に記載の電圧制御型デバイスの駆動回路。

[請求項6] (補正後) 前記電流制御回路は、基準電圧と、前記電流指令値生成回路で生成された電流指令電圧とを比較し、比較結果に応じて前記定電流回路の出力電流を多段階に変化させるコンパレータを備えていることを特徴とする請求項1に記載の電圧制御型デバイスの駆動回路。

[請求項7] (補正後) 前記定電流回路は、前記電圧制御型デバイスのゲートと電源電圧との間に接続されたカレントミラー回路で構成され、該カレントミラー回路は、前記電源電圧と前記電圧制御型デバイスのゲートとの間に接続されて前記カレントミラー回路の出力部を構成する第1トランジスタと、前記電源電圧と前記電流制御回路との間に接続されて前記カレントミラー回路の入力部を構成する第2トランジスタとを有していることを特徴とする請求項1に記載の電圧制御型デバイスの駆動回路。

[請求項8] (補正後) 前記電圧制御型デバイスは、IGBT及びMOS-FETの何れかで構成されていることを特徴とする請求項1に記載の電圧制御型デバイスの駆動回路。

条約第 19 条 (1) に基づく説明書

請求の範囲第 1 項は、出願当初の請求項 2 の記載を加え、電流指令値生成回路が、定電流回路とは別に設けられた定電流源と、該定電流源及び設置間に並列に接続された複数の抵抗を仕様に応じて選択する抵抗選択部とを備え、定電流源と抵抗選択部との間の電圧を電流指令電圧として生成することを明確にした。

国際調査機関の見解書では、出願当初の請求項 2 に係る発明は、国際調査報告で引用された文献 3 により進歩性を有しないとされている。

この文献 3 には、定電流源と温度検出用のツェナーダイオードとを直列に接続し、定電流源とツェナーダイオードとの接続点の電圧を定電流回路の電流を制御する電流制御回路に入力し、定電流回路 50 の定電流値を調整してターンオン時の損失及びノイズの温度依存性を低減するようにしたパワートランジスタの駆動回路が開示されている。

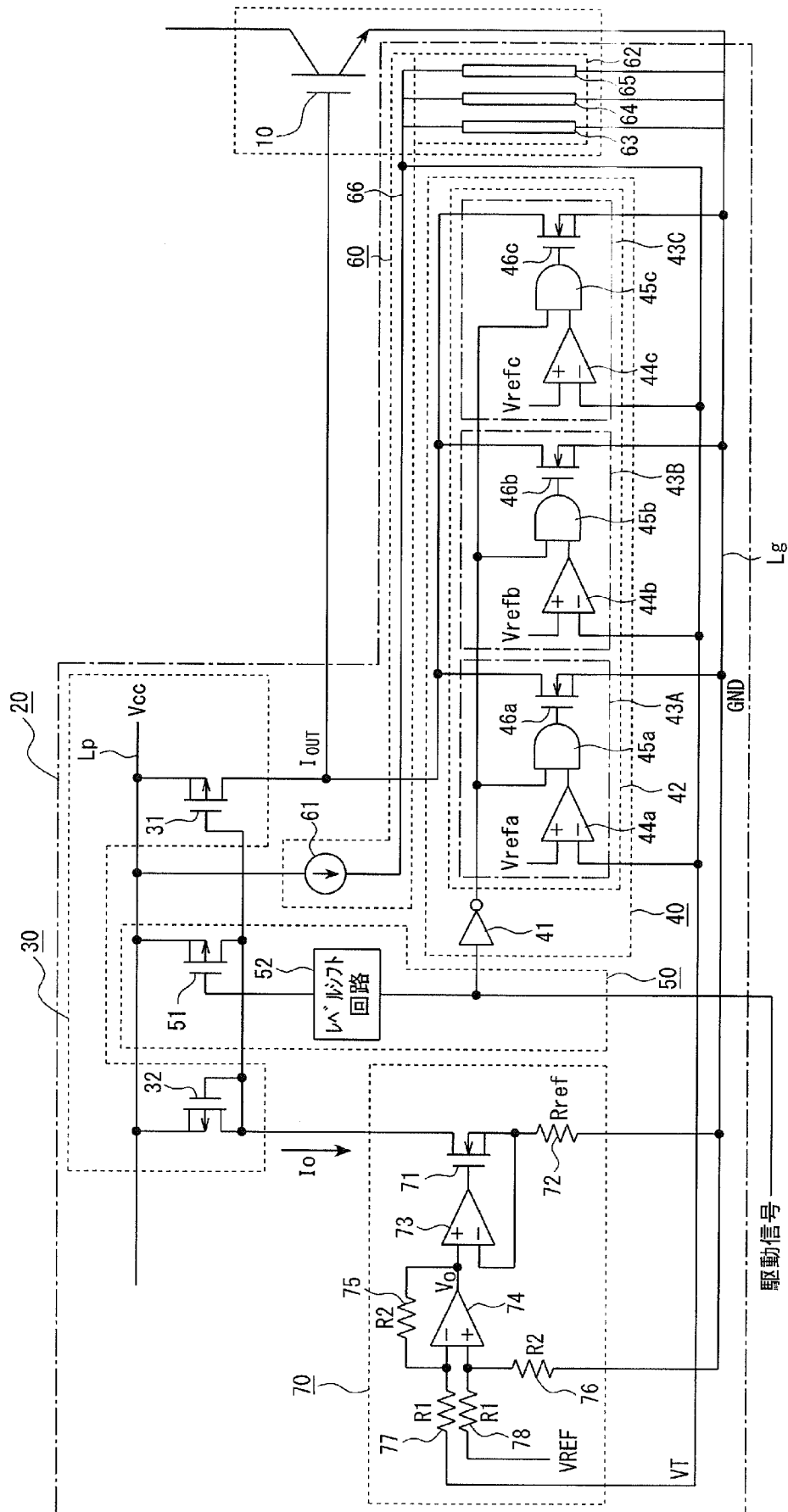
しかしながら、文献 3 では、あくまでも温度依存性を低減するためにツェナーダイオードを設けているので、補正した本願請求項 1 に係る発明のように、温度依存性とは無関係な構成において、ツェナーダイオードに代えて抵抗を適用することは考えられず、抵抗選択部で、並列に接続される複数の抵抗を仕様に応じて選択して、電流指令電圧を生成するという技術思想を想起することはできない。

よって、補正した本願請求項 1 に係る発明は、文献 3 に記載された発明に対して新規性及び進歩性を有するものである。

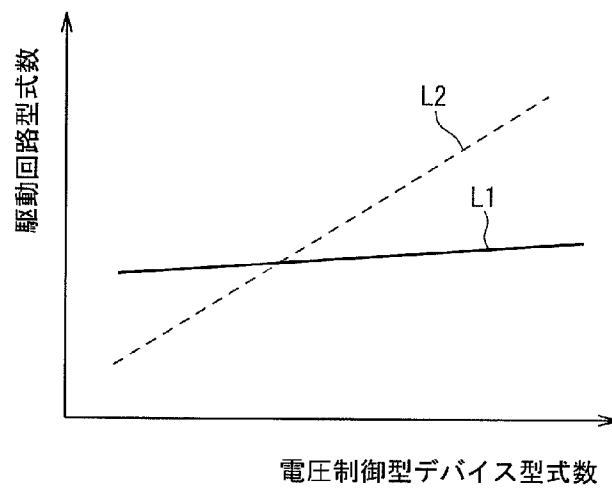
また、補正した本願請求項 3 に係る発明では、放電回路についても放電電流調整回路で電流指令電圧に基づいて放電電流を制御するようにしており、抵抗選択部を有する電流指令値生成部と、放電電流調整回路を有する放電回路とを備えた構成は文献 1 ～ 3 には開示されておらず、新規性及び進歩性を有するものがある。

以上

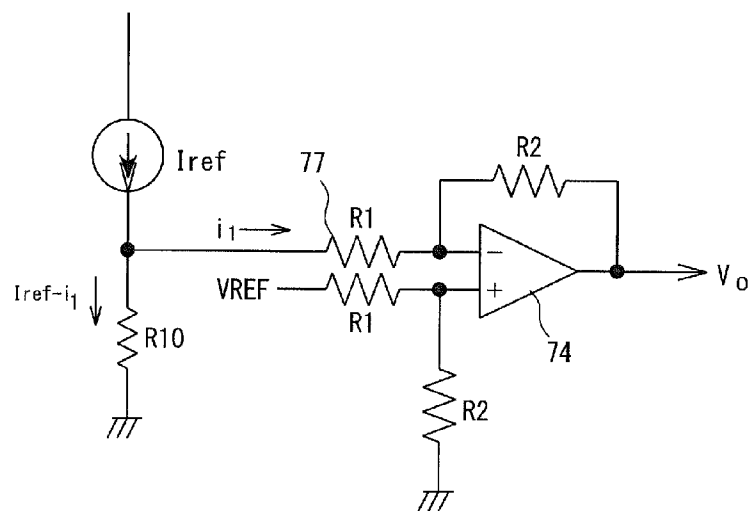
[図1]



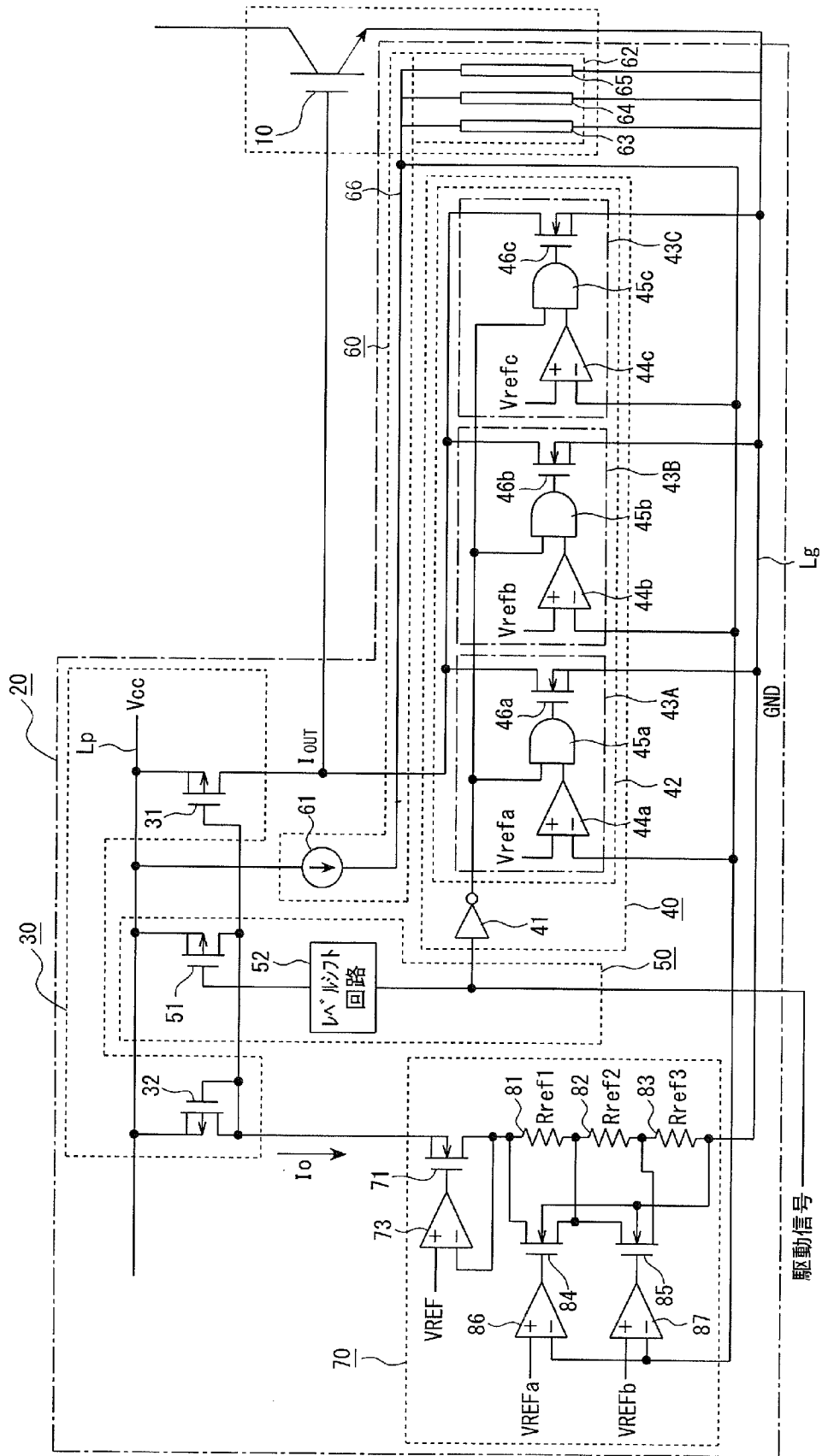
[図2]



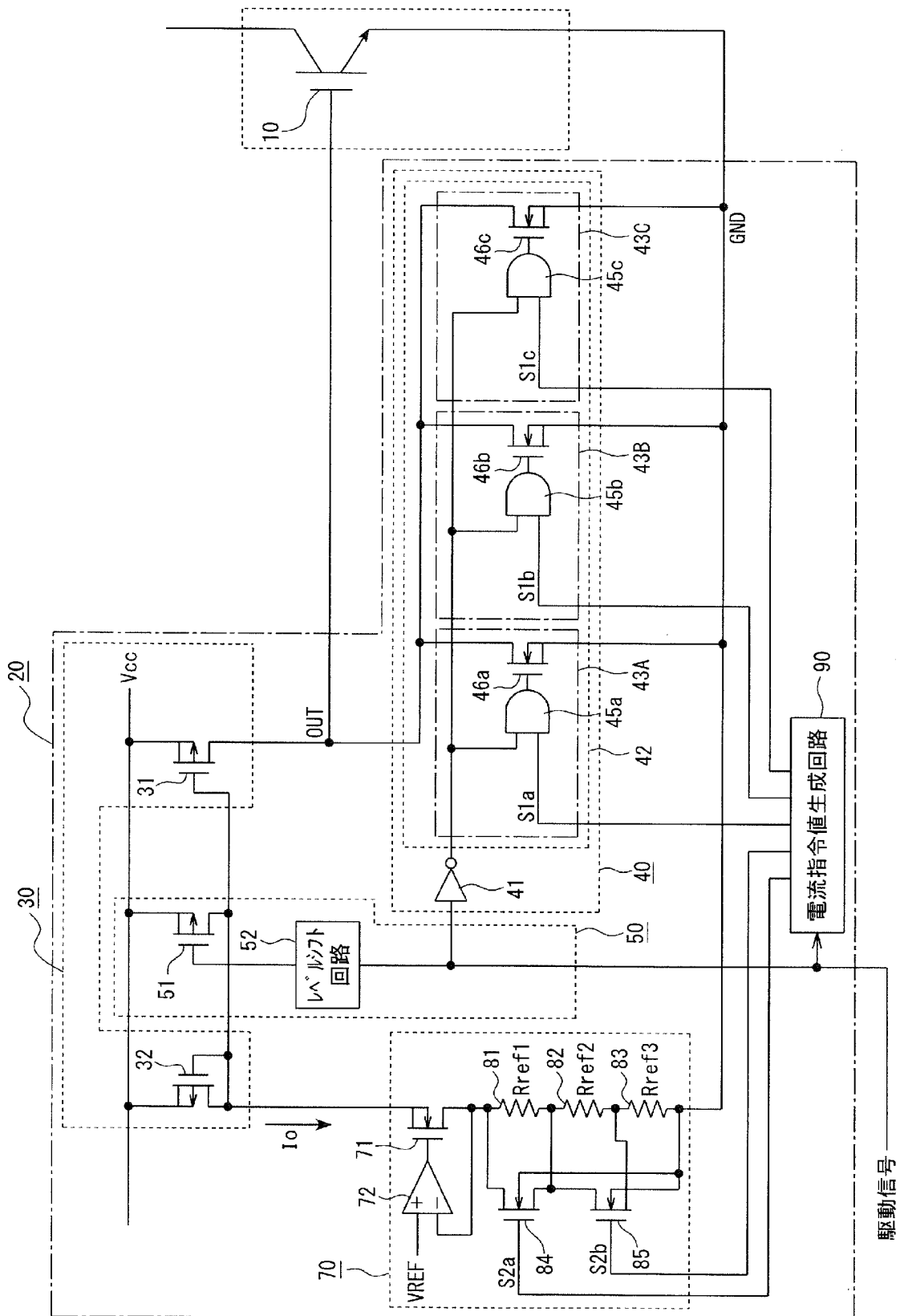
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/002570

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/16(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H02M1/08(2006.01)i, H03K17/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/16, H01L21/822, H01L27/04, H02M1/08, H03K17/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 11-346147 A (NEC Corp.), 14 December 1999 (14.12.1999), fig. 10 & US 6222403 B1 & EP 963044 A2 & KR 10-2000-0005839 A	1, 4, 5 2, 3, 6-8
X A	JP 2004-215493 A (Matsushita Electric Industrial Co., Ltd.), 29 July 2004 (29.07.2004), fig. 1 & US 2004/0135528 A1 & WO 2004/057748 A2 & EP 1581999 B1 & KR 10-2005-0085635 A & CN 1934785 A	1, 4, 5 2, 3, 6-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 July 2015 (22.07.15)

Date of mailing of the international search report
04 August 2015 (04.08.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/002570

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-219633 A (Fuji Electric Co., Ltd.), 24 October 2013 (24.10.2013), entire text; all drawings & US 2013/0285732 A1	1-3, 5-8 4
A	JP 2008-103895 A (Fuji Electric Device Technology Co., Ltd.), 01 May 2008 (01.05.2008), entire text; all drawings & US 2008/0094111 A1	1-8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K17/16(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H02M1/08(2006.01)i,
H03K17/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K17/16, H01L21/822, H01L27/04, H02M1/08, H03K17/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 11-346147 A（日本電気株式会社）1999.12.14, 図 10 & US 6222403 B1 & EP 963044 A2 & KR 10-2000-0005839 A	1, 4, 5 2, 3, 6-8
X A	JP 2004-215493 A（松下電器産業株式会社）2004.07.29, 図 1 & US 2004/0135528 A1 & WO 2004/057748 A2 & EP 1581999 B1 & KR 10-2005-0085635 A & CN 1934785 A	1, 4, 5 2, 3, 6-8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 7 . 2 0 1 5

国際調査報告の発送日

0 4 . 0 8 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

白井 亮

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

3 3 6 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2013-219633 A (富士電機株式会社) 2013. 10. 24, 全文, 全図 & US 2013/0285732 A1	1-3, 5-8 4
A	JP 2008-103895 A (富士電機デバイステクノロジー株式会社) 2008. 05. 01, 全文, 全図 & US 2008/0094111 A1	1-8