



(12)发明专利申请

(10)申请公布号 CN 105826398 A

(43)申请公布日 2016.08.03

(21)申请号 201610424194.7

(22)申请日 2016.06.15

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 孙雪菲 张斌 何晓龙 曹占锋
李正亮 薛建设

(74)专利代理机构 北京银龙知识产权代理有限公司 11243
代理人 许静 黄灿

(51) Int. Cl.
H01L 29/786(2006.01)
H01L 27/12(2006.01)

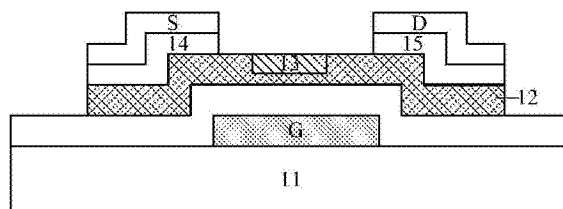
权利要求书2页 说明书5页 附图6页

(54)发明名称

一种薄膜晶体管、阵列基板及制作方法

(57)摘要

本发明提供一种薄膜晶体管、阵列基板及制作方法。其中，薄膜晶体管包括栅极和半导体层；所述半导体层包括：非晶硅图形和多晶硅图形；所述非晶硅图形的一部分嵌入但不贯通所述多晶硅图形，且位于所述多晶硅图形远离所述栅极的一侧。本发明的非晶硅图形一部分内嵌式在多晶硅图形，相比于现有的多晶硅/非晶硅的双层结构，可以继承非晶硅图形与多晶硅图形各自的优点，但缺点不再彼此作用。此外，非晶硅图形内嵌式在多晶硅图形的结构设计，可以降低非晶硅图形与多晶硅图形的接触面积，从而减少界面态缺陷。



1. 一种薄膜晶体管,包括栅极和半导体层,其特征在于,所述半导体层包括:
非晶硅图形和多晶硅图形;
所述非晶硅图形的一部分嵌入但不贯通所述多晶硅图形,且位于所述多晶硅图形远离所述栅极的一侧。
2. 根据权利要求1所述的薄膜晶体管,其特征在于,
所述非晶硅图形为多个,每一非晶硅图形的一部分嵌入但不贯通所述多晶硅图形,且位于所述多晶硅图形远离与所述栅极的一侧。
3. 根据权利要求1所述的薄膜晶体管,其特征在于,所述多晶硅图形为p-Si材料,所述非晶硅图形为a-Si材料。
4. 根据权利要求1所述的薄膜晶体管,其特征在于,还包括:
源极、漏极、第一欧姆接触图形和第二欧姆接触图形;
其中,所述源极通过所述第一欧姆接触图形与所述半导体层接触,所述漏极通过所述第二欧姆接触图形与所述半导体层接触。
5. 一种阵列基板,其特征在于,包括如权利要求1-3中任一项所述的薄膜晶体管。
6. 一种薄膜晶体管的制作方法,包括形成栅极和半导体层,其特征在于,形成所述半导体层包括:
形成非晶硅图形和多晶硅图形,所述非晶硅图形的一部分嵌入所述多晶硅图形,且位于所述多晶硅图形远离所述栅极的一侧。
7. 根据权利要求6所述的薄膜晶体管的制作方法,其特征在于,所述制作方法具体包括:
在衬底基板上依次形成栅极和栅绝缘层;
在形成有所述栅极和栅绝缘层的衬底基板上,形成具有凹槽结构的多晶硅图形,所述凹槽结构的深度小于所述多晶硅图形的厚度;
在形成有所述多晶硅图形的衬底基板上,形成非晶硅图形,所述非晶硅图形的一部分填充所述多晶硅图形上的凹槽结构。
8. 根据权利要求7所述的制作方法,其特征在于,所述形成具有凹槽结构的多晶硅图形包括:
在形成有所述栅极和栅绝缘层的衬底基板上依次沉积多晶硅层和金属层;
在所述金属层上涂覆光刻胶,利用掩模板对所述光刻胶进行曝光,显影后形成光刻胶完全保留区域、光刻胶部分保留区域和光刻胶未保留区域,所述光刻胶完全保留区域对应源极和漏极的图形,光刻胶部分保留区域对应源极和漏极之间的区域;
对光刻胶未保留区域的金属层和多晶硅层进行刻蚀;
对光刻胶部分保留区域的光刻胶进行灰化,对光刻胶部分保留区域的金属层进行刻蚀形成源极和漏极。
9. 根据权利要求8所述的制作方法,其特征在于,
在沉积所述金属层前,在形成有所述多晶硅图形的衬底基板上,沉积欧姆接触层;
其中,对光刻胶未保留区域的金属层和多晶硅层进行刻蚀的过程中,以及对光刻胶部分保留区域的金属层进行刻蚀的过程中,还刻蚀所述欧姆接触层;所述光刻胶完全保留区域对应第一欧姆接触图形以及第二欧姆接触图形;所述源极通过所述第一欧姆接触图形与

所述多晶硅图形接触,所述漏极通过所述第二欧姆接触图形与所述多晶硅图形接触。

10. 根据权利要求7所述的制作方法,其特征在于,

所述制作方法具体包括:

在衬底基板上依次形成栅极和栅绝缘层;

在形成有所述栅极和栅绝缘层的衬底基板上,形成第一多晶硅图形;

在形成有所述第一多晶硅图形的衬底基板上,形成非晶硅图形;

对所述非晶硅图形内的部分区域进行晶化处理,使该部分区域对应的非晶硅图形转换为第二多晶硅图形。

11. 根据权利要求7所述的制作方法,其特征在于,

所述制作方法具体包括:

在衬底基板上依次形成栅极和栅绝缘层;

在形成有所述栅极和栅绝缘层的衬底基板上,形成非晶硅图形;

对所述非晶硅图形内的部分区域进行晶化处理,得到多晶硅图形。

12. 根据权利要求7所述的制作方法,其特征在于,

所述制作方法具体包括:

在衬底基板上形成非晶硅图形;

在形成有所述非晶硅图形的衬底基板上,形成多晶硅图形,其中所述多晶硅图形覆盖所述非晶硅图形;

在形成有所述多晶硅图形的衬底基板上,依次形成栅绝缘层和栅极。

一种薄膜晶体管、阵列基板及制作方法

技术领域

[0001] 本发明涉及显示技术领域,特别是一种薄膜晶体管、阵列基板及制作方法。

背景技术

[0002] 随着液晶显示技术的发展,对薄膜晶体管的半导体层的电子迁移率要求越来越高,传统的只由非晶硅材料制成的半导体层,在电子迁移率上已不能满足性能需求(半导体层的电子迁移率偏低会导致薄膜晶体管的开态电流 I_{off} 也随之偏低)。而目前的解决方法是,使用多晶硅/非晶硅的双层结构的作为半导体层,其中,多晶硅层在开态下具有足够高的电子迁移率,以弥补非晶硅层的不足。

[0003] 但是多晶硅层会增大薄膜晶体管的漏电流,导致了薄膜晶体管的关态电流 I_{off} 也会随之变高。现有技术的双层结构会将非晶硅层的低电子迁移率以及多晶硅层的高漏电流的问题彼此作用,使得薄膜晶体管不一定能够在提升 I_{on} 开态电流的同时,降低 I_{off} 关态电流。

发明内容

[0004] 本发明的目的是提升薄膜晶体管的开态电流 I_{on} ,同时又能降低薄膜晶体管的关态电流 I_{off} 。

[0005] 为解决上述技术问题,本发明的实施例提供一种薄膜晶体管,包括栅极和半导体层,其中所述半导体层包括:

[0006] 非晶硅图形和多晶硅图形;

[0007] 所述非晶硅图形的一部分嵌入但不贯通所述多晶硅图形,且位于所述多晶硅图形远离所述栅极的一侧。

[0008] 可选地,所述非晶硅图形为多个,每一非晶硅图形的一部分嵌入但不贯通所述多晶硅图形,且位于所述多晶硅图形远离与所述栅极的一侧。

[0009] 可选地,所述多晶硅图形为p-Si材料,所述非晶硅图形为a-Si材料。

[0010] 可选地,所述薄膜晶体管还包括:

[0011] 源极、漏极、第一欧姆接触图形和第二欧姆接触图形;

[0012] 其中,所述源极通过所述第一欧姆接触图形与所述半导体层接触,所述漏极通过所述第二欧姆接触图形与所述半导体层接触。

[0013] 此外,本发明还提供一种阵列基板,包括上述薄膜晶体管。

[0014] 另一方面,本发明还提供一种薄膜晶体管的制作方法,包括形成栅极和半导体层,其中形成所述半导体层包括:

[0015] 形成非晶硅图形和多晶硅图形,所述非晶硅图形的一部分嵌入所述多晶硅图形,且位于所述多晶硅图形远离所述栅极的一侧。

[0016] 可选地,所述制作方法具体包括:

[0017] 在衬底基板上依次形成栅极和栅绝缘层;

- [0018] 在形成有所述栅极和栅绝缘层的衬底基板上,形成具有凹槽结构的多晶硅图形,所述凹槽结构的深度小于所述多晶硅图形的厚度;
- [0019] 在形成有所述多晶硅图形的衬底基板上,形成非晶硅图形,所述非晶硅图形的一部分填充所述多晶硅图形上的凹槽结构。
- [0020] 可选地,所述形成具有凹槽结构的多晶硅图形包括:
- [0021] 在形成有所述栅极和栅绝缘层的衬底基板上依次沉积多晶硅层和金属层;
- [0022] 在所述金属层上涂覆光刻胶,利用掩模板对所述光刻胶进行曝光,显影后形成光刻胶完全保留区域、光刻胶部分保留区域和光刻胶未保留区域,所述光刻胶完全保留区域对应源极和漏极的图形,光刻胶部分保留区域对应源极和漏极之间的区域;
- [0023] 对光刻胶未保留区域的金属层和多晶硅层进行刻蚀;
- [0024] 对光刻胶部分保留区域的光刻胶进行灰化,对光刻胶部分保留区域的金属层进行刻蚀形成源极和漏极。
- [0025] 可选地,在沉积所述金属层前,在形成有所述多晶硅图形的衬底基板上,沉积欧姆接触层;
- [0026] 其中,对光刻胶未保留区域的金属层和多晶硅层进行刻蚀的过程中,以及对光刻胶部分保留区域的金属层进行刻蚀的过程中,还刻蚀所述欧姆接触层;所述光刻胶完全保留区域对应第一欧姆接触图形以及第二欧姆接触图形;所述源极通过所述第一欧姆接触图形与所述多晶硅图形接触,所述漏极通过所述第二欧姆接触图形与所述多晶硅图形接触。
- [0027] 可选地,所述制作方法具体包括:
- [0028] 在衬底基板上依次形成栅极和栅绝缘层;
- [0029] 在形成有所述栅极和栅绝缘层的衬底基板上,形成第一多晶硅图形;
- [0030] 在形成有所述第一多晶硅图形的衬底基板上,形成非晶硅图形;
- [0031] 对所述非晶硅图形内的部分区域进行晶化处理,使该部分区域对应的非晶硅图形转换为第二多晶硅图形。
- [0032] 可选地,所述制作方法具体包括:
- [0033] 在衬底基板上依次形成栅极和栅绝缘层;
- [0034] 在形成有所述栅极和栅绝缘层的衬底基板上,形成非晶硅图形;
- [0035] 对所述非晶硅图形内的部分区域进行晶化处理,得到多晶硅图形。
- [0036] 可选地,所述制作方法具体包括:
- [0037] 在衬底基板上形成非晶硅图形;
- [0038] 在形成有所述非晶硅图形的衬底基板上,形成多晶硅图形,其中所述多晶硅图形覆盖所述非晶硅图形;
- [0039] 在形成有所述多晶硅图形的衬底基板上,依次形成栅绝缘层和栅极。
- [0040] 本发明的上述技术方案的有益效果如下:
- [0041] 本发明的非晶硅图形一部分内嵌式在多晶硅图形,相比于现有的多晶硅/非晶硅的双层结构,可以继承非晶硅图形与多晶硅图形各自的优点,但缺点不再彼此作用。此外,非晶硅图形内嵌式在多晶硅图形的结构设计,可以降低非晶硅图形与多晶硅图形的接触面积,从而减少界面态缺陷。

附图说明

[0042] 图1为本发明的薄膜晶体管的结构示意图；

[0043] 图2为本发明的阵列基板的结构示意图；

[0044] 图3A-图3C为本发明的制作方法中实现方式一的流程意图；其中，图3B1-图3B4是图3B的具体实现流程图；

[0045] 图4A-图4E为本发明的制作方法中实现方式二的流程意图；

[0046] 图5A-图5C为本发明的制作方法中实现方式三的流程意图；

[0047] 图6A-图6D为本发明的制作方法中实现方式四的流程意图。

具体实施方式

[0048] 为使本发明要解决的技术问题、技术方案和优点更加清楚，下面将结合附图及具体实施例进行详细描述。

[0049] 针对现有技术存在的技术问题，本发明提供一种解决方案。

[0050] 一方面，本发明的实施例提供一种薄膜晶体管，包括栅极和半导体层。

[0051] 其中，如图1所示，半导体层包括：多晶硅图形12和非晶硅图形13，非晶硅图形13的至少一部分嵌入但不贯通多晶硅图形12中，且位于多晶硅图形12远离栅极G的一侧。作为示例性介绍，在实际应用中，本实施例的多晶硅图形可以是p-Si材料，而非晶硅图形可以是a-Si材料。作为优选方案，本实施例的非晶硅图形13与多晶硅图形12可以构成同一平面，保证图层结构的平整性，但非晶硅图形13不能多晶硅图形12完全包含。

[0052] 当然需要给予说明的是，图1仅是以底栅型的薄膜晶体管结构进行示例性介绍。作为其他可行方案，本实施例的薄膜晶体管也可以是顶栅结构，但非晶硅图形同样位于多晶硅图形远离栅极的一侧。由于原理相同，不在本实施例中举例赘述。此外，本实施例的非晶硅图形可以为多个，每一非晶硅图形的一部分嵌入但不贯通多晶硅图形，且位于该多晶硅图形远离栅极的一侧。

[0053] 在本实施例中，当薄膜晶体管处于开态时，栅极施加正电压，电子被吸引到沟道下部多晶硅图形上，沟道两端及下部多晶硅图形以提供高电子迁移率，从而提升开态电流 I_{on} 。当薄膜晶体管处于关态时，栅极施加负电压，载流子集中在非晶硅图形上，通过沟道中央上部非晶硅图形以降低关态电流 I_{off} ，相比于现有的多晶硅/非晶硅的双层结构，本实施例的内嵌式结构设计继承了非晶硅图形与多晶硅图形各自的优点，但缺点不再彼此作用。此外，由于非晶硅图形与多晶硅图形的接触面积得到了降低，因此减少界面态缺陷。

[0054] 具体地，参考图1，本实施例的薄膜晶体管还进一步包括有：

[0055] 源极S、漏极D、第一欧姆接触图形14和第二欧姆接触图形15；

[0056] 其中，源极S通过第一欧姆接触图形14与半导体层接触（第一欧姆接触图形14可以只接触多晶硅图形12，或者同时接触多晶硅图形12和非晶硅图形13），漏极D通过第二欧姆接触图形15与半导体层接触（第二欧姆接触图形15同样可以只接触多晶硅图形12，或者同时接触多晶硅图形12和非晶硅图形13）。这里需要给予说明的是，本实施例的第一欧姆接触图形14与第二欧姆接触图形15可以由一个欧姆接触层刻蚀得到的。

[0057] 以上是本实施例薄膜晶体管的介绍，需要指出的是，本发明仅涉及对半导体层的

改进,其他薄膜晶体管的图形均为现有技术,并不能够限定本发明的保护范围。

[0058] 另一方面,本发明的另一实施例还提供一种包括有上述薄膜晶体管的阵列基板。参考图2所示的结构,本实施例的阵列基板在图1基础之上,还进一步包括用于与漏极D连接的像素电极21。基于本发明的薄膜晶体管的设计,本实施例的阵列基板能够保证显示画面的稳定显示。

[0059] 对应地,本发明还提供一种针对上述薄膜晶体管的制作方法,包括形成栅极和半导体层的步骤。形成的所述半导体层的步骤包括:

[0060] 形成非晶硅图形和多晶硅图形。其中,非晶硅图形的一部分嵌入但不贯通多晶硅图形,且位于所述多晶硅图形远离所述栅极的一侧。

[0061] 显然,本实施例的制作方法与本发明的薄膜晶体管相对应,因此均能够实现相同的技术效果。

[0062] 下面结合几个实现方式对本实施例的制作方法进行详细介绍。

[0063] 实现方式一

[0064] 本实现方式一以制作底栅型的薄膜晶体管为例,制作流程包括如下步骤:

[0065] 步骤S31,如图3A所示,在衬底基板31上依次形成栅极G和栅绝缘层32;

[0066] 步骤S32,如图3B所示,在形成有栅极G和栅绝缘层32的衬底基板31上,形成具有凹槽结构的多晶硅图形33,其中凹槽结构(即图3B中椭圆形虚线区域)的凹陷的深度小于多晶硅图形33的厚度;

[0067] 步骤S33,如图3C所示,在形成有多晶硅图形33的衬底基板上31,形成非晶硅图形34,非晶硅图形34的一部分填充多晶硅图形33上的凹槽结构。

[0068] 当然,在实际应用中,多晶硅图形33上的凹槽结构需要使用掩模板,通过构图工艺刻蚀而成。为不增加制作成本,在具体制作步骤中,本实现方式一可以复用现有的其他图形的掩模板来对多晶硅图形33进行刻蚀。

[0069] 其中,即上述步骤32详细过程包括:

[0070] 步骤321,参考图3B1,在形成有栅极G和栅绝缘层32的衬底基板上31依次沉积多晶硅层A、欧姆接触层B和金属层C;

[0071] 步骤S322,参考图3B2,在金属层C上涂覆光刻胶,利用掩模板对光刻胶进行曝光,显影后形成光刻胶完全保留区域D1、光刻胶部分保留区域D2和光刻胶未保留区域(即D1和D2未能覆盖的区域),其中光刻胶完全保留区域D1下方的金属层C在后续刻蚀过程中分别作为源极和漏极的图形,光刻胶完全保留区域D1下方的欧姆接触层B,在后续刻蚀过程中分别作为第一欧姆接触图形、第二欧姆接触图形,光刻胶部分保留区域D2对应源极和漏极之间的区域;

[0072] 步骤S323,参考图3B3,对光刻胶未保留区域的金属层C、欧姆接触层B以及多晶硅层A进行刻蚀,本步骤使得多晶硅层A上形成凹槽结构。

[0073] 步骤S324,参考图3B4,对光刻胶部分保留区域D2的光刻胶进行灰化,对光刻胶部分保留区域D2的金属层C和欧姆接触层B进行刻蚀,使该金属层C形成源极S和漏极D;并使欧姆接触层B形成第一欧姆接触图形33和第二第一欧姆接触图形34。在本步骤完成后,可剥离剩下的光刻胶。

[0074] 实现方式二

[0075] 本实现方式二同样以制作底栅型的薄膜晶体管为例,制作流程包括如下步骤:

[0076] 步骤S41,如图4A所示,在衬底基板41上依次形成栅极G和栅绝缘层42;

[0077] 步骤S42,如图4B所示,在形成有栅极G和栅绝缘层42的衬底基板41上,形成第一多晶硅图形43;

[0078] 步骤S43,如图4C所示,在形成有第一多晶硅图形43的衬底基板上,形成非晶硅图形44;

[0079] 步骤S44,如图4D所示,对非晶硅图形44内的部分区域进行晶化处理,使该部分区域对应的非晶硅图形转换为第二多晶硅图形43';

[0080] 在步骤S44完成之后,如图4E所示,依次形成源极S、漏极D、第一欧姆接触图形45以及第二欧姆接触图形46。

[0081] 通过对比实现方式一和实现方式二可以知道,实现方式二不需要再使用构图工艺对半导体层进行刻蚀。

[0082] 实现方式三

[0083] 本实现方式三同样以制作底栅型的薄膜晶体管为例,制作流程包括如下步骤:

[0084] 步骤S51,如图5A所示,在衬底基板51上依次形成栅极G和栅绝缘层52;

[0085] 步骤S52,如图5B所示,在形成有栅极G和栅绝缘层52的衬底基板51上,形成非晶硅图形53;

[0086] 步骤S53,如图5C所示,对非晶硅图形53内的部分区域进行晶化处理,得到多晶硅图形54。

[0087] 在步骤S53完成之后,依次形成源极、漏极、第一欧姆接触图形以及第二欧姆接触图形,由于本实现方式三未涉及到上述图形制作工艺的改动,因此不在进行赘述。

[0088] 相比于实现方式二,实现方式三的制作工艺更为简单,通过晶化处理,直接在一层非晶硅图形上形成多晶硅图形。

[0089] 实现方式四

[0090] 不同于上述本实现方式一至实现方式三,本实现方式四以制作顶栅型的薄膜晶体管为例,制作流程包括如下步骤:

[0091] 步骤S61,如图6A所示,在衬底基板61上形成非晶硅图形62;

[0092] 步骤S62,如图6B所示,在形成有非晶硅图形62的衬底基板61上,形成多晶硅图形63,其中该多晶硅图形63覆盖非晶硅图形62;

[0093] 步骤S63,如图6C所示,在形成有多晶硅图形63的衬底基板61上,依次形成栅绝缘层64和栅极G。

[0094] 当然,参考图6D,在实际应用中,本实现方式四在步骤S62执行完成后,还包括制作源极S、漏极D、第一欧姆接触图形65和第二欧姆接触图形66的步骤,由于本发明并没有对上述这些功能图形进行改进,因此不在举例赘述。

[0095] 作为优选方案,在本实现方式四中,非晶硅图形62和栅极G可共用同一个掩模板制作,从而降低了薄膜晶体管的制作成本。

[0096] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

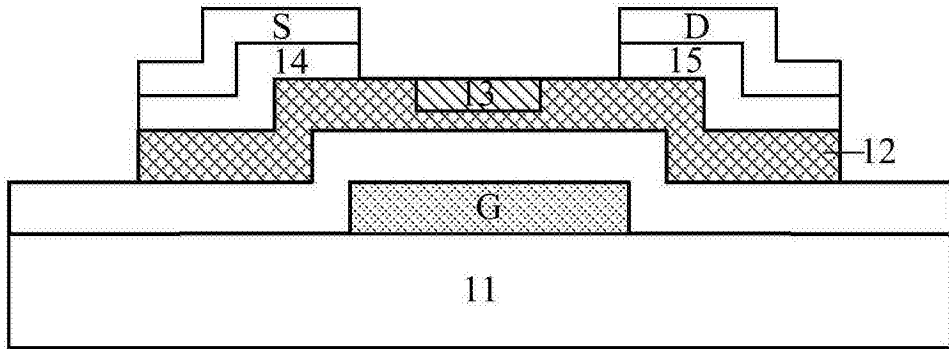


图1

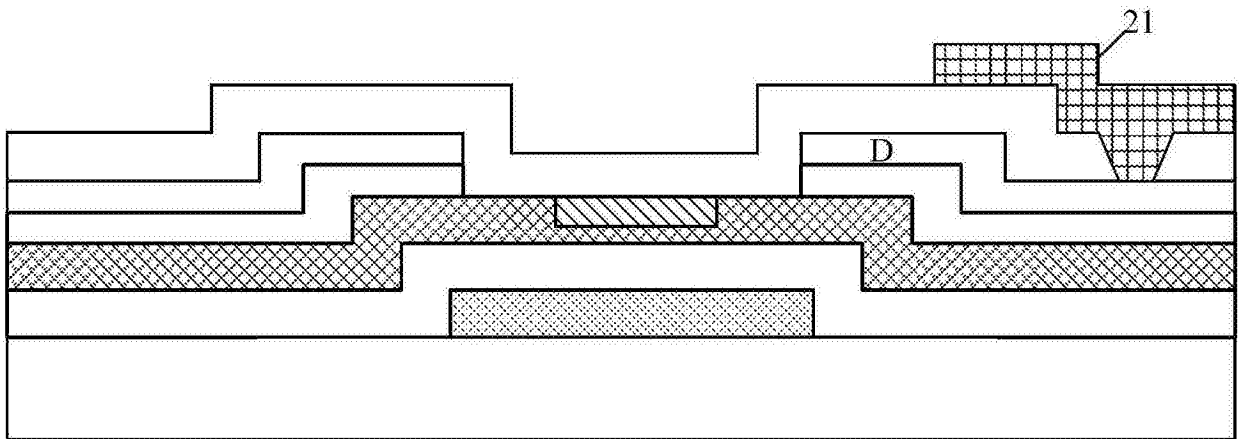


图2

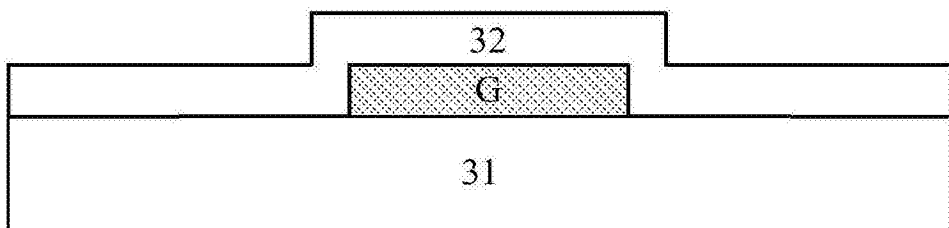


图3A

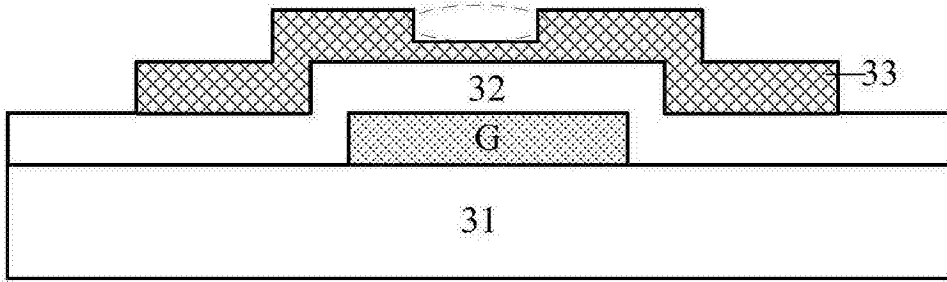


图3B

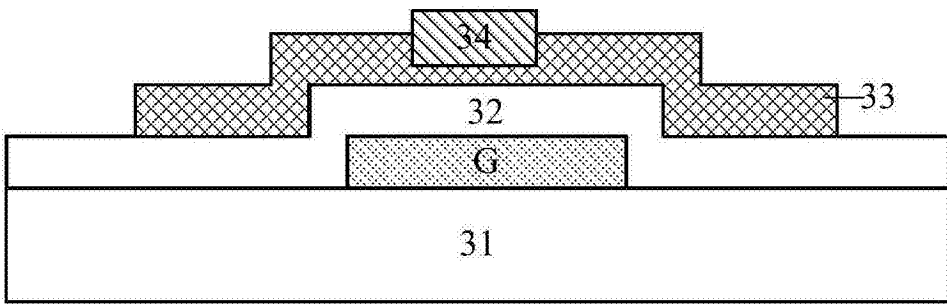


图3C

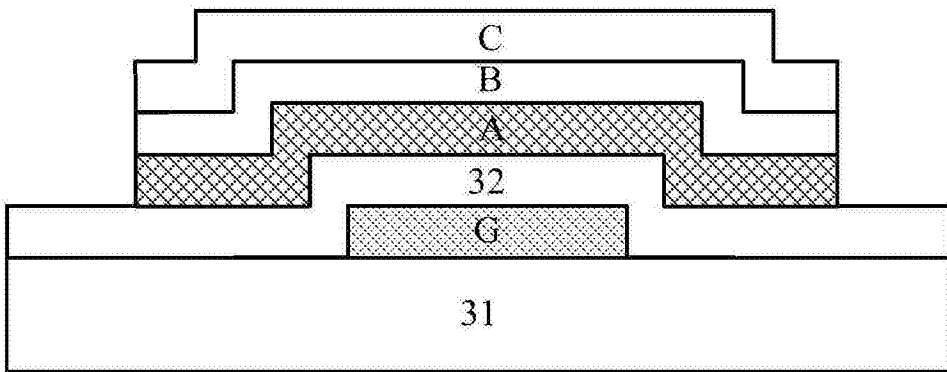


图3B1

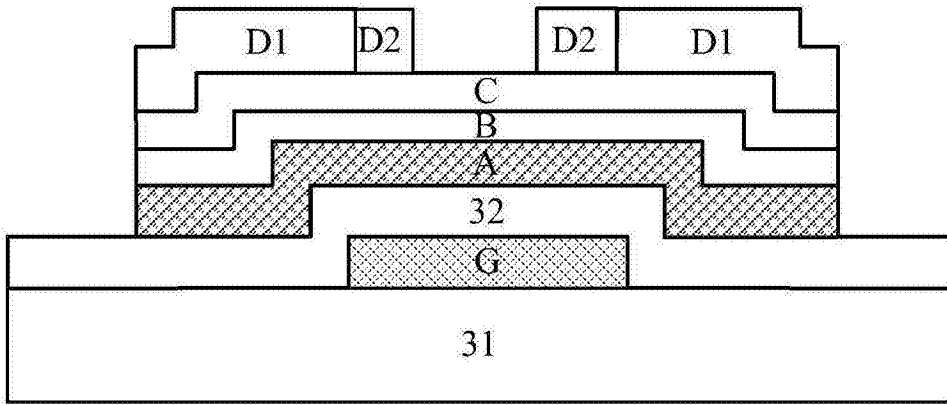


图3B2

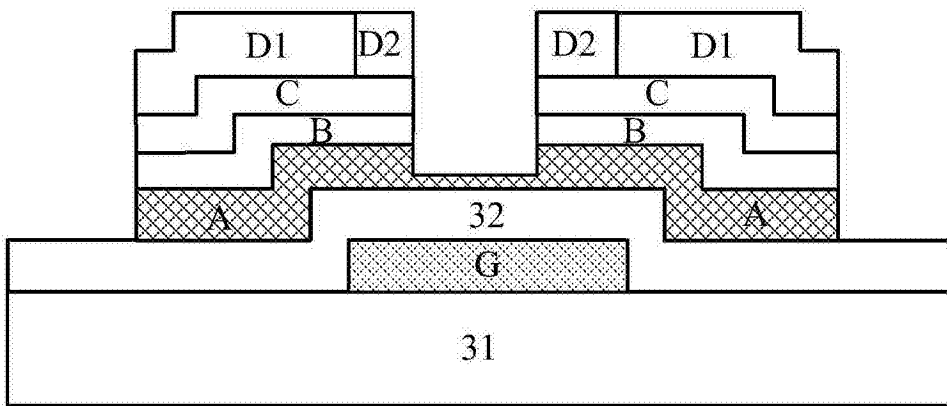


图3B3

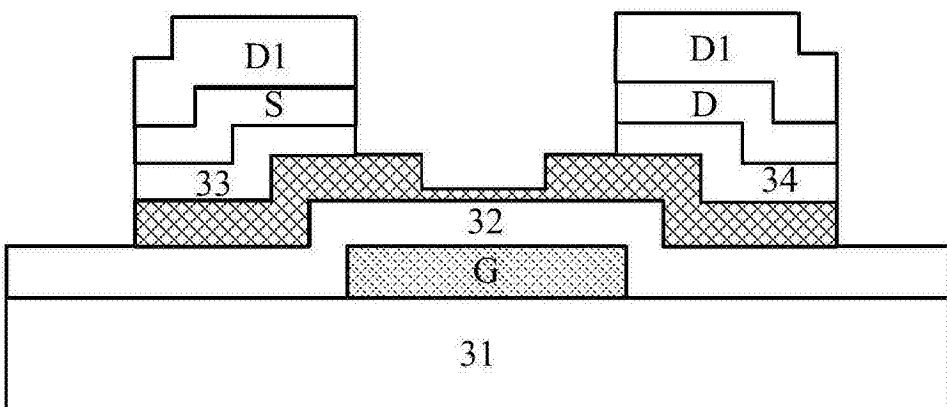


图3B4

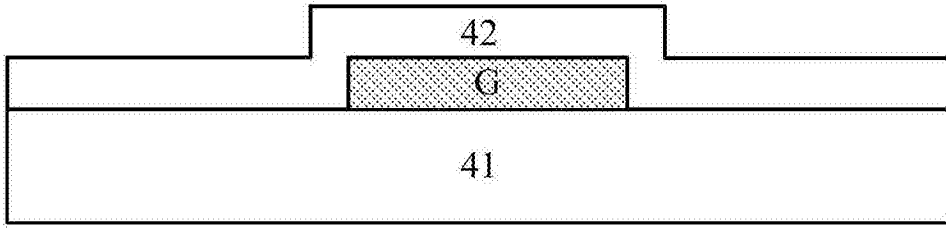


图4A

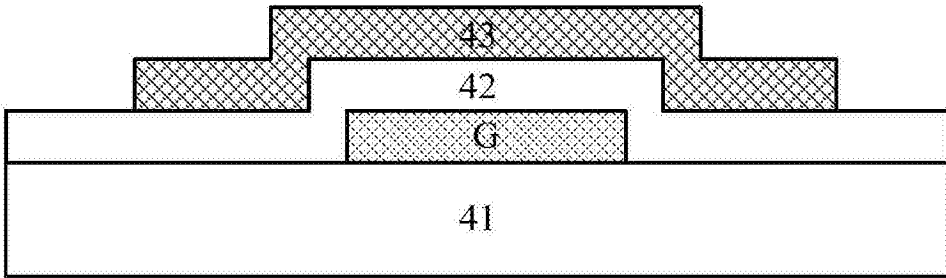


图4B

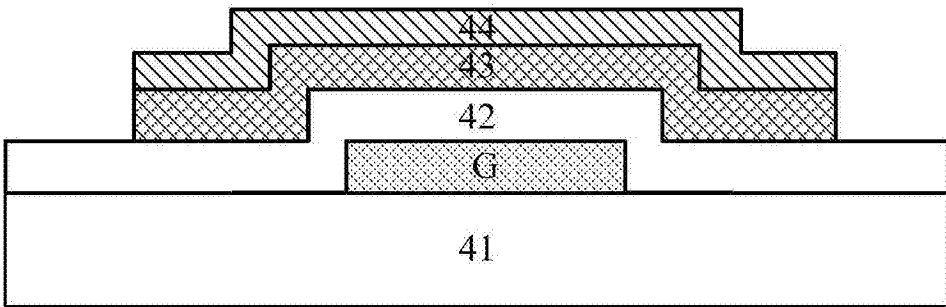


图4C

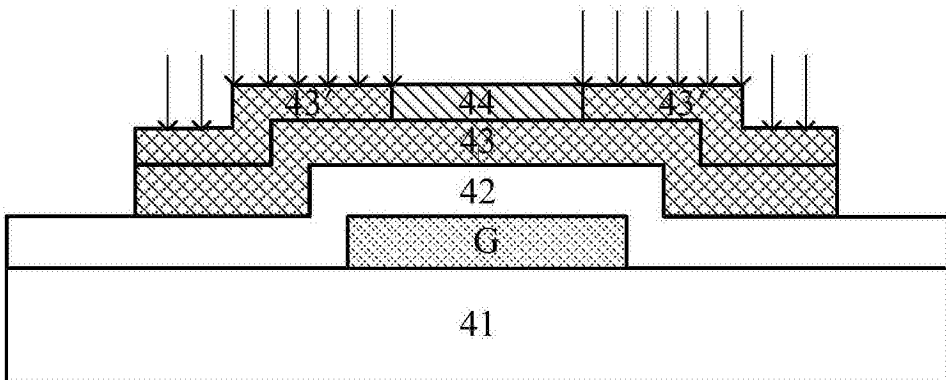


图4D

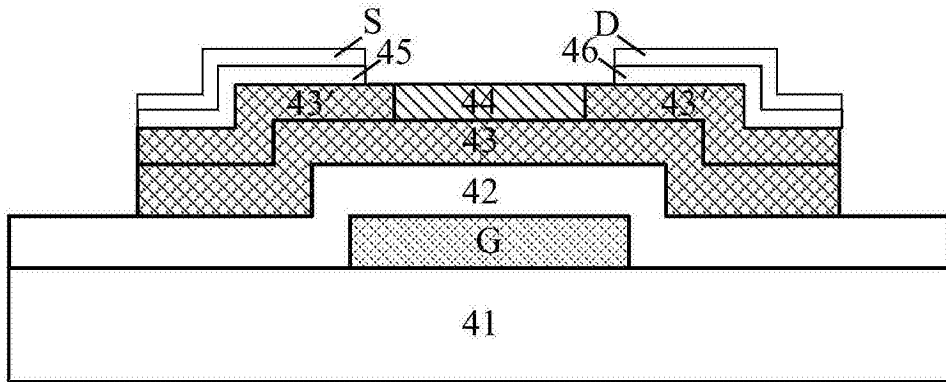


图4E

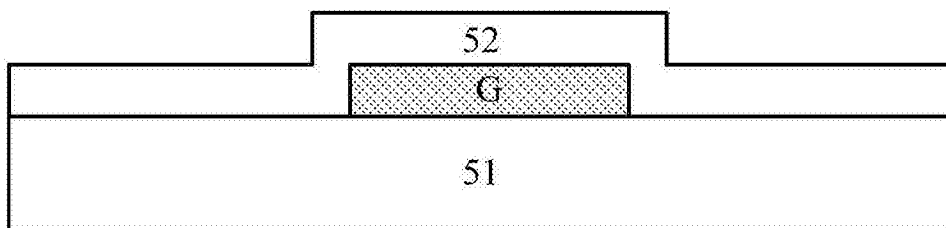


图5A

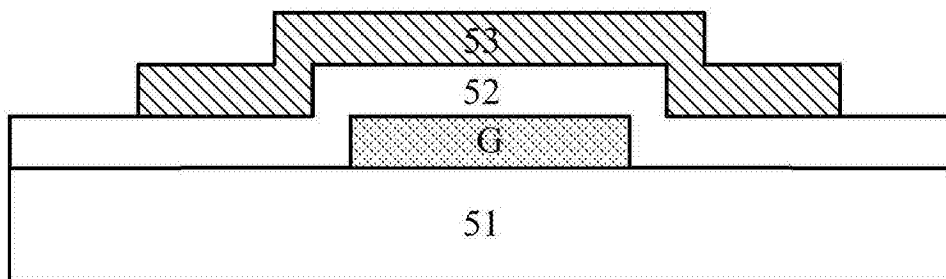


图5B

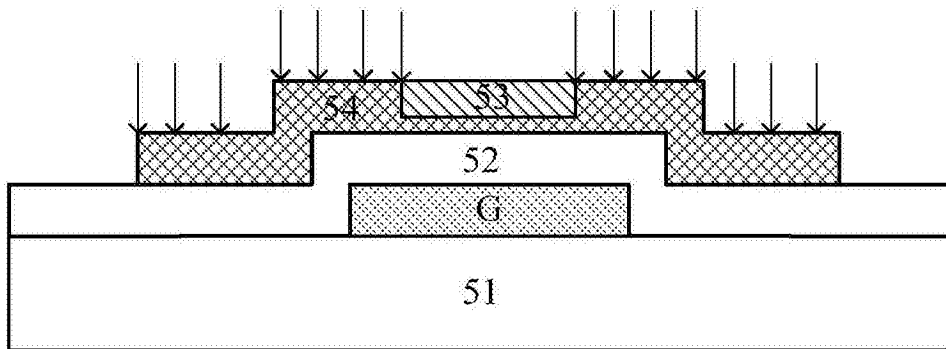


图5C

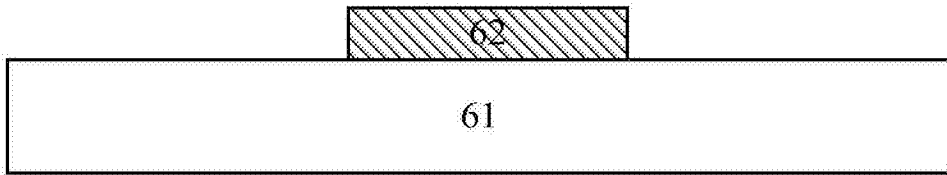


图6A

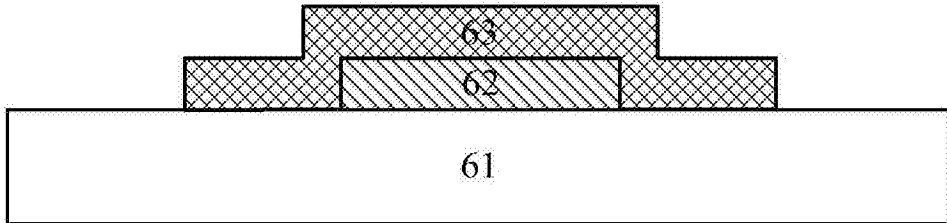


图6B

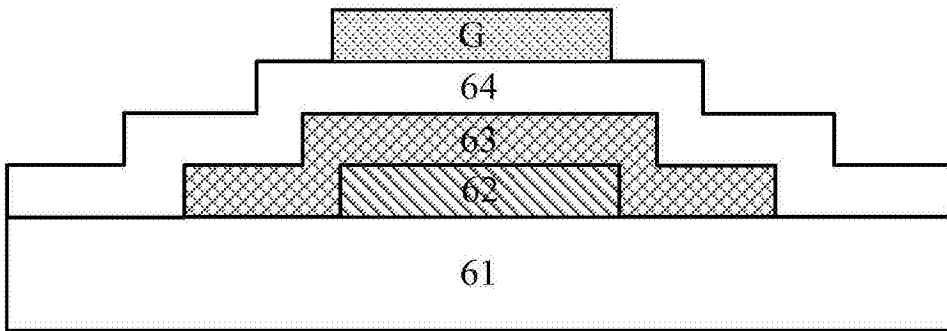


图6C

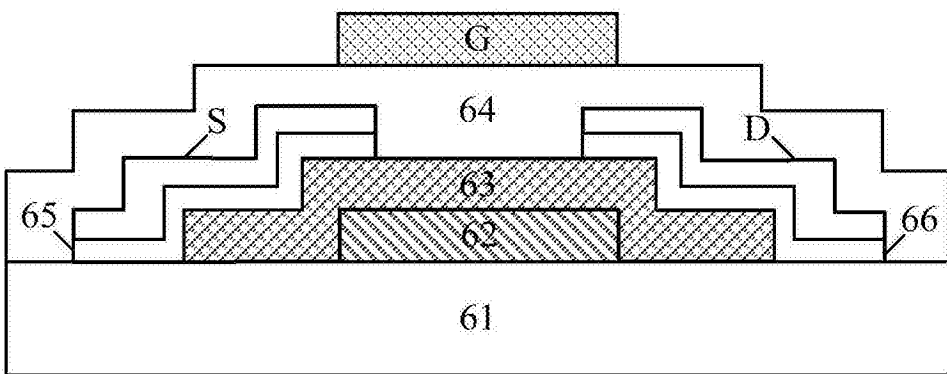


图6D