



URZĄD
PATENTOWY
PRL

Patent tymczasowy dodatkowy
do patentu nr _____

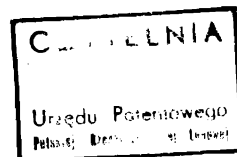
Zgłoszono: 83 03 09 (P. 240976)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 84 01 16

Opis patentowy opublikowano: 1986 08 29

Int. Cl.³ H03B 19/12
H03L 7/18
H03K 23/26



Twórca wynalazku: Zdzisław Kaszta

Uprawniony z patentu tymczasowego: Ośrodek Badawczo-Rozwojowy Radiofonii Odbiorczej,
Dzierżoniów (Polska)

Dzielnik programowany

Dziedzina techniki. Przedmiotem wynalazku jest dzielnik programowany, wykonany przy pomocy obwodów scalonych, przeznaczony do urządzeń elektronicznych, a stosowany zwłaszcza w układach syntezy częstotliwości, szczególnie w generatorach programowych, które zawierają pomocniczą pętlę fazową.

Stan techniki. Znane dzielniki programowane budowane są z zastosowaniem typowych obwodów scalonych, wytwarzanych na bazie techniki TTL, przy czym wykorzystywane są do tego celu przede wszystkim konwencjonalne obwody scalone, które łączone są w prosty lub bardziej złożony układ szeregu liczników programowanych.

Stosowane dotychczas dzielniki programowane charakteryzują się ograniczonym zakresem częstotliwości roboczych, a mianowicie wynosi on około 5 MHz w przypadku użycia układu z jednostopniowym licznikiem częstotliwości, albo około 3 MHz dla bardziej rozbudowanego układu, który składa się z kaskadowo współpracujących obwodów scalonych, tworzących szereg programowanych liczników częstotliwości.

Istota wynalazku. Cechą znamioną dzielnika programowanego, zgodnego z wynalazkiem, jest to, że zawiera on podstawowy stopień wejściowy, rozwiązany według zmodyfikowanego układu Johnsona, wykonanego na rejestrze przesuwным ze sterowaniem zewnętrznym, ustalającym podział przez 10 oraz 11.

Do pierwszego wejścia podstawowego stopnia wejściowego włączony jest sygnał ze źródła częstotliwości o zakresie 0–30 MHz. Drugie wejście tego stopnia połączone jest z jednym z wyjść programowanego bloku wyjściowego, jedną drogą przez sterujący układ pośredni i drugą drogą poprzez niego oraz przez programowany blok pośredni. Trzecie wyjście podstawowego stopnia wejściowego włączone jest do wyjścia układu zerowego. Wyjście podstawowego stopnia wejściowego dołączone jest jednocześnie do pierwszego wejścia programowanego bloku wyjściowego, oraz równocześnie do drugiego wejścia programowanego bloku pośredniego.

Poza powyższymi powiązaniami części składowych dzielnika programowanego, dodatkową istotną jego cechą jest to, że układ zerowy i programowany blok pośredni są, poprzez ich pierwsze wejścia, połączone jednocześnie ze sterującą nastawą pierwszą, a programowany blok wyjściowy jest przez jego wejście drugie połączony ze sterującą nastawą drugą.

Opisany powyżej dzielnik programowany charakteryzuje się przede wszystkim tym, że jego graniczna częstotliwość robocza wynosi około 30 MHz.

Opracowane rozwiązanie umożliwia dzięki temu zaprogramowanie jego pracy bezpośrednio na dowolnej częstotliwości zarówno w całym zakresie sygnałów z modulacją amplitudy (AM), jak również na kompletnym zakresie sygnałów z modulacją częstotliwości (FM), pod warunkiem użycia w tym ostatnim przypadku prostego preskalera.

Objaśnienie rysunku. Przedmiot wynalazku jest na rysunku przedstawiony w postaci schematu blokowego, który obrazuje dzielnik programowy i umożliwia wyjaśnienie jego działania.

Przykład wykonania wynalazku. Istotną częścią składową opracowanego dzielnika programowanego jest podstawowy stopień wejściowy **A**. Poza nim dzielnik zawiera sterujący układ pośredni **B**, zerowy układ **C**, programowany blok pośredni **D** i programowany blok wyjściowy **E**. Dzielnik programowany posiada sygnałowe wejście **We** włączone do wejścia **1** podstawowego stopnia wejściowego **A** i sygnałowe wyjście **Wy** wyprowadzone z wyjścia **4** programowanego bloku wyjściowego **E**. Ponadto ma on sterującą nastawę pierwszą **NI**, która poprzez wejścia **1** dołączona jest równocześnie do zerowego układu **C** jak i do programowanego bloku pośredniego **D**, oraz ma sterującą nastawę drugą **NII** włączoną do programowanego bloku wyjściowego **E**, przez jego wejście **2**.

Podstawowy stopień wejściowy **A**, poprzez jego wejście **2**, połączony jest z wyjściem **3** programowanego bloku wyjściowego **E**, zarówno przez wejście **2** i wyjście **3** sterującego układu pośredniego **B**, jak i poprzez niego oraz przez wejście **3** i wyjście **4** programowanego bloku pośredniego **D**. Wejście **3** podstawowego stopnia wejściowego **A** połączone jest z wyjściem **2** zerowego układu **C**. Podstawowy stopień wejściowy **A**, poprzez jego wyjście **4**, połączony jest jednocześnie zarówno z wejściem **1** programowanego bloku wyjściowego **E**, jak także z programowanym blokiem pośrednim **D**, poprzez jego wejście **2**.

Podstawowy stopień wejściowy **A** spełnia zadanie licznika posiadającego dwa podziały, a mianowicie przez 10 i 11, lub przez 100 i 101. Sterujący układ pośredni **B** wpływa głównie na pracę podstawowego stopnia wejściowego **A**. Zerowy układ **C** reaguje wyróżniając go na stan zerowy, ustawiany na wejściu pierwszej nastawy **NI**. Programowany blok pośredni **D** służy jako licznik sterowany pierwszą nastawą **NI**, wprowadzającą jednostki i dziesiątki, lub tylko jednostki. Programowany blok wyjściowy **E** sterowany jest drugą nastawą **NII**, wprowadzającą dziesiątki i setki, lub setki i tysiące, oraz ewentualnie dalsze rzędy większych liczb.

Zasadą działania opisanego powyżej dzielnika programowanego zostanie bliżej wyjaśniona dla przykładowej nastawy trzycyfrowej i dla przypadku pracy podstawowego stopnia wejściowego **A** z nastawą jednostek różnych od zera. Wówczas dwie cyfry, a mianowicie setki i dziesiątki, wprowadzane są do programowanego bloku wyjściowego **E**, a trzecia pojedyncza cyfra jest podawana do programowanego bloku pośredniego **D**, natomiast podstawowy stopień wejściowy **A** pracuje wtedy w stanie podziału przez 11. W tej sytuacji realizowana jest funkcja zliczania, dokonywana przez programowany blok wyjściowy **E** i przez programowany blok pośredni **D**.

Po zakończeniu zliczania przez programowany blok pośredni **D** następuje przestawienie podstawowego stopnia wejściowego **A** w pozycję podziału przez 10. W tej okoliczności programowany blok pośredni **D** nie bierze już udziału w pracy dzielnika, natomiast programowany blok wyjściowy **E** realizuje funkcję zliczania dziesiątek i setek. Po osiągnięciu nastawionej liczby następuje wysłanie sygnału wyjściowego **Wy** poprzez wyjście **4** programowanego bloku wyjściowego **E**, i rozpoczyna się wówczas od początku nowy cykl zliczania.

Dla przypadku pracy podstawowego stopnia wejściowego **A** z nastawą jednostek równych zero, dzielnik programowany realizuje pracę według drugiej części powyższego opisu działania, a mianowicie jak od momentu przestawienia podstawowego stopnia wejściowego **A** w pozycję podziału przez 10.

Praktyczny wniosek, z przeprowadzenia analizy teoretycznej pracy rozwiązania wynalazczego, pozwala określić warunek, który dla poprawnego działania opracowanego dzielnika wymaga, aby programowany blok wyjściowy **E** sterowany był nastawą **NII** wyższą, niż nastawa **NI**, sterująca programowany blok pośredni **D**.

Zastrzeżenia patentowe

1. Dzielnik programowany, wykonany techniką TTL, zbudowany z obwodów scalonych, tworzących układ liczników programowych, **znamienny tym**, że w składzie swym zawiera podstawowy stopień wejściowy (A), który rozwiązany jest według zmodyfikowanego układu Johnsona, z wykorzystaniem rejestru przesuwanego ze sterowaniem zewnętrznym, ustalającym podział przez 10 i 11, przy czym do wejścia (1) podstawowego stopnia wejściowego (A) włączone jest źródło sygnałów w zakresie częstotliwości 0–30 MHz, a wejście (2) podstawowego stopnia wejściowego (A) połączone jest z wyjściem (3) programowanego bloku wyjściowego (E) dwoma drogami, a mianowicie przez wejście (2) i wyjście (3) sterującego układu pośredniego (B), oraz drugą drogą poprzez wejście (3) i wyjście (4) programowanego bloku pośredniego (D), a następnie przez wejście (1) i wyjście (3) sterującego układu pośredniego (B), zaś wejście (3) podstawowego stopnia wejściowego (A) połączone jest z wyjściem (2) zerowego układu (C), natomiast wyjście (4) podstawowego stopnia wejściowego (A) jest dołączone zarazem do wejścia (1) programowanego bloku wyjściowego (E), jak i równocześnie do wejścia (2) programowanego bloku pośredniego (D).

2. Dzielnik programowany według zastrz. 1, **znamienny tym**, że zerowy układ (C) i programowany blok pośredni (D) są poprzez wejścia (1) połączone równocześnie ze sterującą nastawą pierwszą (NI), a programowany blok wyjściowy (E) jest przez wejście (2) połączony ze sterującą nastawą drugą (NII).

