(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0131603
(43) 공개일자 2011년12월07일

(51) Int. Cl.
H01L 33/08 (2010.01) *H01L 33/44* (2010.01)
(21) 출원번호 10-2010-0051126
(22) 출원일자 2010년05월31일
심사청구일자 2010년05월31일

(71) 출원인
세종대학교산학협력단
서울 광진구 군자동 98 세종대학교
(72) 발명자
김종렬
경기도 수원시 영통구 영통동 청명마을 벽산아파트 331동 102호
(74) 대리인
특허법인엠에이피에스

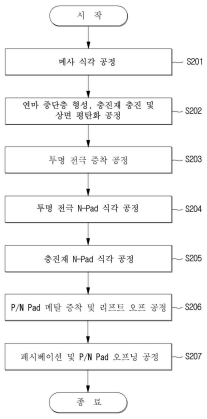
전체 청구항 수 : 총 6 항

(54) 고휘도 마이크로 어레이 발광 다이오드 소자의 제조 방법

(57) 요 약

고휘도 마이크로 어레이 발광 다이오드 소자를 제조하는 방법이 제공된다. 고휘도 마이크로 어레이 발광 다이오드 소자를 제조하는 방법은 (a) 메사(Mesa) 구조로 형성된 상기 마이크로 어레이 패턴의 복수의 돌출부에 도전성 소재의 연마 중단층(polishing stop layer)을 형성하는 단계, (b) 상기 연마 중단층이 형성된 상기 마이크로 어레이 패턴에 절연막을 충진하는 단계 및 (c) 상기 절연막의 일부를 제거하여, 상기 절연막이 충진된 마이크로 어레이 패턴의 상면을 평탄화하는 단계를 포함하되, 상기 (c) 단계는 상기 연마 중단층이 감지되면, 상기 절연막의 제거를 중단한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

고휘도 마이크로 어레이 발광 다이오드 소자를 제조하는 방법에 있어서,

(a) 메사(Mesa) 구조로 형성된 상기 마이크로 어레이 패턴의 복수의 돌출부에 도전성 소재의 연마 중단층(polishing stop layer)을 형성하는 단계,

(b) 상기 연마 중단층이 형성된 상기 마이크로 어레이 패턴에 절연막을 충진하는 단계 및

(c) 상기 절연막의 일부를 제거하여, 상기 절연막이 충진된 마이크로 어레이 패턴의 상면을 평탄화하는 단계

를 포함하되, 상기 (c) 단계는 상기 연마 중단층이 감지되면, 상기 절연막의 제거를 중단하는, 마이크로 어레이 발광 다이오드 소자 제조 방법.

청구항 2

제 1 항에 있어서,

상기 (a) 단계는 니켈 또는 금을 이용한 금속층을 상기 연마 중단층으로 이용하는, 마이크로 어레이 발광 다이오드 소자 제조 방법.

청구항 3

제 2 항에 있어서,

상기 (a) 단계는 플립칩 본딩(flip chip bonding)을 이용하여, 상기 연마 중단층을 상기 마이크로 어레이 패턴의 복수의 돌출부에 형성하는, 마이크로 어레이 발광 다이오드 소자 제조 방법.

청구항 4

제 1 항에 있어서,

상기 (c) 단계는 기계-화학적 연마(Chemical Mechanical Polishing;CMP)를 이용하여 상기 평탄화를 수행하는, 마이크로 어레이 발광 다이오드 소자 제조 방법.

청구항 5

제 4 항에 있어서,

상기 (c) 단계는 상기 연마 중단층의 상면 및 상기 각 돌출부 사이의 홈부에 충전된 절연막의 상면이 동일한 높이가 되도록 평탄화하는, 마이크로 어레이 발광 다이오드 소자 제조 방법.

청구항 6

제 4 항에 있어서,

상기 (c) 단계는 상기 기계-화학적 연마(Chemical Mechanical Polishing;CMP)를 위한 장치에 포함된 연마 마찰 센서에 의해 상기 연마 중단층을 감지하는, 마이크로 어레이 발광 다이오드 소자 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 발광 다이오드 소자를 제조하는 방법에 관한 것으로서, 보다 상세하게는, 고휘도 마이크로 어레이 발광 다이오드 소자를 제조하는 방법에 관한 것이다.

배 경 기 술

[0002] 질화물 반도체 발광 다이오드(이하, GaN-LED라 칭함)가 상용화 된 이래, 반도체 박막 기술, 공정 기술, 디바이스 기술의 지속적인 발전에 힘입어 GaN-LED는 성능 및 신뢰성에 비약적인 향상을 가져왔고, 휴대폰 산업의 급성장과 지속적인 고휘도, 고출력 응용 제품 출시로 발광 다이오드(Light Emitting Diodes, 이하 LED라 칭함)의 수요는 폭발적으로 증가하고 있다.

[0003] 또한, GaN-LED는 종래의 백열 전구나 형광등과 같은 조명과는 달리 초소형, 저소비 전력, 고효율, 친환경 등의 많은 장점을 보유하고 있어, 최근에는 대형 LCD-TV 용 백라이트 등 중대형 디스플레이에 적용되기 시작하였고, 자동차 용 조명뿐만 아니라 일반 조명 시장으로까지 그 영역을 넓혀 나가고 있는 추세이다.

[0004] 그러나, 현재까지 개발된 GaN-LED는 발광 효율, 광 출력 및 가격 면에서 더욱 많은 개선이 필요하며, 특히, GaN-LED가 일반 조명으로 응용을 확대하기 위해서는 발광 효율의 개선을 통한 고휘도의 달성이 최우선 과제로 꼽히고 있다.

[0005] 즉, GaN-LED 내부에서 생성된 빛이 반도체와 공기와의 굴절율 차이로 인한 내부 전반사를 발생시켜 광 추출 효율을 높이는데 문제점으로 작용하고 있으며, 이러한 문제점은 결과적으로 GaN-LED 고휘도화에 걸림돌이 되어왔다.

[0006] 이에, 높은 광 추출 효율을 얻기 위하여, 기하학적으로 전반사를 깨드려 소자 내부에 트랩되거나 열로 바뀌는 광자를 최소화할 고휘도 마이크로 어레이 발광 다이오드 소자의 제조 방법이 요구되고 있다.

[0007] 특히, 고휘도 마이크로 어레이 발광 다이오드 소자의 제조 과정에 있어서, 마이크로 어레이 패턴의 상면에 투명 전극을 증착하기 위한 마이크로 어레이 패턴의 평탄화 공정은 매우 정밀한 고난이도의 작업이 요구된다.

[0008] 이러한 평탄화 공정의 결과에 따라, 투명 전극이 증착된 표면의 구조가 복잡해지거나 요철이 심화되어질 수 있는데, 이는 다층 배선 공정에 있어서 단선이나 쇼트의 원인이 되는 문제로 연결될 수 있어, 평탄화 공정의 재현성(再現性;reproducibility) 및 신뢰성을 높일 수 있는 방안이 요구되고 있다.

발명의 내용

해결하려는 과제

[0009] 상술한 종래 기술의 문제점을 해결하기 위해, 본 발명은 기계-화학적 연마(Chemical Mechanical Polishing;CMP)를 이용한 평탄화 공정에서, 평탄화 두께를 정밀하게 제어하며, 평탄화의 정도를 높일 수 있는 방법을 제공한다.

[0010] 본 발명의 목적들은 이상에서 언급한 목적들로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0011] 상기 목적을 달성하기 위하여, 본 발명의 일 측면에 따른 고휘도 마이크로 어레이 발광 다이오드 소자를 제조하는 방법은 (a) 메사(Mesa) 구조로 형성된 상기 마이크로 어레이 패턴의 복수의 돌출부에 도전성 소재의 연마 중단층(polishing stop layer)을 형성하는 단계, (b) 상기 연마 중단층이 형성된 상기 마이크로 어레이 패턴에 절연막을 충진하는 단계 및 (c) 상기 절연막의 일부를 제거하여, 상기 절연막이 충진된 마이크로 어레이 패턴의 상면을 평탄화하는 단계를 포함하되, 상기 (c) 단계는 상기 연마 중단층이 감지되면, 상기 절연막의 제거를 중단한다.

[0012] 상기 목적을 달성하기 위한 구체적인 사항들은 첨부된 도면과 함께 상세하게 후술된 실시 예들을 참조하면 명확해질 것이다.

[0013] 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라, 서로 다른 다양한 형태로 구성될 수 있으며, 본 실시 예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술 분야에서 통상의 지식을 가

진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

발명의 효과

[0014] 전술한 본 발명의 고휘도 마이크로 어레이 발광 다이오드 소자를 제조하는 방법의 과제 해결 수단 중 하나에 의하면, 기계-화학적 연마(Chemical Mechanical Polishing;CMP)를 이용한 평탄화 공정에서, 평탄화 두께를 정밀하게 제어하여 평탄화의 정도를 높일 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 제작 방법에 따른 고휘도 마이크로 어레이 발광 다이오드 소자의 단면을 도시한 도면이다.

도 2는 본 발명의 일 실시 예에 따른 마이크로 어레이 소자의 제작 공정을 도시한 흐름도이다.

도 3a 내지 도 3h는 본 발명의 일 실시 예에 따른 마이크로 어레이 소자의 각 제작 공정 결과를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시 예를 상세히 설명하도록 한다.

[0017] 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다.

[0018] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0019] 참고로, 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.

[0020] 또한 어떤 부분이 어떤 구성 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

[0021] 이하, 첨부된 구성도 또는 처리 흐름도를 참고하여, 본 발명의 실시를 위한 구체적인 내용을 설명하도록 한다.

[0022] 도 1은 본 발명의 제작 방법에 따른 고휘도 마이크로 어레이 발광 다이오드 소자의 단면을 도시한 도면이다.

[0023] 본 발명의 제작 방법에 따른 고휘도 마이크로 어레이 발광 다이오드(이하, '마이크로 어레이' 라 칭함) 소자는 P 전극(이하, P-Pad라 칭함)과 N 전극(이하, N-Pad라 칭함)의 전극 구성을 가지고 있는데, P-Pad는 메사(Mesa) 패턴의 각 상단부로부터 금속 층을 이루며, N-Pad는 절연막인 충진재(이하, 충진재라 칭함)(예를 들어, 이산화규소(SiO2))의 패시베이션(Passivation) 층을 기준으로 식각을 통해 형성된 N-GaN 층과 연결되어 있다.

[0024] 더 구체적으로 설명하면 약 400 ㎛의 사파이어(sapphire) 기판 위에 4 ㎛의 N-type 질화갈륨(GaN)을 성장하고, 그 위에 활성화막(Active Layer)으로써 인듐갈륨나이트라이드(InGaN) 또는 질화갈륨(GaN)으로 MQW(Multi-Quantum Well)을 구성하였으며, 그 상부에 0.15 ㎛의 P-type 질화 갈륨(GaN)을 성장 하였다.

[0025] 여기에 메사 식각 공정, 연마 중단층(Polishing Stop Layer) 형성, 충진재(예를 들어, 이산화 규소(SiO2)) 충진 및 상면 평탄화 공정, 투명 전극 증착 공정, 투명 전극 및 N-Pad 식각 공정, 충진재 및 N-Pad 식각 공정, P/N-Pad 메탈 증착 및 리프트 오프(lift-off) 공정, 패시베이션(passivation) 및 P/N-Pad 오프닝 공정을 통해, 도 1에 도시된 바와 같은, 삼각형의 마이크로 어레이 형태(110), 대략 8 ㎛ 크기의 마이크로 어레이(120), 대략 2 ㎛의 마이크로 어레이 간의 간격(130), 대략 3 ㎛의 식각 깊이(140), 대략 60° 의 식각 각도(150)의 구조를 가지는 마이크로 어레이 소자를 제작하여 광 추출 효율을 높일 수 있다.

[0026] 참고로, 마이크로 어레이 형태(110)는 상기한 삼각형 외에도, 원, 사각형 또는 육각형 등의 다양한 기하학적 형태일 수 있다.

[0027] 이하, 도 2를 참조하여, 본 발명의 실시예에 따른 마이크로 어레이 소자의 제작 공정을 설명하도록 한다.

[0028] 참고로, 마이크로 어레이 소자를 제작하기 위해서는 마스크에 대한 디자인이 필요한데, 마스크는 Mesa Layer, Transparent Metal Layer, N-Pad Layer, P/N Pad Layer 및 패시베이션(passivation) Layer로 구성된다.

[0029] 각 Layer에 대하여 설명하면, Mesa Layer는 일반 LED의 Mesa 구조를 만들기 위한 패터닝(patterning) 마스크로

써, 해당 마스크는 4개의 영역으로 나눌 수 있다.

[0030] 또한, Mesa Layer는 각 마이크로 어레이의 픽셀을 삼각형, 원형, 사각형, 육각형 및 팔각형 등으로 설계 할 수 있으며, 각 마이크로 어레이의 픽셀 크기에 따라 대략 4 ㎛, 8 ㎛, 16 ㎛ 또는 20 ㎛ 크기로 설계할 수 있다.

[0031] 한편, Transparent Metal Layer는 Mesa 패턴이 형성된 P-GaN 위에 충진재(예를 들어, 이산화규소(SiO2))를 충진하며, 상면 평탄화 공정 이후 투명 전극 증착 후에 N-Pad 부분의 투명 전극 식각 공정을 위한 마스크이다.

[0032] 한편, N-Pad Layer는 N-Pad 투명 전극 식각 공정 이후, N-Pad 부분의 충진재를 식각하기 위한 마스크이며, 소자의 구동 전압 인가를 위한 P/N Pad 메탈(metal) 리프트 오프(lift-off) 용 마스크가 마이크로 어레이 소자를 제작하기 위한 마스크에 더 포함될 수 있다.

[0033] 한편, 패시베이션(passivation) Layer는 각 소자들의 보호막을 위해, 이산화규소(SiO2) 증착 후 P/N Pad 오프닝을 위한 식각 마스크이다.

[0034] 도 2는 본 발명의 일 실시 예에 따른 마이크로 어레이 소자의 제작 공정을 도시한 흐름도이다.

[0035] 도 1에 도시된 본 발명의 실시 예에 따른 마이크로 어레이 소자를 제작하기 위한 공정은 메사 식각 공정(S201), 연마 중단층(Polishing Stop Layer) 형성, 충진재 충진 및 상면 평탄화 공정(S202), 투명 전극 증착 공정(S203), 투명 전극 및 N-Pad 식각 공정(S204), 충진재 및 N-Pad 식각 공정(S205), P/N Pad 메탈 증착 및 리프트 오프(lift-off) 공정(S206), 패시베이션(passivation) 및 P/N-Pad 오프닝 공정(S207)으로 진행될 수 있다.

[0036] 이하 도 3a 내지 도 3h를 참조하여, 도 2에 도시된 각 공정을 상세하게 설명하도록 한다.

[0037] 도 3a 내지 도 3h는 본 발명의 일 실시 예에 따른 마이크로 어레이 소자의 각 제작 공정 결과를 도시한 도면이다.

[0038] 각 제작 공정 별로 상세히 설명하면,

[0039] 단계 S201, 메사 식각 공정.

[0040] 도 3a는 본 발명의 일 실시 예에 따른 메사 식각 공정의 결과를 도시한 도면이다.

[0041] 도 3a에 도시되어 있듯이, 질화갈륨(GaN)에 대한 메사 식각 공정 결과, 마이크로 어레이 패턴을 가지는 복수의 돌출부(310)와 각 돌출부 사이의 홈부(320)가 형성되었다.

[0042] 이하에서, 마이크로 어레이 패턴의 '돌출부'(310) 또는 마이크로 어레이 패턴의 '홈부'(320)라고 별도로 언급하지 않고, 단순히 '마이크로 어레이 패턴'이라고 언급된 경우, 이는 복수의 '돌출부'(310)와 각 돌출부 사이의 '홈부'(320)를 포함하는 것으로 설명하도록 한다.

[0043] 참고로, 질화갈륨(GaN)의 식각 방법에는 수산화나트륨(NaOH)과 수산화칼륨(KOH)를 이용한 습식 식각, RIE(Reactive Ion Etching), ECR(Electron Cyclotron Resonance), ICP(Inductively Coupled Plasma)를 이용한 건식 식각 방법 등을 사용할 수 있다.

[0044] 단계 S202, 연마 중단층(Polishing Stop Layer) 형성, 충진재 충진 및 상면 평탄화 공정.

[0045] 도 3b는 본 발명의 일 실시 예에 따른 연마 중단층 형성 후의 공정 결과를 도시한 도면이며, 도 3c는 본 발명의 일 실시 예에 따른 상면 평탄화 공정의 결과를 도시한 도면이다.

[0046] 단계 S202의 연마 중단층(Polishing Stop Layer) 형성 공정은 메사 식각 공정 이후 형성된 마이크로 어레이 패턴의 복수의 돌출부(310)에 니켈(Ni), 금(Au) 또는 인-주석 산화물(Indium-Tin Oxide;ITO) 등을 이용한 투명 금속 전극을 형성한다.

[0047] 여기에서 연마 중단층은 후술하는 평탄화 공정, 즉, 기계-화학적 연마(Chemical Mechanical Polishing;CMP)시, 평탄화 공정의 종점(end point)으로 사용될 수 있으며, 연마 중단층으로 인해 평탄화 공정이 더 이상 진행되지 않도록 한다.

[0048] 참고로, 연마 중단층은 플립칩 본딩(flip chip bonding)을 이용하여, 메사 식각 공정 이후 형성된 어레이 패턴의 돌출부(310)에 형성될 수 있다.

[0049] 이후의 충진 공정은 메사 식각 공정 이후 형성된 마이크로 어레이 패턴에 충진재(예를 들어, 이산화규소(SiO2))를 충진한다.

[0050] 여기에서, 충진재는 마이크로 어레이 패턴 간에 절연이 되도록 하며, 공기보다 굴절율이 높아 프레넬 손실(Fresnel loss)을 감소시킬 수 있다.

[0051] 참고로, 상기한 충진 공정은 플라즈마 화학 증착(Plasma Enhanced Chemical Vapor Deposition;PECVD) 장비를 이용하여 충진재를 충진할 수 있다.

[0052] 충진 공정 이후, 마이크로 어레이 패턴에 쌓인 충진재(예를 들어 SiO2)를 일부 제거하기 위해 도 3c에 도시된 바와 같은 평탄화 공정을 실시한다.

[0053] 여기에서 평탄화 공정은 기계적인 작용과 화학적인 작용이 동시에 작용하여 서로의 상호 작용을 일으키는 연마 공정으로서, 기계-화학적 연마(Chemical Mechanical Polishing, 이하 CMP라 칭함)를 통해 수행할 수 있다.

[0054] 평탄화 공정은 연마 중단층의 상면(330) 및 메사 식각 공정 이후 형성된 마이크로 어레이 패턴의 홈부(320)에 충진된 충진재의 상면(340)이 동일한 높이가 되도록 수행하며, 이때, 연마 중단층이 감지되면 수행 중인 평탄화 공정을 중단한다.

[0055] 이를 위해 CMP 장치는 소정의 위치에 연마 마찰 센서를 설치할 수 있으며, 연마 마찰 센서는 CMP 수행 중 평탄화 공정의 종점(end point)인 연마 중단층을 감지한다.

[0056] 이때, 연마 마찰 센서는 CMP 수행 중 연마 중단층과의 접촉으로 인해 진동이 발생하면, 발생된 진동을 감지하여 연마 중단층에 도달한 것으로 판단할 수 있다.

[0057] 따라서, CMP 수행 시 과도한 연마의 진행으로 인해 마이크로 어레이 패턴의 돌출부(310) 상면이 손상되는 오버 폴리싱(over polishing)을 방지할 수 있다.

[0058] 또한, 연마 중단층을 이용함으로써, 평탄화 공정 시, 평탄화의 두께를 정밀하게 제어함으로써 평탄화의 정도를 높일 수도 있고, 일정한 두께의 연마 중단층을 마이크로 어레이의 돌출부(310)에 형성하는 경우, 평탄화 공정의 재현성(再現性;reproducibility) 및 신뢰성을 확보할 수 있다.

[0059] 더불어, 평탄화 공정 중 일부 연마 중단층이 손상되더라도, 연마 중단층은 도전성 금속이므로, 이후 증착되는 투명 전극의 기능에 영향을 미치지 않는다.

[0060] 단계 S203, 투명 전극 증착 공정.

[0061] 도 3d는 본 발명의 일 실시 예에 따른 투명 전극 증착 공정의 결과를 도시한 도면이다.

[0062] 단계 S203의 투명 전극 증착 공정은 전자빔 증착기(E-Beam Evaporator)를 이용하여 투명 전극을 증착할 수 있으며, 인-주석 산화물(Indium-Tin Oxide;ITO) 등을 사용할 수 있다.

[0063] 이때, 정확한 두께를 형성하기 위하여 증착률을 낮게 설정할 수도 있다.

[0064] 참고로, 투명 전극 증착 시, 금속 접합의 옴 성 접합의 특성은 저 전압 구동, 고휘도, 저소비전력 달성 등에 매우 중요한 요소로 작용할 수 있다.

[0065] 따라서, P층 전면에 금속을 증착하여 활성 막(Active layer)에 골고루 전류가 흐르게 하고 또한, 금속을 얇게 증착함으로써 광의 방출 효율을 향상시킬 수 있다.

[0066] 단계 S204, 투명 전극 N-Pad 식각 공정.

[0067] 도 3e는 본 발명의 일 실시 예에 따른 투명 전극 N-Pad 식각 공정의 결과를 도시한 도면이다.

[0068] 단계 S204의 투명 전극 N-Pad 식각 공정은 전극 증착을 위한 패드 오프닝(pad opening) 공정으로서, 투명 전극 N-Pad 식각을 위해 화상 형성 공정(photo-lithography)를 실시할 수 있다.

[0069] 단계 S205, 충진재 N-Pad 식각 공정.

[0070] 도 3f는 본 발명의 일 실시 예에 따른 충진재 N-Pad 식각 공정의 결과를 도시한 도면이다.

[0071] 단계 S205의 충진재(예를 들어, SiO2) N-Pad 식각 공정은 전극 증착을 위해 N-GaN 위에 남아있는 충진재를 제거하기 위한 패드 오프닝(pad opening) 공정으로서, 충진재 및N-Pad 식각을 위해 화상 형성 공정(photo-lithography)을 실시할 수 있다.

[0072] 단계 S206, P/N-Pad 메탈(metal) 증착 공정.

[0073] 도 3g는 본 발명의 일 실시 예에 따른 P/N-Pad 메탈(metal) 증착 공정의 결과를 도시한 도면이다.

[0074] 단계 S206의 P/N-Pad Metal 증착 공정은 P/N Pad Metal 증착을 위해 전자빔 증착기(E-Beam Evaporator)에서 Pt 300 Å, Au 10000 Å을 각각 1.1 Å/sec, 8 Å/sec 의 증착률로 증착할 수 있다.

[0075] 단계 S207, 패시베이션(passivation) 및 P/N-Pad 오프닝 공정.

[0076] 도 3h는 본 발명의 일 실시예에 따른 패시베이션(Passivation) 및 P/N-Pad 오프닝 공정의 결과를 도시한 도면이다.

[0077] 단계 S207의 패시베이션(passivation) 및 P/N-Pad 오프닝 공정은 메사 영역에서 P-GaN과 N-GaN이 연결되어 단락되는 문제를 해결하기 위하여, 충진재(예를 들어, SiO2)를 증착하여 패시베이션(passivation) 층을 이루어 절연시키는 방법을 사용할 수 있다.

[0078] 충진재 증착 후, P/N-Pad 식각을 위해 화상 형성 공정(photo-lithography)을 실시할 수 있다.

[0079] 이상, 전술한 바와 같은 본 발명의 실시 예에 따른 마이크로 어레이 소자의 제작 공정을 통해, 삼각형의 마이크로 어레이 형태, 대략 8 ㎛ 크기의 마이크로 어레이, 대략 2 ㎛의 마이크로 어레이 간의 간격, 대략 3 ㎛의 식각 깊이, 대략 60° 의 식각 각도를 가지는 최적의 마이크로 어레이 LED 구조를 제조하여 광 추출 효율을 극대화할 수 있다.

[0080] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다.

[0081] 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

[0082] 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

[0083] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0084] 110 : 마이크로 어레이 형태

120 : 마이크로 어레이 크기

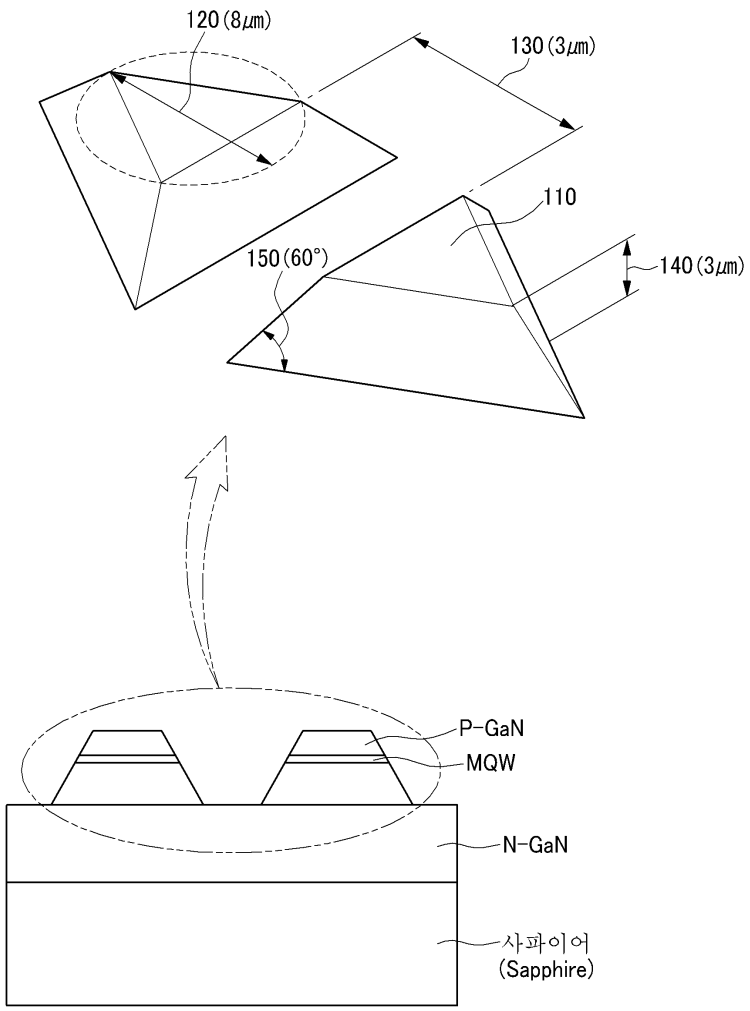
130 : 마이크로 어레이 간의 간격

140 : 마이크로 어레이의 식각 깊이

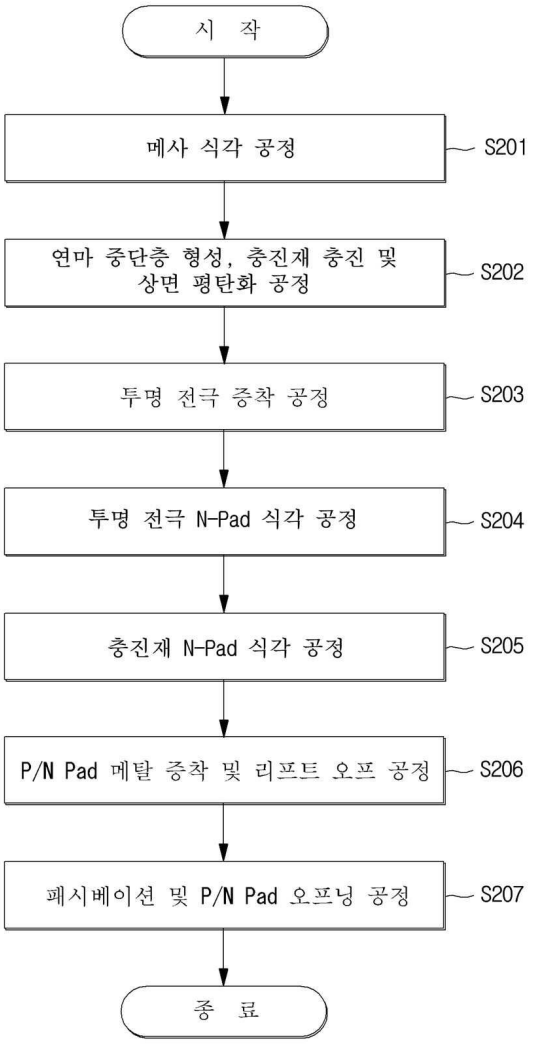
150 : 마이크로 어레이의 식각 각도

도면

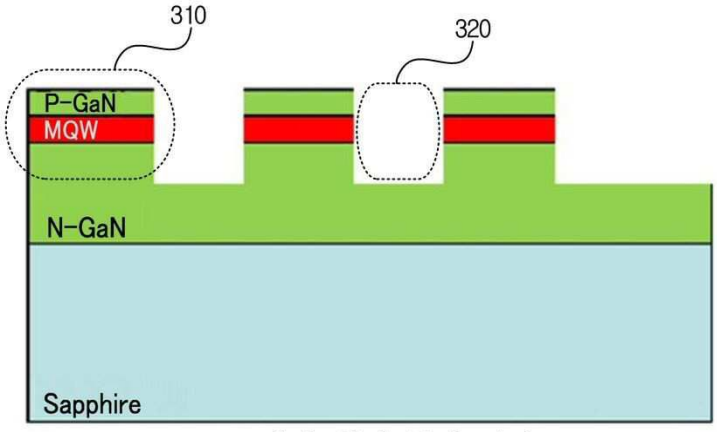
도면1



도면2

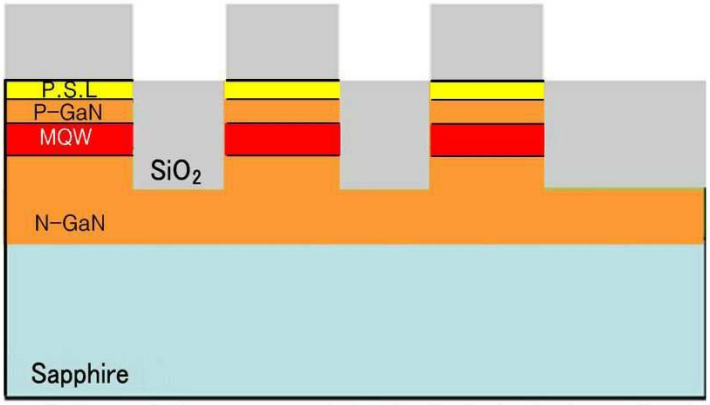


도면3a



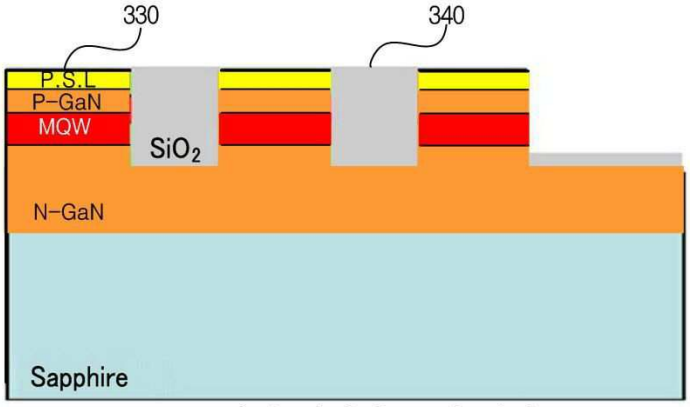
<a - 메사 식각 공정 결과>

도면3b



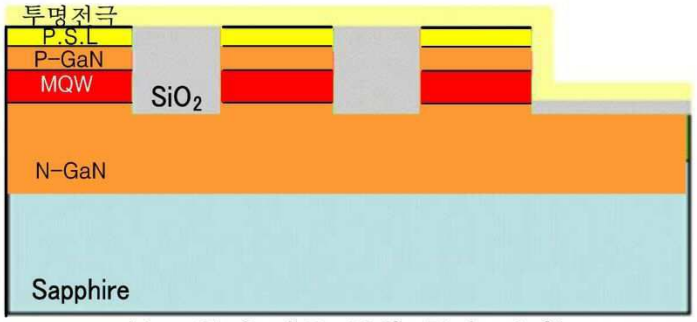
<b - 연마 중단층(P.S.L) 형성 및 충진재 충진 공정 결과>

도면3c



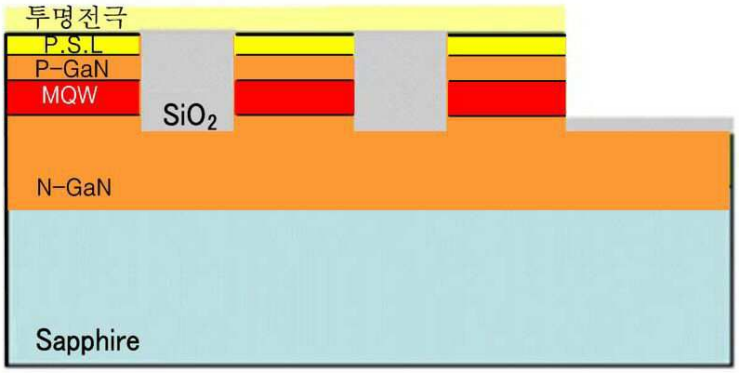
<c - 상면 평탄화 공정 결과>

도면3d



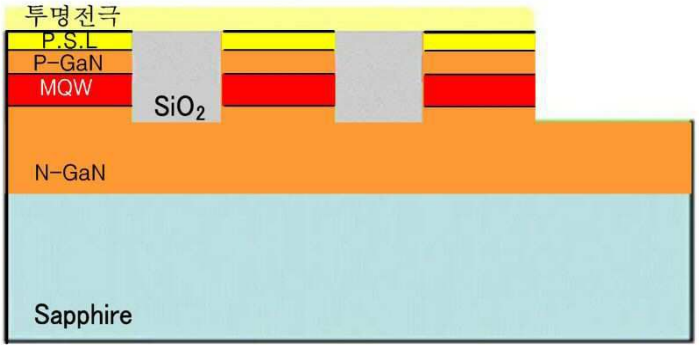
<d - 투명 전극 증착 공정 결과>

도면3e



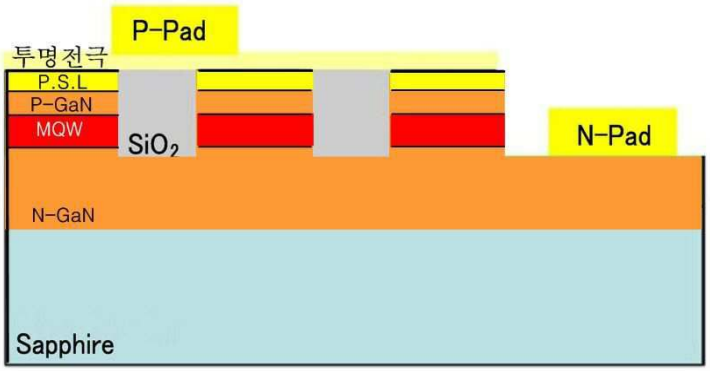
<e - 투명 전극 N-Pad 식각 공정 결과>

도면3f



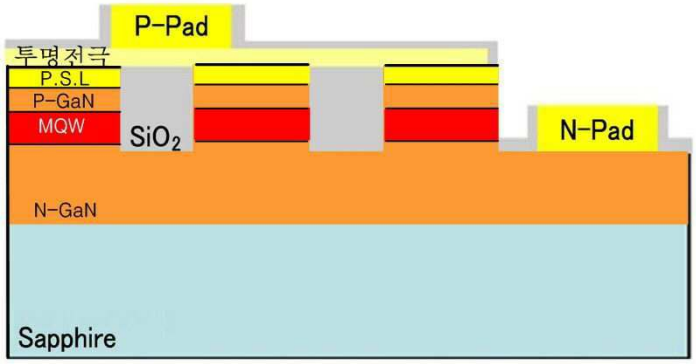
<f - 충진재 N-Pad 식각 공정 결과>

도면3g



<g - N/P-Pad 메탈 증착 공정 결과>

도면3h



<h - 패시베이션 및 P/N-Pad 오프닝 공정 결과>