

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-513252

(P2013-513252A)

(43) 公表日 平成25年4月18日(2013.4.18)

(51) Int.Cl.

H01L 21/265 (2006.01)
H01L 21/337 (2006.01)
H01L 21/338 (2006.01)
H01L 29/808 (2006.01)
H01L 29/812 (2006.01)

F 1

H01L 21/265
H01L 29/80
H01L 29/80
H01L 21/265

R
V
C
602A

テーマコード(参考)

5 F 1 O 2

審査請求 未請求 予備審査請求 未請求 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2012-543225 (P2012-543225)
(86) (22) 出願日 平成22年12月8日 (2010.12.8)
(85) 翻訳文提出日 平成24年6月14日 (2012.6.14)
(86) 國際出願番号 PCT/US2010/059374
(87) 國際公開番号 WO2011/071973
(87) 國際公開日 平成23年6月16日 (2011.6.16)
(31) 優先権主張番号 61/267,524
(32) 優先日 平成21年12月8日 (2009.12.8)
(33) 優先権主張国 米国(US)

(71) 出願人 311015849
エスエス エスシー アイピー、エルエル
シー
アメリカ合衆国 39213 ミシシッピ
州 ジャクソン、リヴィングストン・
レイン 1401
(74) 代理人 100082072
弁理士 清原 義博
(72) 発明者 シェリダン、デイビッド シー。
アメリカ合衆国, 39759 ミシシッピ
州, スターキビル, リサーチ・ブルバー
ド 201, セミサウス ラボラトリーズ
, インク. 内

最終頁に続く

(54) 【発明の名称】打込みされた側壁を有する半導体デバイスを製造する方法およびそれによって製造されたデバイス

(57) 【要約】

半導体デバイスおよびそのデバイスを製造する方法が提供される。デバイスは、接合型電界効果トランジスタ(JFET)、または接合型バリアショットキー(JBS)ダイオードまたはPINダイオードのようなダイオードであり得る。デバイスは、打込みマスクを用いる選択的イオン注入を使用して製造される。デバイスは、打込みマスクからの通常の入射イオンの散乱によって形成された打込み側壁を有する。長いチャネル長の縦型接合型電界効果トランジスタが記載される。デバイスは、シリコンカーバイド(SiC)のようなワイドバンドギャップ半導体材料から製造されることができ、高温および高出力の用途において使用することができる。

【選択図】 図1E

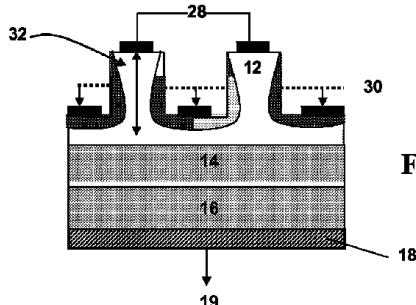


FIG. 1E

【特許請求の範囲】**【請求項 1】**

半導体デバイスの製造方法であって、前記方法は、

打込みマスク層上にエッチマスクをパターニング処理する工程、

を含み、ここで、打込みマスク層は、第1導電型の半導体材料のチャネル層上にあり、および、チャネル層は、第1導電型の半導体基板の上面上にあり、

前記方法は、さらに、

上面と、底面を各々有するチャネル層のエッチングされた領域に隣接した側壁とを各々有する1以上の隆起したソース領域を形成するために、エッチマスクを用いて、打込みマスク層を介してチャネル層へ選択的にエッチングする工程と、

エッチングされた領域の底面上の半導体材料中の第2導電型の打込み領域を形成するために、打込みマスク層を介してチャネル層ヘイオンを打込む工程と、

を含み、ここで、イオンは、半導体基板の上面に対して垂直から+/-10°以内の角度で打込まれ、打込みマスク層に衝突する少なくとも幾つかのイオンは、隆起した領域の側壁上に第2導電型の打込み領域を形成するために、打込みマスクによって散乱され、エッチングされた領域の底面上の打込み領域は、隆起した領域の隣接した側壁上の打込み領域に繋がっていることを特徴とする方法。

【請求項 2】

チャネル層が、半導体基板上にある第1導電型の半導体材料のドリフト層上にあることを特徴とする請求項1に記載の方法。

【請求項 3】

チャネル層とドリフト層は、各々、ドーパント濃度を有し、およびチャネル層のドーパント濃度は、ドリフト層のドーパント濃度より低いことを特徴とする請求項2に記載の方法。

【請求項 4】

打込み中のイオンのエネルギーが、250keVから2MeVであることを特徴とする請求項1に記載の方法。

【請求項 5】

打込みマスク層は、第1導電型の半導体材料のソース層上にあり、およびソース層はチャネル層上にあることを特徴とする請求項1に記載の方法。

【請求項 6】

ソース層およびチャンネル層は、各々、ドーパント濃度を有し、およびソース層のドーパント濃度は、チャネル層のドーパント濃度より高いことを特徴とする請求項5に記載の方法。

【請求項 7】

第1導電型はn型であり、および第2導電型はp型であることを特徴とする請求項1に記載の方法。

【請求項 8】

チャネル層および半導体基板が、SiCを含むことを特徴とする請求項1に記載の方法。

【請求項 9】

打込みマスク層が、少なくとも0.5μmの厚さを有することを特徴とする請求項1に記載の方法。

【請求項 10】

チャネル層が、0.25μm~5μmの厚さおよび $1 \times 10^{14} / cm^3$ ~ $1 \times 10^{18} / cm^3$ のドーパント濃度を有することを特徴とする請求項1に記載の方法。

【請求項 11】

ドリフト層が、200μm未満の厚さおよび $1 \times 10^{14} / cm^3$ ~ $1 \times 10^{18} / cm^3$ のドーパント濃度を有することを特徴とする請求項2に記載の方法。

【請求項 12】

10

20

30

40

50

ソース層が、 $5 \times 10^{-8} / \text{cm}^3$ より大きなドーパント濃度を有することを特徴とする請求項 5 に記載の方法。

【請求項 13】

打込みマスクが、フォトレジスト材、酸化物、窒化物または金属を含むことを特徴とする請求項 1 に記載の方法。

【請求項 14】

基板は、 $1 \times 10^{-8} / \text{cm}^3 \sim 1 \times 10^{-2} / \text{cm}^3$ のドーパント濃度を有することを特徴とする請求項 1 に記載の方法。

【請求項 15】

打込みマスク層が、第 1 導電型の半導体材料のソース層上にあり、およびソース層はチャネル層上にあることを特徴とする請求項 2 に記載の方法。 10

【請求項 16】

打込まれたイオンを活性化するためにデバイスをアニーリングする工程をさらに含むことを特徴とする請求項 1 に記載の方法。

【請求項 17】

隆起したソース領域の上面にソースコンタクトを形成する工程と、エッチングされた領域の底面上の打込み領域上にゲートコンタクトを形成する工程と、チャネル層の反対側の基板上にドレインコンタクトを形成する工程と、をさらに含むことを特徴とする請求項 1 に記載の方法。

【請求項 18】

1 以上の隆起したソース領域が、フィンガーの形態の複数の離間した細長い部分を含むことを特徴とする請求項 1 に記載の方法。

【請求項 19】

イオンが、半導体基板の上面に対して垂直から + / - 0 . 1 ° の角度でチャネル層へ打込まれることを特徴とする請求項 1 に記載の方法。

【請求項 20】

打込み中に基板を回転させる工程をさらに含むことを特徴とする請求項 1 に記載の方法。

【請求項 21】

請求項 1 の方法によって製造された半導体デバイス。 30

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2009年11月8日に出願された米国仮特許出願第 61/267,524 号の利益を主張し、その出願は、全体が参照として本明細書に組み込まれる。

【0002】

本明細書において使用される節の見出しは、構成目的のためのみに用いられ、本明細書に説明された内容を制限するものとして解釈されるべきではない。

【0003】

本出願は、概して、半導体デバイス及びそのデバイスの製造方法に関する。 40

【背景技術】

【0004】

電界効果トランジスタ (FET) は、弱い信号增幅のために（例えば、無線信号の増幅のために）一般に使用される一種のトランジスタである。デバイスは、アナログまたはデジタルの信号を增幅することができる。それはまた、発振器として DC またはファンクション (function) を切り替えることができる。FET において、電流は、チャネルと呼ばれる半導体経路に沿って流れる。チャネルの一方の端には、ソースと呼ばれる電極がある。チャネルのもう一方の端には、ドレインと呼ばれる電極がある。チャネルの物理的な直径は固定されているが、その有効な電気的な直径は、ゲートと呼ばれる制御電極への電圧の印加によって変えることができる。FET の導電率は、任意の所与の瞬間に、

10

20

30

40

50

チャネルの電気的な直径に依存する。ゲート電圧の小さな変化は、ソースからドレインへの電流の大きな変化を引き起こし、それによって信号の増幅を可能にする。

【0005】

PiNダイオードは、p型半導体領域とn型半導体領域との間の、幅広い、わずかにドープされた「接近した（near）」真性半導体領域を有するダイオードである。接合バリアショットキー（JBS）ダイオードはまた、それがPiNとショットキーバリア（すなわち、金属・半導体）の接合の両方を含んでいるので、統合されたPiNショットキーダイオード（a merged PiN Schottky diode）と呼ばれる。

【0006】

縦型接合型電界効果トランジスタ（VJFET）および静電誘導トランジスタ（SIT）のデバイスは、米国特許第5,903,020号および第6,767,783号；および米国特許出願公開2007/0187715A1に記載されている。SITの場合には、周波数特性を高く維持するために、典型的に、短いチャネル長が好ましい。従って、溝を掘られた（trenched）ソースフィンガー（source fingers）の上に側壁打込み（implantation）を作り出さない浅いp+ゲート打込み（implant）が好まれる。しかしながら、パワーVJFET構造において、高い逆バイアスの下での電界がチャネルバリアを減少させること、および増加したドレイン-ソース間漏れ電流または完全なブレークダウンを引き起こすことを防ぐことをデバイスができるように、長いチャネル長を有することが好ましい。米国特許出願公開2007/0187715A1において、ソースフィンガー側壁上への角度をつけた打込みは、ソースチャネル長に沿った長いゲートドーピング特性を生み出す方法として開示されている。しかしながら、この方法にはいくつかの欠点がある。すなわち、打込みが溝を掘られた構造において覆うことを防ぐために、打込みの間、ウエハーを回転させなければならない。さらに、角度をつけた打込みは、チャネルからソース領域の中へ構造の縦軸に沿った均一な打込みを引き起こし、2つの隣接した多くドープされた領域（ソースとゲート）をもたらす。これらの2つの領域の類似した性質は、劣った電圧処理能力を結果としてもたらす。さらに、この軸に沿って角度をつけた打込みは、特に、（例えば、2-8度の角で）典型的にカットオフされた軸であるSiC基板に対して、非対称的なゲート-ソース接合を結果として生じる顕著なイオンチャネリングを生み出し得る。

10

20

30

【0007】

従って、半導体デバイスを製造する改良された方法のニーズが依然として存在する。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】米国特許第5,903,020号

【特許文献2】米国特許第6,767,783号

【特許文献3】米国特許出願公開2007/0187715A1

【発明の概要】

【課題を解決するための手段】

【0009】

以下の工程を含む半導体デバイスの製造方法が提供される：

打込みマスク層（implant mask layer）上にエッチマスクをパターニング処理する工程、ここで、打込みマスク層は、第1導電型の半導体材料のチャネル層上にあり、および、そのチャネル層は、第1導電型の半導体基板の上面にあり；

上面と、底面を各々有するチャネル層のエッティングされた領域に隣接した側壁とを各々有する1以上の隆起したソース領域を形成するために、エッチマスクを用いて、打込みマスク層を介してチャネル層へ選択的にエッティングする工程；

エッティングされた領域の底面上の半導体材料中の第2導電型の打込み領域を形成するために、打込みマスク層を介してチャネル層へイオンを打込む工程、ここで、イオンは、半導体基板の上面に対して垂直から+/-10°の角度で打込みされ、打込みマスク層に

40

50

衝突する (impinging) 少なくとも幾つかのイオンは、隆起した領域の側壁上に第2導電型の打込み領域を形成するために、打込みマスクによって散乱され、エッチングされた領域の底面上の打込み領域は、隆起した領域の隣接した側壁上の打込み領域に繋がっている。

【0010】

上で説明した方法によって製造された半導体デバイスも提供される。

【0011】

本教示のこれらの特徴および他の特徴が本明細書に詳しく説明される。

【0012】

当業者は、以下に記載の図面は、例示目的のみのためであることを理解するだろう。図面が、いかなる方法でも本教示内容の範囲を制限することは、意図されない。10

【図面の簡単な説明】

【0013】

【図1A】図1A - 1Eは、VJFETデバイスの製造を図示する概略図であり、図1Aは打込み前の最初のデバイス構造を示す。

【図1B】図1A - 1Eは、VJFETデバイスの製造を図示する概略図であり、図1Bは、ソースフィンガーの幅ピッチ (pitch) を確定するために使用されるパターニング処理されたエッチマスクの成膜 (deposition) を示す。

【図1C】図1A - 1Eは、VJFETデバイスの製造を図示する概略図であり、図1Cは、打込みマスクおよびチャネル層のエッチングを示す。

【図1D】図1A - 1Eは、VJFETデバイスの製造を図示する概略図であり、図1Dは、0°の角度（すなわち、基板表面に対して垂直）でのイオン注入を用いたp+ゲートの打込みを示す。20

【図1E】図1A - 1Eは、VJFETデバイスの製造を図示する概略図であり、図1Eは、打込みおよび打込みマスクの除去の後のデバイスにおける結果として生じるドーパント輪郭を示す。

【図2】図2は、各ソースフィンガーの側壁上の十分な散乱打込みを可能にする周期的な配列構造を有するソースフィンガーアレーの典型的なレイアウトの平面図を示す概略図である。

【図3A】図3Aは、有意な散乱打込み (implant) が生じて、かつ側壁をドープすることを可能にするために、十分な打込みマスクおよびフィンガーピッチを有する溝を掘られた構造体へのほぼ垂直の打込みの結果として得られるドーパント輪郭を示すシミュレーションである。30

【図3B】図3Bは、図3Aの条件と類似しているが、デバイスは、イオン注入を提供するための隣接したソースフィンガーを有さない条件下で行われたシミュレーションである。

【図4】図4は、SiC VJFETの閾値電圧に対する散乱の効果を示すグラフである。

【発明を実施するための形態】

【0014】

本明細書を解釈する目的のために、本明細書中の「又は (or)」の使用は、別段の定めをした場合を除き、又は「及び / 又は (and / or)」が明らかに不適切である場合を除き、「及び / 又は (and / or)」を意味する。本明細書中の「1つの (a)」の使用は、別段の定めをした場合を除き、又は「1又はそれより多い (one or more)」が明らかに不適切な場合を除き、「1又はそれより多い (one or more)」ことを意味する。「包含する (comprise/comprises/comprising)」、「含む (include/includes)」の使用は、代替可能であり、制限を意図するものではない。さらに、1又はそれより多い実施形態の記載が「包含する (comprising)」の用語を用いる場合、当業者は、いくつかの具体的な例において、実施形態が「から基本的に成る (consisting essentially

40

50

ally of)」及び／又は「から成る (consist of)」という表現を用いて代替的に示されることを理解する。いくつかの実施形態において、工程の順序又は特定の動作を実行するための順序は、本発明の教示内容が実施可能である限り重要でないことがまた理解されるべきである。さらに、いくつかの実施形態において、2又はそれより多い工程又は動作は、同時にを行うことが可能である。

【0015】

隣接した構造物からのイオンの計画的な散乱を用いて、0度の打込みによる長いチャネル長を有する縦型接合型電界効果トランジスタ (VJFET) を製造する方法、およびそれによって製造されたデバイスが提供される。

【0016】

本発明は、打込みを必要とする露出した側壁を有する任意の縦型デバイス（例えば、ダイオード、トランジスタ、縦型抵抗器）に適用可能であり得るが、本発明の具体的な実施例は、改良モードまたはデプレーションモードのいずれかにおいて作ることができる長いチャネルVJFETを可能にする。デバイスの長いチャネルは、高い逆バイアスの下でドレンからソースまでの漏れ電流に対する長い高電位バリヤを維持しつつ、高い「阻止利得 (blocking gain)」（順方向の導通から逆阻止工程 (reverse blocking stage) への鋭い変化 (transition) を可能とする。

【0017】

半導体デバイス内の垂直のトレンチ側壁上でイオン注入（すなわち、ドーピング）を作り出すために、トレンチを使用する方法および構造をマスキングする方法が記載される。幾つか実施形態によると、角度を付けた側壁打込みが利用されない、SiC内の長い溝を掘られたチャネル縦型接合型電界効果トランジスタが提供される。

【0018】

本明細書に記載されるように、マスキング層によってイオンが外に散乱することは、溝を掘られた半導体側壁の縁部にドーピング特性を生み出す。本明細書に記載されている方法は、VJFETのゲート領域において使用することができる。しかしながら、本明細書に記載されている方法は、打込み側壁から益を得る任意の半導体構造を製造するために使用することができ、それらは、限定されないが、静電誘導トランジスタ (SIT)、バイポーラ接合トランジスタ (BJT) および接合バリアショットキーダイオード (JBS) を含む。

【0019】

VJFETを製造する方法は、図1A-1Eに示され、以下に記載される。

【0020】

図1Aは打込み工程 (process) 前の最初のデバイス構造を示す。図1Aに示されるように、打込み前のデバイスは、チャネル層 (12) 上に打込みマスク層 (mant mask layer) (10) を含む。また図1Aに示されるように、チャネル層 (12) はドリフト層 (14) の上にあり、ドリフト層 (14) は半導体基板 (16) 上にある。ドレンコンタクト (18) がドリフト層 (14) の反対側の基板上に示される。ドリフト層が図1Aに示されるが、ドリフト層は省略可能である（すなわち、チャネルとドリフト層は単層であることもある）。

【0021】

ドリフト層 (14) およびチャネル層 (12) は、エピタキシャル成長させることができる。ドーピングの型および濃度は、デバイスに対して所望の特徴を提供するために変更することができる。n型チャネルVJFETのために、基板は、 $1 \times 10^{18} / \text{cm}^3$ から $1 \times 10^{20} / \text{cm}^3$ までの窒素ドーピング濃度を有するn型であり得る。ドリフトおよびチャネルの窒素ドーピングレベルは、 $1 \times 10^{14} / \text{cm}^3$ と $1 \times 10^{18} / \text{cm}^3$ の間であり得る。ドリフト層の厚さは $< 100 \mu\text{m}$ であり得、チャネル層の厚さは $0.25 \mu\text{m}$ と $5 \mu\text{m}$ の間であり得る。

【0022】

チャネル層 (12) の上に、 5×10^{18} を超えて多くドープされたn+キャップ層 (50

10

20

30

40

50

図示せず)を有することも可能である。

【0023】

打込みマスクは、フォトレジスト材、酸化物、窒化物および溶着金属を含む任意の様々な材料であり得る。打込みマスキング材料の厚さは $>0.5\mu\text{m}$ であることもある。打込みマスキング材料の厚さは半導体トレンチ構造の深さに依存して変えることができる。

【0024】

図1Bは、打込みマスク層(10)上のパターニング処理されたエッチマスク(20)の堆積を示す。パターニング処理されたエッチマスク(20)は、ソースフィンガーの幅およびピッチを確定するために使用される。パターニング処理されたエッチマスク(20)のために使用される材料は、酸化物、金属またはフォトレジストのような従来の半導体エッチマスク材料であり得る。10

【0025】

図1Cは、エッチマスク(20)を使用する、選択的にエッチングされている打込みマスク層(10)およびチャネル層(12)を示す概略図である。典型的に、SiC材料のために、エッチング工程は、ドライ反応イオンエッチ(dry Reactive Ion Etch) (RIE)または誘導結合高周波プラズマ(ICP)に基づくプラズマエッチによって行なわれる。エッチングは、打込み/エッチマスクを介して続けられ、所定の深さまでチャネル層(12)のSiCをエッチングするように続ける。エッチングされたチャネルの深さ(22)は、デバイスの設計に依存する。典型的なエッチングされたチャネルの高さは、 $0.25\sim5\mu\text{m}$ である。20

【0026】

図1Dに示されるように、チャネルエッチが終了した後、p+ゲートの打込み(24)は、0度でイオン注入を用いて行なわれる。0°の打込みが示されているが、代替的なわずかな角度が使用され得る。角度をつけた打込みが使用される場合、ウエハーは打込み工程の間に回転されることがある。

【0027】

図1Dに示されるように、イオンは、0度の角度(すなわち、ウエハー表面に対して垂直)で構造体に達し、ソースフィンガーの間の半導体表面内に入り、それによってゲート特性の底部(the bottom)を作り出すか、またはソースフィンガーの上部の打込みマスクへと入るかのいずれかである。打込みマスクに入るイオンのうちのいくつかは、散乱事象に遭遇し、ソースフィンガー側壁に打込まれているイオンを結果として生じる角度で打込みマスクを出るのに十分なエネルギーを有する。打込みドーズおよびエネルギーは、意図した側壁打込みの量および深さに可変的に依存する。より深い接合を得るために、打込みエネルギーは高くあるべきである(例えば、 $250\text{ keV}-2\text{ MeV}$)。30

【0028】

図1Eは、打込みおよび打込みマスク(20)の除去の後の、結果として生じたドーピング輪郭を示すデバイスの概略の断面図である。図1Eからわかるように、p+打込み領域は、目下、ソースフィンガーの側壁に沿って、およびフィンガーの底部に形成される。図1Eに示されるように、打込み側壁領域は、トレンチの底部の打込み領域に繋がる。このことによって、ソースフィンガーの側壁に沿った長いチャネル長(32)が可能となる。これは、米国特許第5,903,020号に記載の短チャネルと比較され、米国特許第5,903,020号では、打込みは、SITデバイスに最適な短チャネルデバイスを結果として生じるトレンチの底部に存在するのみである。40

【0029】

続く加工は、打込みの活発化(activation)と、デバイスのゲート(30)、ドレイン(19)、およびソース(28)上にコンタクト形成することを含み得る。

【0030】

図2は、各ソースフィンガー上の十分な散乱打込みを可能にする周期的な配列構造を備えるソースフィンガーアレーデバイスの上からの概略図である。

【0031】

構造は縦型アレーとして示されるが、側壁への打込みの散乱を引き起こす、隣接した構造である限り、環状、六角形などであることもある。

【0032】

打込みは、0 - 10度傾けられることがあり、確実に構造体の側面がすべて等しくドープされるように、打込み工程の間、基板を回転させことがある。

【0033】

上に述べられるように、VJFET構造において、別々のチャネルとドリフト層である必要はない。

【0034】

本明細書に記載されるデバイスの様々な層のドーパント濃度及び厚さは、具体的な用途のための所望の特性を有するデバイスを製造するために変更され得る。同様に、デバイスの様々な特徴の寸法もまた、具体的な用途のための所望の特徴を有するデバイスを製造するために変更され得る。

【0035】

半導体材料の層は、適切な基板上にエピタキシャル成長させることで形成され得る。層は、エピタキシャル成長の間ドープされる。

【実施例】

【0036】

本教示の態様は、以下の実施例に照らしてさらに理解されるだろうが、実施例は、いかなる点においても、本教示の範囲を制限するものとして解釈されるべきでない。

【0037】

打込みマスクからの散乱による効果を実証し、ドーピング輪郭の正確な説明を与えるために、数値シミュレーションを行った。図3Aは、かなりの散乱打込みが生じて、側壁をドープすることを可能にするために、十分な打込みマスクおよびフィンガーピッチを有する溝を掘られたSiC構造へのほぼ垂直の打込みを用いるドーピング輪郭のシミュレーションを示す。図3Aに示されるように、側壁のドーピングは、トレンチの底部から半導体表面のほぼ上部に延びる長いチャネルを生み出す。

【0038】

図3Bは、図3Aと同じシミュレーションであるが、イオン散乱を提供するための隣接した散乱フィンガーがないシミュレーションである。ソースフィンガーの側壁上に最低限の打込みがあり、結果として短チャネルを生じることに注目すべきである。

【0039】

図4は、SiC VJFETの閾値電圧に対する散乱の効果を示すグラフである。図4から分かるように、トレンチ間隔が増すにつれて、デバイスの閾値電圧は減少する。理論によって結びつけられないが、この現象は、トレンチ間隔が増えるにつれて、隣接したフィンガー特性からの散乱した側壁ドップスが減少することに起因すると考えられる。反対に、すべての隣接したフィンガーの上の高レベルのドーピング（およびより長いチャネル）を引き起こす、増加した打込み散乱の結果として、図4に示されるように、トレンチ間隔が減少するにつれて、閾値電圧は増える。

【0040】

打込みマスクの厚さは0.5μmから5μmの範囲であり、適用可能な打込みエネルギーで打込み阻止に適した酸化物、フォトレジスト、金属層または多層のスタックからなることもある。

【0041】

散乱効果を最適化するために使用される打込みエネルギーは、より短いフィンガーおよび近接して配置されたトレンチ構造に対しての60keV - 380keVから、かなりの散乱効果が望まれる深く、かつ均一な打込みに対しての、1MeVまでの範囲であり得る。

【0042】

前述の詳説は、説明の目的のために提供される実施例を用いて、本発明の原理を教示す

10

20

30

40

50

るが、当業者は、本開示を読むことで、形式及び詳細の様々な変更が本発明の真の範囲から逸脱することなくなされ得ることを理解する。

【図 1A】

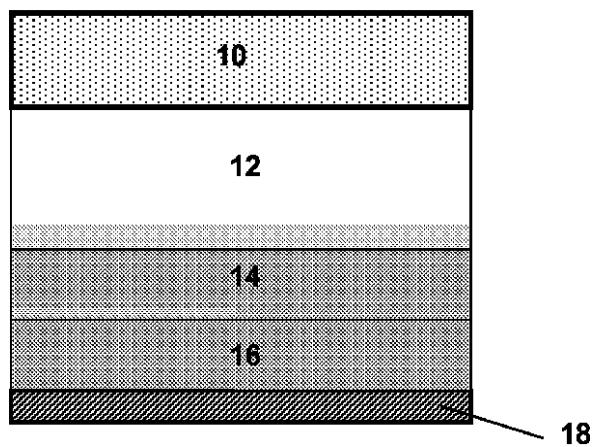


FIG. 1A

【図 1B】

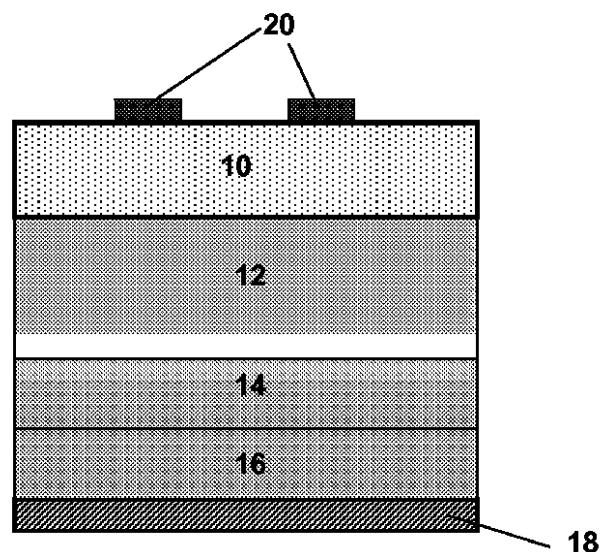
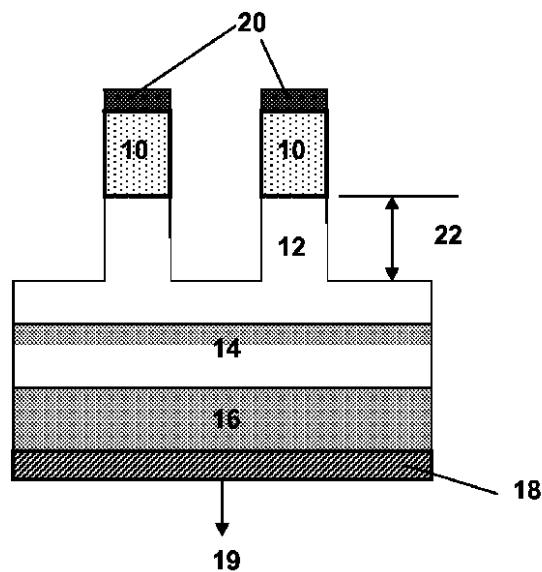
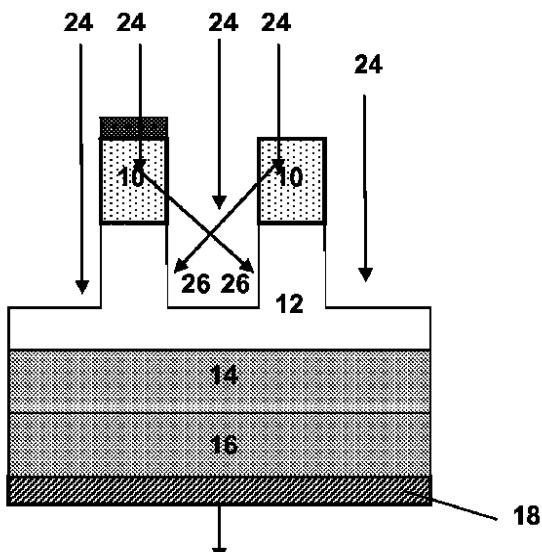


FIG. 1B

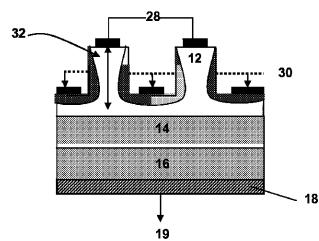
【図 1 C】

**FIG. 1C**

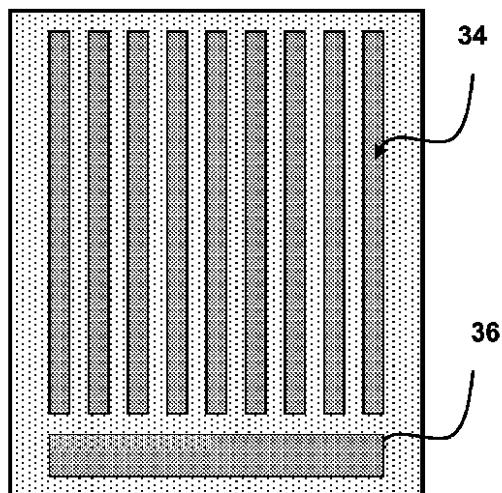
【図 1 D】

**FIG. 1D**

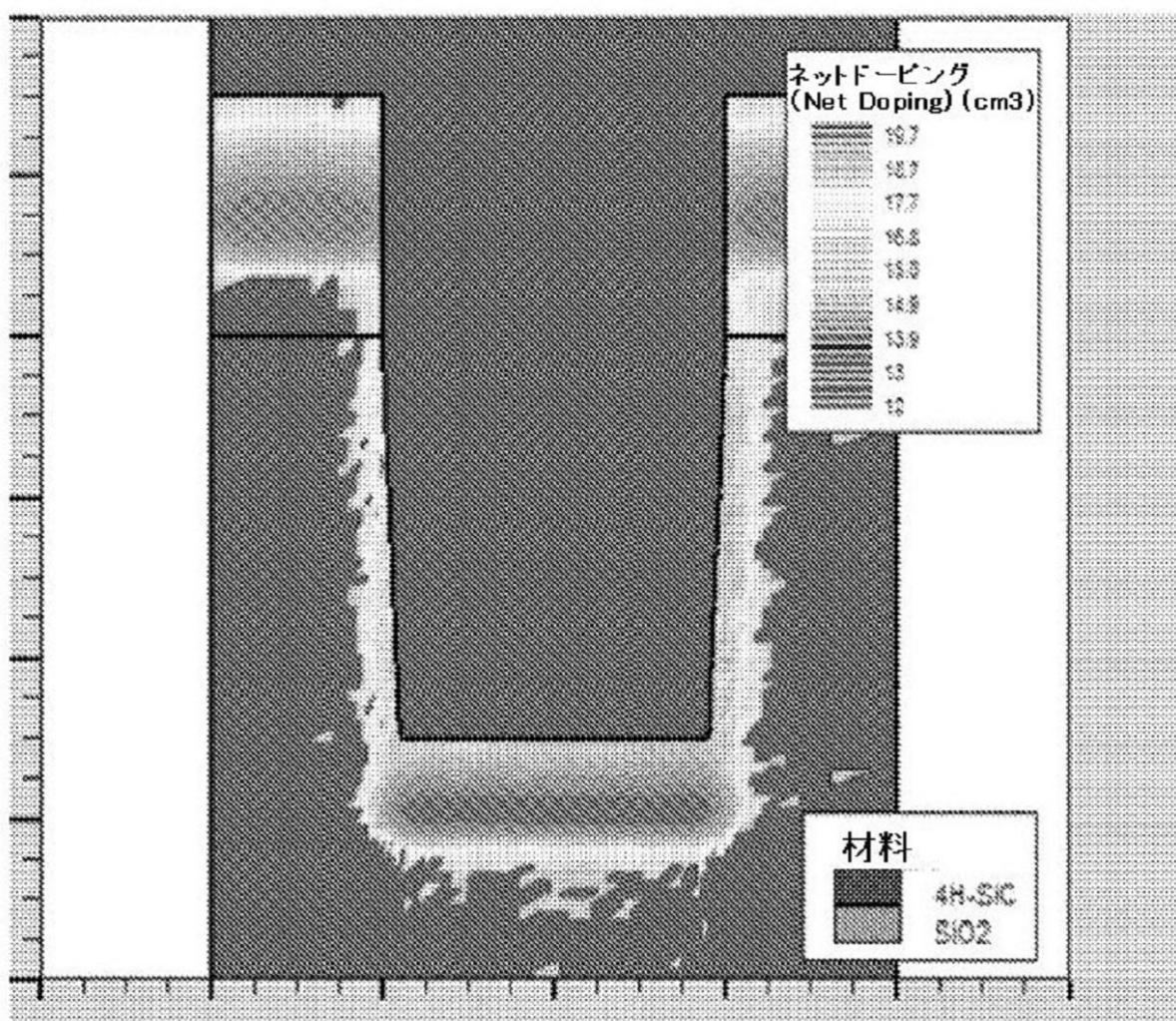
【図 1 E】

**FIG. 1E**

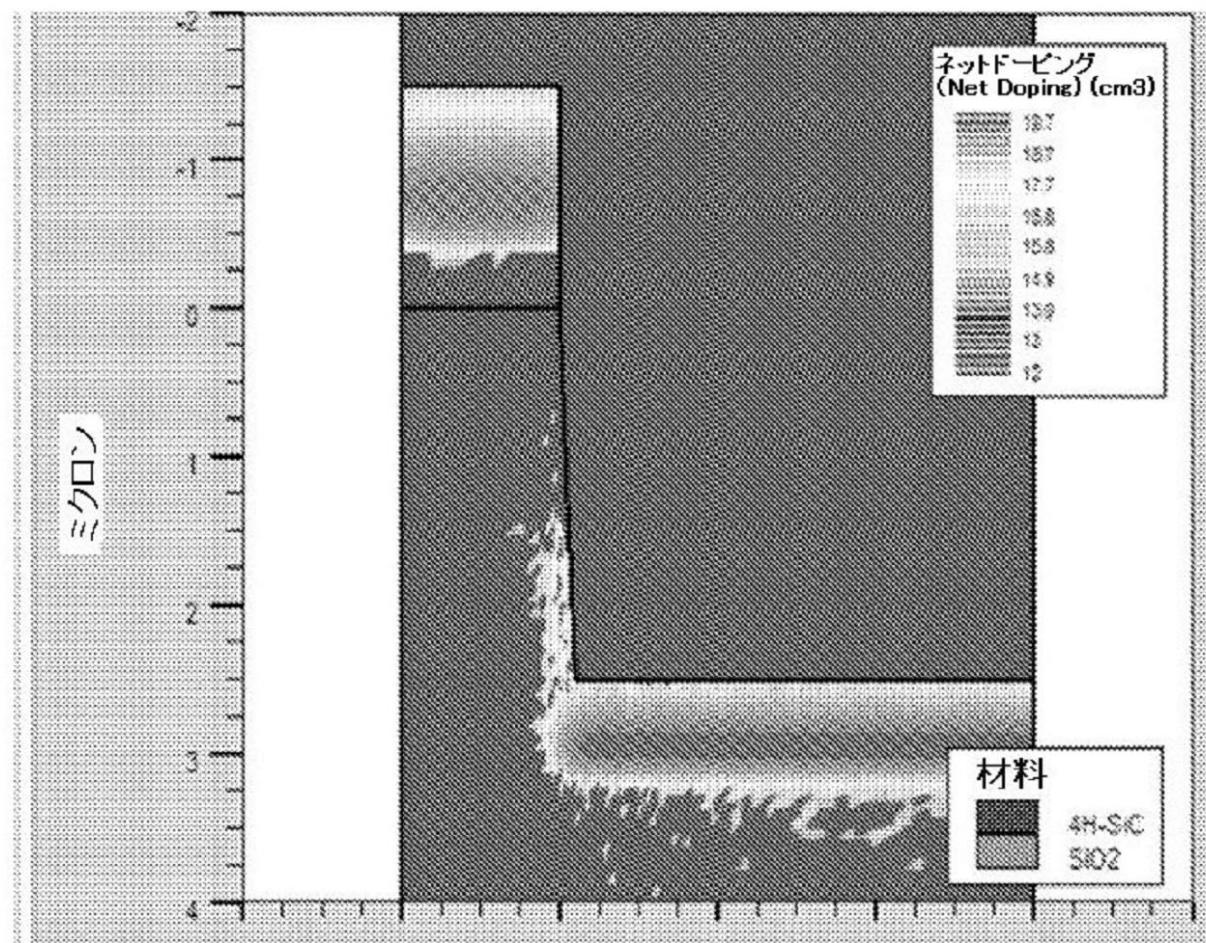
【図 2】

**FIG. 2**

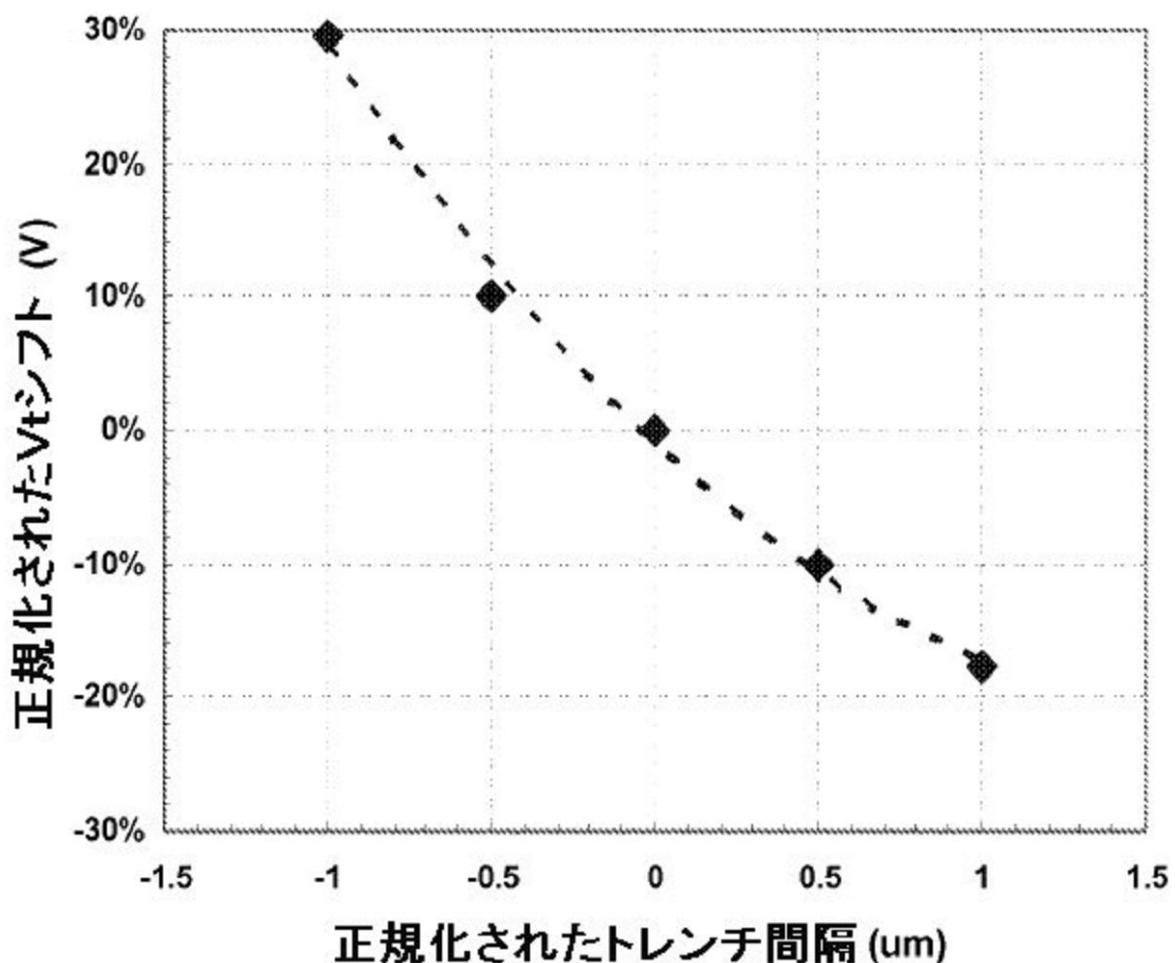
【図3A】



【図 3 B】



【図4】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2010/059374
A. CLASSIFICATION OF SUBJECT MATTER		
H01L 21/336(2006.01)i, H01L 29/78(2006.01)i, H01L 21/265(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L 21/336; H01L 29/80; H01L 21/425; H01L 21/8242; H01L 49/00; H01L 2100; H01L 21/8238; H01L 213205		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: VJFET, implanting, scattered ions, sidewalls, long channel length		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009-0278177 A1 (SANKIN IGOR et al.) 12 November 2009 See abstract; paragraphs [0053]–[0055]; claims 1, 6, 25–27; figures 1–2.	1–21
A	US 7479672 B2 (ZHAO JIAN H.) 20 January 2009 See abstract; column 4, line 22–column 7, line 17; claims 1–2; figures 8–10.	1–21
A	US 2006-0258086 A1 (H. MONTGOMERY MANNING et al.) 16 November 2006 See abstract; paragraphs [0023]–[0040]; claim 23; figures 1–4.	1–21
A	US 6821834 B2 (ANDO YOSHIYUKI) 23 November 2004 See abstract; column 1, line 66–column 2, line 16, column 4, lines 1–52; claim 1; figures 3a–3c, 4.	1–21
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 12 JULY 2011 (12.07.2011)	Date of mailing of the international search report 13 JULY 2011 (13.07.2011)	
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 189 Cheongsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer Lee, Byul Sup Telephone No. 82-42-481-8497	



INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/US2010/059374	
---	--

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009-0278177 A1	12.11.2009	AU 2009-244273 A1 CA 2722942 A1 EP 2289103 A2 KR 10-2011-0018891 A TW 200952175 A WO 2009-137578 A2 WO 2009-137578 A3 WO 2009-137578 A3	12.11.2009 12.11.2009 02.03.2011 24.02.2011 16.12.2009 12.11.2009 04.03.2010 12.11.2009
US 7479672 B2	20.01.2009	US 2005-0067630 A1 US 2007-0187715 A1 US 2010-148224 A1	31.03.2005 16.08.2007 17.06.2010
US 2006-0258086 A1	16.11.2006	US 2006-0046392 A1 US 2006-0258087 A1 US 7767525 B2 US 7846798 B2	02.03.2006 16.11.2006 03.08.2010 07.12.2010
US 6821834 B2	28.11.2004	US 2004-108545 A1	10.06.2004

フロントページの続き

(51) Int.CI. F I テーマコード(参考)
H 01 L 27/098 (2006.01)

(81) 指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72) 発明者 リトナー , アンドリュー
アメリカ合衆国 , 39759 ミシシッピ州 , スターキビル , リサーチ・ブルバード 201 ,
セミサウス ラボラトリーズ , インク . 内

F ターム(参考) 5F102 FB01 GB04 GC09 GD04 GJ02 GL04 HC07 HC16