

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5937753号
(P5937753)

(45) 発行日 平成28年6月22日(2016. 6. 22)

(24) 登録日 平成28年5月20日(2016. 5. 20)

(51) Int.Cl.		F I			
H03L	7/08	(2006.01)	H03L	7/08	M
H04L	7/033	(2006.01)	H04L	7/033	

請求項の数 15 (全 17 頁)

(21) 出願番号 特願2015-514983 (P2015-514983)
 (86) (22) 出願日 平成25年1月30日(2013. 1. 30)
 (65) 公表番号 特表2015-524203 (P2015-524203A)
 (43) 公表日 平成27年8月20日(2015. 8. 20)
 (86) 国際出願番号 PCT/US2013/023926
 (87) 国際公開番号 W02013/180766
 (87) 国際公開日 平成25年12月5日(2013. 12. 5)
 審査請求日 平成27年12月4日(2015. 12. 4)
 (31) 優先権主張番号 13/484, 236
 (32) 優先日 平成24年5月30日(2012. 5. 30)
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 591025439
 ザイリンクス インコーポレイテッド
 X I L I N X I N C O R P O R A T E D
 アメリカ合衆国 カリフォルニア州 95
 124-3400 サン ホセ ロジック
 ドライブ 2100
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 グアスティ, ジョバンニ
 アメリカ合衆国、95124 カリフォル
 ニア州、サン・ノゼ、ロジック・ドライブ
 、2100

最終頁に続く

(54) 【発明の名称】 歪耐性クロックデータリカバリシステム

(57) 【特許請求の範囲】

【請求項 1】

システムであって、

入力信号と出力信号とを受け、前記入力信号を前記出力信号と比較することにより、前記入力信号の位相エラーを示す位相エラー信号を生成するように構成された位相検出器と、

前記位相検出器に結合され前記位相エラー信号から得られる第1の制御信号を生成するように構成された第1のフィルタと、

前記入力信号と前記出力信号とを受け、前記入力信号を前記出力信号と比較することにより、前記入力信号のパターンエラーを特定するパターンエラー信号を生成するように構成されたパターンエラー検出器と、

前記パターンエラー検出器に結合され前記パターンエラー信号から得られる第2の制御信号を生成するように構成された第2のフィルタと、

前記第1のフィルタおよび前記第2のフィルタに結合された制御発振器とを備え、

前記制御発振器は、前記第1の制御信号、前記第2の制御信号、および中心周波数信号に応じて前記出力信号を生成するように構成され、前記出力信号は前記入力信号からリカバリされたクロック信号である、システム。

【請求項 2】

前記制御発振器に結合され前記制御発振器からの前記出力信号に応じて前記入力信号をサンプリングするように構成されたサンプラをさらに備える、請求項1に記載のシステム

10

20

。

【請求項 3】

前記パターンエラー検出器は、第 1 のエラー信号と前記第 1 のエラー信号と異なる第 2 のエラー信号とを生成し、前記第 1 のエラー信号または前記第 2 のエラー信号いずれかを、前記入力信号の各遷移の前記パターンエラーを特定するパターンエラー信号として選択するように構成され、

前記第 1 のエラー信号または前記第 2 のエラー信号は、前記遷移が奇数遷移か偶数遷移かに従って選択される、請求項 1 または 2 に記載のシステム。

【請求項 4】

前記パターンエラー検出器は、前記入力信号の周期的な単位間隔を前記出力信号の周期的な単位間隔と比較することにより構成される、請求項 1 ~ 3 のいずれかに記載のシステム。

【請求項 5】

前記制御発振器は、

前記第 1 の制御信号と、前記中心周波数信号と、累算信号とを加算して総和を生成するように構成された第 1 の加算器と、

前記第 1 の加算器に結合され前記総和を受ける累算器とを備え、

前記累算器は前記累算信号を生成するように構成され、前記制御発振器はさらに、

前記第 2 の制御信号を受け前記第 2 の制御信号に従って前記累算信号を調整するように構成されたオフセットモジュールと、

前記オフセットモジュールおよび前記累算器に結合された第 2 の加算器とを備え、

前記第 2 の加算器は、前記累算信号と前記調整された累算信号との和を計算するように構成される、請求項 1 ~ 4 のいずれかに記載のシステム。

【請求項 6】

前記制御発振器は、

前記第 1 の制御信号と、前記出力信号からの少なくとも 1 ビットと、調整された中心周波数信号とを加算して総和を生成するように構成された加算器と、

前記加算器に結合され前記出力信号を生成するように構成された累算器と、

前記中心周波数を調整するように構成された中心周波数調整モジュールとを備え、前記中心周波数調整モジュールによって生成された、前記調整された中心周波数の平均は、前記中心周波数に等しい、請求項 1 ~ 4 のいずれかに記載のシステム。

【請求項 7】

前記中心周波数調整モジュールは、

前記第 2 の制御信号と前記中心周波数信号とを加算して第 2 の総和を生成するように構成された第 2 の加算器と、

前記第 2 の制御信号を前記中心周波数信号から減算して差を生成するように構成された差分モジュールと、

前記第 2 の加算器と前記差分モジュールとに結合され、前記出力信号の少なくとも 1 ビットを含む制御信号に応じて、前記調整された中心周波数信号として、前記第 2 の総和または前記差のうちのいずれかを送るように構成されたマルチプレクサとを含む、請求項 6 に記載のシステム。

【請求項 8】

前記制御発振器は、

前記第 1 の制御信号と、前記出力信号からの少なくとも 1 ビットと、調整された中心周波数信号とを加算して総和を生成するように構成された加算器と、

前記加算器に結合され前記出力信号を生成するように構成された累算器と、

前記制御発振器の出力から得られる第 3 の制御信号に応じて、調整された中心周波数信号として、複数の異なる候補となる調整された中心周波数信号のうちの 1 つを出力するように構成された中心周波数調整モジュールとを含む、請求項 1 ~ 4 のいずれかに記載のシステム。

【請求項 9】

前記中心周波数調整モジュールは、

前記異なる候補となる調整された中心周波数信号各々を受け、前記第 3 の制御信号に従って、前記異なる候補となる調整された中心周波数信号から選択された 1 つの信号を送るように構成されたマルチプレクサと、

複数の加算器とを含み、各加算器は、異なるエラー信号と前記中心周波数信号とを受け、前記エラー信号を前記中心周波数信号に加算して、前記異なる候補となる調整された中心周波数信号のうちの 1 つを生成する、請求項 8 に記載のシステム。

【請求項 10】

出力信号との比較における入力信号の位相エラーを求めることと、

10

前記位相エラーから第 1 の制御信号を生成することと、

前記出力信号との比較における前記入力信号のパターンエラーを求めることと、

前記パターンエラーから第 2 の制御信号を生成することと、

制御発振器を用いて、前記第 1 の制御信号と、前記第 2 の制御信号と、中心周波数信号とに応じて前記出力信号を生成することとを含み、

前記出力信号は、前記入力信号からリカバリされたクロック信号を特定する、方法。

【請求項 11】

少なくとも部分的に前記パターンエラーに従って前記制御発振器の中心周波数を調整することをさらに含み、前記調整された中心周波数の平均は前記中心周波数に等しい、請求項 10 に記載の方法。

20

【請求項 12】

前記中心周波数を調整することは、

前記第 2 の制御信号と前記中心周波数との和を求めることと、

前記中心周波数と前記第 2 の制御信号との差を求めることと、

前記制御発振器内で前記和と前記差を交互に使用することとを含む、請求項 11 に記載の方法。

【請求項 13】

前記第 1 の制御信号と前記制御発振器の中心周波数との和と、累算からフィードバックされた累算結果とを累算することと、

前記第 2 の制御信号に従って前記累算結果を調整することと、

30

前記累算結果と前記調整された累算結果との和を計算することによって出力信号を生成することとをさらに含む、請求項 11 に記載の方法。

【請求項 14】

前記パターンエラーを求めることは、前記入力信号の周期的単位間隔歪を求めることをさらに含む、請求項 11 に記載の方法。

【請求項 15】

前記パターンエラーを求めることは、

第 1 のエラー信号と前記第 1 のエラー信号と異なる第 2 のエラー信号とを求めることと

、

前記第 1 のエラー信号または前記第 2 のエラー信号いずれかを、前記入力信号の各遷移の前記パターンエラーを特定するパターンエラー信号として、前記遷移が奇数遷移か偶数遷移かに従って、選択することとをさらに含む、請求項 10 に記載の方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

発明の分野

本明細書に開示されている 1 つ以上の実施の形態は、システム内におけるクロックデータリカバリに関する。より具体的には、1 つ以上の実施の形態は、さまざまな形態の歪に対して耐性があるクロックデータリカバリに関する。

【背景技術】

50

【 0 0 0 2 】

背景

多くの送信機は、結果として出力された信号に周知の種類の歪が現れるように構成されている。たとえば、多くの送信機は、出力された信号の位相における決定論的 (deterministic) 歪の存在によって特徴付けることができる。周期的歪は、周期的に歪んだ単位間隔 (Periodically Distorted Unit Interval) (P D U I) によって生じる、一種の決定論的歪である。P D U I によって生じる決定論的歪により、信号の各エッジは、離散関数位相 (k) によって定義できる位相エラーの影響を常に受ける。この「k」は信号のエッジ番号である。P D U I の影響を受ける信号は、周期的位相 (k) を有する。周期の大きさは、1 つ以上の単位間隔 (U I) となり得る。

10

【 0 0 0 3 】

利用可能なクロックデータリカバリ (clock and data recovery) (C D R) システムは、ある種の歪には対応できるが、概ねその他の種類の歪に対しては依然として耐性がない。たとえば、従来の C D R システムは、非決定論的歪、たとえばジッタは補正できることが多いものの、決定論的歪を補正するように最適化されていない。

【発明の概要】

【課題を解決するための手段】

【 0 0 0 4 】

概要

本明細書に開示されている 1 つ以上の実施の形態は、システム内におけるクロックデータリカバリに関し、より具体的には、さまざまな形態の歪に対して耐性があるクロックデータリカバリに関する。

20

【 0 0 0 5 】

ある実施の形態はシステムを含み得る。このシステムは、出力信号との比較における入力信号の位相エラーを示す位相エラー信号を生成するように構成された位相検出器と、位相検出器に結合され位相エラー信号から得られる第 1 の制御信号を生成するように構成された第 1 のフィルタとを含み得る。システムはまた、出力信号との比較における入力信号のパターンエラーを特定するパターンエラー信号を生成するように構成されたパターンエラー検出器と、パターンエラー検出器に結合されパターンエラー信号から得られる第 2 の制御信号を生成するように構成された第 2 のフィルタとを含み得る。システムはさらに、第 1 のフィルタおよび第 2 のフィルタに結合された制御発振器を含み得る。制御発振器は、第 1 の制御信号、第 2 の制御信号、および中心周波数信号に応じて出力信号を生成するように構成し得る。

30

【 0 0 0 6 】

別の実施の形態は方法を含み得る。この方法は、出力信号との比較における入力信号の位相エラーを求めることと、位相エラーから第 1 の制御信号を生成することと、出力信号との比較における入力信号のパターンエラーを求めることと、パターンエラーから第 2 の制御信号を生成することとを含み得る。方法はまた、制御発振器を使用することと、第 1 の制御信号および第 2 の制御信号に応じて出力信号を生成することとを含み得る。出力信号は、入力信号の遷移密度から独立した、入力信号からリカバリされたクロック信号を特定することができる。

40

【 0 0 0 7 】

もう一つの実施の形態は、制御発振器回路を含み得る。この制御発振器回路は、第 1 の制御信号と、出力信号からの少なくとも 1 ビットと、調整された中心周波数信号との和を計算して総和を生成するように構成された加算器を含み得る。回路はまた、加算器に結合され出力信号を生成するように構成された累算器を含み得る。発振器はさらに、パターンエラーに従って中心周波数を調整するように構成された中心周波数調整モジュールを含み得る。

【図面の簡単な説明】

【 0 0 0 8 】

50

【図 1】本明細書に開示されるある実施の形態に従うクロックデータリカバリのためのシステムを示すブロック図である。

【図 2】本明細書に開示される別の実施の形態に従う制御発振器の代表的な実現を示すブロック図である。

【図 3】本明細書に開示される別の実施の形態に従うリカバリされたクロック信号を示す信号図である。

【図 4】本明細書に開示される別の実施の形態に従う制御発振器の代表的な実現を示すブロック図である。

【図 5】本明細書に開示される別の実施の形態に従うリカバリされたクロック信号を示す信号図である。

10

【図 6】本明細書に開示される別の実施の形態に従う制御発振器の代表的な実現を示すブロック図である。

【図 7】本明細書に開示される別の実施の形態に従うパターンエラー検出器を示すブロック図である。

【図 8】本明細書に開示される別の実施の形態に従うクロック信号をリカバリする方法を示すフローチャートである。

【発明を実施するための形態】

【0009】

図面の詳細な説明

本明細書は、新規のものとみなされる 1 つ以上の実施の形態の特徴を定義する請求項で終わっているが、この 1 つ以上の実施の形態は、明細書を図面と関連付けて考慮することによってより良く理解されたと考えられる。必要に応じて、1 つ以上の詳細な実施の形態が本明細書に開示されている。しかしながら、この 1 つ以上の実施の形態は例示にすぎないことがわかるはずである。したがって、本明細書に開示されている具体的な構造および機能に関する詳細は、限定と解釈されるべきものではなく、請求項の根拠をなし、かつ、事実上適切に詳述されたいかなる構造においてもこの 1 つ以上の実施の形態をさまざまな形で用いることを当業者に教示するための代表的な根拠をなしているにすぎないものであると、解釈されるべきものである。さらに、本明細書で使用する用語および表現は、限定を意図したものではなく、むしろ、本明細書に開示されている上記 1 つ以上の実施の形態を理解しやすいように説明することを意図している。

20

30

【0010】

本明細書に開示される 1 つ以上の実施の形態は、システム内におけるクロックデータリカバリ (CDR) に関し、より具体的には、さまざまな形態の歪に対して耐性がある CDR に関する。本明細書に開示される発明の構成は、入ってきた信号たとえばデータがさまざまな形態の決定論的歪を示すときの高周波歪耐性を最大化することができる。決定論的歪とは一般的に、ランダムでない歪のことである。ある種の決定論的歪はパターンベースの歪を含み得る。パターンベースの歪は、特定のデザインを繰返すかまたは周知のモデルに従う歪を含み得るまたは指す。

【0011】

本明細書に開示される 1 つ以上の実施の形態に従い構成された CDR システムは、非決定論的歪に対しても、パターンに従うたとえばパターンベースの決定論的歪を含む決定論的歪に対しても、耐性を有し得る。決定論的歪の別の例として、単位間隔 (UI) 周期的歪がある。UI 周期的歪は、送信機の結果として生じ得る。一般的に、UI とは、データ送信信号の状態変化と状態変化の間の最短時間間隔のことであり、パルス時間またはシンボル継続時間としても知られている。たとえば、単位間隔とは、受けたデータ信号からリカバリされるクロック信号の 1 サイクルのことである。

40

【0012】

図 1 は、本明細書に開示されるある実施の形態に従う CDR のためのシステム 100 を示すブロック図である。システム 100 は、入力データ信号たとえば入力信号 140 から、クロック信号たとえば出力信号 146 をリカバリするように構成される。リカバリされ

50

たクロック信号は、入力データ信号と同じ歪を有するであろう。このため、リカバリされたクロック信号を用いて、入ってきたデータ信号を、その後の処理で使用するために、正確にサンプリングすることができる。

【 0 0 1 3 】

示されているように、システム 1 0 0 は、位相検出器 1 0 5 と、フィルタ 1 1 0（たとえば第 1 のフィルタ）と、制御発振器 1 1 5 と、パターンエラー検出器 1 2 0 と、フィルタ 1 2 5（たとえば第 2 のフィルタ）と、サンプラ 1 3 0 とを含む。位相検出器 1 0 5 およびパターンエラー検出器 1 2 0 は各々入力信号 1 4 0 を受けることができる。位相検出器 1 0 5 は、入力信号 1 4 0 を、制御発振器 1 1 5 の出力から得られた出力信号 1 4 6 と比較するように構成し得る。示されているように、出力信号 1 4 6 は位相検出器 1 0 5 の入力にフィードバックされる。位相検出器 1 0 5 は、入力信号 1 4 0 の各遷移を、制御発振器 1 1 5 からの出力信号 1 4 6 から求められた予測位相値と、比較することができる。位相検出器 1 0 5 は、入力信号 1 4 0 の位相を出力信号 1 4 6 の位相と比較して位相エラー信号 1 4 2 を生成するように構成し得る。位相エラー信号 1 4 2 は一般的に、入力信号 1 4 0 と出力信号 1 4 6 との間の位相差を特定する。

10

【 0 0 1 4 】

フィルタ 1 1 0 は、位相検出器 1 0 5 に結合され、したがって、位相エラー信号 1 4 2 を入力として受ける。ある局面において、フィルタ 1 1 0 は「ループフィルタ」の形態で実現することができる。一般的に、ループフィルタは、単純な抵抗器 コンデンサ（resistor-capacitor）（RC）フィルタであってもよくまたは増幅器を含んでいてもよい一種のフィルタであり、元の変調周波数は通すが、ロック発振検波器における周波数変調された信号からの搬送波周波数成分および高調波は取除く。典型的に、ループフィルタはローパスフィルタとして実現される。

20

【 0 0 1 5 】

たとえば、フィルタ 1 1 0 を用いてループ力学および安定性を制御することができる。この点に関し、フィルタ 1 1 0 は、入力信号 1 4 0 の擾乱に対してループ（たとえば位相検出器 1 0 5、フィルタ 1 1 0、および制御発振器 1 1 5）がどのように反応するか、および、ループがロックに至るのにかかる時間の量を、制御することができる。さらに、フィルタ 1 1 0 を用いて、制御発振器 1 1 5 の入力に達することが許可されている位相エラー信号 1 4 2 からのエネルギー量を制限することができる。いずれにしても、フィルタ 1 1 0 は、フィルタリングされた位相エラー信号 1 4 4 と呼ばれる、位相エラー信号 1 4 2 をフィルタリングしたものを生成することができる。フィルタリングされた位相エラー信号 1 4 4 は、第 1 の制御信号として制御発振器 1 1 5 に与えることができる。

30

【 0 0 1 6 】

パターンエラー検出器 1 2 0 は、入力信号 1 4 0 を出力信号 1 4 6 と比較することによって入力信号 1 4 0 におけるパターンベースのエラーを求めるように構成することができる。示されているように、出力信号 1 4 6 はパターンエラー検出器 1 2 0 の入力にフィードバックされる。一例において、パターンエラー検出器 1 2 0 は、入力信号 1 4 0 の周期的 UI を出力信号 1 4 6 の周期的 UI と比較しこの比較に応じてパターンエラー信号 1 4 8 を生成するように構成することができる。パターンエラー信号 1 4 8 は、入力信号 1 4 0 と出力信号 1 4 6 との間の、パターンエラー、たとえば、一例では周期的 UI における相違を特定することができる。

40

【 0 0 1 7 】

フィルタ 1 2 5 は、パターンエラー検出器 1 2 0 に結合され、したがって、パターンエラー信号 1 4 8 を入力として受ける。フィルタ 1 2 5 は実質的にフィルタ 1 1 0 について説明したように実現することができる。しかしながら、フィルタ 1 2 5 はローパスフィルタ等の「ループフィルタ」であってもよいものの、フィルタ 1 2 5 が作用する特定の信号はフィルタ 1 1 0 が作用する信号とは異なっているので、フィルタ 1 2 5 は動作パラメータという点においてフィルタ 1 1 0 と同一である必要はないことが、理解されるはずである。フィルタ 1 2 5 は、入力信号 1 4 0 の擾乱に対してループ（たとえばパターンエラー

50

検出器 120、フィルタ 125、および制御発振器 115 からなる、第 2 の異なるループ) がどのように反応するか、および、ロックに至るのに要する時間の量を、制御することができる。フィルタ 125 は、フィルタリングされたパターンエラー信号 150 と呼ばれる、パターンエラー信号 148 をフィルタリングしたものを生成することができる。フィルタリングされたパターンエラー信号 150 は、第 2 の制御信号として制御発振器 115 に与えることができる。

【0018】

制御発振器 115 は、フィルタリングされた位相エラー信号 144 およびフィルタリングされたパターンエラー信号 150 をそれぞれ第 1 および第 2 の制御信号として受ける。制御発振器 115 は、これら制御信号に応じて出力信号 146 を生成する。示されているように、出力信号 146 は、1 つ以上の他のシステムに与えることができ、入力信号 140 からリカバリされたクロック信号を特定する。出力信号 146 はさらに、制御またはクロック信号としてサンプラ 130 に与えることができる。

【0019】

入力信号 140 も受けるサンプラ 130 は、出力信号 146 に応じて入力信号 140 をサンプリングすることができる。出力信号 146 を用いることによってサンプラ 130 をクロックすることができる。サンプラ 130 はデータ信号 152 を出力することができ、このデータ信号は、入力信号 140、たとえばサンプリングされた値からリカバリされたデータであってもよい。出力信号 146 は入力信号 140 と同じ歪を示すので、サンプラ 130 は、データの中心の位置にある入力データ信号 140 に対して機能する、たとえば、サンプリングすることができる。一般的に、システム 100 は、入力信号 140 の遷移確率とは無関係に、リカバリされたクロック位相の位置を決めることによって、入力信号 140 に決定論的歪があるにもかかわらず、最適歪耐性を提供することができる。上記のように、決定論的歪の変種には、周期的に歪んだ単位間隔 (PDUI) が含まれる。システム 100 は、信号遷移密度にもかかわらず、決定論的歪耐性を提供することができる。

【0020】

先に述べたように、従来の CDR システムは、位相 (k) として表わされる入力信号 140 の位相エラーの関数が、1 UI と同等の周期を有すると仮定する。上記「k」は信号のエッジ番号を示す。位相 (k) の周期が 1 UI に等しくないとき、PDUI 歪は UI との比較において無視することができる。位相 (k) の周期が 2 以上である場合、PDUI 歪は UI との比較において無視できないものであり、従来の CDR システムは、パターンベースの、または決定論的な歪に対する耐性を失う。たとえば、入力信号 140 が 2 UI の PDUI の影響を受けるとき、位相エラーは 2 UI 毎に生じる。

【0021】

遷移とは、信号の立上りエッジまたは立下りエッジのことである。信号の遷移密度とは、信号の遷移の時間的位置のことである。この時間的位置は通常、リカバリされたクロック信号に従って測定されまたは求められ、この場合のクロックサイクルは、整数値を用いて順番に番号を付けることができる。入力信号 140 は、リカバリされたクロック信号の偶数エッジまたはリカバリされたクロック信号の奇数エッジいずれかで遷移し得る。平衡した遷移密度とは、偶数エッジにおける遷移 (偶数遷移と呼ぶ) と奇数エッジにおける遷移 (奇数遷移と呼ぶ) の数が等しいまたは実質的に等しい信号のことである。

【0022】

本明細書で使用される、特定の種類の歪に対する「耐性」とは、リカバリされたクロックエッジの位置をデータの中心になるように調整することによって歪に適応するまたは歪を補正するシステムの能力のことである。クロックエッジ (すなわちリカバリされたクロック信号) は、データ信号の連続する 2 つの遷移の実質的に中間点または中心に位置決めされる。データ信号における歪に対して「耐性がない」または「不耐性」のシステムは、この歪を補正することができないので、結果として、データ信号の連続する 2 つの遷移間の中間点または中心ではない位置にクロック信号のエッジを配置することになる。

【 0 0 2 3 】

入力信号 1 4 0 が平衡した遷移密度を有する場合、たとえば、入力信号 1 4 0 の遷移が奇数エッジで発生する確率が偶数エッジで発生する確率と等しい場合、従来の C D R システムは、決定論的歪に対して耐性がある位相に集中することができる。入力信号 1 4 0 が不平衡の遷移密度を有する場合、たとえば遷移が奇数エッジで発生する確率と偶数エッジで発生する確率が等しくない場合、従来の C D R システムは、決定論的歪に対して不耐性の位相、たとえば準最適な歪耐性を示す位相に集中する。この場合、従来の C D R システムは、サンブラ 1 3 0 をクロックするために使用された場合入力信号 1 4 0 をサンプリングするのに最適ではない位置に（クロック）エッジを有するクロック信号を、リカバリすることによって、入力信号 1 4 0 から不正確な値をサンプリングする可能性を高めることになる。

10

【 0 0 2 4 】

入力信号 1 4 0 に、決定論的歪、たとえば U I 上の周期的歪等のパターンベースの歪がないとき、システム 1 0 0 は、従来の C D R システムと実質的に同じようにまたは同様に動作することができる。同様に、入力信号 1 4 0 に、決定論的歪、たとえば U I 上の周期的歪等のパターンベースの歪があるが、遷移密度は平衡しているとき、システム 1 0 0 は、従来の C D R システムと実質的に同じように動作することができる。

【 0 0 2 5 】

しかしながら、入力信号 1 4 0 に周期的歪がありかつ遷移密度が平衡していないとき、システム 1 0 0 は、入力信号 1 4 0 をサンプリングするためにエッジが最適配置されているクロック信号、たとえば出力信号 1 4 0 を生成することができる。より具体的には、リカバリされたクロック信号のエッジは、入力信号 1 4 0 のデータの中心（たとえば遷移間の中間または中心）に位置するので、結果としてサンブラ 1 3 0 によるサンプリングは正確なものとなる。このように、入力信号 1 4 0 に決定論的歪がありかつ遷移密度が平衡していないとき、システム 1 0 0 は、遷移確率とは無関係に、リカバリされたクロックの位相を位置決めすることができる。

20

【 0 0 2 6 】

このような決定論的歪に対する耐性がない従来の C D R システムが、リカバリされたクロック信号を生成すると、結果として、サンブラが入力信号 1 4 0 について不正確な値を生成する可能性が高い。従来の C D R システムは、たとえば、受けた信号における位相エラーの周期が 1 U I であると想定する。したがって、従来の C D R システムは大抵、不耐性であり、位相エラーの周期が 1 U I よりも大きいデータ信号に適應することができない。なぜなら、このようなシステムは通常、時間的に等しく間隔を空けられたサンプルになるように、受けたデータ信号をサンプリングするからである。

30

【 0 0 2 7 】

パターンエラー検出器 1 2 0、フィルタ 1 2 5、および制御発振器 1 1 5 で形成されたループは一般的に、入来データの決定論的歪を出力信号 1 4 6 の歪と継続的に比較し、出力信号 1 4 6 の歪を強制的に、入力信号 1 4 0 で検出された歪と同じレベルまたは量に収束させることができる。

【 0 0 2 8 】

図 2 は、本明細書に開示される別の実施の形態に従う制御発振器 2 0 0 の代表的な実現を示すブロック図である。制御発振器 2 0 0 を用いることによって、2 U I の P D U I タイプのパターンベースのまたは決定論的歪を入力信号が有する場合に図 1 の制御発振器 1 1 5 を実現することができる。図 2 を参照して、制御発振器 2 0 0 は、加算器 2 0 5 と、累算器 2 1 0 と、オフセットモジュール 2 1 5 と、加算器 2 2 0 とを含み得る。本明細書を通して同一の要素は同様の番号を用いて示される。

40

【 0 0 2 9 】

加算器 2 0 5 は、フィルタリングされた位相エラー信号 1 4 4 と、中心周波数信号 2 2 2 と、累算器 2 1 0 から出力された累算信号 2 2 6 とを受けることができる。図 2 に示される例では、中心周波数信号 2 2 2 によって特定される中心周波数値は、制御発振器 2 0

50

0の所望の中心周波数のほぼ二分の一である。しかしながら、中心周波数信号222によって特定される値は、制御発振器200を実現するのに使用される特定のアーキテクチャに依存し、そのため、本明細書に開示される1つ以上の実施の形態の限定として意図されたものではないことが、理解されるはずである。加算器205は、フィルタリングされた位相エラー信号144、中心周波数信号222、および累算信号226の和を計算して総和信号224を生成することができる。加算器205は総和信号224を累算器210に出力し、累算器210は総和信号224を入力として受ける。

【0030】

一般的に、累算器210は、算術または論理演算の結果が得られる、レジスタとして、または適切な回路を有するメモリの一部として、実現することができる。たとえば、基準クロック(図示せず)の各クロックサイクルにおいて、総和信号224によって特定される値を、以前のたとえば先行する複数の基準クロックサイクル各々についての総和信号224によって特定される値の現行の総和である、累算器210に格納された値に加算することができる。累算器210の値は、示されているように累算器210から出力される累算信号226によって特定することができる。累算信号226は、決定論的歪の原因にならない第1の位相、たとえば位相Aを特定することができる。

【0031】

オフセットモジュール215は、累算器210からの累算信号226およびフィルタリングされたパターンエラー信号150を受け取るように構成することができる。オフセットモジュール215は一般的に、フィルタリングされたパターンエラー信号150によって特定される量だけ、受けた累算信号226の値を調整する、たとえば、増加させる。オフセットモジュール215は、累算信号226を調整したものである信号228を出力する。信号228は実際、累算信号226とは異なり、決定論的歪の原因となる第2の位相たとえば位相Bを特定する。

【0032】

加算器220は、累算信号226および調整された累算信号228、たとえば位相AおよびBを受け、これら信号の和を求めて出力信号146を生成することができる。出力信号146は、受けたデータたとえば入力信号140からリカバリされたクロック信号を特定する。これを用いて、受けたデータを正確にサンプリングすることができる。

【0033】

図3は、本明細書に開示される別の実施の形態に従うリカバリされたクロック信号を示す信号図である。図3は、位相A(図2の信号226)に対応する波形と、位相B(図2の信号228)に対応する波形とを示している。位相Aと位相Bを合計した結果得られた位相は位相アウト(phase out)(信号146)として示されている。位相アウトを用いて決定される、リカバリされたクロック信号も示されている。リカバリされたクロック信号は、位相アウト信号の最上位ビットによってリカバリされた、たとえば決定されたものである。示されているように、リカバリされたクロックの値は、位相アウトの位相が正のときは1(たとえば論理ハイ)である。リカバリされたクロック信号の値は、位相アウトが負のときは0(たとえば論理ロー)である。リカバリされたクロック信号は、受けた入力信号に整合するまたは受けた入力信号と実質的に同一の、決定論的歪を有する。

【0034】

図4は、本明細書に開示される別の実施の形態に従う制御発振器400の代表的な実現を示すブロック図である。制御発振器400を用いて図1の制御発振器115を実現することができる。図4は、2UIの周期的歪または2ビットの歪等のパターンベースの歪に適応するまたはこの歪を補正するために使用することができる制御発振器の実現を示す。

【0035】

示されているように、制御発振器400は、加算器405と、累算器410と、中心周波数調整モジュール450とを含み得る。中心周波数調整モジュール450は、マルチプレクサ415と、加算器420と、差分モジュール425とを含み得る。制御発振器400は、固定された中心周波数を使用するのではなく、中心周波数調整モジュール450に

10

20

30

40

50

よって生成された、調整された中心周波数を利用する。一般的に、中心周波数は上方向および下方向に調整される。上方向および下方向に調整された中心周波数の値が使用されるが、調整された中心周波数の値の平均は、（調整されていない）中心周波数の値である。

【 0 0 3 6 】

加算器 4 0 5 は、フィルタリングされた位相エラー信号 1 4 4 と、マルチプレクサ 4 1 5 からの出力信号 4 3 2 と、累算器 4 1 0 の出力から得られた信号 4 3 6 とを受けることができる。加算器 4 0 5 は、フィルタリングされた位相エラー信号 1 4 4 と、信号 4 3 2 と、信号 4 3 6 との和を計算して総和信号 4 2 4 を生成することができ、この総和信号は入力として累算器 4 1 0 に与えることができる。累算器 4 1 0 は、図 2 を参照して説明したようにして実現することができ、出力信号 1 4 6 を生成することができる。信号 4 3 6 と呼ばれている N ビットの信号 1 4 6 は、入力として加算器 4 0 5 に戻される。出力信号 1 4 6 は N + 1 ビットの位相を特定することができ、この「N」は、制御された歪の UI の数、たとえば、この例では 2 を特定する。

10

【 0 0 3 7 】

中心周波数調整モジュール 4 5 0 に関し、加算器 4 2 0 は、フィルタリングされたパターンエラー信号 1 5 0 および中心周波数信号 2 2 2 を入力として受けるように構成される。図 4 に示される例では、信号 2 2 2 は、図 2 の場合の制御発振器 4 0 0 の所望の中心周波数の分数とは異なり、制御発振器 4 0 0 の所望の中心周波数の実際の値を特定することができる。

【 0 0 3 8 】

20

加算器 4 2 0 は、フィルタリングされたパターンエラー信号 1 5 0 と中心周波数信号 2 2 2 の総和である信号 4 2 8 を生成することができ、この信号 4 2 8 をマルチプレクサ 4 1 5 に与えることができる。差分モジュール 4 2 5 は、フィルタリングされた パターンエラー 信号 1 5 0 と中心周波数信号 2 2 2 とを受けることができる。差分モジュール 4 2 5 は、フィルタリングされた パターンエラー 信号 1 5 0 を中心周波数信号 2 2 2 から減算することができる。差分モジュール 4 2 5 は、計算された差を示す出力として信号 4 3 0 を生成することができる。信号 4 2 8 は信号 4 3 0 よりも大きな値を特定することがわかる。

【 0 0 3 9 】

30

マルチプレクサ 4 1 5 は、信号 4 2 8 または信号 4 3 0 いずれかを選択して選択した信号を信号 4 3 2 として加算器 4 0 5 に送ることができる。ある局面において、マルチプレクサ 4 1 5 は、信号 4 2 8 または信号 4 3 0 いずれが選択信号かを特定する制御信号として信号 4 3 4 を受けることができる。たとえば、信号 4 3 4 は、信号 1 4 6 の最上位ビットであってもよい。リカバリされたクロック信号の偶数サイクルで、信号 4 3 0 を選択し加算器 4 0 5 によって使用することができる。リカバリされたクロック信号の奇数サイクルで、信号 4 2 8 を選択し加算器 4 0 5 によって使用することができる。フィルタリングされたパターンエラー信号 1 5 0 がゼロのとき、信号 4 2 8 は信号 4 3 0 と等価であることが理解されるはずである。よって、マルチプレクサ 4 1 5 は、信号 4 2 8 を第 1 の UI で送り、信号 4 3 0 を第 2 の UI で送り、信号 4 2 8 を第 3 の UI で送り、以降同じように、信号 4 3 4 に応じて各 UI で切替えて交互にこれら信号を送る。

40

【 0 0 4 0 】

図 4 を参照して、信号 4 2 8 および 4 3 0 は各々、中心周波数信号 2 2 2 を調整したものを特定する候補信号とみなすことができる。同様に、制御信号 4 3 4 に応じて交互に信号 4 2 8 および信号 4 3 0 となる信号 4 3 2 も、制御発振器 4 0 0 によって利用される「調整された」中心周波数信号である。上記のように、信号 4 2 8 および 4 3 0 の平均（または信号 4 3 2 の平均）は、結果として中心周波数信号 2 2 2 の値となる。

【 0 0 4 1 】

図 5 は、本明細書に開示される別の実施の形態に従うリカバリされたクロック信号を示す信号図である。図 5 は、入力信号たとえば入力信号 1 4 0 から受けた歪んだデータ、お

50

よび、たとえば制御発振器 4 0 0 を用いてある実施の形態に従い求められたデータからリカバリされたクロック位相を示す。リカバリされたクロック信号も示される。

【 0 0 4 2 】

示されている太線 5 0 5 は、図 4 のマルチプレクサ 4 1 5 を駆動するのに使用される出力信号 1 4 6 の最上位ビットを示す。5 1 0 で示されている太線でない線は、第 2 の最上位ビットである。示されているリカバリされたクロック信号は、線 5 1 0 から得られ、線 5 1 0 が正のときはハイであり線 5 1 0 が負のときはローである。

【 0 0 4 3 】

図 6 は、本明細書に開示される別の実施の形態に従う制御発振器 6 0 0 の代表的な実現を示すブロック図である。制御発振器 6 0 0 を使用して図 1 の制御発振器 1 1 5 を実現することができる。図 6 は、 2^m UI の周期的歪に対応するたとえばこれを補正するために使用することができる制御発振器の実現を示す。図 6 に示される例はたとえば $m = 2$ の場合の 4 UI の周期的歪に関連する。

【 0 0 4 4 】

制御発振器 6 0 0 は、加算器 6 0 5 と、累算器 6 1 0 と、中心周波数調整モジュール 6 7 0 とを含み得る。このモジュールは、マルチプレクサ 6 1 5 と、加算器 6 2 0、6 2 5、6 3 0、および 6 3 5 とを含む。加算器 6 2 0 ~ 6 3 5 は各々、入力として中心周波数信号 2 2 2 およびエラー信号を受けよう構成することができる。示されているように、加算器 6 2 0 はエラー信号 1 を受けようことができる。加算器 6 2 5 はエラー信号 2 を受けようことができる。加算器 6 3 0 はエラー信号 3 を受けようことができる。加算器 6 3 5 はエラー信号 4 を受けようことができる。

【 0 0 4 5 】

ある局面において、各エラー信号は、異なる種類の決定論的歪に対するエラーたとえばオフセットを特定することができる。たとえば、各エラー信号は、選択された種類のパターンベースの歪に対するエラー調整を特定することができる。図において、エラー信号 1 は、UI が 1 である UI 歪に対するエラーを特定することができる。エラー信号 2 は、UI が 2 である UI 歪に対するエラーを特定することができる。エラー信号 3 は、UI が 3 である UI 歪に対するエラーを特定することができる。エラー信号 4 は、UI が 4 である UI 歪に対するエラーを特定することができる。

【 0 0 4 6 】

加算器 6 2 0 は、中心周波数信号 2 2 2 とエラー信号 1 との和を計算するように構成される。加算器 6 2 0 は、中心周波数信号 2 2 2 とエラー信号 1 との和を特定する出力信号 6 4 0 を生成して出力する。加算器 6 2 5 は、中心周波数信号 2 2 2 とエラー信号 2 との和を計算するように構成される。加算器 6 2 5 は、中心周波数信号 2 2 2 とエラー信号 2 との和を特定する出力信号 6 4 5 を生成して出力する。加算器 6 3 0 は、中心周波数信号 2 2 2 とエラー信号 3 との和を計算するように構成される。加算器 6 3 0 は、中心周波数信号 2 2 2 とエラー信号 3 との和を特定する出力信号 6 5 0 を生成して出力する。加算器 6 3 5 は、中心周波数信号 2 2 2 とエラー信号 4 との和を計算するように構成される。加算器 6 3 5 は、中心周波数信号 2 2 2 とエラー信号 4 との和を特定する出力信号 6 5 5 を生成して出力する。

【 0 0 4 7 】

マルチプレクサ 6 1 5 は、信号 6 4 0 ~ 6 5 5 のうちのいずれを信号 6 3 2 として送るべきかを示す制御信号として 2 つの信号 6 6 0 および 6 6 5 を受ける。信号 6 6 0 は、出力信号 1 4 6 の最上位ビットであってもよい。信号 6 6 5 は、出力信号 1 4 6 の第 2 の最上位ビットであってもよい。信号 6 6 0 および 6 6 5 双方が論理ゼロであれば、それに応じてマルチプレクサ 6 1 5 は信号 6 4 0 を信号 6 3 2 の形態で送る。信号 6 6 0 が論理ゼロであり信号 6 6 5 が論理 1 であれば、それに応じてマルチプレクサ 6 1 5 は信号 6 4 5 を信号 6 3 2 の形態で送る。信号 6 6 0 が論理 1 であり信号 6 6 5 が論理ゼロであれば、それに応じてマルチプレクサ 6 1 5 は信号 6 5 0 を信号 6 3 2 の形態で送る。信号 6 6 0 および信号 6 6 5 双方が論理 1 であれば、マルチプレクサ 6 1 5 はそれに応じて信号 6 5

10

20

30

40

50

5を信号632の形態で送る。

【0048】

信号640～655は各々、中心周波数信号222を調整したものとみなすことができる。そのため、各々が、マルチプレクサ615により選択される候補であり、選択されると、信号632として示された、「調整された」中心周波数信号として送られる。

【0049】

図6は4UI歪の周期に対応する場合を示しているが、制御発振器600を、追加の加算器を含めることによって中心周波数調整モジュール670を拡張することにより、任意の整数周期に拡張できる。各追加の加算器は、中心周波数信号222に追加すべきさらに他のエラー信号を受けることができる。

10

【0050】

図7は、本明細書に開示される別の実施の形態に従うパターンエラー検出器700を示すブロック図である。パターンエラー検出器700は、図1のパターンエラー検出器120を実現するのに使用することができる代表的なアーキテクチャである。パターンエラー検出器700はたとえば2UIの周期的歪を検出するのに使用することができる。

【0051】

示されているように、パターンエラー検出器700は、出力信号146を受けるように構成されたフリップフロップ(FF)705を含み得る。上記のように、出力信号146は、制御発振器115から出力され、入力信号140からリカバリされたクロック信号の位相を特定する。示されているように、FF705は、遷移検出器740によって生成されて出力された信号774によってクロックされる。

20

【0052】

遷移検出器740は入力信号140を受ける。遷移検出器740は、入力信号140の各遷移、たとえば立上りエッジおよび立下りエッジを各々検出することができる。遷移検出器740は、遷移を検出したことに応じて、クロック信号としてFF705に与えられる信号774を介した表示を生成することができる。

【0053】

FF705は、フリップフロップ(FF)710および715各々に与えられる信号762を生成して出力する。FF710は、FF710によってクロック信号として使用される信号776に従い、入力信号762の値をラッチする。FF715は、FF715によってクロック信号として使用される信号776を反転したものに従い、入力信号762の値をラッチする。

30

【0054】

FF710は、信号762からラッチした値を特定する信号764を生成し、信号764を差分モジュール720および差分モジュール725に与える。同様に、FF715は、信号762からラッチした値を特定する信号766を生成し、信号766を差分モジュール725および差分モジュール720に与える。差分モジュール720は、信号766と信号764の差を求める。その結果は信号768の形態でマルチプレクサ730に与えられる。差分モジュール725は、信号764と信号766の差を求める。差分モジュール725からの結果は信号770の形態でマルチプレクサ730に与えられる。

40

【0055】

マルチプレクサ730は、信号768または信号770いずれかを選択し、選択した信号をパターンエラー信号148として送る。奇数/偶数(Odd/Even)(OE)判断モジュール745から制御信号として与えられる信号776の値に従って、信号768または信号770いずれかが選択されて送られる。OE判断モジュール745は信号780を受けることができる。信号780は、制御発振器115からの出力信号146の最上位ビットであってもよい。したがって、OE判断モジュール745は、制御発振器からの出力に基づいて、データ信号140の各遷移が、リカバリされたクロック信号の奇数サイクルで発生するのか偶数サイクルで発生するのか判断することができる。よって、信号776は、検出された各遷移が奇数遷移なのか偶数遷移なのかを示す。

50

【 0 0 5 6 】

示されているように、マルチプレクサ 730 は、信号 776 の値に応じて信号 768 または信号 770 いずれかを送る。よって、検出された現在の遷移が奇数遷移と判断されたのか偶数遷移と判断されたのかに基づいて、信号 768 または信号 770 いずれかが、マルチプレクサ 730 から出力されるパターンエラー信号 148 として送られる。

【 0 0 5 7 】

図 8 は、本明細書に開示される別の実施の形態に従うクロック信号をリカバリする方法 800 を示すフローチャートである。方法 800 は、本明細書に記載されている CDR (「CDR システム」) を実施するために構成されたシステムによって実行することができる。方法 800 はステップ 805 から始めることができ、このステップで、CDR システムは、入力信号を、たとえばフィードバック経路を通して制御発振器から生成された出力信号と比較することによって、入力信号の位相エラーを求めることができる。

10

【 0 0 5 8 】

ステップ 810 で、CDR システムは、位相エラーから第 1 の制御信号を生成することができる。第 1 の制御信号は、入力信号の位相エラーを補正する量を示す。たとえば、位相エラーを特定する信号をフィルタリングすることによって第 1 の制御信号を生成することができる。ステップ 815 で、CDR システムは、入力信号を出力信号と比較することによって、入力信号のパターンエラーを求めることができる。ステップ 820 で、CDR システムは、パターンエラーから第 2 の制御信号を生成することができる。第 2 の制御信号は、入力信号のパターンエラーを補正する量を示す。第 2 の制御信号は、たとえば、パターンエラーを特定する信号をフィルタリングすることによって生成することができる。ステップ 825 で、CDR システムは、第 1 の制御信号、第 2 の制御信号、および中心周波数信号に応じて、制御発振器から出力信号を生成することができる。中心周波数信号は、本明細書に記載のように調整することができる。

20

【 0 0 5 9 】

説明のために、特定の学術用語を記載することによって、本明細書に開示されているさまざまな発明の概念が十分に理解されるようにしている。しかしながら、本明細書で使用されている用語は、特定の実施の形態を説明することを目的としているだけであって限定を意図しているのではない。たとえば、本明細書を通して、「一実施の形態」、「ある実施の形態」、または同様の表現は、実施の形態に関連して記載されている特定の特徵、構造、または特性が、本明細書に開示されている少なくとも 1 つの実施の形態に含まれることを意味する。よって、本明細書を通して、「一実施の形態において」、「ある実施の形態において」、および同様の表現がある場合、必ずしもそうではないものの、すべて同一の実施の形態を指す場合がある。

30

【 0 0 6 0 】

本明細書で使用される「a」および「an」(1つ/ある)という用語は、1または2以上と定義される。本明細書で使用される「plurality」(複数の)という用語は、2または3以上と定義される。本明細書で使用される「another」(別の)という用語は、少なくとも二番目以降と定義される。本明細書で使用される「coupled」(結合される)という用語は、特に指定されない限り、介在する要素を伴わずに直接的であるか、1つ以上の介在する要素を伴って間接的であるかに関わらず、接続されることであると定義される。2つの要素を、機械的にまたは電氣的に結合してもよく、または通信チャネル、経路、ネットワーク、もしくはシステムを通して通信可能にリンクさせてもよい。

40

【 0 0 6 1 】

本明細書で使用される「および/または」という用語は、列挙された関連項目のうちの1つ以上の、可能なあらゆる組合せのことであり、これを包含する。「include」(含む)および/または「including」(含む)という用語が本明細書で使用されている場合、これは、記載されている特徵、整数、ステップ、動作、要素、および/または構成部品の存在を特定しているが、1つ以上の他の特徵、整数、ステップ、動作、要素、構成部品、および/またはその群の存在または追加を排除するものではないことが、さらに理解される

50

であろう。また、本明細書では、第 1、第 2 等の用語を用いて異なる要素を説明している場合があるが、これら用語は、ある要素を別の要素から区別するために使用されているに過ぎないので、上記要素はこれら用語によって限定されてはならないことが、理解されるであろう。

【 0 0 6 2 】

「もし」という用語は、文脈に応じて、「とき」または「否や」または「判断に応じて」または「検出に応じて」を意味すると解釈し得る。同様に「もし～と判断された場合」または「もし [記載された条件または事象] が検出された場合」という表現は、文脈に応じて、「判断されるや否や」または「判断に応じて」または「 [記載された条件または事象] が検出されるや否や」または「 [記載された条件または事象] の検出に応じて」を意味すると解釈し得る。

10

【 0 0 6 3 】

本明細書では、同一の参照符号を用いて、端子、信号線、ワイヤ、およびこれらに対応する信号を示している。この点について、「信号」、「ワイヤ」、「接続」、「端子」、および「ピン」という用語は、本明細書の中で時折入れ代えて使用されてもよい。また、「信号」、「ワイヤ」等の用語は、1 つ以上の信号を表わし得る、たとえば、1 本のワイヤを通して 1 ビットを伝達すること、または複数のパラレルワイヤを通して複数のパラレルビットを伝達することを表わし得ることが、理解されるはずである。さらに、各ワイヤまたは信号は、場合によって、信号またはワイヤによって接続されている 2 つ以上の構成部品間の双方向通信を表わし得る。

20

【 0 0 6 4 】

図面におけるフローチャートおよびブロック図は、本明細書に開示される 1 つ以上の実施の形態のうちのさまざまな実施の形態に従うシステムおよび方法の、可能な実現における、アーキテクチャ、機能、および動作を示している。この点について、フローチャートまたはブロック図の各ブロックは、特定されている動作および / または機能を実現するための、1 つ以上の回路、システム、および / またはサブシステムを含む、モジュール、セグメント、またはコードの一部を表わし得る。ただし、代替のいくつかの実現において、ブロック内に示された機能が、図面に示されている順序通りではない場合もある。たとえば、連続して示される 2 つのブロックが、実質的に同時に実行される場合があり、または、これらブロックが、関与している機能に応じて場合によっては逆の順序で実行される場合がある。また、ブロック図および / またはフローチャートの図の各ブロック、ならびに、ブロック図および / またはフローチャートの図のブロックの組合せを、特定された機能または動作を実行する特殊目的用ハードウェアベースのシステム、または特殊目的用ハードウェアおよびコンピュータ命令の組合せによって、実現することができる。

30

【 0 0 6 5 】

以下の請求項における、すべてのミーンズまたはステッププラスファンクション要素の、対応する構造、材料、動作、および均等物は、具体的にクレームされている、請求項に記載のその他の要素と組合わせて機能を実行するための、いかなる構造、材料、または動作も含むことが意図されている。

【 0 0 6 6 】

本明細書に開示される 1 つ以上の実施の形態は、精神およびその本質的な属性から逸脱することなく、他の形態で実施してもよい。

40

【図 1】

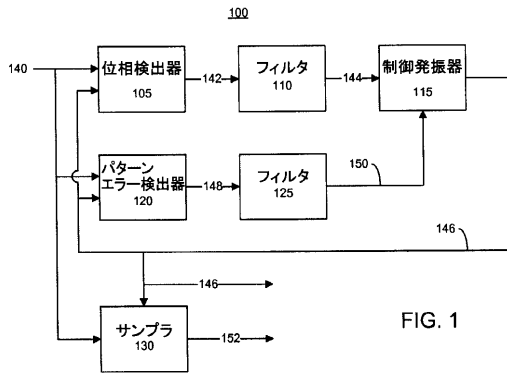


FIG. 1

【図 2】

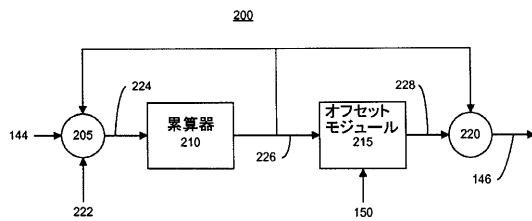


FIG. 2

【図 3】

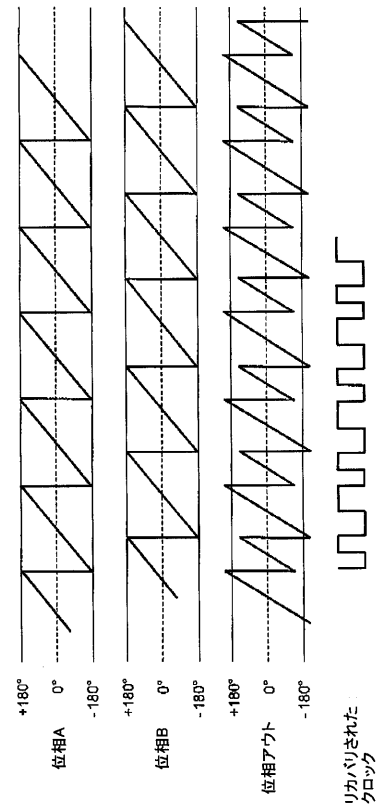


FIG. 3

【図 4】

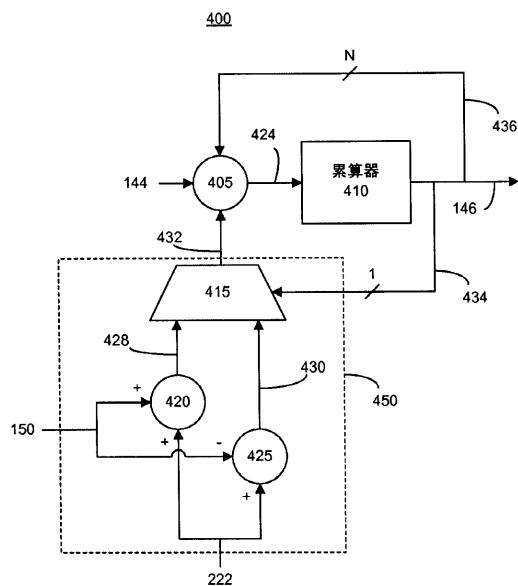


FIG. 4

【図 5】

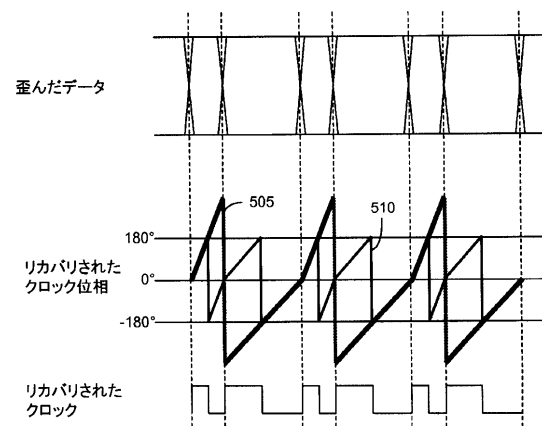
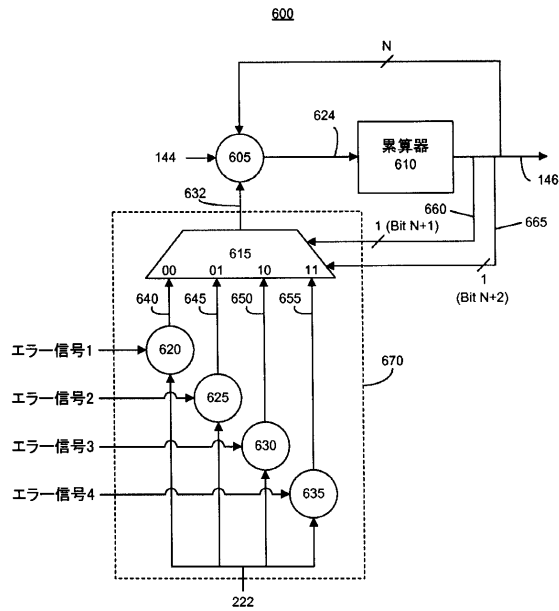


FIG. 5

【 図 6 】



【圖 7】

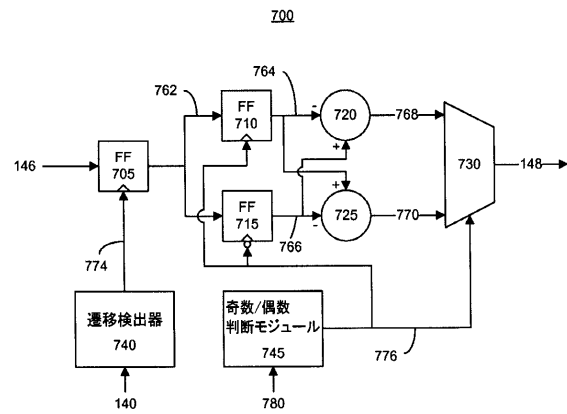


FIG. 7

【圖 8】

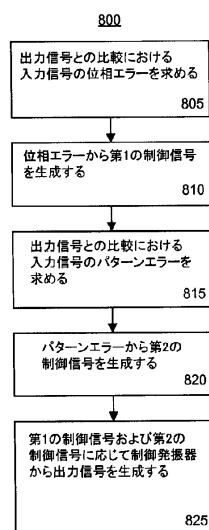


FIG. 8

フロントページの続き

(72)発明者 ノベリッニ, パオロ

アメリカ合衆国、9 5 1 2 4 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2 1 0 0

審査官 橋本 和志

(56)参考文献 特開2 0 1 1 - 0 3 0 0 5 8 (J P , A)

国際公開第2 0 1 0 / 0 3 9 1 0 8 (W O , A 1)

米国特許出願公開第2 0 0 6 / 0 1 0 4 3 9 9 (U S , A 1)

米国特許第0 5 3 0 1 1 9 6 (U S , A)

特開平0 9 - 1 8 1 7 1 2 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

H 0 3 L 7 / 0 8

H 0 4 L 7 / 0 3 3